



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098911
(43) 공개일자 2008년11월12일

(51) Int. Cl.

H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
H01L 21/762 (2006.01)

(21) 출원번호 10-2007-0044306

(22) 출원일자 2007년05월07일

심사청구일자 없음

(71) 출원인

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

박희식

충북 청주시 흥덕구 복대동 세원2차 테마빌 아파트 201동 806호

(74) 대리인

특허법인 신성

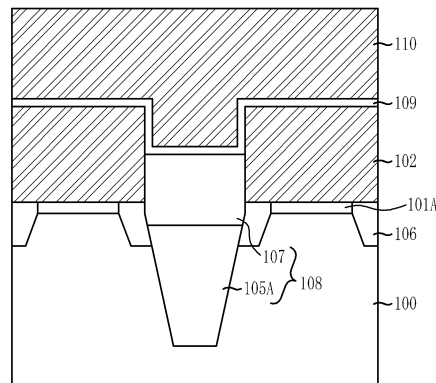
전체 청구항 수 : 총 15 항

(54) 비휘발성 메모리 소자 및 그 제조방법

(57) 요약

본 발명은 STI(Shallow Trench Isolation) 공정을 통해 형성된 소자 분리막을 포함하는 비휘발성 메모리 소자 및 그 제조방법을 제공하기 위한 것으로, 이를 위해 본 발명은 STI 공정시 트렌치 상부의 모서리 부위와 접하는 터널링 산화막 및 활성영역의 손상을 보상하여 소자의 반복적인 기입 및 소거 동작 특성을 개선시킬 수 있는 비휘발성 메모리 소자 및 그 제조방법을 제공하는데 그 목적이 있다. 기판 상에 형성된 터널링 절연막과, 상기 터널링 절연막의 양측부에 상기 터널링 절연막보다 두껍게 형성된 전하 이동 방지막과, 상기 터널링 절연막 및 상기 전하 이동 방지막과 중첩되도록 그 상부에 형성된 플로팅 게이트를 포함하는 비휘발성 메모리 소자를 제공한다.

대표도 - 도1



특허청구의 범위

청구항 1

기관 상에 형성된 터널링 절연막;

상기 터널링 절연막의 양측부에 상기 터널링 절연막보다 두껍게 형성된 전하 이동 방지막; 및
상기 터널링 절연막 및 상기 전하 이동 방지막과 중첩되도록 그 상부에 형성된 플로팅 게이트를 포함하는 비휘발성 메모리 소자.

청구항 2

제 1 항에 있어서,

상기 플로팅 게이트들 중 서로 이웃하는 것끼리 분리되도록 일부분이 상기 기관 내에 매립된 구조로 형성된 소자 분리막을 더 포함하는 비휘발성 메모리 소자.

청구항 3

제 2 항에 있어서,

상기 소자 분리막은 상기 플로팅 게이트의 상면보다 낮은 높이로 형성된 비휘발성 메모리 소자.

청구항 4

제 2 항에 있어서,

상기 전하 이동 방지막은 상기 소자 분리막과 접촉되도록 형성된 비휘발성 메모리 소자.

청구항 5

제 2 항에 있어서,

상기 터널링 절연막은 상기 전하 이동 방지막에 의해 상기 소자 분리막과 분리되도록 형성된 비휘발성 메모리 소자.

청구항 6

제 1 항에 있어서,

상기 전하 이동 방지막은 상기 터널링 절연막에 비해 1~4배의 두께로 형성된 비휘발성 메모리 소자.

청구항 7

제 1 항에 있어서,

상기 전하 이동 방지막은 상기 기관 방향으로 확장된 구조로 형성된 비휘발성 메모리 소자.

청구항 8

기관 상에 터널링 절연막과 플로팅 게이트를 형성하는 단계;

상기 플로팅 게이트, 상기 터널링 절연막 및 상기 기관판을 식각하여 트렌치를 형성하는 단계;

상기 트렌치가 매립되도록 제1 절연막을 형성하는 단계;

상기 터널링 절연막의 양측부가 일정 깊이로 후퇴되도록 상기 제1 절연막을 식각하는 단계; 및
후퇴된 터널링 절연막의 양측부에 전하 이동 방지막을 형성하는 단계

를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 9

제 8 항에 있어서,
상기 전하 이동 방지막을 형성하는 단계는,
후퇴된 터널링 절연막의 양측부로 노출되는 상기 기판에 실리콘 이온을 주입하는 단계; 및
상기 실리콘 이온이 주입된 기판에 산화공정을 실시하는 단계
를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 10

제 9 항에 있어서,
상기 산화공정은 O₂ 기체를 이용하여 실시하는 비휘발성 메모리 소자의 제조방법.

청구항 11

제 8 항에 있어서,
상기 전하 이동 방지막을 형성하는 단계 후,
상기 제1 절연막 상에 제2 절연막을 형성하는 단계를 더 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 12

제 11 항에 있어서,
상기 제2 절연막은 상기 플로팅 게이트의 상면보다 낮은 높이로 형성하는 비휘발성 메모리 소자의 제조방법.

청구항 13

제 8 항에 있어서,
상기 전하 이동 방지막은 상기 터널링 절연막에 비해 1~4배의 두께로 형성하는 비휘발성 메모리 소자의 제조방법.

청구항 14

제 8 항에 있어서,
상기 전하 이동 방지막은 상기 기판 방향으로 확장된 구조로 형성하는 비휘발성 메모리 소자의 제조방법.

청구항 15

제 8 항에 있어서,
상기 전하 이동 방지막은 상기 터널링 절연막과 동일 물질로 형성하는 비휘발성 메모리 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <10> 특히 STI(Shallow Trench Isolation) 공정을 통해 소자 분리 공정이 이루어지는 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.
- <11> 비휘발성 메모리 소자 중 현재 가장 널리 사용되고 있는 소자가 낸드 플래시 메모리 소자(NAND type flash memory device)이다. 낸드 플래시 메모리 소자는 고집적을 위한 소자로서, 주로 메모리 스틱(memory stick), USB 드라이버(Universal Serial Bus driver), 하드 디스크(hard disk)를 대체할 수 있는 메모리 소자로 그 적용 분야를 넓혀 가고 있다.

<12> 낸드 플래시 메모리 소자는 기존의 LOCOS(LOCAl Oxidation of Silicon) 공정 대신에 STI 공정을 적용하여 소자 분리막을 형성하고 있다. 특히, 소자의 고집적화에 따라 60nm급 이상에서는 소위 SA-STI(Self Aligned-Shallow Trench Isolation) 또는 ASA-STI(Advanced Self Aligned-Shallow Trench Isolation) 공정으로 불리어지고 있는 소자 분리 공정을 적용하여 소자 분리막과 플로팅 게이트를 함께 형성하고 있다.

<13> 그러나, SA-STI 공정이나 ASA-STI 공정은 소자 분리막이 형성될 트렌치를 형성하기 전에 미리 기판 상에 F-N 터널링(Fouler-Nordheim Tunneling)이 일어나는 터널링 산화막이 형성된 상태에서 식각공정을 실시하여 트렌치를 형성하기 때문에 식각공정에 직접 노출되는 터널링 산화막 양측 모서리 부위에서 손상이 많이 발생하는 한편, 이와 접하는 트렌치 상부 모서리 부위의 활성영역 또한 손상이 발생하는 문제가 발생된다.

<14> 이와 같이, 터널링 산화막과 활성영역의 손상으로 인해 트렌치 상부 모서리 부위와 접하는 활성영역과 터널링 산화막 간의 계면에 트랩 사이트(trap site)가 생성되고, 이러한 트랩 사이트에 의해 소자의 반복적인 기입(program) 및 소거(erase) 동작시 전하들이 포획되어 소자의 동작 신뢰성이 저하되는 문제가 발생된다.

발명이 이루고자 하는 기술적 과제

<15> 따라서, 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 제안된 것으로서, STI 공정을 통해 형성된 소자 분리막을 포함하는 비휘발성 메모리 소자 및 그 제조방법에 있어서, STI 공정시 트렌치 상부의 모서리 부위와 접하는 터널링 산화막 및 활성영역의 손상을 보상하여 소자의 반복적인 기입 및 소거 동작 특성을 개선시킬 수 있는 비휘발성 메모리 소자 및 그 제조방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

<16> 상기한 목적을 달성하기 위한 일 측면에 따른 본 발명은, 기판 상에 형성된 터널링 절연막과, 상기 터널링 절연막의 양측부에 상기 터널링 절연막보다 두껍게 형성된 전하 이동 방지막과, 상기 터널링 절연막 및 상기 전하 이동 방지막과 중첩되도록 그 상부에 형성된 플로팅 게이트를 포함하는 비휘발성 메모리 소자를 제공한다.

<17> 또한, 상기한 목적을 달성하기 위한 다른 측면에 따른 본 발명은, 기판 상에 터널링 절연막과 플로팅 게이트를 형성하는 단계와, 상기 플로팅 게이트, 상기 터널링 절연막 및 상기 기판관을 식각하여 트렌치를 형성하는 단계와, 상기 트렌치가 매립되도록 제1 절연막을 형성하는 단계와, 상기 터널링 절연막의 양측부가 일정 깊이로 후퇴되도록 상기 제1 절연막을 식각하는 단계와, 후퇴된 터널링 절연막의 양측부에 전하 이동 방지막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법을 제공한다.

<18> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위해 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다. 또한, 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이며, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나, 또는 그들 사이에 제3의 층이 개재될 수도 있다. 또한, 명세서 전체에 걸쳐서 동일한 도면번호로 표시된 부분은 동일한 층을 나타내며, 각 도면번호에 영어 대문자를 포함하는 경우 동일층이 식각 또는 연마 공정을 통해 일부가 변형된 것을 의미한다.

<19> 실시예

<20> 도 1은 본 발명의 실시예에 따른 비휘발성 메모리 소자를 설명하기 위하여 도시한 단면도이다.

<21> 도 1을 참조하면, 본 발명의 실시예에 따른 비휘발성 메모리 소자는 복수의 메모리 셀을 포함하고, 각 메모리 셀은 터널링 절연막(101A)과, 터널링 절연막(101A)의 양측부에 터널링 절연막(101A)보다 두껍게 형성된 전하 이동 방지막(106)을 포함한다.

<22> 터널링 절연막(101A)과 전하 이동 방지막(106)은 플로팅 게이트(102)와 반도체 기판(100)의 활성영역 사이에 형성된다. 터널링 절연막(101A)은 플로팅 게이트(102)의 중앙부와 중첩되는 부위에 형성되고, 전하 이동 방지막(106)은 플로팅 게이트(102)의 가장자리 부위, 즉 터널링 절연막(101A)의 양측부에 형성된다. 또한, 터널링 절연막(101A)은 소자의 기입 및 소거 동작시 F-N 터널링이 일어나도록 비교적 얇게 형성되는데 반해, 전하 이동 방지막(106)은 소자의 기입 및 소거 동작시 F-N 터널링이 일어나지 않도록 하기 위해 터널링 절연막(101A)보다 두껍게 형성된다.

<23> 이러한 구조를 갖는 비휘발성 메모리 소자에서 얻어지는 효과를 살펴보면 다음과 같다.

<24> 실질적으로 F-N 터널링을 통해 기입 및 소거 동작에 기여하는 터널링 절연막(101A)의 면적을 종래기술에 비해 감소시켜 유전체막(109)의 커플링 비(coupling ratio)를 증가시킬 수 있다.

<25> 유전체막(109)의 커플링 비(Kfc)와 플로팅 게이트(102)의 전위(Vfg)는 하기 수학적 식 1과 같이 표현할 수 있다.

수학적 식 1

<26> $Kfc = Cfc/Ct$

<27> $Vfg = (Kfc \times Vg) + (Kd \times Vd) + (Ks \times Vs) + (Kb \times Vb) + Kfc$

<28> 상기 수학적 식 1에서, " $Ct = Cfc + Cd + Cs + Ctox$ ", " $Kd = Cd/Ct$ ", " $Ks = Cs/Ct$ ", " $Ktox = Ctox/Ct$ "로 정의된다. 여기서, 'Ct'는 소자의 전체 정전용량을 나타내고, 'Cfc'는 유전체막(109)의 정전용량, 'Cd'는 접합 영역인 드레인(미도시)의 정전용량, 'Cs'는 소스(미도시)의 정전용량, 'Ctox'는 터널링 절연막(101A)의 정전용량을 나타낸다. 또한, 'Kd'는 드레인 커플링 비, 'Ks'는 소스 커플링 비, 'Ktox'는 게이트 절연막(101A)의 커플링 비, 'Kb'는 기판의 커플링 비를 나타낸다. 또한, 'Vg'는 게이트 전압, 'Vd'는 드레인 전압, 'Vs'는 소스 전압, 'Vb'는 벌크 전압을 나타낸다.

<29> 종래기술에 따른 비휘발성 메모리 소자에서는 플로팅 게이트와 활성영역 사이에 형성된 터널링 절연막의 모든 부위에서 F-N 터널링이 일어나는 구조이기 때문에 터널링 절연막의 정전용량은 활성영역의 면적과 플로팅 게이트의 면적, 그리고 터널링 절연막의 두께에 의해 결정된다. 하지만, 본 발명의 실시예에 따른 비휘발성 메모리 소자에서는 실질적으로 F-N 터널링이 일어나는 터널링 절연막(101A)이 플로팅 게이트(102)의 중앙부에만 위치함에 따라 상대적으로 면적을 감소시킬 수 있다.

<30> 이를 상기 수학적 식 1에 적용하면, 터널링 절연막(101A)의 면적 감소로 인해 터널링 절연막(101A)의 정전용량(Ctox)은 감소되고, 이에 따라 유전체막(109)의 커플링 비(Kfc)는 증가된다. 더욱이, 유전체막(109)의 커플링 비(Kfc)가 증가하게 되면, 플로팅 게이트(102)에 걸리는 전위(Vfg) 또한 증가하게 되고, 이에 따라, 터널링 절연막(101A)에 걸리는 전기장이 증가하게 되어 기입 동작 후 문턱전압이 증가하게 된다.

<31> 한편, 소자의 기입 및 소거 동작의 열화에 가장 나쁜 영향을 미치는 활성영역의 모서리, 즉 트랜치 상부 모서리 부위와 접하는 전하 이동 방지막(106)을 두껍게 형성함으로써 이 부위에 걸리는 전기장을 감소시켜 F-N 터널링이 일어나지 않도록 제어한다. 이로써, STI 공정에 노출되지 않아 손상되지 않는 터널링 절연막(101A)에만 높은 전기장이 걸리게 하여 소자의 기입 및 소거 동작 특성을 개선시킬 수 있다.

<32> 한편, F-N 터널링이 일어나지 않도록 하는 전하 이동 방지막(106)의 두께는 터널링 절연막(101A)의 두께보다 적어도 1배, 바람직하게는 1~4배가 되도록 한다.

<33> 이하, 도 1에 도시된 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조방법 설명하기로 한다.

<34> 도 2a 내지 도 2f는 본 발명의 실시예에 따른 비휘발성 메모리 소자의 제조방법을 설명하기 위하여 제조공정 순서대로 도시한 공정 단면도이다. 여기서는 일례로 ASA-STI 공정을 적용한 낸드 플래시 메모리 소자의 제조방법에 대해 설명하기로 한다.

<35> 먼저, 도 2a에 도시된 바와 같이, 반도체 기판(100), 예컨대 p형 기판 상에 터널링 절연막(101)을 형성한다. 이때, 터널링 절연막(101)은 산화막, 예컨대 실리콘산화막(SiO_2)으로 형성하거나, 실리콘산화막을 형성한 후 N_2 가스를 이용한 열처리 공정을 실시하여 실리콘산화막과 기판(100) 계면에 질화층을 더 형성할 수도 있다. 그 제조 방법으로는 건식 산화, 습식 산화 공정 또는 라디컬 이온을 이용한 산화 공정을 이용할 수도 있으나, 특성 측면에서 라디컬 이온을 이용한 산화 공정 대신에 건식 산화, 습식 산화 공정으로 실시하는 것이 바람직하다. 또한, 터널링 절연막(101)은 50~100Å 정도의 두께로 형성할 수 있다.

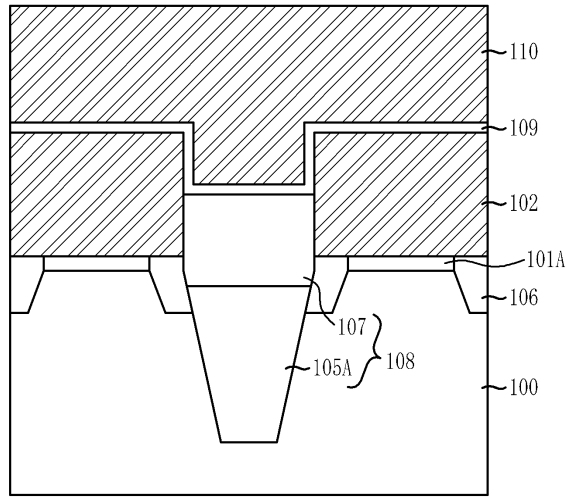
<36> 이어서, 터널링 절연막(101) 상에 플로팅 게이트(102)로 기능하는 도전막을 증착한다. 이때, 도전막은 도전성을 갖는 물질은 모두 사용가능하며, 예컨대 폴리실리콘, 전이 금속 또는 희토류 금속 중 선택된 어느 하나의 물질로 형성할 수 있다. 예컨대, 폴리실리콘막은 불순물이 도핑되지 않은 언-도프트(un-doped) 폴리실리콘막 또는 불순물이 도핑된 도프트(doped) 폴리실리콘막 모두 사용가능하며, 언-도프트 폴리실리콘막의 경우 후속 이온주입공정을 통해 별도로 불순물 이온을 주입한다. 이러한 폴리실리콘막은 LPCVD(Low Pressure Chemical Vapor Deposition) 방식으로 형성하고, 이때 소스 가스로는 SiH_4 을 사용하며, 도핑 가스로는 PH_3 , PH_3 , BCl_3 또는 B_2H_6 가스 사용한다. 전이 금속으로는 철(Fe), 코발트(Co), 텅스텐(W), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 몰리브덴

(Mo) 또는 티타늄(Ti) 등을 사용하고, 희토류 금속으로는 어븀(Er), 이터븀(Yb), 사마륨(Sm), 이트륨(Y), 란탄(La), 세륨(Ce), 테르븀(Tb), 디스프로슘(Dy), 홀름(Ho), 툴륨(Tm) 및 루테튬(Lu) 등을 사용한다.

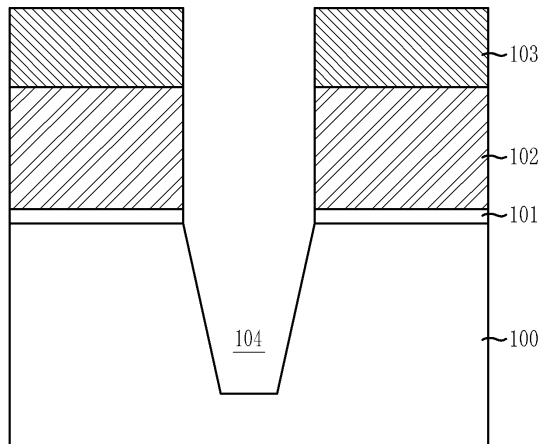
- <37> 이어서, 플로팅 게이트(102) 상에 하드 마스크(103)를 형성한다. 이때, 하드 마스크(103)는 후속 STI 식각공정 시 식각 마스크로 사용되는 감광막 패턴의 두께 부족을 보상하기 위해 형성하는 층으로서, 질화막으로 형성한다. 예컨대, 하드 마스크(103)는 700~800℃의 온도, 0.3~0.4Torr의 압력에서, 질소(N₂) 유량을 40~60cc로 하고, DCS(Diclorosilane, SiCl₂H₂) 유량을 800~1000cc로 하며, 암모니아(NH₃) 유량을 800~1000cc로 하여 형성한다.
- <38> 한편, 하드 마스크(103) 형성 전에 플로팅 게이트(102) 상에 완충막(미도시)을 더 형성할 수 있는데, 그 이유는 후속 하드 마스크(103) 형성공정시 가해지는 스트레스로부터 플로팅 게이트(102)를 보호하는 동시에 후속 하드 마스크(103) 제거공정시 인산(H₃PO₄)과 같은 식각용액으로부터 플로팅 게이트(102)를 보호하기 위함이다.
- <39> 이어서, STI 식각공정을 실시하여 하드 마스크(103), 플로팅 게이트(102), 터널링 절연막(101) 및 기관(100)을 일부 식각하여 라인 형태(line type)의 트렌치(104)를 형성한다.
- <40> 이어서, 도 2b에 도시된 바와 같이, 트렌치(104, 도 2a참조)가 매립되도록 소자 분리막용 제1 절연막(105)을 형성한다. 이때, 제1 절연막(105)은 단층 또는 적층 구조로 형성할 수 있으며, 바람직하게는 높은 총회피를 고려하여 적층 구조로 형성한다. 예컨대, 단층 구조의 경우, 매립 특성이 우수한 HDP(High Density Plasma)막으로 형성한다. 적층 구조의 경우, HDP막-SOG(Spin On Glass)막-HDP막이 순차적으로 적층된 적층 구조로 형성한다. 여기서, SOG막으로는 PSZ(polysilazane)막을 사용할 수 있다.
- <41> 이어서, 도 2c에 도시된 바와 같이, 하드 마스크(103, 도 2b참조)를 제거한다. 이때, 하드 마스크(103)는 후속 소자 분리막용 제2 절연막(107, 도 2f참조)을 평탄화하기 위한 평탄화 공정, 예컨대 CMP(Cheical Mechanical Polishing) 공정시 연마 정지막으로 사용하기 위해 일정 두께로 잔류시킬 수도 있다.
- <42> 이어서, 트렌치(104, 도 2a참조)의 상부 모서리 부위가 노출되도록 제1 절연막(105A)을 식각하여 일정 깊이로 후퇴(recess)시킨다. 이때, 식각공정은 제1 절연막(105A)의 후퇴에 따라 노출되는 터널링 절연막(101A)의 양측부 또한 식각되도록 실시하여, 터널링 절연막(101A)의 양측부를 일정 깊이 후퇴시킨다. 이를 위해 식각공정은 습식식각공정으로 실시하되, 플로팅 게이트(102)와의 높은 식각 선택비를 갖는 조건으로 등방성 식각한다. 예컨대, 플로팅 게이트(102)가 폴리실리콘막으로 형성된 경우, 식각용액으로 HF와 탈이온수(deionized water)를 10:1, 50:1, 100:1, 300:1 또는 1000:1 등의 비율(HF:탈이온수)로 혼합한 DHF(Diluted HF) 용액을 사용한다.
- <43> 이어서, 도 2d에 도시된 바와 같이, 도 2c에서 터널링 절연막(101A)의 양측부가 후퇴되어 노출된 부위(동도면 A 참조)의 활성영역에 실리콘(Si) 이온을 주입한다. 이때, 실리콘 이온주입공정은 가급적 노출 부위(A)에만 주입되도록 이온주입각(tilt)을 갖도록 실시한다. 예컨대, 실리콘 이온주입공정은 15~30° 정도의 이온주입각으로 하고, 10~1000KeV의 이온주입에너지에서 1.0E11~1.0E12atoms/cm²의 도즈량으로 실시한다.
- <44> 이어서, 도 2e에 도시된 바와 같이, 도 2c에서 노출된 부위(A)의 활성영역, 즉 터널링 절연막(101A)의 양측벽에 전하 이동 방지막(106)을 형성한다. 이때, 전하 이동 방지막(106)은 산화공정으로 형성한다. 예컨대, 산화공정은 RTP(Rapid Thermal Process) 장비 또는 퍼니스 어닐(furnace anneal) 장비를 사용하여 습식 또는 건식산화공정으로 실시하고, O₂ 기체를 이용하여 800~1200℃의 온도 범위 내에서 실시한다.
- <45> 이어서, 도 2f에 도시된 바와 같이, 트렌치(104, 도 2a참조)가 완전히 매립되도록 소자 분리막용 제2 절연막(107)을 증착한 후 평탄화 공정, 예컨대 CMP 공정을 실시한다. 이때, 도 2c에서 일정 두께로 잔류된 하드 마스크(103, 도 2b참조)이 연마 정지막으로 기능하기 때문에 플로팅 게이트(102)의 손상은 거의 발생되지 않는다.
- <46> 한편, 제2 절연막(107)은 제1 절연막(105A)과 동일 물질로 형성할 수 있다.
- <47> 이어서, 셀 영역에 형성된 소자 분리막(108)의 EFH(Effective Field oxide Height)를 조절하기 위한 식각공정을 실시한다. 즉, 주변회로 영역-셀을 구동시키기 위한 구동회로, 예컨대 디코더(decoder), 페이지 버퍼(page buffer) 등이 형성될 영역-은 덮이고, 셀 영역은 개방된 감광막 패턴을 이용하고, 잔류된 패드 질화막(103)을 식각 장벽층으로 이용한 식각공정을 실시하여 제2 절연막(107)을 선택적으로 후퇴시킨다. 예컨대, 식각공정은 습식식각공정으로 실시하며, 질화막에 대한 높은 식각 선택비를 갖는 DHF(Diluted HF), BHF(Buffered HF) 또는 BOE(Buffered Oxide Etch) 용액을 사용한다.

도면

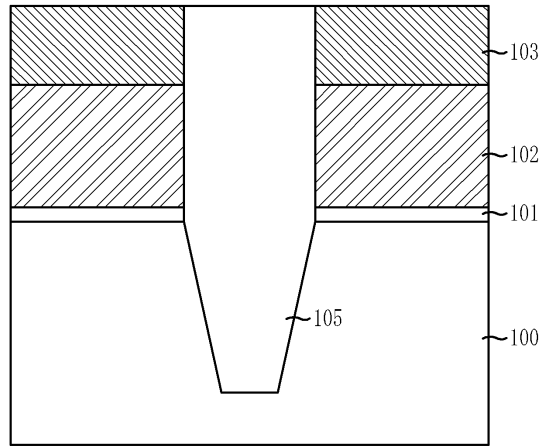
도면1



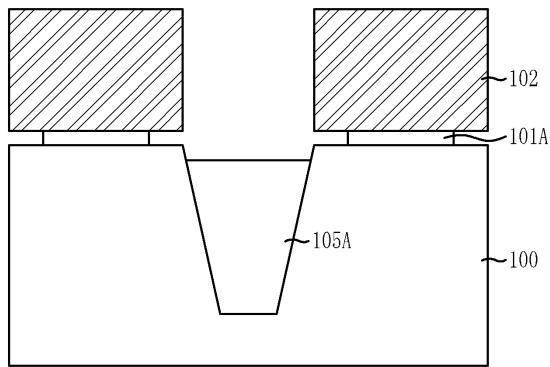
도면2a



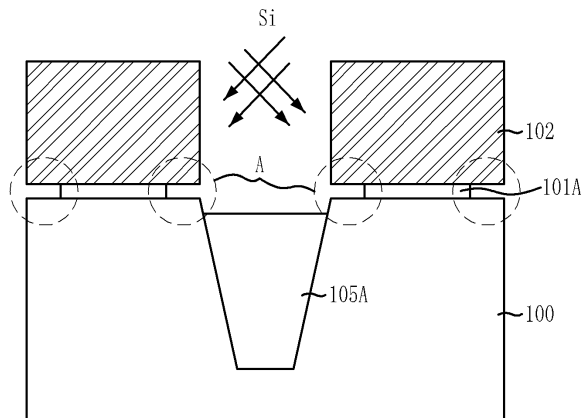
도면2b



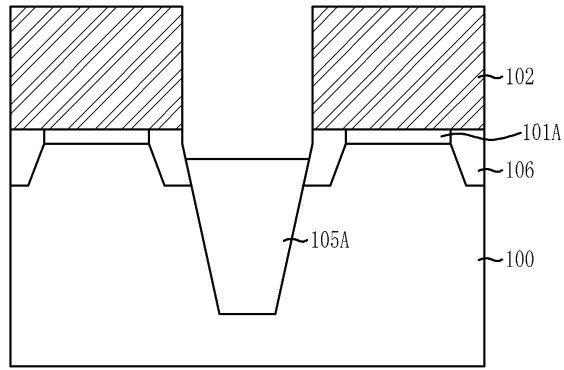
도면2c



도면2d



도면2e



도면2f

