



[12] 发明专利申请公开说明书

[21] 申请号 03814567.7

[43] 公开日 2005 年 8 月 31 日

[11] 公开号 CN 1663196A

[22] 申请日 2003.6.17 [21] 申请号 03814567.7

[30] 优先权

[32] 2002.6.21 [33] US [31] 60/390,846

[86] 国际申请 PCT/US2003/019114 2003.6.17

[87] 国际公布 WO2004/002089 法 2003.12.31

[85] 进入国家阶段日期 2004.12.21

[71] 申请人 汤姆森特许公司

地址 法国布洛涅

[72] 发明人 卡尔·克里斯坦森

戴维·L·拜西韦

[74] 专利代理机构 北京市柳沈律师事务所

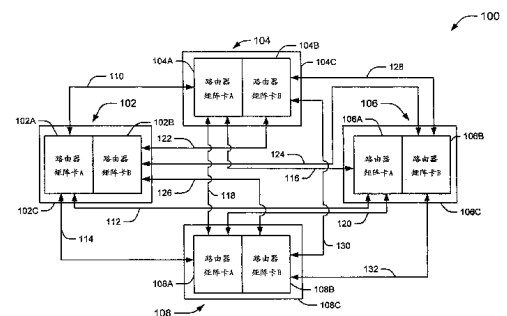
代理人 吕晓章 马莹

权利要求书 5 页 说明书 18 页 附图 4 页

[54] 发明名称 具有公共时钟的多机架广播路由器

[57] 摘要

通过多机架广播路由器(100)的每个机架(102C、104C)可支持安装第一路由器矩阵卡(102A、104A)、冗余路由器矩阵卡(102B、104B)以及时钟需求输入和输出卡(136-1至136-N和138-1至138-M、142-1至142-N和144-1至144-M)。第一主时钟(134)存在于第一机架(102C)的第一路由器矩阵卡(102A)上,而第二主时钟(154)存在于第二机架(104C)的冗余路由器矩阵卡(104B)上。每个主时钟(134、154)被构造用于将各个公共时钟信号提供给第一和第二机架(102C和104C)的所有输入和输出卡(136-1至136-N和138-1至138-M、142-1至142-N和144-1至144-M)。控制逻辑电路(148、156)确定第一主时钟(134)或第二主时钟(154)是否发出公共时钟信号。



1. 一种多机架广播路由器(100), 包括:

第一机架(102C), 其中存在第一路由引擎(140)和至少一个时钟需求部件
5 (136-1 至 136-N, 138-1 至 138-M);

第二机架(104C), 其中存在第二路由引擎和至少一个时钟需求部件(142-1
至 142-N, 144-1 至 144-M);

第一链路(110), 用于耦合存在于所述第一机架(102C)中的所述第一路由
引擎(140)的输入端和存在于所述第二机架(104C)中的所述第二路由引擎的输
10 入端; 和

主时钟(134), 存在于所述第一机架(102C)中, 所述主时钟(134)通过所述
第一链路耦合到存在于所述第一机架(102C)中的所述至少一个时钟需求部件
(136-1 至 136-N, 138-1 至 138-M)和存在于所述第二机架(104C)中的所述至少
一个时钟需求部件(142-1 至 142-N, 144-1 至 144-M), 所述主时钟(134)将公
15 共时钟信号提供给存在于所述第一机架(102C)中的所述至少一个时钟需求部
件(136-1 至 136-N, 138-1 至 138-M)以及存在于所述第二机架(104C)中的所述
至少一个时钟需求部件(142-1 至 142-N, 144-1 至 144-M)。

2. 如权利要求 1 所述的装置, 进一步包括:

可由所述第一支架(102C)支持安装的第一路由器矩阵卡(102A), 所述第
20 一路由引擎(140)和所述主时钟(134)存在于所述第一路由器矩阵卡(102A)上;
并且

其中所述至少一个时钟需求部件(136-1 至 136-N, 138-1 至 138-M)进一
步包括至少一个输入卡(136-1 至 136-N)和至少一个输出卡(138-1 至 138-M)。

3. 如权利要求 1 所述的装置, 进一步包括:

25 第三支架(106C), 其中存在第三路由引擎和至少一个时钟需求部件;

第二链路(112), 用于耦合存在于所述第一机架(102C)中的所述第一路由
引擎(140)的所述输入端和存在于所述第三机架(106C)中的所述第三路由引擎
的输入端, 存在于所述第一机架(102C)中的所述主时钟通过所述第二链路(112)
耦合到存在于所述第三机架(106C)中的所述至少一个时钟需求部件;

30 其中存在于所述第一机架(102C)中的所述主时钟(134)将所述公共时钟信
号提供给存在于所述第三机架(106C)中的所述至少一个时钟需求部件。

4. 如权利要求3所述的装置,进一步包括:

第三链路(116),用于耦合存在于所述第二机架(104C)中的所述第二路由引擎的所述输入端和存在于所述第三机架(106C)中的所述第三路由引擎的所述输入端;

5 其中以完全连接的拓扑结构来设置存在于所述第一机架(102C)中的所述第一路由引擎(140)、存在于所述第二机架(104C)中的所述第二路由引擎和存在于所述第三机架(106C)中的所述第三路由引擎。

5. 如权利要求4所述的装置,其中冗余路由引擎(150)存在于所述第一、第二和第三机架(102C、104C和106C)的每一个中。

10 6. 如权利要求5所述的装置,进一步包括:

第四链路(122),用于将存在于所述第一机架(102C)中的所述冗余路由引擎的输入端耦合到存在于所述第二机架(104C)中的所述冗余路由引擎(150)的输入端;

15 第五链路(124),用于将存在于所述第一机架(102C)中的所述冗余路由引擎的所述输入端耦合到存在于所述第三机架(106C)中的所述冗余路由引擎的输入端;和

第六链路(128),用于将存在于所述第二机架(104C)中的所述冗余路由引擎(150)的所述输入端耦合到存在于所述第三机架(106C)中的所述冗余路由引擎的所述输入端;

20 其中以第二完全连接的拓扑结构来设置存在于所述第一机架(102C)中的所述冗余路由引擎、存在于所述第二机架(104C)中的所述冗余路由引擎(150)和存在于所述第三机架(106C)中的所述冗余路由引擎。

7. 一种多机架广播路由器(100),包括:

25 第一机架(102C),所述第一机架(102C)可支持安装第一路由器矩阵卡(102A)、冗余路由器矩阵卡(102B)、至少一个时钟需求输入卡(136-1至136-N)以及至少一个时钟需求输出卡(138-1至138-M);

第二机架(104C),所述第一机架(104C)可支持安装第一路由器矩阵卡(104A)、冗余路由器矩阵卡(104B)、至少一个时钟需求输入卡(142-1至142-N)以及至少一个时钟需求输出卡(144-1至144-M);

30 存在于由所述第一机架(102C)可支持安装的所述第一路由器矩阵卡(102A)上的第一主时钟(134),所述第一主时钟(134)耦合到由所述第一机架

(102C)可支持安装的所述至少一个时钟需求输入卡(136-1 至 136-N)和所述至少一个时钟需求输出卡(138-1 至 138-M), 并且耦合到由所述第二机架(104C)可支持安装的所述至少一个时钟需求输入卡(142-1 至 142-N)和所述至少一个时钟需求输出卡(144-1 至 144-M), 所述第一主时钟(134)将公共时钟信号提供
5 给由所述第一机架(102C)可支持安装的所述至少一个时钟需求输入卡(136-1 至 136-N)和所述至少一个时钟需求输出卡(138-1 至 138-M), 以及由所述第二机架(104C)可支持安装的所述至少一个时钟需求输入卡(142-1 至 142-N)和所述至少一个时钟需求输出卡(144-1 至 144-M);

存在于由所述第二机架(104C)可支持安装的所述冗余路由器矩阵卡
10 (104B)上的第二主时钟(154), 所述第二主时钟(154)耦合到由所述第一机架(102C)可支持安装的所述至少一个时钟需求输入卡(136-1 至 136-N)和所述至少一个时钟需求输出卡(138-1 至 138-M), 并且耦合到由所述第二机架(104C)可支持安装的所述至少一个时钟需求输入卡(142-1 至 142-N)和所述至少一个时钟需求输出卡(144-1 至 144-M), 所述第二主时钟(154)将冗余公共时钟信号
15 提供给由所述第一机架(102C)可支持安装的所述至少一个时钟需求输入卡(136-1 至 136-N)和所述至少一个时钟需求输出卡(138-1 至 138-M), 以及由所述第二机架(104C)可支持安装的所述至少一个时钟需求输入卡(142-1 至 142-N)和所述至少一个时钟需求输出卡(144-1 至 144-M); 和

控制逻辑电路(148、156), 耦合到所述第一主时钟(134)和所述第二主时钟(154), 所述控制逻辑电路(148、156)确定所述第一主时钟(134)是否将要发出所述公共时钟信号或所述第二主时钟(154)是否将要发出所述冗余公共时钟信号。
20

8. 如权利要求 7 所述的装置, 其中所述控制逻辑电路(148、156)具有耦合到由所述第一机架(102C)可支持安装的所述第一路由器矩阵卡(102A)的第一输入端和耦合到由所述第二机架(104C)可支持安装的所述冗余路由器矩阵
25 (104B)的第二输入端, 根据通过所述第一输入端接收的第一信号和通过所述第二输入端接收的第二信号, 所述控制逻辑电路(148、156)确定所述第一主时钟(134)是否将要发出所述公共时钟信号或所述第二主时钟(154)是否将要发出所述冗余公共时钟信号。

30 9. 如权利要求 8 所述的装置, 其中:

第一路由引擎(140)和第一发送扩展端口(146)存在于由所述第一机架

(102C)可支持安装的所述第一路由器矩阵卡(102A)上; 并且其中:

第二路由引擎(150)和第二发送扩展端口(152)存在于由所述第二机架(104C)可支持安装的所述冗余路由器矩阵卡(104A)上。

10. 如权利要求 9 所述的装置, 其中:

- 5 将到所述控制逻辑电路(148、156)的所述第一输入端耦合到所述第一路由引擎(140), 并且将到所述控制逻辑电路(148、156)的所述第二输入端耦合到所述第二路由引擎(150), 所述第一路由引擎(140)存在于由所述第一机架(102C)可支持安装的所述路由器矩阵卡(102A)上, 所述第二路由引擎(150)存在于由所述第二机架(104C)可支持安装的所述冗余路由器矩阵卡(104B)上; 并且其中

- 10 所述控制逻辑电路(148、156)具有耦合到所述发送扩展端口(146)的第三输入端和耦合到所述第二发送扩展端口(152)的第四输入端, 所述发送扩展端口(146)存在于由所述第一机架(102C)可支持安装的所述路由器矩阵卡(102A)上, 并且所述第二发送扩展端口(152)存在于由所述第二机架(104C)可支持安装的所述冗余路由器矩阵卡(104B)上;

- 15 根据通过所述第一输入端接收的所述第一信号、通过所述第二输入端接收的第二信号、通过所述第三输入端接收的所述第三信号和通过所述第四输入端接收的第四信号, 所述控制逻辑电路(148、156)确定所述第一主时钟(134)是否将要发出所述公共时钟信号, 或所述第二主时钟(154)是否将要发出所述冗余公共时钟信号。

- 20 11. 如权利要求 10 所述的装置, 其中所述控制逻辑电路(148、156)进一步包括:

第一状态机(148), 其存在于由所述第一机架(102C)可支持安装的所述第一路由器矩阵卡(102A)上;

- 25 第二状态机(156), 其存在于由所述第二机架(104C)可支持安装的所述冗余路由器矩阵卡(104B)上;

- 根据通过所述第一输入端接收的所述第一信号、通过所述第二输入端接收的第二信号、通过所述第三输入端接收的第三信号和通过所述第四输入端接收的第四信号, 所述第一状态机(148)确定所述第一主时钟(134)是否将要发出所述公共时钟信号; 并且

根据通过所述第一输入端接收的所述第一信号、通过所述第二输入端接

收的第二信号、通过所述第三输入端接收的第三信号和通过所述第四输入端接收的第四信号，所述第二状态机(156)确定所述第二主时钟(154)是否将要发出所述冗余公共时钟信号；

其中一次只能发出所述公共时钟信号和所述冗余公共时钟信号中的一个。

具有公共时钟的多机架广播路由器

5 本申请涉及 2002 年 6 月 21 日提出的美国临时专利申请第 60/390,846 号。

本申请还涉及如下序号的同时待审美国专利申请：

PCT/____(代理人案号 IU010620), PCT/____(代理人案号 IU020157),

PCT/____(代理人案号 IU020158), PCT/____(代理人案号 IU020159),

PCT/____(代理人案号 IU020160), PCT/____(代理人案号 IU020161),

10 PCT/____(代理人案号 IU020162), PCT/____(代理人案号 IU020252),

PCT/____(代理人案号 IU020254), PCT/____(代理人案号 IU020255)

和 PCT/____(代理人案号 IU020256), 所有这些申请都转让给本申请的受让人, 特此全文引用, 以供参考。

15 技术领域

本发明涉及广播路由器, 尤其涉及一种具有公共时钟的多机架广播路由器。

背景技术

20 广播路由器使得其多个输出中的每一个都被分配了来自于到达该广播路由器的多个输入中的任何一个的信号。例如, $N \times M$ 广播路由器含有 N 个输入端和 M 个输出端, 这 N 个输入端和 M 个输出端通过使 N 个输入端的任何一个施加给 M 个输出端的每一个的路由矩阵而耦合在一起。许多这样的广播路由器是由封装多个印制电路板(通常被称为“卡”)的单独机架构成, 在多种构造

25 中相互连接所述印制电路板。时常, 通过相互连接多个较小的广播路由器来构造较大的广播路由器。例如, 在先前并入作为参考的序列号为 10/____(代理人案号 IU020160)的美国专利申请中, 公开了一种通过互连五个 256×256 广播路由器而形成的全冗余线性可扩展 $1,280 \times 1,280$ 广播路由器。但是, 为了实施在那个申请中公开的多机架广播路由器, 在每个机架中必须获得相同的

30 时钟。

发明内容

在一个实施例中，本发明涉及一种包括多个机架的多机架广播路由器，在每个机架中存在路由引擎和至少一个时钟需求部件。而且，存在于多个机架的第一个中的是耦合到存在于广播路由器的每个机架中的时钟需求部件的主时钟。最好是，通过多条链路，以完全连接的拓扑结构将广播路由器的每个路由引擎的输入端耦合到另一输入端，所述多条链路也用于将公共时钟信号从主时钟分配到所有的时钟需求部件。

在另一个实施例中，本发明涉及一种包括第一和第二机架的多机架广播路由器。每个机架可支持安装第一路由器矩阵卡、冗余路由器矩阵卡、至少一个时钟需求输入卡和至少一个时钟需求输出卡。第一主时钟存在于由第一机架可支持安装的第一路由器矩阵卡上，而第二主时钟存在于由第二机架可支持安装的冗余路由器矩阵卡上。将每个主时钟耦合到由第一机架可支持安装的每个时钟需求输入和输出卡，并且耦合到由第二机架可支持安装的每个时钟需求输入和输出卡。第一主时钟将公共时钟信号提供给与其耦合的时钟需求卡，而在没有公共时钟信号时，第二主时钟将冗余公共时钟信号提供给与其耦合的时钟需求卡。耦合到第一和第二主时钟的控制逻辑电路确定第一主时钟是否将要发出公共时钟信号，或第二主时钟是否将要在没有公共时钟信号时发出冗余公共时钟信号。

附图说明

图 1 是全冗余线性可扩展广播路由器的方框图；

图 2 是图 1 的全冗余线性可扩展广播路由器的第一广播路由器部件的放大方框图；

图 3 是图 1 的全冗余线性可扩展广播路由器的第二广播路由器部件的放大方框图；

图 4 是图 2 的第一广播路由器部件的状态机的状态图；以及

图 5 是图 4 的第二广播路由器部件的状态机的状态图。

具体实施方式

首先参照图 1，现在更详细地描述根据本发明原理的一方面而构造的多机架广播路由器 100，每个机架共享公共时钟。如此处所公开的，广播路由

器 100 是全冗余线性可扩展广播路由器。然而，应当清楚地认识到，完全可以设想，在此处公开的特定类型的多机架广播路由器之外的其他类型的多机架广播路由器也可以被配置成共享公共时钟。还应当认识到，本发明的所述示教同样适用于被配置成包括封装在公共机架内的多个广播路由器部件的广播路由器。

正如现在可以看到的，多机架全冗余线性可扩展广播路由器 100 包括多个广播路由器部件，每个部件封装在各自机架内，并相互耦合以形成更大的全冗余线性可扩展广播路由器 100。每个广播路由器部件是分离的路由器部件，其包括第一(或者“主”)路由器矩阵卡和第二(或者“冗余”)路由器矩阵卡。因此，每个广播路由器部件具有第一和第二路由引擎，每个引擎存在于所述第一和冗余路由器矩阵卡的每一个上。如下面将会更全面描述的，广播路由器期间的第一和第二路由引擎中的每一个在其输入端接收相同的 N 个输入数字音频数据流，并且在其输出端接收相同的 M 个输出数字音频数据流。如此处所公开的，线性可扩展广播路由器是 $N \times M$ 大小的广播路由器。然而，完全可以设想，多机架全冗余线性可扩展广播路由器 100 可以代替由彼此不同大小的广播路由器部件来构成。

如此处进一步公开，通过将第一、第二、第三和第四广播路由器部件 102、104、106 和 108 耦合在一起来形成多机架全冗余线性可扩展广播路由器 100，所述第一、第二、第三和第四广播路由器部件中的每一个封装在分离的机架中。当然，当前公开的多机架全冗余线性可扩展广播路由器 100 由 4 个广播路由器部件 102、104、106 和 108 组成纯粹是举个例子。因此，应该清楚地认识到，按照本发明的原理构造的多机架全冗余线性可扩展广播路由器 100 可以利用各种其它数目的广播路由器部件来形成。如图 1 可以看出，当以此处公开的方式全部连接时，集中形成多机架全冗余线性可扩展广播路由器 100 的第一、第二、第三和第四广播路由器部件 102、104、106 和 108 被封装在各自的机架中。或者，当然，第一、第二、第三和第四广播路由器部件 102、104、106 和 108 可以替换一起封装在公共机架中。而且，虽然如以前所述，第一、第二、第三和第四广播路由器部件 102、104、106 和 108 中的每一个可以具有彼此不同的大小，或者可选地，可以全部具有相同的 $N \times M$ 大小，但已经证明适合于此处设想的使用的大小是 256×256 。最后，多底盘全冗余线性可扩展广播路由器 100 的适当配置将能耦合每一个大小为 256×256 并被封

装在分离机架中的5个广播路由器部件,从而产生1,280×1,280的广播路由器。

多机架全冗余线性可扩展广播路由器100的第一广播路由器部件102包括机架102C,在所述机架102C内可支持安装第一路由器矩阵卡102A和冗余路由器矩阵卡102B,所述冗余路由器矩阵卡102B用于在第一路由器矩阵卡102A出现故障的情况下替代第一路由器矩阵卡102A。同样地,多机架全冗余线性可扩展广播路由器100的第二广播路由器部件104包括机架104C,在所述机架104C内可支持安装第一路由器矩阵卡104A和冗余路由器矩阵卡104B,所述冗余路由器矩阵卡104B用于在第一路由器矩阵卡104A出现故障的情况下替代第一路由器矩阵卡104A;多机架全冗余线性可扩展广播路由器100的第三广播路由器部件106包括机架106C,在所述机架106C内可支持安装第一路由器矩阵卡106A和冗余路由器矩阵卡106B,所述冗余路由器矩阵卡106B用于在第一路由器矩阵卡106A出现故障的情况下替代第一路由器矩阵卡106A;并且多机架全冗余线性可扩展广播路由器100的第四广播路由器部件108包括机架108C,在所述机架108C内可支持安装第一路由器矩阵卡108A和冗余路由器矩阵卡108B,所述冗余路由器矩阵卡108B用于在第一路由器矩阵卡108A出现故障的情况下替代第一路由器矩阵卡108A。当然,在路由器矩阵卡102A、104A、106A和108A出现故障的情况下,将每个路由器矩阵卡102B、104B、106B和108B分别指定为路由器矩阵卡102A、104A、106A和108A的备用的冗余矩阵卡纯粹是随意的,并且完全可以设想,存在于广播路由器部件中的任一路由器矩阵卡对都可以用作存在于该广播路由器部件中的其它路由器矩阵对的备用。

尽管如将在下文中更全面地描述,广播路由器部件102、104、106和108中的每个都包括第一和冗余路由器矩阵卡,但是广播路由器部件的第一路由器矩阵卡可以与广播路由器部件的冗余路由器矩阵卡基本相同或不同。具体来说,对于第一广播路由器部件102,第一路由器矩阵卡102A的结构不同于冗余路由器矩阵卡102B。同样地,对于第二广播路由器部件104,第一路由器矩阵卡104A的结构不同于冗余路由器矩阵卡104B。而对于第三和第四广播路由器部件,第一路由器矩阵卡106A和108A分别与冗余路由器矩阵卡106B和108B基本相同。但是,需要注意的是,存在于第一路由器矩阵卡上的路由引擎与存在于冗余路由器矩阵卡上的路由引擎基本相同。

如在图1中可以进一步了解,将第一广播路由器部件102的第一路由器

矩阵卡 102A、第二广播路由器部件 104 的第一路由器矩阵卡 104A、第三广播路由器部件 106 的第一路由器矩阵卡 106A 和第四广播路由器部件 108 的第一路由器矩阵卡 108A 一起耦合到符合完全连接的拓扑结构的路由器矩阵卡的第一配置中。同样地，将第一广播路由器部件 102 的冗余路由器矩阵卡 102B、第二广播路由器部件 104 的冗余路由器矩阵卡 104B、第三广播路由器部件 106 的冗余路由器矩阵卡 106B 和第四广播路由器部件 108 的冗余路由器矩阵卡 108B 一起耦合到类似于第一配置的、符合完全连接的拓扑结构的第二配置中。在完全连接的拓扑结构中，通过分离的链路，将路由器矩阵卡的配置中的每个路由器矩阵卡耦合到形成路由器矩阵卡的部分配置的每个和全部其它路由器矩阵卡。

因此，对于路由器矩阵卡的第一配置，第一、第二和第三双向链路 110、112 和 114 将存在于第一广播路由器部件 102 的机架 102C 中的第一路由器矩阵卡 102A 分别耦合到存在于第二广播路由器部件 104 的机架 104C 中的第一路由器矩阵卡 104A、存在于第三广播路由器部件 106 的机架 106C 中的第一路由器矩阵卡 106A、和存在于第四广播路由器部件 108 的机架 108C 中的第一路由器矩阵卡 108A。此外，第四和第五双向链路 116 和 118 将存在于第二广播路由器部件 104 的机架 104C 中的第一路由器矩阵卡 104A 分别耦合到存在于第三广播路由器部件 106 的机架 106C 中的第一路由器矩阵卡 106A 和存在于第四广播路由器部件 108 的机架 108C 中的第一路由器矩阵卡 108A。最后，第六双向链路 120 将存在于第三广播路由器部件 106 的机架 106C 中的第一路由器矩阵卡 106A 耦合到存在于第四广播路由器部件 108 的机架 108C 中的第一路由器矩阵卡 108A。

同样地，对于路由器矩阵卡的第二配置，第一、第二和第三双向链路 122、124 和 126 将存在于第一广播路由器部件 102 的机架 102C 中的冗余路由器矩阵卡 102B 分别耦合到存在于第二广播路由器部件 104 的机架 104C 中的冗余路由器矩阵卡 104B、存在于第三广播路由器部件 106 的机架 106C 中的冗余路由器矩阵卡 106B、和存在于第四广播路由器部件 108 的机架 108C 中的冗余路由器矩阵卡 108B。此外，第四和第五双向链路 128 和 130 将存在于第二广播路由器部件 104 的机架 104C 中的冗余路由器矩阵卡 104B 分别耦合到存在于第三广播路由器部件 106 的机架 106C 中的冗余路由器矩阵卡 106B 和存在于第四广播路由器部件 108 的机架 108C 中的冗余路由器矩阵卡 108B。最

后,第六双向链路 132 将存在于第三广播路由器部件 106 的机架 106C 中的冗余路由器矩阵卡 106B 耦合到存在于第四广播路由器部件 108 的机架 108C 中的冗余路由器矩阵卡 108B。

现在将更加详细地描述第一、第二、第三和第四广播路由器部件 102、
5 104、106 和 108。图 2 示出了第一广播路由器部件 102。如先前所阐述的,第一广播路由器部件 102 包括第一路由器矩阵卡 102A 和冗余路由器矩阵卡 102B,通过第一广播路由器部件 102 的机架 102C(在图 2 中未示出)可滑动容纳并且可支持安装第一路由器矩阵卡 102A 和冗余路由器矩阵卡 102B 中的每个。通过机架 102 还可以滑动容纳并且支持安装输入卡 136-1 至 136-N 和输出卡 138-1 至 138-M。将每个输入卡 136-1 至 136-N 耦合到第一路由器矩阵卡 102A 和冗余路由器矩阵卡 102B。同样地,将每个输出卡 138-1 至 138-M 耦合到第一路由器矩阵卡 102A 和冗余路由器矩阵卡 102B。当然,尽管在图 2 中示出了离散输入和输出卡 136-1 至 136-N 和 138-1 至 138-M,但是需要清楚了解地是,如果需要,存在于输入和输出卡(例如,输入卡 136-1 和输出卡 138-1)
10 上的功能可以替换到单独的输入/输出(“I/O”)卡上。此外,尽管图 2 示出了离散输入和输出卡 136-1 至 136-N 和 138-1 至 138-M,但是完全可以设想,根据其上的可用空间,存在于输入卡(例如,输入卡 136-1)、输出卡(例如,输出卡 138-1)、或输入卡和输出卡(例如,输入卡 136-1 和输出卡 138-1)上的所有或部分功能可以改为存在于第一路由器矩阵卡 102A、冗余路由器矩阵卡
15 102 B 或一些它们的组合上。

输入信号选择电路(未示出)存在于每个输入卡 136-1 至 136-N 上。输入信号选择电路从其接收的多个输入信号中选择一个输入信号,从而发送给第一路由器矩阵卡 102A 和冗余路由器矩阵卡 102B。通常,输入信号选择电路用于在符合美国声学工程学会-11(“AES-11”)标准的输入数字音频数据流和符合
25 AES-10 标准中所规定的多信道数字音频接口(“MADI”)标准的输入数字音频数据流之间进行选择。在这一点上,需要注意的是 MADI 输入数字音频数据流可以包含多达 32 个 AES 数字音频数据流,并且到输入选择电路的每个输入应该典型地包含单个 AES 数字音频数据流,先前已经通过提取电路(也未示出)从 MADI 输入数字音频数据流中提取了所述单个 AES 数字音频数据流。
30 当然,这样的构造纯粹是举例,并且完全可以设想,如果第一广播路由器部件 102 替换构造用来将单一类型的数字音频数据接收为到其的输入,则

不需要输入信号选择电路。

由于存在于每个输入卡 136-1 至 136-N 上的输入选择电路选择将发送到每个第一和冗余路由器矩阵卡 102A 和 102B 的输入数字音频流,所以每个第一和冗余路由器矩阵卡 102A 和 102B 分别从输入卡 136-1 至 136-N 接收输入

5 数字音频信号 1 至 N。路由引擎(“RE”)140、发送扩展端口(“EXP”)146、第一、第二和第三接收扩展端口(未示出)、第一主时钟(“CLK-A”)134 和第一状态机(“SM”)148 存在于第一路由器矩阵卡 102A 上。将从输入卡 136-1 至 136-N 传播的输入数字音频流 1 至 N 发送到路由引擎 140 和发送扩展端口 146。在先前并入作为参考的序列号为 10/____(代理人案号 IU020160)的同时

10 待审美国专利申请中更为详细地描述了路由引擎 140 和发送扩展端口 146 的操作。但是,简单地来说,将发送扩展端口 146 接收的 N 个输入数字音频数据流转发给第二路由器矩阵部件 104 的第一路由器矩阵卡 104A、第三路由器矩阵部件 106 的第一路由器矩阵卡 106A、和第四路由器矩阵部件 108 的第一路由器矩阵卡 108A。同样地,路由器矩阵卡 104A、106A 和 108A 具有发送

15 扩展端口,所述发送扩展端口将其分别接收的输入数字音频数据流 N+1 至 2N、2N+1 至 3N 和 3N+1 至 4N 发送到路由引擎 140。

将输入卡 136-1 至 136-N 输出的输入数字音频流 1 至 N 与从第二、第三和第四广播路由器部件 104、106 和 108 分别接收的输入数字音频数据流 N+1 至 2N、2N+1 至 3N 和 3N+1 至 4N 一起作为输入提供给路由引擎 140。存在于路由引擎 140 上的信号选择功能能够将 M 个输出中的每个连接到从 4N 个

20 输入选择的一个输入。通过控制电路(也未示出)来控制对与 M 个输出的每个相连接的 4N 个输入中的特定输入的选择。从路由引擎 140 中,将 M 个输出数字音频数据流的每个传送给输出卡 138-1 至 138-M 中的一个对应输出卡。存在于每个输出卡 138-1 至 138-M 上的是输出信号选择电路(未示出),所述

25 输出信号选择电路从由第一路由器矩阵卡 102A 接收的第一输出数字音频数据流和第二路由器矩阵卡 102B 接收的第二输出数字音频数据流中,选择将输出给第一广播路由器部件 102 的数字音频数据流。

如先前所阐述的,第一主时钟 134 和第一状态机 148 也存在于第一广播路由器部件 102 的第一路由器矩阵卡 102A 上。如将在下文中更全面地描述,

30 第一主时钟 134 将第一公共时钟信号提供给广播路由器 100 的所有时钟需求部件。如在此处所公开的,将每个广播路由器部件 102、104、106 和 108 的

输入和输出卡指定为时钟需求部件。但是,上述公开纯粹是举例,并且完全可以设想,其它部件(包括在附图中所示出的部件和/或为了简化说明而省略的部件)也可以是时钟需求部件。因此,将第一主时钟 134 生成的第一公共时钟信号绑定到每一个输入卡 136-1 至 136-N 和输出卡 138-1 至 138-M 的时钟输入 CLK-A。如果将第一主时钟 134 生成的第一公共时钟信号绑定到每个输入卡 142-1 至 142-N 和输出卡 144-1 至 144-M 的时钟输入 CLK-A,通过链路 110 将所述第一公共时钟也发送给第二广播路由器部件 104。使用各种技术,也可以设想将第一主时钟 134 生成的第一公共时钟信号分配给其他广播路由器部件,例如,广播路由器部件 104。如果将第一公共时钟信号 CLK-A 添加到数据信号,第一主时钟最好将第一公共时钟信号 CLK-A 发送给发送扩展端口 146,其中通过链路 110 将所述数据信号发送给存在于第一路由器矩阵卡 104A 上的接收扩展端口。一旦数据信号到达第一路由器矩阵卡 104A,从数据信号中提取第一公共时钟信号 CLK-A,以便随后分配给第一路由器矩阵卡 104A 的时钟需求部件。或者设想可以通过使用离散线路(例如,导电线或光纤)的链路 110 来发送第一公共时钟信号 CLK-A,以便通过将一条线路添加到一条或多条单独或共同形成链路 110 的现有线路(例如,将传送第一公共时钟信号的线路和传送数字音频数据信号的线路从发送扩展端口 146 缠绕到第二广播路由器部件 104),从而专门传送第一公共时钟信号。以类似的方式,通过链路 112 和 114 将第一主时钟 134 的输出分别发送给第三和第四广播路由器部件 106 和 108,以便也将第一公共时钟信号分配给所有的输入和输出卡。当然,尽管图 2 示出了仅将输入和输出卡作为时钟需求部件,完全可以设想,图 2 中所示的第一广播路由器部件 102 的其它部件,以及为了简化说明而在图 2 中省略的第一广播路由器部件 102 的部件都可以是具有耦合到第一主时钟 134 的 CLK-A 输入的时钟需求部件。

通过第一状态机 148 来控制第一主时钟 134。在图 2 中可以进一步了解,状态机 148 具有耦合到路由引擎 140 的第一输入端、耦合到发送扩展端口 146 的第二输入端、耦合到存在于第二广播路由器部件 104 的冗余路由矩阵卡 104B 的路由引擎 150 的第三输入端、耦合到存在于第二广播路由器部件 104 的冗余路由矩阵卡 104B 的发送扩展端口 152 的第四输入端、和耦合到第一主时钟 134 的输出端。如在此所描述的,通过链路 110 和 122,将开始于第二广播路由器部件 104 的第二路由器矩阵卡 104B 的第三和第四输入端分别耦合

到状态机 148。但是，完全可以设想，可以改为通过其它的链路将第三和第四输入端耦合到状态机 148，如果需要，也可以通过链路 110 或链路 122 将这两个输入端耦合到状态机 148。此外，尽管在下文中更加全面地描述了状态机 148 的操作的具体细节，但是简要的来说，第一状态机 148 根据耦合到其第一、第二、第三和第四输入端的路由引擎 140、发送扩展端口 146、路由引擎 150 和发送扩展端口 152 的操作条件，选择性地启动/停止第一主时钟 134。

在图 2 所示的第一路由器矩阵卡 102A 的四个部件中，冗余路由器矩阵卡 102B 仅包括发送扩展端口(未示出)和路由引擎(也未示出)，所述发送扩展端口被耦合用于从输入卡 136-1 至 136-N 接收数字音频数据输入信号 1 至 N，而所述路由引擎被耦合用于从输入卡 136-1 至 136-N 接收数字音频数据信号 1 至 N、通过链路 122 从冗余路由器矩阵卡 104B 接收数字音频数据信号 N+1 至 23N、通过链路 124 从冗余路由器矩阵卡 106B 接收数字音频数据信号 2N+1 至 3N、以及通过链路 126 从冗余路由器矩阵卡 108B 接收数字音频数据信号 3N+1 至 4N。路由引擎进一步包括分别耦合到输出卡 1 至 M 的 M 个输出端。存在于路由引擎中的信号选择功能将 M 个输出端的每个连接到从 4N 个输入端中选择一个输入端。对存在于第一路由器矩阵卡 102A 上的路由引擎 140 和存在于冗余路由器矩阵卡 102B 的路由引擎执行相同的控制，从而第一路由器矩阵卡 102A 的 M 个输出数字音频数据流与冗余路由器矩阵卡 102B 的 M 个输出数字音频数据流相同。

图 3 示出了第二广播路由器部件 104。如先前所阐述的，第二广播路由器部件 104 包括第一路由器矩阵卡 104A 和冗余路由器矩阵卡 104B，在第二广播路由器部件 104 的机架 104C(在图 3 中未示出)中可滑动容纳并可支持安装第一路由器矩阵卡 104A 和冗余路由器矩阵卡 104B 中的每个。在机架 104 中也可以滑动容纳并可支持安装输入卡 142-1 至 142-N 和输出卡 144-1 至 144-M。将每个输入卡 142-1 至 142-N 耦合到第一路由器矩阵卡 104A 和冗余路由器矩阵卡 104B。同样地，将每个输出卡 144-1 至 144-M 耦合到第一路由器矩阵卡 104A 和冗余路由器矩阵卡 104B。当然，在图 3 中示出的是离散的输入和输出卡 142-1 至 142-N 和 144-1 至 144-M，但是需要清楚地理解的是，如果需要，存在于输入卡和输出卡(例如，输入卡 142-1 和输出卡 144-1)上的功能也可以改为存在于单独的 I/O 卡上。此外，尽管图 3 示出了离散的输入

和数促卡 142-1 至 142-N 和 144-1 至 144-M, 但是完全可以设想, 取决于其上的可用空间, 图示为存在于输入卡(例如输入卡 142-1)、输出卡(例如输出卡 144-1)、或这两者上的全部或部分功能可以改为存在于第一路由器矩阵卡 104A、冗余路由器矩阵卡 104B 或它们的某些结合上。

- 5 存在于每一个输入卡 142-1 到 142-N 上的是输入信号选择电路(未示出)。该输入信号选择电路从其接收的多个输入信号中选择将要被传送到第一路由器矩阵卡 104A 和冗余路由器矩阵卡 104B 两者的输入信号。通常, 输入选择电路用于在符合 AES-11 标准的输入数字音频数据流和符合 AES-10 标准中所规定的 MADI 标准的输入数字音频数据流之间进行选择。在这一点上再次需
- 10 要注意的是 MADI 输入数字音频数据流可以包含符合 32AES 的数字音频数据流, 并且到输入选择电路的每个输入应该代表性地包含单独的 AES 数字音频数据流, 先前已经通过提取电路(也未示出)从 MADI 输入数字音频数据流中提取了所述单独的 AES 数字音频数据流。当然, 这样的构造纯粹是举例, 并且完全可以设想, 可以从单独的一个输入卡 142-1 至 142-N 中接收 $N+1$ 至
- 15 $2N$ 个输入数字音频数据流中的多个。

- 由于存在于每个输入卡 142-1 至 142-N 上的输入选择电路选择将发送到每个第一和冗余路由器矩阵卡 104A 和 104B 的输入数字音频数据流, 所以每个第一和冗余路由器矩阵卡 104A 和 104B 分别从输入卡 142-1 至 142-N 接收输入数字音频信号 $N+1$ 至 $2N$ 。路由引擎 150、发送扩展端口 152、第一、第二和第三接收扩展端口(未示出)、第二主时钟(“CLK-B”)154 和状态机 156 存
- 20 在于冗余路由器矩阵卡 104A 上。将分别从输入卡 142-1 至 142-N 传播的输入数字音频流 $N+1$ 至 $2N$ 发送到路由引擎 150 和发送扩展端口 152。如先前所记录的, 在先前全文引用作为参考的序列号为 10/____(代理人案号 IU020160)的同时待审美国专利申请中更为详细地描述了路由引擎 150 和发送扩展端口
- 25 152 的操作。但是, 简单的来说就是将发送扩展端口 152 接收的输入数字音频数据流 $N+1$ 至 $2N$ 发送给第一路由器矩阵部件 102 的冗余路由器矩阵卡 102B、第三路由器矩阵部件 106 的冗余路由器矩阵卡 106B 和第四路由器矩阵部件 108 的冗余路由器矩阵卡 108B。同样地, 路由器矩阵卡 102B、106B 和 108B 具有发送扩展端口, 所述发送扩展端口将其分别接收的输入数字音频
- 30 数据流 1 至 N 、 $2N+1$ 至 $3N$ 和 $3N+1$ 至 $4N$ 发送到路由引擎 150。

 将从输入卡 142-1 至 142-N 传播的 $N+1$ 至 $2N$ 个输入数字音频流与分别

从第一、第三和第四广播路由器部件 102、106 和 108 接收的输入数字音频数据流 1 至 N、2N+1 至 3N 和 3N+1 至 4N 一起作为输入提供给路由引擎 150。存在于路由引擎 150 上的信号选择功能能够将 M 个输出中的每个连接到从 4N 个输入选择的一个输入。通过控制电路(也未示出)来控制对与 M 个输出的每个相连接的 4N 个输入中的特定输入的选择。从路由引擎 150 中, 将 M 个输出数字音频数据流的每个传播给输出卡 144-1 至 144-M 中的一个对应输出卡。存在于每个输出卡 144-1 至 144-M 上的是输出信号选择电路(未示出), 所述输出信号选择电路从从第一路由器矩阵卡 104A 接收的第一输出数字音频数据流和从第二路由器矩阵卡 104B 接收的第二输出数字音频数据流中, 选择将输出给第二广播路由器部件 104 的数字音频数据流。

如先前所阐述的, 第二主时钟 154 和第一状态机 156 也存在于第二广播路由器部件 104 的第二路由器矩阵卡 104B 上。如将在下文中所更全面描述的, 第二主时钟 154 将第二(冗余)公共时钟信号提供给广播路由器 100 的所有时钟需求部件。因此, 将第二主时钟 154 的输出绑定到每一个输入卡 142-1 至 142-N 和输出卡 144-1 至 144-M 的时钟输入 CLK-B。如果将第二主时钟 154 的输出绑定到每个输入卡 136-1 至 136-N 和输出卡 138-1 至 138-M 的时钟输入 CLK-B, 则通过链路 122 将所述输出也发送给第一广播路由器部件 102。如果将第二公共时钟信号 CLK-B 添加到数据信号, 第二主时钟最好将第二公共时钟信号 CLK-B 发送给发送扩展端口 152, 其中通过链路 122 将所述数据信号发送给存在于第一路由器矩阵卡 102A 上的接收扩展端口。一旦数据信号到达第一路由器矩阵卡 102A, 从数据信号中提取第二公共时钟信号 CLK-B, 以便随后分配给第一路由器矩阵卡 102A 的时钟需求部件。或者设想可以通过使用离散线路(例如, 导电线或光纤)的链路 124 来发送第二公共时钟信号 CLK-B, 以便通过将一条线路添加到一条或多条单独或共同形成链路 124 的现有线路(例如, 将传送第一公共时钟信号的线路和传送数字音频数据信号 N+1 至 2N 的线路从发送扩展端口 152 缠绕到第一广播路由器部件 104), 从而专门传送第二公共时钟信号。同样地, 通过链路 128 和 130 将第二主时钟 154 的输出也分别发送给第三和第四广播路由器部件 106 和 108, 以便也将第二公共时钟信号分配给所有的输入和输出卡。当然, 尽管图 3 示出了仅将输入和输出卡作为时钟需求部件, 完全可以设想, 图 3 中所示的第二广播路由器部件 104 的其它部件, 以及为了简化说明而在图 3 中省略的第二广播路由器

部件 104 的部件都可以是具有耦合到第二主时钟 154 的 CLK-B 输入的时钟需求部件。但是，需要紧记的是，多机架全冗余线性可扩展广播路由器 100 的所有时钟需求部件分别应该同时包括分别耦合到第一主时钟 134 和第二主时钟 154 的 CLK-A 和 CLK-B。

5 通过状态机 156 来控制第二主时钟 154。在图 3 中可以进一步了解，状态机 156 具有耦合到路由引擎 150 的第一输入端、耦合到发送扩展端口 152 的第二输入端、耦合到存在于第一广播路由器部件 102 的第一路由矩阵卡 102A 上的路由引擎 140 的第三输入端、耦合到存在于第一广播路由器部件 102 的第一路由矩阵卡 102A 的发送扩展端口 146 的第四输入端、和耦合到第
10 二主时钟 154 的输出端。如在此所描述的，通过链路 122 和 110，将开始于第一广播路由器部件 102 的第一路由器矩阵卡 102A 的第三和第四输入端分别耦合到状态机 156。但是，完全可以设想，可以改为通过其它的链路将第三和第四输入端耦合到状态机 156，如果需要，也可以通过链路 110 或链路 122 将这两个输入端耦合到状态机 156。此外，尽管在下文中更加全面地描述
15 了状态机 156 的操作的具体细节，但是简要的来说，状态机 156 根据与其耦合的路由引擎 150、发送扩展端口 152、路由引擎 140 和发送扩展端口 146 的操作条件，选择性地启动/停止第二主时钟 154。

在图 3 所示的冗余路由器矩阵卡 104B 的四个部件中，第一路由器矩阵卡 104A 仅包括发送扩展端口(未示出)和路由引擎(也未示出)，所述发送扩展
20 端口被耦合用于从输入卡 142-1 至 142-N 接收数字音频数据输入信号 $N+1$ 至 $2N$ ，而所述路由引擎被耦合用于从输入卡 142-1 至 142-N 接收数字音频数据信号 $N+1$ 至 $2N$ 、通过链路 110 从第一路由器矩阵卡 102A 接收数字音频数据信号 1 至 N 、通过链路 116 从第一路由器矩阵卡 106A 接收数字音频信号 $2N+1$ 至 $3N$ 、以及通过链路 118 从第一路由器矩阵卡 108A 接收数字音频信号 $3N+1$
25 至 $4N$ 。路由引擎进一步包括分别耦合到输出卡 1 至 M 的 M 个输出端。存在于路由引擎中的信号选择功能将 M 个输出端的每个连接到从 $4N$ 个输入端中选择的一个输入端。对存在于冗余路由器矩阵卡 104B 上的路由引擎 150 和存在于第一路由器矩阵卡 104A 上的第一引擎执行相同的控制，从而第一路由器矩阵卡 104A 的 M 个输出数字音频数据流与冗余路由器矩阵卡 104B 的 M
30 个输出数字音频数据流相同。

第三和第四广播路由器部件 106 和 108 彼此大致相同，并且与第一和第

二广播路由器部件 102 和 104 稍微相似。如先前所阐述的, 第三广播路由器部件 106 包括第一路由器矩阵卡 106A 和冗余路由器矩阵卡 106B, 通过机架 106C 可滑动容纳或可支持安装第一路由器矩阵卡 106A 和冗余路由器矩阵卡 106B 之中的每个。同样地, 第四广播路由器部件 108 包括第一路由器矩阵卡 108A 和冗余路由器矩阵卡 108B, 通过机架 108C 可滑动容纳或可支持安装第一路由器矩阵卡 108A 和冗余路由器矩阵卡 108B 之中的每个。同样地, 将第三广播路由器部件 106 的第一和冗余路由器矩阵卡 106A 和 106B, 以及第四广播路由器部件 108 的第一和冗余路由器矩阵卡 108A 和 108B 大致相同地构造到第一广播路由器部件 102 地冗余路由器矩阵卡 102B 和/或第二广播路由器部件 104 地第一路由器矩阵卡 104A。换言之, 第一路由器矩阵卡 106A 和 108A 和冗余路由器矩阵卡 106B 和 108B 都包括发送扩展端口、路由引擎和多个接收扩展端口, 但是不包括主时钟和状态机。

第三和第四广播路由器部件 106 和 108 之中的每个进一步包括 N 个输入卡和 M 个输出卡, 通过机架 106C 和 108C 分别可滑动容纳和可支持安装所有的输入卡和输出卡。将第三广播路由器部件 106 的每个输入和输出卡耦合到每个第一路由器矩阵卡 106A 和冗余路由器矩阵卡 106B。同样地, 将第四广播路由器部件 108 的每个输入和输出卡耦合到每个第一路由器矩阵卡 108A 和冗余路由器矩阵卡 108B。类似于第一和第二广播路由器部件 102 和 104 的输入和输出卡, 第三和第四广播路由器部件 106 和 108 的每个输入和输出卡分别包括绑定到第一和第二主时钟 134 和 154 的 CLK-A 输入和 CLK-B 输入。更具体的来说, 通过链路 112 将第三广播路由器部件 106 的输入和输出卡绑定到第一主时钟 134 并且通过链路 128 将其绑定到第二主时钟 154, 而通过链路 114 将第四广播路由器部件 108 的输入和输出卡绑定到第一主时钟 134 并且通过链路 130 将其绑定到第二主时钟 154。

如先前所阐述的, 存在于多机架广播路由器 100 的每个机架 102C、104C、106C 和 108C 上的时钟需求部件被耦合用于接收公共时钟信号, 例如, 第一主时钟 134 所生成的 CLK-A 信号。存在于多机架广播路由器 100 的每个机架 102C、104C、106C 和 108C 上的时钟需求部件还进一步被耦合用于接收冗余公共时钟信号, 例如, 第二主时钟 154 所生成的 CLK-B 信号。但是, 要以以下方式来处理冗余: 任何路由器矩阵卡(例如路由器矩阵卡 102A)或任何机架(例如机架 104B)的无效都能够不导致整个广播路由器 100 的无效。以下的表

I示出了为了实现这个结果而执行的逻辑。如在以下表I中所使用的广播路由器部件的路由器矩阵卡，其在不仅存在而且运行路由器矩阵卡的时候视为“OK”。此外，在从存在于路由器矩阵卡上的具有发送扩展端口的主时钟中接收的时钟信号的频率相对稳定时，发送扩展端口被示为“锁定”。

第一路由器 矩阵卡 102A OK	TX 端口 146 锁定	冗余路由器 矩阵卡 104B OK	TX 端口 152 锁定	主时钟	路由器 状态
是	是	无关	无关	时钟 134	全部
是	否	是	是	时钟 154	全部
否	无关	是	是	时钟 154	全部
是	否	是	否	时钟 134	部分
否	无关	是	否	时钟 154	部分
否	无关	否	无关	无	无

5 表I

如先前所阐述的，通过根据表I所列举的要求来执行公共时钟信号的冗余，任何路由器矩阵卡(例如路由器矩阵卡 102A)或任何机架(例如机架 104B)的无效都能够不导致整个广播路由器 100 的无效。更具体的来说，如果第一广播路由器 102 工作正常，即，路由器矩阵卡 102 准备就绪并且发送扩展端
10 口 146 被锁定，则第一主时钟 134 将时钟信号 CLK-A 作为公共时钟信号分配给多机架广播路由器 100 的所有时钟需求部件，从而使多机架广播路由器 100 能够以完全状态运行。但是，如果第一路由器矩阵卡 102A 由于发送扩展端口 146 未锁定而无效，尽管第一主时钟仍然可以生成时钟信号 CLK-A，也不能将时钟信号分配给整个多机架广播路由器 100。在这种情况下，如果冗余
15 路由器矩阵卡 104B 准备就绪，并且发送扩展端口 152 被锁定，则第二主时钟 154 可以将时钟信号 CLK-B 作为公共时钟信号分配给多机架路由器 100 的所有时钟需求部件，从而使多机架广播路由器 100 能够以完全状态继续运行。同样地，如果第一路由器矩阵卡 102 无效，例如，如果第一路由器矩阵卡 102A 丢失了，第一主时钟 134 将不能提供时钟信号 CLK-A。在这种情况下，如果
20 冗余路由器矩阵卡 104B 准备就绪并且发送扩展端口 152 被锁定，无论是否锁定了发送扩展端口 146，第二主时钟 154 都可以将时钟信号 CLK-B 作为公共时钟信号再次分配给多机架路由器 100 的所有时钟需求部件，从而使多机架

广播路由器 100 能够以完全状态继续运行。

如果第一路由器矩阵卡 102A 准备就绪而发送扩展端口 146 和发送扩展端口 152 都未被锁定，则第一主时钟 134 将成为多机架广播路由器 100 的主时钟。尽管第一主时钟 134 仍然能够生成时钟信号 CLK-A，但是不能将时钟信号 CLK-A 分配给多机架广播路由器 100 的其它机架。由于只有广播路由器部件 102 的时钟需求部件将具有公共时钟信号，所以多机架广播路由器 100 将部分状态运行。另一方面，如果第一路由器矩阵卡 102A 无效，冗余路由器矩阵卡 104B 仍然准备就绪，而发送扩展端口 152 未被锁定，则第二主时钟 154 将成为多机架广播路由器 100 的主时钟。尽管第二主时钟 154 仍然能够生成时钟信号 CLK-B，但是不能将时钟信号 CLK-B 分配给多机架广播路由器 100 的其它机架。由于只有广播路由器部件 104 的时钟需求部件将具有公共时钟信号，所以多机架广播路由器 100 将再次以部分状态运行。最后，如果第一路由器矩阵卡 102A 和冗余路由器矩阵卡 104B 都无效，则多机架广播路由器将没有主时钟。由于没有公共时钟信号可以提供给多机架广播路由器 100 的时钟需求部件，所以多机架广播路由器 100 将完全无效。

使用布尔逻辑来执行上述表I。但是，在这样做时，将会出现不理想的行为。最好能让第一或冗余路由器矩阵卡的拆取和插入不会导致路由器的输出中的任何缺陷。非故障(non-glitching)时钟复用电路的使用将解决很多问题，所述非故障时钟复用电路用于在锁定状态与非锁定状态之间进行切换，并且用于在时钟之间进行切换。当主时钟 134 和 154 具有稍微不同的频率时，就会导致这个问题。当路由器矩阵卡移动或无效时，这个结果是无可避免的。但是，路由器矩阵卡的插入并不一定要导致这个问题。换言之，重新插入的路由器矩阵卡最好直到需要它时才成为主卡。

在图 4 和 5 所示的状态图中示出了上述表I的示例性逻辑执行。更具体地，第一状态机 148 具有三个状态：第一(“主”(或“M”))状态 158，其中第一状态机 148 将把信号 CLK-A 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第一主时钟 134；第二(“后备”(或“B”))状态 160，其中第一状态机 148 将不把信号 CLK-A 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第一主时钟 134；和第三(“死(dead)”(或“D”))状态 162，其中第一状态机 148 将再次把不将信号 CLK-A 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第一主时钟 134。最初，第一状态机处于

第一状态 158。在这个状态中，来自路由引擎 140 的输入表示第一路由器矩阵卡 102A 是存在并且运行的，而来自发送扩展端口 146 的输入表示其已被锁定。来自路由引擎 150 的输入和来自发送扩展端口 146 的输入是无关的。

- 5 在第一状态 158 中，第一状态机 148 将信号发送给第一主时钟 158，以指示第一主时钟 158 将公共时钟信号 CLK-A 提供给多机架广播路由器 100 的所有时钟需求部件。此外，由于多机架广播路由器 100 的所有时钟需求部件正在从第一主时钟 134 接收公共时钟信号 CLK-A，所以广播路由器的状态为“全部”，即，所有的广播路由器部件 102、104、106 和 108 都正在运行。

- 10 无论第二主时钟 154 的操作条件如何，第一主时钟 134 将继续提供公共时钟信号 CLK-A，知道路由引擎 140 或发送扩展端口 146 无效。如果来自路由引擎 140 的输入发生变化，则会出现路由引擎无效，从而这现在就意味者第一路由器矩阵卡 102A 不存在或者不再运行。如果来自发送扩展端口 146 的输入表示时钟信号不再连续，则会出现发送扩展端口无效。如果出现这些情况中的一种，第一状态机 140 将转变成第三状态 162。在这个状态中，第一状态机 148 将信号发送给第一主时钟 134，以便不将公共时钟信号 CLK-A 分配给多机架广播路由器 100 的时钟需求部件。在表I中可以看出，将根据第二状态机 156 的状态来确定在广播路由器 100 中，是否全部、部分或没有时钟需求部件将具有公共时钟信号。

- 20 第一状态机 148 将从第三状态 162 转变成第一状态 158 或第二状态 160。当来自路由引擎 140 的输入再次表示第一路由器矩阵卡 102A 是存在并且运行的，并且来自发送扩展端口 146 的输入再次表示该端口被锁定时，将会出现这种转变。根据第二状态机 156 的情况来确定将出现的特定转变。更具体的来说，如果第二状态机 156 处于第一(“主”)状态 164，则第二状态机 156 目前将信号发送给第二主时钟 154，以便将公共时钟信号 CLK-B 分配给广播路由器 100 的时钟需求部件。如果第二主时钟正在分配公共时钟信号 CLK-B，25 则到第一状态机 148 的第三和第四输入则表示冗余路由器矩阵卡 104B 准备就绪并且发送扩展端口 152 被锁定。相应地，如果第一状态机 148 将不分配公共时钟信号 CLK-A 的指令发送给第一主时钟时，则第一状态机 148 将转变成第三状态 160。但是，如果第二状态机 156 处于任何其它的状态，第一状态机 148 将转变成第一状态 158，在第一状态 158 中，第一状态机 148 将再次将信号发送给第一主时钟 134，以便分配公共时钟信号 CLK-A。

第一状态机 148 将从第二状态 160 转变成第三状态 162 或第一状态 158。转变成第三状态 162 的发生可以与第二状态机 156 无关。具体来说，如果第一输入表示路由引擎 140 无效，或者如果第二输入表示发送扩展端口 146 无效，则第一状态机 148 将转变成第三状态 162。另一方面，只有在第二状态机 156 正在进行转变时才会出现转变成第一状态 158。具体来说，如果第二状态机 156 从第一状态 164 转变成第三状态 168，到第一状态机 148 的第三或第四输入将表示冗余路由器矩阵卡 104B 未准备就绪，和/或发送扩展端口 146 未被锁定。

接下来参见图 5，状态机具有四个状态：第一状态 164，其中第二状态机 156 将把信号 CLK-B 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第二主时钟 154；第二状态 166，其中第二状态机 156 将不把信号 CLK-B 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第二主时钟 154；第三状态 168，其中第二状态机 156 再次将不把信号 CLK-B 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第二主时钟 154；和第四(“等待”(或“W”))状态 160，其中第二状态机 156 再次将不把信号 CLK-B 发送给多机架广播路由器 100 的所有时钟需求部件的指令发送给第二主时钟 154。最初，第二状态机 156 处于第二状态 158。在这个状态中，来自路由引擎 140 的输入表示第一路由器矩阵卡 102A 是存在并且运行的，而且来自发送扩展端口 146 的输入表示其已被锁定。同样的，来自路由引擎 150 的输入表示冗余路由器矩阵卡 104B 是存在并且运行的，而且来自发送端口 152 的输入表示其已被锁定。在第二状态 166 中，第二状态机 156 将信号发送给第二主时钟 154，以便指示第二主时钟 154 不将公共时钟信号 CLK-B 提供给多机架广播路由器 100 的所有时钟需求部件。

第二状态机 148 可以从第二状态 166 转变成第三状态 168 或第一状态 164。转变成第三状态 162 可以与第二状态机 156 无关。具体地，如果来自路由引擎 150 的输入表示冗余路由器矩阵卡 150 无效，或来自发送扩展端口 156 的输入表示其不再被锁定，则状态机 156 将转变成第三状态 168。在第三状态 168 中，状态机 156 将再次发送指令到第二主时钟 154，从而指示主时钟 154 别将公共时钟信号 CLK-B 分配给多机架广播路由器 100 的时钟需求部件。相反地，一旦第一状态机 148 从第一状态 158 或第二状态 160 转变成第三状态，则第二状态机 166 只能从第二状态 166 转变成第一状态 164。一旦来自路由

引擎 140 的输入表示第一路由器矩阵卡 102A 无效, 或者来自发送扩展端口 146 的输入表示时钟信号不再连续, 则建议第二状态机 156 进行这样的转变。如果出现这些情况当中的一种, 第二状态机 156 将从第二状态 166 转变成第一状态 164。在这个状态中, 第二状态机 156 将信号发送给第二主时钟 154, 从而将公共时钟信号 CLK-B 分配给多机架广播路由器 100 的时钟需求部件。

第二状态机 156 只能从第一状态 164 转变成第三状态 168。一旦第一状态机 148 从第一状态 158 或第二状态 160 转变成第三状态 162, 则将出现这种转变。一旦来自路由引擎 140 的输入表示第一路由器矩阵卡 102A 无效, 或者来自发送扩展端口 146 的输入表示时钟信号不再恒定, 则建议第二状态机 156 进行这样的转变。如果出现这些情况当中的一种, 第二状态机 156 将从第一状态 164 转变成第三状态 168。在这个状态中, 第二状态机 156 将信号发送给第二主时钟 154, 从而不将公共时钟信号 CLK-B 分配给多机架广播路由器 100 的时钟需求部件。

第二状态机 156 只能从第三状态 168 转变成第四状态 170。一旦来自路由引擎 150 的输入表示冗余路由器矩阵卡 104B 是存在并且运行的, 并且/或者来自发送扩展端口 152 的输入表示该端口已被锁定, 则仅会出现这样的转变。在第四状态 170 中, 第二状态机 156 将信号发送给第二主时钟 154, 从而不将公共时钟信号 CLK-B 分配给广播路由器 100 的时钟需求部件。最后, 第二状态机 156 可以从第四状态 170 转变成第一、第二和第三状态 164、166 和 168 中的任一状态。更具体地说, 如果来自路由引擎 140 的输入表示第一路由器矩阵卡无效, 和/或者来自发送扩展端口 146 的输入表示该端口未被锁定, 则第二状态机 156 将转变成第一状态 164。相反地, 如果来自路由引擎 140 的输入表示第一路由器矩阵卡 102A 是存在并运行的, 并且来自发送扩展端口 146 的输入表示该端口已被锁定, 则第二状态机 170 将转变成第二状态 166。最后, 如果来自路由引擎 150 的输入表示冗余路由器矩阵卡 104B 是无效的, 和/或来自发送扩展端口 152 的输入表示该端口未被锁定, 则第二状态机 170 将转变成第三状态 168。

当然, 虽然在此已经示出和描述了本发明的优选实施例, 但本领域的普通技术人员可以在不偏离本发明的精神或原理的情况下, 作出各种各样的修改和其它改变。因此, 本发明的保护范围不局限于此处所述的实施例, 而是只由所附权利要求书来限定。

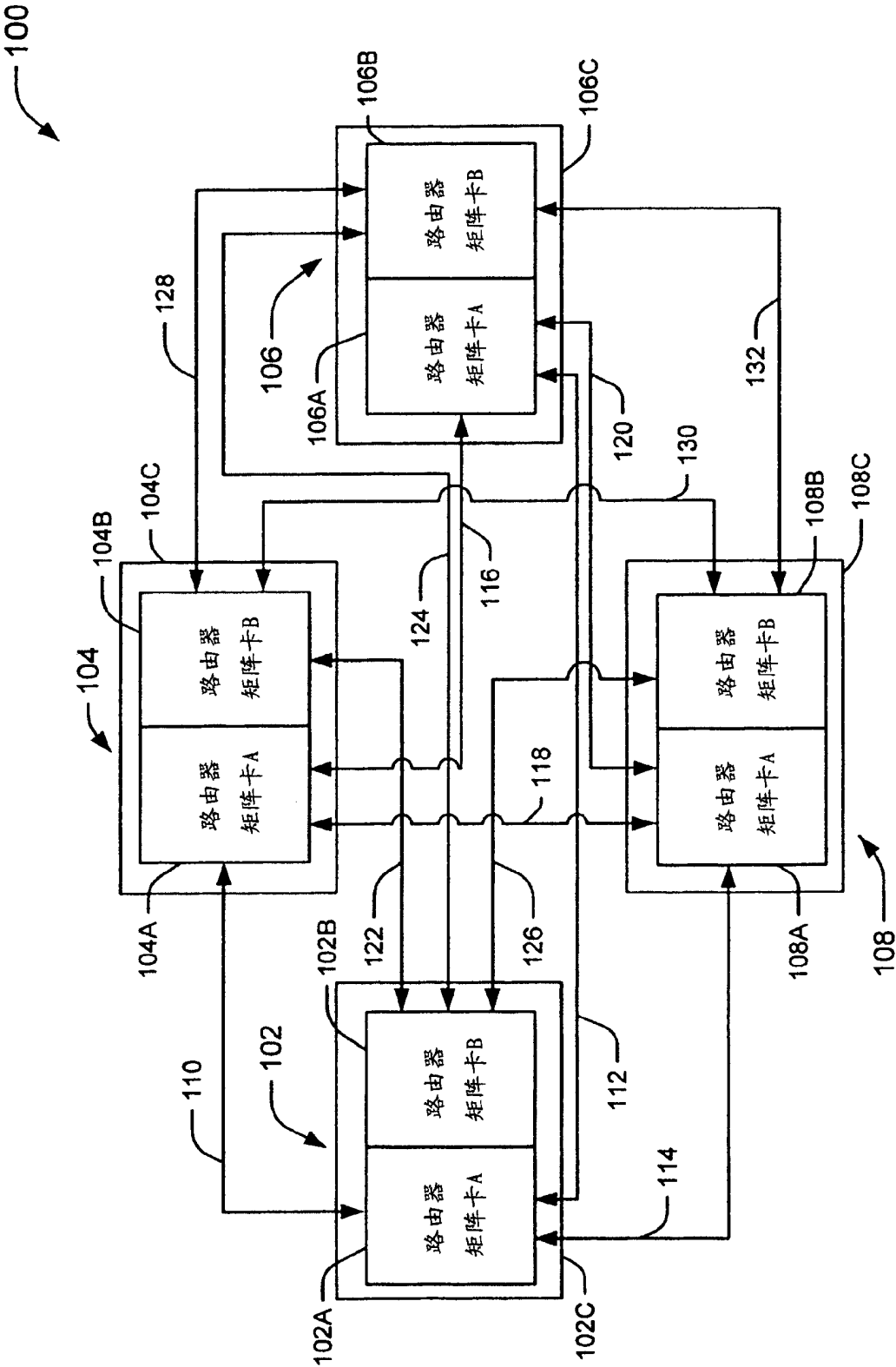


图 1

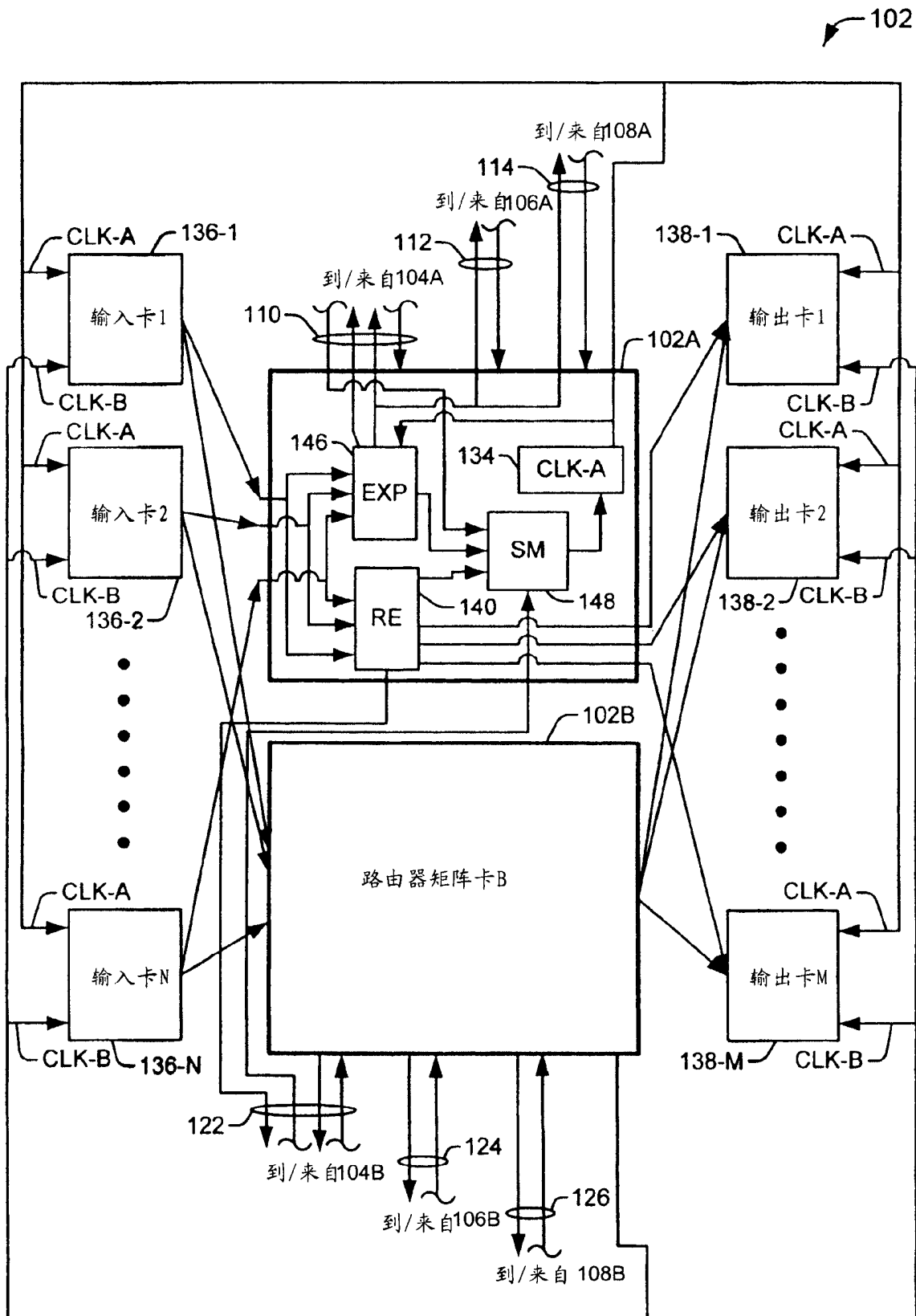


图 2

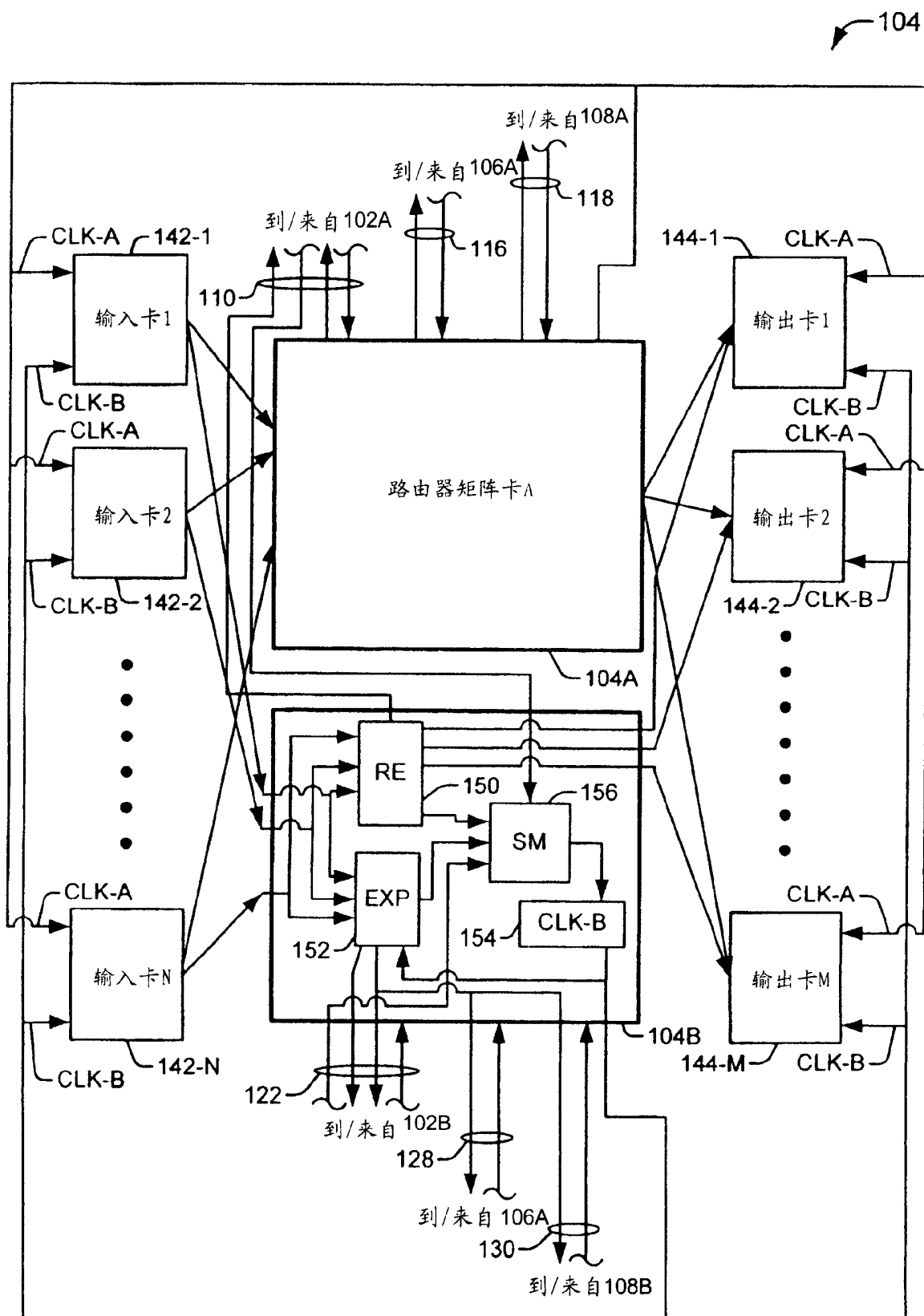


图 3

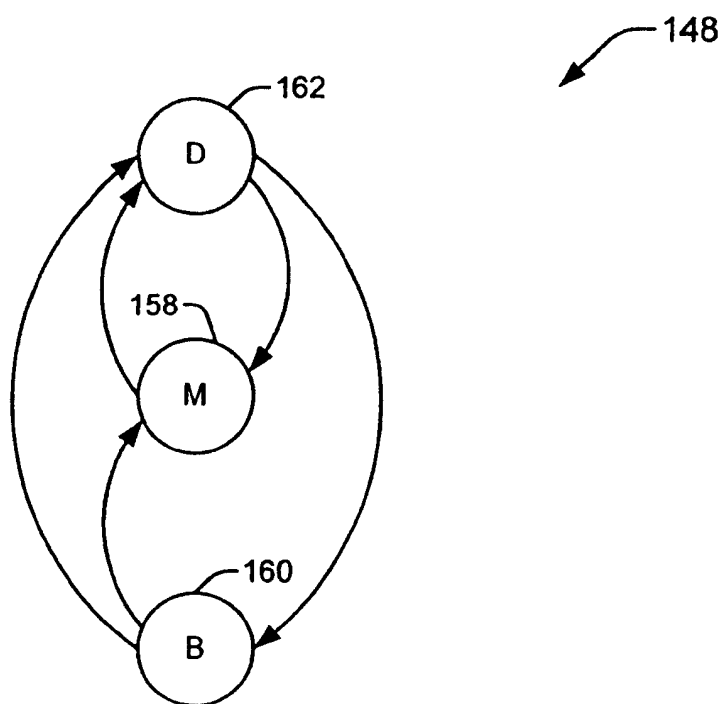


图 4

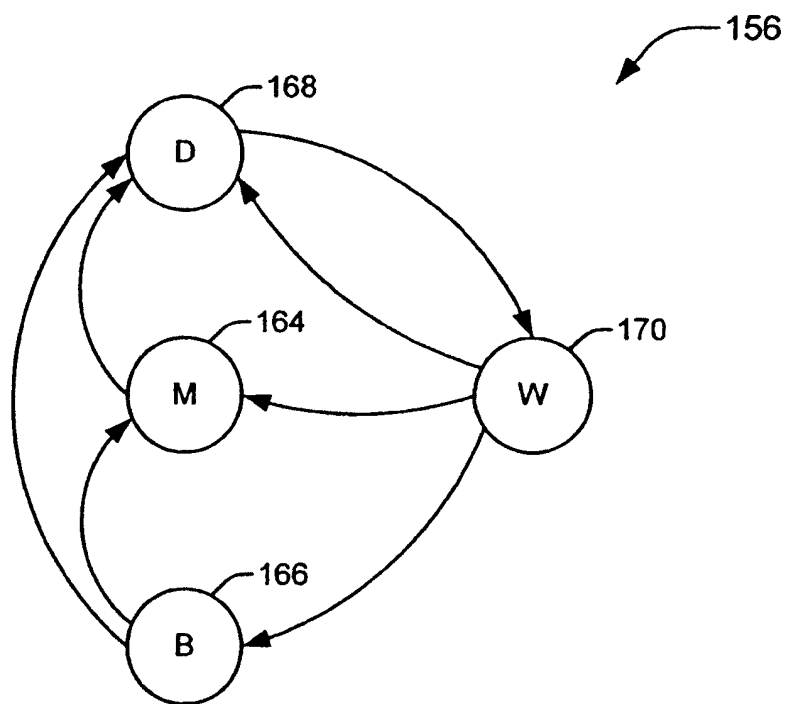


图 5