



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0092835  
(43) 공개일자 2016년08월05일

(51) 국제특허분류(Int. Cl.)  
G01R 31/26 (2014.01) G01R 31/28 (2006.01)  
(52) CPC특허분류  
G01R 31/2619 (2013.01)  
G01R 31/2872 (2013.01)  
(21) 출원번호 10-2015-0013738  
(22) 출원일자 2015년01월28일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
정호돈  
서울특별시 강동구 고덕로62길 58 우성아파트 9동 501호  
(74) 대리인  
특허법인태평양

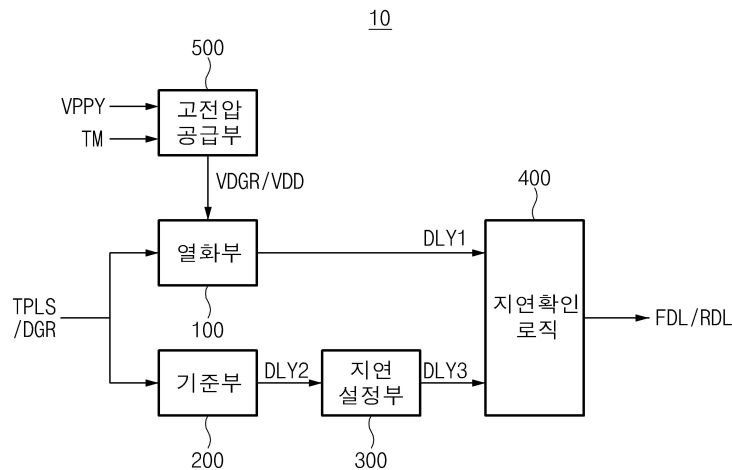
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 열화 감지 회로 및 이를 포함하는 열화 조정 장치

(57) 요약

본 발명에 따른 열화 감지 회로는 동작전압보다 높은 열화용 고전압에 의하여 구동되는 복수의 지연소자들을 포함하며, 기설정된 시간 동안 펄스를 유지하는 테스트 신호를 통과시켜 제1 지연신호로 제공하는 열화부, 동작전압에 의하여 구동되는 복수의 지연소자들을 포함하며, 테스트 신호를 통과시켜 제2 지연신호로 제공하는 기준부, 제2 지연신호에 대하여 선택적으로 지연요소를 부가함으로써 제3 지연신호로 제공하는 지연 설정부, 및 제1 지연신호 및 제3 지연신호를 비교하여 테스트 신호의 지연을 감지하는 지연확인 로직을 포함한다.

대표도 - 도1



## 명세서

### 청구범위

#### 청구항 1

동작전압보다 높은 열화용 고전압에 의하여 구동되는 복수의 지연소자들을 포함하며, 기설정된 시간 동안 펄스를 유지하는 테스트 신호를 통과시켜 제1 지연신호로 제공하는 열화부;

상기 동작전압에 의하여 구동되는 복수의 지연소자들을 포함하며, 상기 테스트 신호를 통과시켜 제2 지연신호로 제공하는 기준부;

상기 제2 지연신호에 대하여 선택적으로 지연요소를 부가함으로써 제3 지연신호로 제공하는 지연 설정부; 및

상기 제1 지연신호 및 상기 제3 지연신호를 비교하여 상기 테스트 신호의 지연을 감지하는 지연확인 로직을 포함하는 것을 특징으로 하는 열화 감지 회로.

#### 청구항 2

청구항 1에 있어서,

상기 지연 설정부는,

상기 열화부에 포함된 복수의 지연소자와 상기 기준부에 포함된 복수의 지연소자의 차이만큼의 지연요소를 부가함으로써 상기 제2 지연신호를 상기 제3 지연신호로 제공하는 제1 지연 설정기를 포함하는 것을 특징으로 하는 열화 감지 회로.

#### 청구항 3

청구항 2에 있어서,

상기 지연 설정부는,

상기 제1 지연 설정기보다 많은 지연요소를 포함하는 적어도 하나 이상의 제2 지연 설정라인을 구비하는 제2 지연 설정기를 더 포함하는 것을 특징으로 하는 열화 감지 회로.

#### 청구항 4

청구항 1에 있어서,

상기 지연확인 로직은,

상기 테스트 신호의 상승 방향의 지연을 감지하여 상승지연레벨신호를 제공하는 상승지연확인 로직; 및

상기 테스트 신호의 하강 방향의 지연을 감지하여 하강지연레벨신호를 제공하는 하강지연확인 로직을 포함하는 것을 특징으로 하는 열화 감지 회로.

#### 청구항 5

청구항 1에 있어서,

테스트 모드 신호에 기초하여 내부 고전압을 상기 열화용 고전압으로 제공하는 고전압 공급부를 더 포함하는 것을 특징으로 하는 열화 감지 회로.

#### 청구항 6

기설정된 시간 동안 펄스를 유지하는 테스트 신호를 생성하여 제공하는 테스트 제어부; 및

동작전압 및 상기 동작전압보다 높은 열화용 고전압에 의하여 각각 구동되는 복수의 지연소자들에 상기 테스트 신호를 통과시킴으로써 제1 및 제3 지연신호들을 생성하고, 상기 제1 및 제3 지연신호들의 스큐(skew)에 응답하여 지연레벨신호를 제공하는 열화 감지 회로를 포함하는 것을 특징으로 하는 열화 조정 장치.

**청구항 7**

청구항 6에 있어서,

상기 열화 감지 회로는,

상기 열화용 고전압에 의하여 구동되는 복수의 지연소자들을 포함하여 상기 제1 지연신호를 제공하는 열화부;

상기 동작전압에 의하여 구동되는 복수의 지연소자들을 포함하여 상기 테스트 신호를 지연시켜 제2 지연신호로 제공하는 기준부;

상기 제2 지연신호에 대하여 선택적으로 지연요소를 부가하여 상기 제3 지연신호로 제공하는 지연 설정부; 및

상기 제1 지연신호 및 상기 제3 지연신호를 비교하여 상기 테스트 신호의 지연을 감지하여 상기 지연레벨신호를 제공하는 지연확인 로직을 포함하는 것을 특징으로 하는 열화 조정 장치.

**청구항 8**

청구항 7에 있어서,

상기 테스트 제어부는,

상기 열화부 및 상기 기준부에 대하여 기설정된 시간 동안 토글(toggle)하거나 기설정된 시간 동안 기설정된 전압 값을 유지하는 열화 신호를 인가한 이후에 상기 테스트 신호를 제공하는 것을 특징으로 하는 열화 조정 장치.

**청구항 9**

청구항 7에 있어서,

상기 지연 설정부는,

상기 열화부에 포함된 복수의 지연소자와 상기 기준부에 포함된 복수의 지연소자의 차이만큼의 지연요소를 부가하여 상기 제2 지연신호를 상기 제3 지연신호로 제공하는 제1 지연 설정기를 포함하는 것을 특징으로 하는 열화 조정 장치.

**청구항 10**

청구항 9에 있어서,

상기 지연 설정부는,

상기 제1 지연 설정기보다 많은 지연요소를 포함하는 적어도 하나 이상의 제2 지연 설정라인을 구비하는 제2 지연 설정기를 더 포함하는 것을 특징으로 하는 열화 조정 장치.

**청구항 11**

청구항 10에 있어서,

상기 테스트 제어부는,

상기 열화 감지 테스트 신호를 제공함으로써 상기 제1 지연 설정기를 활성화시켜, 상기 지연레벨신호가 활성화되는 경우에 열화가 발생한 것으로 판단하는 것을 특징으로 하는 열화 조정 장치.

**청구항 12**

청구항 10에 있어서,

상기 테스트 제어부는,

지연량 조정 테스트 신호를 제공함으로써 상기 제2 지연 설정라인을 선택적으로 활성화시키면서, 상기 지연레벨신호가 활성화되지 않는 경우의 상기 제2 지연 설정기의 지연요소에 기초하여 상기 열화부의 지연량을 판단하는 것을 특징으로 하는 열화 조정 장치.

**청구항 13**

청구항 11 또는 12에 있어서,

상기 지연확인 로직은,

상기 테스트 신호의 상승 방향의 지연을 감지하여 상기 지연레벨신호에 포함된 상승지연레벨신호를 제공하는 상승지연확인 로직; 및

상기 테스트 신호의 하강 방향의 지연을 감지하여 상기 지연레벨신호에 포함된 하강지연레벨신호를 제공하는 하강지연확인 로직을 포함하는 것을 특징으로 하는 열화 조정 장치.

**청구항 14**

청구항 7에 있어서,

상기 테스트 제어부는,

테스트 모드 신호를 제공함으로써 상기 열화용 고전압의 크기를 조정하는 것을 특징으로 하는 열화 조정 장치.

**청구항 15**

청구항 14에 있어서,

상기 열화 감지 회로는,

상기 테스트 모드 신호에 응답하여 상기 열화용 고전압을 생성하는 것을 특징으로 하는 고전압 공급부를 더 포함하는 것을 특징으로 하는 열화 조정 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 열화 감지 회로 및 열화 조정 장치에 관한 것으로, 더욱 상세하게는 전기적 스트레스에 의하여 열화된 소자의 지연(delay)을 감지하는 구성을 구비하는 열화 감지 회로 및 이를 포함하는 열화 조정 장치에 관한 것이다.

**배경 기술**

[0002] 반도체 장치는 온도나 전기적 스트레스에 따라 특성이 저하되어 불량률이 발생할 수 있다. 따라서 반도체 장치에 대한 신뢰성 평가를 위하여 반도체 장치의 생산 초기에 임의의 전기적 스트레스나 온도 스트레스를 가함으로써 불량을 검출할 수 있다.

[0003] 그런데, 초기에는 불량이 검출되지는 않지만 번-인 테스트(burn-in test) 등으로 인한 전기적 스트레스가 가해진 이후에 열화가 발생하여 트랜지스터와 같은 소자의 지연량 증가로 인하여 내부 동작의 타이밍 마진이 틀어질 수 있다. 타이밍 마진이 틀어지는 경우에 전체적인 동작 신뢰성을 기대하기 어렵다.

**발명의 내용**

**해결하려는 과제**

[0004] 본 발명이 이루고자 하는 기술적 과제는 전기적 스트레스로 인한 소자의 열화를 감지하고, 특히 열화의 정도를 파악할 수 있는 열화 감지 회로 및 열화 조정 장치를 제공하는 것이다.

[0005] 본 발명이 이루고자 하는 기술적 과제는 열화가 감지된 소자의 지연량을 파악하고 이를 조정함으로써 사후적으로 열화를 보상할 수 있는 열화 조정 장치를 제공하는 것이다.

**과제의 해결 수단**

[0006] 본 발명의 일 실시예에 따른 열화 감지 회로는 동작전압보다 높은 열화용 고전압에 의하여 구동되는 복수의 지연소자들을 포함하며, 기설정된 시간 동안 펄스를 유지하는 테스트 신호를 통과시켜 제1 지연신호로 제공하는

열화부, 상기 동작전압에 의하여 구동되는 복수의 지연소자들을 포함하며, 상기 테스트 신호를 통과시켜 제2 지연신호로 제공하는 기준부, 상기 제2 지연신호에 대하여 선택적으로 지연요소를 부가함으로써 제3 지연신호로 제공하는 지연 설정부, 및 상기 제1 지연신호 및 상기 제3 지연신호를 비교하여 상기 테스트 신호의 지연을 감지하는 지연확인 로직을 포함한다.

[0007] 본 발명의 일 실시예에 따른 열화 조정 장치는 기설정된 시간 동안 펄스를 유지하는 테스트 신호를 생성하여 제공하는 테스트 제어부, 및 동작전압 및 상기 동작전압보다 높은 열화용 고전압에 의하여 각각 구동되는 복수의 지연소자들에 상기 테스트 신호를 통과시킴으로써 제1 및 제3 지연신호들을 생성하고, 상기 제1 및 제3 지연신호들의 스큐(skew)에 응답하여 지연펄스를 제공하는 열화 감지 회로를 포함한다.

**발명의 효과**

[0008] 본 발명에 따른 열화 감지 회로는 초기 불량 이후, 전기적 스트레스로 인한 열화를 감지할 수 있다. 이에 따라 열화 감지 회로를 포함하는 열화 조정 장치는 초기 불량 이후의 열화를 감지하여 열화를 조정할 수 있기 때문에 장치 전체의 특성 저하를 개선함으로써 신뢰성을 향상시킬 수 있다.

[0009] 아울러 본 발명의 실시예는 예시를 위한 것으로, 당업자라면 첨부된 특허청구범위의 기술적 사상과 범위를 통해 다양한 수정, 변경, 대체 및 부가가 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구범위에 속하는 것으로 보아야 할 것이다.

**도면의 간단한 설명**

- [0010] 도 1은 본 발명의 일 실시예에 따른 열화 감지 회로를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 열화 감지 회로의 일부 구성을 나타내는 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 지연확인 로직을 나타내는 도면이다.
- 도 4는 본 발명의 일 실시예에 따른 고전압 공급부를 나타내는 회로도이다.
- 도 5 및 도 6은 열화 이전과 열화 이후의 열화 감지 회로에서의 동작 파형을 도시한 파형도들이다.
- 도 7은 본 발명의 일 실시예에 따른 열화 조정 장치를 나타내는 블록도이다.
- 도 8은 지연 설정부의 설정에 따라서 지연량이 조정된 경우를 나타내는 파형도이다.

**발명을 실시하기 위한 구체적인 내용**

[0011] 이하, 첨부한 도면을 참조하여 본 발명의 실시예에 대해 상세히 설명하고자 한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조부호를 사용하고 동일한 구성요소에 대해서 중복된 설명은 생략한다.

[0012] 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.

[0013] 도 1은 본 발명의 일 실시예에 따른 열화 감지 회로를 나타내는 블록도이다.

[0014] 도 1을 참조하면, 본 발명의 일 실시예에 따른 열화 감지 회로(10)는 열화부(100), 기준부(200), 지연 설정부(300) 및 지연확인 로직(400)을 포함할 수 있다.

[0015] 열화 감지 회로(10)는 일반적인 동작전압(VDD)에 기초하여 동작하는 다수의 소자들을 포함하는 한편, 동작전압(VDD)보다 높은 열화용 고전압(VDGR)에 기초하여 동작하는 열화부(100)를 구비한다.

[0016] 열화부(100)는 열화용 고전압(VDGR)에 의하여 구동되는 복수의 지연소자들로 구성될 수 있으며, 기준부(200)는 동작전압(VDD)에 의하여 구동되는 복수의 지연소자들로 구성될 수 있다.

[0017] 열화부(100)와 기준부(200)는 동일한 특성을 갖는 트랜지스터들로 구성됨으로써, 일반적인 동작전압(VDD)과 열화용 고전압(VDGR)이 인가되었을 경우의 트랜지스터의 열화 정도를 측정할 수 있도록 한다.

[0018] 실시예에 따라, 열화부(100)와 기준부(200)에는 열화를 측정하기 이전에 주기적으로 토글(toggle)되거나 일정한 시간 동안에 동일한 DC 값을 유지하는 열화신호(DGR)가 인가됨으로써 열화 과정을 거칠 수 있다.

- [0019] 이후에 기설정된 시간 동안 펄스를 유지하는 테스트 신호(TPLS)가 열화부(100)와 기준부(200)에 동일하게 제공된다. 테스트 신호(TPLS)는 외부의 테스트 제어부(도 7 참조)에서 제공될 수 있다.
- [0020] 본 발명의 일 실시예에 따른 열화 감지 회로(10)는 기설정된 시간 동안 펄스를 유지하는 테스트 신호(TPLS)를 제공함으로써 테스트 신호(TPLS)의 상승 엣지(Rising Edge)와 하강 엣지(Falling Edge)에서의 열화 특성을 파악할 수 있다.
- [0021] 열화부(100)는 테스트 신호(TPLS)를 지연시켜 제1 지연신호(DLY1)로 제공하고, 기준부(200)는 테스트 신호(TPLS)를 지연시켜 제2 지연신호(DLY2)로 제공한다.
- [0022] 지연 설정부(300)는 제2 지연신호(DLY2)에 대하여 선택적으로 지연요소를 부가함으로써 제3 지연신호(DLY3)를 제공한다. 지연 설정부(300)는 열화를 감지하고, 열화 정도를 파악하기 위하여 선택적으로 지연요소를 부가한다.
- [0023] 지연 설정부(300)는 열화용 고전압(VDGR)에 의하여 동작함으로써 인하여 열화부(100)에서 열화가 발생한 것을 감지하기 위해서는, 테스트 신호(TPLS)가 열화용 고전압(VDGR)에 의하여 동작하는 열화부(100)에 포함된 지연소자와 동일한 개수의 지연소자들을 통과할 수 있도록 지연요소를 부가한다. 따라서 이 경우에는 지연 설정부(300)에 부가되는 지연요소는 열화부(100)에 포함된 지연소자와 기준부(200)에 포함된 지연소자의 차이에 상응할 수 있다.
- [0024] 실시예에 따라, 열화가 감지되었다면 열화에 의하여 어느 정도의 지연이 발생하였는지를 파악할 수 있다. 지연 설정부(300)는 열화를 감지하는 경우보다 더 많은 지연요소를 부가함으로써 제2 지연신호(DLY2)를 제3 지연신호(DLY3)로 제공할 수 있다. 즉, 정상적인 동작전압(VDD)에 의한 지연요소를 더 부가시켜 의도적으로 제2 지연신호(DLY2)를 더 지연시킨 이후에 제3 지연신호(DLY3)와 제1 지연신호(DLY1)를 비교함으로써 두 신호가 동기된다면, 지연 설정부(300)에서 부가한 지연요소만큼의 지연이 열화에 의하여 발생한 것으로 판단한다.
- [0025] 지연 설정부(300)의 동작에 대해서는 도 2를 참조하여 보다 구체적으로 설명하도록 한다.
- [0026] 지연확인 로직(400)은 제1 지연신호(DLY1)와 제3 지연신호(DLY3)를 비교하여 테스트 신호(TPLS)의 지연을 감지한다. 지연확인 로직(400)은 제1 지연신호(DLY1)와 제2 지연신호(DLY2)의 미스매칭을 감지하여 지연펄스(FDL, RDL)를 생성할 수 있다.
- [0027] 따라서 지연확인 로직(400)에서의 펄스 발생을 통하여 특정 시점에서 열화부(100)에서 지연이 발생한 것으로 판단할 수 있다. 본 발명의 일 실시예에 따른 지연확인 로직(400)은 테스트 신호(TPLS)의 상승 엣지와 하강 엣지의 미스매칭, 즉 스큐를 각각 감지하여 지연펄스(FDL, RDL)를 생성할 수 있다.
- [0028] 상술한 바와 같이 지연확인 로직(400)에서 어떠한 펄스도 발생하지 않는다면 제1 지연신호(DLY1)와 제3 지연신호(DLY3)가 동기된 것으로 판단한다.
- [0029] 실시예에 따라 본 발명의 일 실시예에 따른 열화 감지 회로(10)는 고전압 공급부(500)를 더 포함할 수 있다. 고전압 공급부(500)는 테스트 모드 신호(TM)에 응답하여 내부 고전압(VPPY)을 열화용 고전압(VDGR)으로 제공할 수 있다. 테스트 모드 신호(TM)는 호스트와 같은 외부 장치에서 제공될 수 있으며, 테스트 모드 신호(TM)는 내부 고전압(VPPY)에 기초하여 상이한 레벨의 열화용 고전압(VDGR)을 생성하도록 설정될 수도 있다.
- [0030] 실시예에 따라, 고전압 공급부(500)는 동작전압(VDD)을 그대로 제공하도록 구성될 수도 있다.
- [0031] 본 발명의 일 실시예에 따른 열화 감지 회로(10)는 회로를 구성하는 동일한 특성의 소자들에 대하여 동작전압(VDD)과 열화용 고전압(VDGR)을 각각 인가하여 동작하도록 하고 이들의 스큐를 파악함으로써 열화가 발생하였는지를 감지한다. 또한 열화가 감지되었다면 어느 정도 열화가 발생하였는지를 선택적으로 지연요소를 부가함으로써 판단하여 열화를 보상할 수 있을 것이다.
- [0032] 도 2는 본 발명의 일 실시예에 따른 열화 감지 회로의 일부 구성을 나타내는 회로도이다.
- [0033] 도 2에서는 열화부(100), 기준부(200) 및 지연 설정부(300)를 구체적으로 도시하였다.
- [0034] 도 2를 참조하면, 열화부(100)는 열화용 고전압(VDGR)에 의하여 동작하는 복수의 지연소자들( $I_{d1}$ ,  $I_{d2}$ ,  $I_{d3}$ , ...,  $I_{dn-4}$ ,  $I_{dn-3}$ ,  $I_{dn-2}$ ,  $I_{dn-1}$ ,  $I_{dn}$ )을 포함할 수 있다. 본 명세서에서는 지연소자들을 인버터로 도시하였고 이에 기초하여 설명하지만 그에 한정되는 것은 아니다.

- [0035] 복수의 지연소자들( $I_{d1}, I_{d2}, I_{d3}, \dots, I_{dn-4}, I_{dn-3}, I_{dn-2}, I_{dn-1}, I_{dn}$ )은 열화용 고전압(VDGR)에 의하여 동작하며 테스트 신호(TPLS)를 통과시켜 제1 지연신호(DLY1)로 제공한다.
- [0036] 구체적으로 살펴보면, 복수의 지연소자들( $I_{d1}, I_{d2}, I_{d3}, \dots, I_{dn-4}, I_{dn-3}, I_{dn-2}, I_{dn-1}, I_{dn}$ )은 각각 PMOS 트랜지스터와 NMOS 트랜지스터가 직렬로 연결되어 풀-업(pull-up) 동작과 풀-다운(pull-down) 동작을 반복함으로써 최종적으로 제1 지연신호(DLY1)를 제공하게 된다.
- [0037] PMOS 트랜지스터나 NMOS 트랜지스터의 구동능력의 차이에 따라서 상승 엣지 또는 하강 엣지에서 지연 시간이 더 커질 수 있다. 따라서 본 발명의 일 실시예에 따른 지연확인 로직(400)에서는 상승 엣지 또는 하강 엣지에서 지연량 차이를 각각 감지하는 지연 펄스(FDL, RDL)를 제공할 수 있다.
- [0038] 기준부(200)는 동작전압(VDD)에 의하여 동작하는 복수의 지연소자들( $I_{11}, I_{12}, I_{13}, \dots, I_{1n-4}$ )을 포함하여 테스트 신호(TPLS)를 지연시켜 제2 지연신호(DLY2)로 제공할 수 있다.
- [0039] 지연 설정부(300)는 제1 지연 설정기(310)와 제2 지연 설정기(320)를 포함할 수 있다.
- [0040] 제1 지연 설정기(310)는 열화부(100)에 포함된 복수의 지연소자들( $I_{d1}, I_{d2}, I_{d3}, \dots, I_{dn-4}, I_{dn-3}, I_{dn-2}, I_{dn-1}, I_{dn}$ )과 기준부(200)에 포함된 복수의 지연소자들( $I_{11}, I_{12}, I_{13}, \dots, I_{1n-4}$ )의 차이만큼의 지연요소를 부가함으로써 제2 지연신호(DLY2)를 제3 지연신호(DLY3)로 제공한다.
- [0041] 이에 따라 제1 지연 설정기(310)는 4개의 지연소자들을 포함한다. 구체적으로 제1 지연 설정기(310)는 제1 논리소자( $L_{1n-3}$ ), 제2 논리소자( $L_{1n-1}$ ) 및 두 개의 인버터들( $I_{1n-2}, I_{1n}$ )을 포함할 수 있다.
- [0042] 제1 논리소자( $L_{1n-3}$ )는 제1 지연 설정기(310)의 동작을 활성화 하기 위하여 제공되는 열화 감지 테스트 신호(TNR)와 제2 지연신호(DLY2)에 대하여 부정논리곱 연산을 수행할 수 있다. 또한 제2 논리소자( $L_{1n-1}$ )는 제1 지연 설정기(310)에서 수신되는 지연된 신호들과 제2 지연 설정기(320)에서 제공되는 지연된 신호들 중 하나를 선택적으로 제공하는 부정논리합 연산을 수행할 수 있다.
- [0043] 제1 논리소자( $L_{1n-3}$ )는 열화 감지 테스트 신호(TNR)가 활성화된 경우에만 제1 지연 설정기(310)를 통하여 제2 지연신호(DLY2)가 제공되도록 하며, 제2 논리소자( $L_{1n-1}$ )는 복수의 지연된 신호들 중 하나의 신호가 제3 지연신호(DLY3)로 제공되도록 하는 기능을 한다.
- [0044] 제2 지연 설정기(320)는 제1 지연 설정기(310)보다 많은 지연요소를 포함하는 적어도 하나 이상의 지연 설정라인(321, 323)을 포함할 수 있다.
- [0045] 제1 지연 설정라인(321)은 제1 지연 설정기(310)보다 두 개 더 많은 지연요소를 포함할 수 있으며, 제2 지연 설정라인(323)은 제1 지연 설정기(310)보다 네 개 더 많은 지연요소를 포함할 수 있다.
- [0046] 제1 지연 설정라인(321)과 제2 지연 설정라인(323)은 제1 지연량 조정 테스트 신호(T1)와 제2 지연량 조정 테스트 신호(T2)에 응답하여 활성화될 수 있다.
- [0047] 제1 지연량 조정 테스트 신호(T1)가 활성화되면, 제2 지연신호(DLY2)는 제1 지연 설정라인(321)을 구성하는 제3 논리소자( $L_{2n-3}$ )에 의하여 반전되고 인버터들( $I_{2n-2}, I_{s1}, I_{s2}$ ), 제2 논리소자( $L_{1n-1}$ ) 및 인버터( $I_{1n}$ )를 거쳐 제3 지연신호(DLY3)로 제공된다.
- [0048] 제2 지연량 조정 테스트 신호(T2)가 활성화되면, 제2 지연신호(DLY2)는 제2 지연 설정라인(323)을 구성하는 제4 논리소자( $L'_{2n-3}$ )에 의하여 반전되고 인버터들( $I_{2n-2}, I_{s3}, I_{s4}, I_{s5}, I_{s6}$ ), 제2 논리소자( $L_{1n-1}$ ) 및 인버터( $I_{1n}$ )를 거쳐 제3 지연신호(DLY3)로 제공된다.
- [0049] 제2 지연 설정기(320)는 상이한 수의 지연소자들을 포함하는 복수의 지연 설정라인들을 포함할 수 있다. 제1 지연 설정라인(321)과 제2 지연 설정라인(323)을 거친 제2 지연신호(DLY2)는 상이한 지연시간을 가지면서 제3 지연신호(DLY3)로 제공될 수 있다.
- [0050] 상술한 바와 같이 선택적으로 제2 지연 설정기(320)의 지연 설정라인들을 활성화시켜 상이한 제3 지연신호(DLY3)가 생성되고, 지연확인 로직(400)은 제1 지연신호(DLY1)와 제3 지연신호(DLY3)를 비교하여 어느 지연 설정라인을 활성화하였을 경우에 제1 지연신호(DLY1)와 제3 지연신호(DLY3)가 동일한 위상을 갖는 지를 판단할 수



있다.

- [0051] 도 3은 본 발명의 일 실시예에 따른 지연확인 로직을 나타내는 도면이다.
- [0052] 도 3을 참조하면, 지연확인 로직(400)은 하강지연확인 로직(410) 및 상승지연확인 로직(420)을 포함할 수 있다.
- [0053] 하강지연확인 로직(410)은 제1 지연신호(DLY1)와 제3 지연신호(DLY3)를 비교하여 각 신호들의 하강 엣지에서의 스큐를 감지할 수 있다.
- [0054] 상승지연확인 로직(420)은 제1 지연신호(DLY1)와 제3 지연신호(DLY3)를 비교하여 각 신호들의 상승 엣지에서의 스큐를 감지할 수 있다.
- [0055] 하강지연확인 로직(410)은 인버터(IV1)에 의하여 반전된 제3 지연신호(DLY3)와 제1 지연신호(DLY1)에 대하여 부정논리곱 연산을 수행하는 제5 논리소자(ND1)를 포함할 수 있다. 제5 논리소자(ND1)를 거친 신호는 다시 반전되어 인버터(IV2)를 거쳐 하강감지펄스(FDP)로 제공될 수 있다.
- [0056] 하강감지펄스(FDP)는 제1 지연신호(DLY1)와 제3 지연신호(DLY3)의 하강 엣지에서의 미스매칭 시간 동안만 활성화되는 펄스 신호에 상응할 수 있다.
- [0057] 하강감지펄스(FDP)는 인버터(IV3)를 거쳐 테스트 리드 활성화 신호(TREN)와 함께 서로 교차되어 연결되는 제6 및 제7 논리소자들(ND2, ND3)을 거쳐 하강지연레벨신호(FDL)로 제공될 수 있다.
- [0058] 하강지연레벨신호(FDL)는 테스트 리드 활성화 신호(TREN)가 활성화된 경우에 하강감지펄스(FDP)의 펄스를 감지하여 해당 펄스 이후에는 논리 상태 '하이'를 유지하도록 생성된다.
- [0059] 하강감지펄스(FDP)를 하강지연레벨신호(FDL)로 생성하는 것은 하강감지펄스(FDP)의 유지 시간이 짧기 때문이다. 외부에서 하강지연레벨신호(FDL)를 수신함으로써 테스트 신호(TPLS)의 하강 엣지에서 열화가 발생하였는 지를 쉽게 판단할 수 있다.
- [0060] 상승지연확인 로직(420)은 제1 지연신호(DLY1)와 반전된 제3 지연신호(DLY3)에 대하여 제8 논리소자(NR1)를 통하여 부정논리합 연산을 수행하여 상승감지펄스(RDP)를 생성한다.
- [0061] 하강감지펄스(FDP)와 유사하게 상승감지펄스(RDP)는 제1 지연신호(DLY1)와 제3 지연신호(DLY3)의 상승 엣지에서 스큐가 발생한 경우에, 그 미스매칭 시간 동안에만 활성화되는 펄스 신호에 상응한다.
- [0062] 상승감지펄스(RDP)는 인버터(IV4)를 거쳐 테스트 리드 활성화 신호(TREN)와 함께 서로 교차되어 연결되는 제9 및 제10 논리소자들(ND4, ND5)을 거쳐 상승지연레벨신호(RDL)로 제공될 수 있다.
- [0063] 상승지연레벨신호(RDL)는 테스트 리드 활성화 신호(TREN)가 활성화된 경우에 상승감지펄스(RDP)의 펄스를 감지하여 해당 펄스 이후에는 논리 상태 '하이'를 유지하도록 생성된다.
- [0064] 하강지연레벨신호(FDL)와 상승지연레벨신호(RDL)는 DQ 패드와 같은 패드를 통하여 외부에 제공될 수 있다. 외부에서는 하강지연레벨신호(FDL)나 상승지연레벨신호(RDL)의 레벨을 독출함으로써 열화가 발생하였는 지, 제1 지연신호(DLY1)와 제3 지연신호(DLY3) 사이에 동기가 이루어졌는 지를 판단할 수 있다.
- [0065] 도 4는 본 발명의 일 실시예에 따른 고전압 공급부를 나타내는 회로도이다.
- [0066] 도 4를 참조하면, 고전압 공급부(500)는 고전압 활성화 신호(VPPEN)에 응답하여 내부 고전압(VPPY)을 열화용 고전압(VDGR)으로 제공하는 제1 MOS 트랜지스터(M0) 및 동작전압 활성화 신호(VDDEN)에 응답하여 동작전압(VDD)을 제공하는 제2 MOS 트랜지스터(M1)를 포함할 수 있다.
- [0067] 도 4에서 나타난 고전압 활성화 신호(VPPEN) 및 동작전압 활성화 신호(VDDEN)는 테스트 모드 신호(TM)에 포함될 수 있다. 실시예에 따라, 테스트 모드 신호(TM)는 다양한 값을 가짐으로써 열화용 고전압(VDGR)의 레벨을 상이하게 변경할 수 있다. 열화용 고전압(VDGR)의 레벨이 달라짐에 따라, 열화 조건이 상이해지기 때문에 테스트 모드 신호(TM)의 제어에 의하여 테스트하고자 하는 열화 조건을 상이하게 설정할 수 있다.
- [0068] 도 5 및 도 6은 열화 이전과 열화 이후의 열화 감지 회로에서의 동작 파형을 도시한 파형도들이다.
- [0069] 도 5 및 도 6을 참조하여 열화 감지 회로의 열화 전후의 동작 특성을 살펴보도록 한다.
- [0070] 도 5는 열화 이전 또는 열화가 발생하지 않은 경우의 열화 감지 회로의 동작 특성을 나타낸 것이다. 도 5를 참조하면, 제1 지연신호(DLY1)와 제3 지연신호(DLY3)는 테스트 신호(TPLS)를 거의 동일한 시점에 제공한다. 즉 제



1 지연신호(DLY1)와 제3 지연신호(DLY3)는 동일한 지연량을 갖는 것으로, t1 시점에서 상승하고 t2 시점에서 하강한다. 즉, 열화가 발생하지 않은 것이다.

- [0071] 열화가 발생하지 않은 경우에는 제1 지연신호(DLY1)와 제3 지연신호(DLY3) 사이의 미스매치가 없기 때문에 상승 감지펄스(RDP), 하강감지펄스(FDP), 하강지연레벨신호(FDL) 및 상승지연레벨신호(RDL)가 모두 무시할만한 수준의 변화를 갖는다.
- [0072] 도 6은 열화가 발생한 이후의 동작 과정을 나타낸 것으로, t3 시점에서 상승하는 제3 지연신호(DLY3)와는 달리, 제1 지연신호(DLY1)는 t4 시점에서 상승한다.
- [0073] 즉, 열화부(100)에서 열화가 발생하여 제1 지연신호(DLY1)가 제3 지연신호(DLY3)보다 지연량이 커진 것을 의미한다. 제1 지연신호(DLY1)와 제3 지연신호(DLY3) 사이에 스큐가 발생함으로 인하여 t3 시점과 t4 시점 사이에 상승감지펄스(RDP)가 생성된다. 상승감지펄스(RDP)의 생성으로 인하여 상승지연레벨신호(RDL)는 t3 시점에서부터 논리 상태 '하이'를 유지한다.
- [0074] 제1 지연신호(DLY1)와 제3 지연신호(DLY3)가 동일한 시간 동안 유지되는 테스트 신호(TPLS)를 지연시킨 신호이므로, 제1 지연신호(DLY1)는 제3 지연신호(DLY3)보다 늦은 시점에 하강한다.
- [0075] 즉, 제3 지연신호(DLY3)는 t5 시점에서 하강하지만, 제1 지연신호(DLY1)는 t6 시점에서 하강한다. 따라서 하강 감지펄스(FDP)가 발생하고, 하강감지펄스(FDP)에 응답하여 하강지연레벨신호(FDL)가 논리 상태 '하이'를 유지한다.
- [0076] 지연확인 로직(400)에서 제공된 상승지연레벨신호(RDL)와 하강지연레벨신호(FDL)에 따라서 열화부(100)에서 열화가 발생한 것으로 인식될 수 있다. 열화가 발생한 것을 인식한 이후에는 지연 설정부(300)를 통하여 선택적으로 지연요소를 부가함으로써 열화가 발생한 정도를 파악할 수 있다.
- [0077] 도 7은 본 발명의 일 실시예에 따른 열화 조정 장치를 나타내는 블록도이다.
- [0078] 열화 조정 장치(1)는 테스트 제어부(20) 및 열화 감지 회로(10)를 포함할 수 있다.
- [0079] 테스트 제어부(20)는 열화 감지 회로(10)에 대하여 기설정된 시간 동안에 펄스를 유지하는 테스트 신호(TPLS)를 생성하여 제공할 수 있다.
- [0080] 열화 감지 회로(10)는 동작전압(VDD) 및 동작전압(VDD)보다 높은 열화용 고전압(VDGR)에 의하여 각각 구동되는 복수의 지연소자들에 테스트 신호(TPLS)를 통과시킴으로써 제1 및 제3 지연신호들(DLY1, DLY3)을 생성하고, 제1 및 제3 지연신호들(DLY1, DLY3)의 스큐(skew)에 응답하여 지연감지레벨신호(FDL, RDL)를 제공할 수 있다.
- [0081] 열화 감지 회로(10)는 도 1 내지 도 3을 참조하여 설명한 바와 실질적으로 동일한 구성을 가지므로 이에 대한 구체적인 설명은 생략하도록 한다.
- [0082] 테스트 제어부(20)는 열화 감지 회로(10)와 동일 칩 내에 구성되거나, 열화 감지 회로(10)와는 다른 외부에 구현될 수도 있다.
- [0083] 테스트 제어부(20)는 열화가 발생하였는 지를 확인하기 이전에 열화 감지 회로(10)의 열화부(100)와 기준부(200)에 대하여 기설정된 시간 동안 토글하거나 일정 시간 동안에 동일한 전압 값을 유지하는 열화신호(DGR)를 제공하여 인위적으로 열화를 발생시킬 수 있다.
- [0084] 그 이후, 테스트 제어부(20)는 기설정된 시간 동안에 펄스를 유지하는 테스트 신호(TPLS)를 열화 감지 회로(10)에 제공한다.
- [0085] 열화의 발생 자체를 감지하고자 하는 경우, 테스트 제어부(20)는 열화 감지 테스트 신호(TNR)를 활성화시킴으로써 지연 설정부(300)의 제1 지연 설정기(310)를 활성화 시킨다. 이에 따라, 제1 지연신호(DLY1)가 통과하는 열화부(100)와 최종적으로 제3 지연신호(DLY3)가 통과하는 기준부(200) 및 지연 설정부(300) 사이에 동일한 지연 요소들이 부가되게 할 수 있다.
- [0086] 이에 따라서 테스트 제어부(20)는 열화 감지 회로(10)에서 발생한 상승지연레벨신호(RDL) 및 하강지연레벨신호(FDL)를 수신할 수 있다. 실시예에 따라 상승지연레벨신호(RDL) 및 하강지연레벨신호(FDL)는 DQ 패드와 같은 패드를 통하여 테스트 제어부(20)에 제공될 수 있다.
- [0087] 테스트 제어부(20)는 상승지연레벨신호(RDL) 또는 하강지연레벨신호(FDL) 중 적어도 하나가 논리 상태 '하이'

가 된 경우에 열화가 발생한 것으로 판단한다.

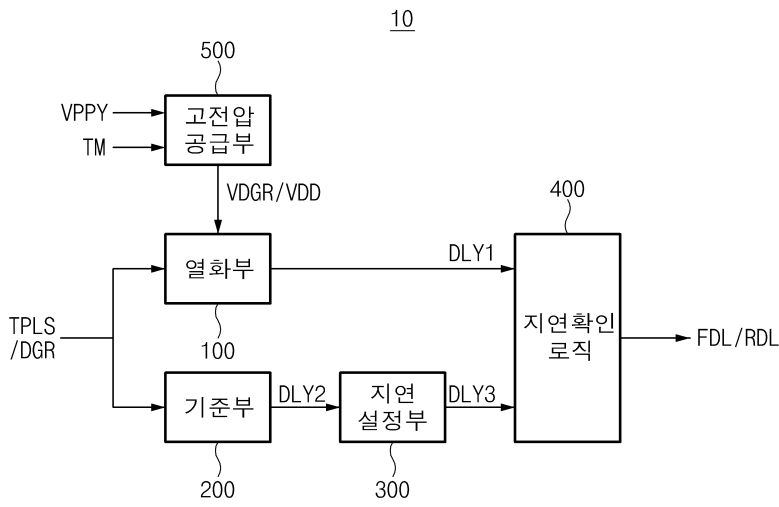
- [0088] 실시예에 따라서 테스트 리드 활성화 신호(TREN)가 활성화된 경우에만 하강지연레벨신호(FDL) 및 상승지연레벨신호(RDL)가 출력될 수 있다. 테스트 제어부(20)는 특정한 패드를 통하여 하강지연레벨신호(FDL) 및 상승지연레벨신호(RDL)를 독출하는 경우에 테스트 리드 활성화 신호(TREN)을 제어함으로써 해당 패드를 통하여 다른 신호를 송수신할 수도 있다.
- [0089] 테스트 제어부(20)는 열화가 어느 정도 발생하였는 지를 판단하기 위하여 지연량 조정 테스트 신호(T1, T2)를 선택적으로 활성화시켜 제2 지연 설정기(320)의 지연 설정라인들을 선택적으로 활성화되도록 한다.
- [0090] 유사한 방식으로 테스트 제어부(20)는 열화 감지 회로(10)로부터 하강지연레벨신호(FDL) 및 상승지연레벨신호(RDL)를 수신함으로써 제2 지연 설정기(320)의 특정한 지연 설정라인이 활성화되었을 때 하강지연레벨신호(FDL) 및 상승지연레벨신호(RDL)가 활성화되지 않는 지를 감지할 수 있다.
- [0091] 하강지연레벨신호(FDL) 및 상승지연레벨신호(RDL)가 활성화되지 않았다면 제1 지연신호(DLY1)와 제3 지연신호(DLY3) 사이에 스큐가 발생하지 않은 것이므로, 이 시점에서 활성화된 지연 설정라인의 지연 시간으로 열화 정도를 판단한다.
- [0092] 도 8은 지연 설정부의 설정에 따라서 지연량이 조정된 경우를 나타내는 파형도이다.
- [0093] 도 8에서 t7 시점은 도 7의 t4 시점에 상응할 수 있다. 도 8을 참조하면, 지연 설정부(300)의 제2 지연 설정기(320)의 지연 설정라인을 적절히 선택하여 제3 지연신호(DLY3)가 제1 지연신호(DLY1)와 동일한 t7 시점에 상승하고, t8 시점에 하강하는 것을 확인할 수 있다.
- [0094] 최종적인 파형은 도 5에서 설명한 바와 같이 열화가 발생하기 이전과 유사하게 두 지연신호들(DLY1, DLY3) 사이에 차이가 없어, 상승감지펄스(RDP), 하강감지펄스(FDP), 상승지연레벨신호(RDL) 및 하강지연레벨신호(FDL)가 의미있는 값을 가지면서 활성화되지 않는다.
- [0095] 테스트 제어부(20)는 이와 같이 지연 설정기(320)의 미세 조정을 통하여 지연량을 확인할 수 있다.
- [0096] 실시예에 따라, 테스트 제어부(20)는 파악된 지연 시간에 기초하여 열화 감지 회로(10)가 테스트한 회로에 대한 지연 시간을 보상할 수 있다. 예를 들어, 테스트를 실시하기 위한 동작 회로가 열화 감지 회로(10)의 부근에 구비될 수 있으며, 이 퓨즈(E-fuse) 등을 통하여 열화가 발생한 회로와의 지연량을 맞춰줄 수 있다.
- [0097] 설명한 바와 같이 본 발명의 일 실시예에 따른 열화 감지 회로 및 열화 조정 장치는 열화용 고전압에 의하여 동작하는 소자들과 정상적인 동작전압에 의하여 동작하는 소자들에 의하여 각각 지연된 신호들의 스큐를 감지함으로써 열화의 발생을 감지한다. 나아가, 열화가 감지된 회로에 대하여 미세하게 지연량을 조정하여 두 신호들이 동기를 이루었을 때의 지연량을 파악함으로써 열화 정도를 확인할 수 있다.
- [0098] 이상과 같이 본 발명의 일 실시예에 따른 열화 감지 회로와 열화 조정 장치는 열화의 발생을 감지하고 열화의 정도를 파악함으로써 사후의 전기적 스트레스가 발생한 경우라고 하더라도 적응적으로 열화를 보상할 수 있도록 할 수 있다.
- [0099] 이상에서 설명한 본 발명이 전술한 실시예 및 첨부된 도면에 한정되지 않으며, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것은, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

**부호의 설명**

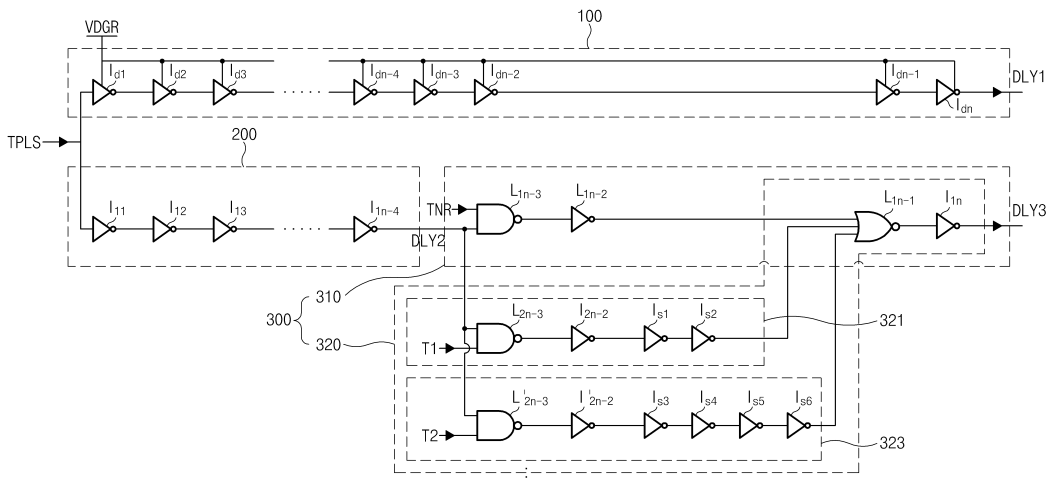
- [0100] 10 : 열화 감지 회로
- 100 : 열화부
- 200 : 기준부
- 300 : 지연 설정부
- 400 : 지연확인 로직

도면

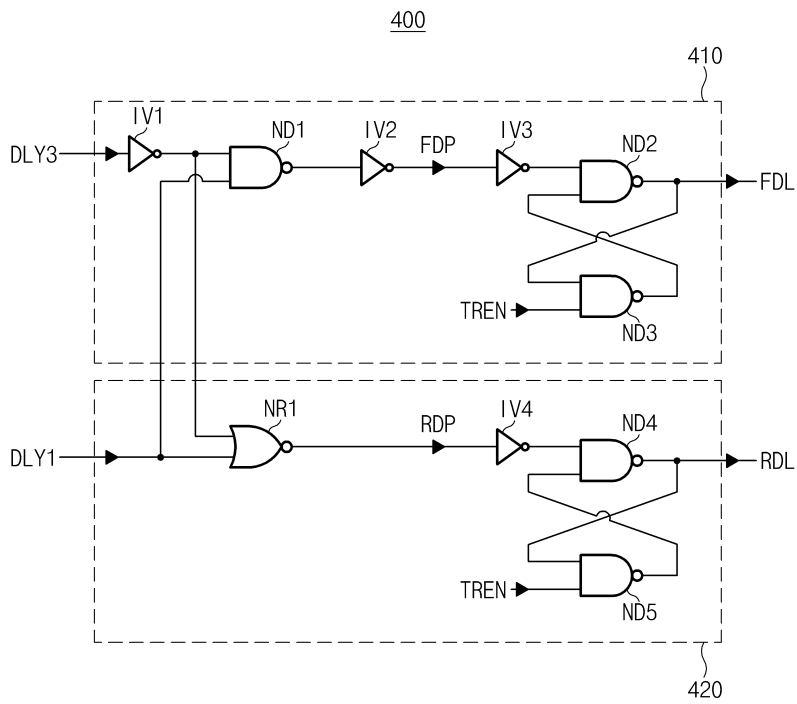
도면1



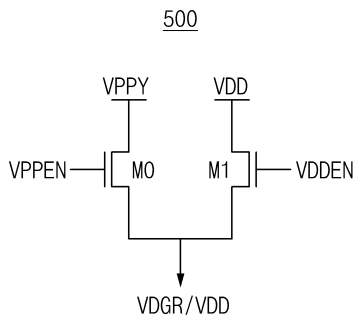
도면2



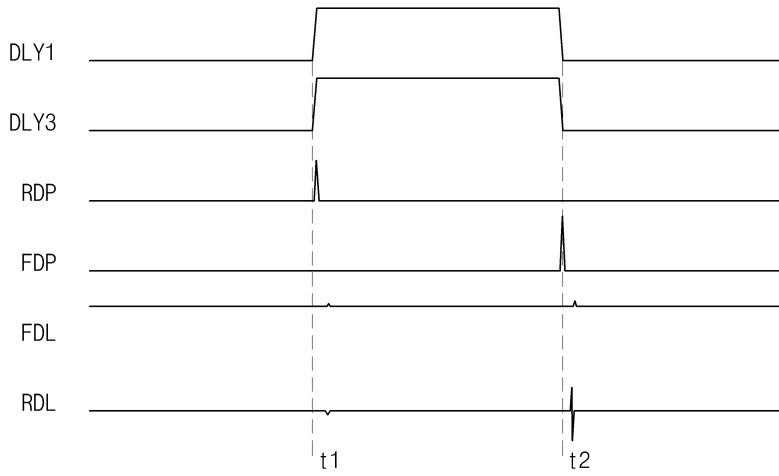
도면3



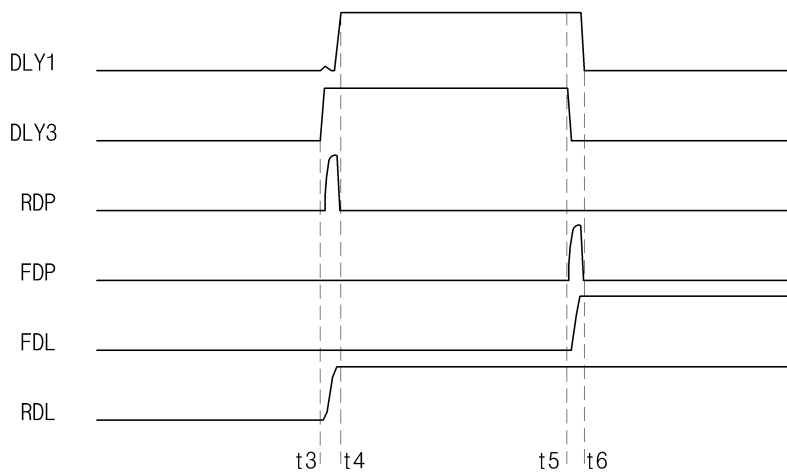
도면4



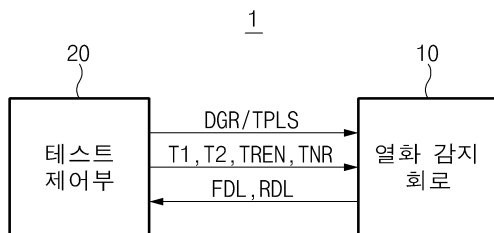
도면5



도면6



도면7



도면8

