

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

102 711

Patent dodatkowy
do patentu _____

Zgłoszono: 15.12.76 (P. 194463)

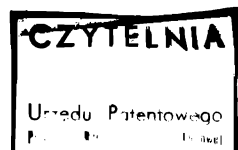
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 24.10.77

Opis patentowy opublikowano: 31.05.1982

Int. Cl.² H03K 13/03

Int. Cl.³ H03K 13/03



Twórca wynalazku: Marek Glaba

Uprawniony z patentu : Politechnika Łódzka,
Łódź (Polska)

Sposób oraz układ do przetwarzania analogowo-cyfrowego

Przedmiotem wynalazku jest sposób oraz układ do przetwarzania analogowo-cyfrowego umożliwiającego zamianę analogowej wartości sygnału – zwykle napięcia – na równoważną mu wartość cyfrową. Znaczenie przetwarzania analogowo-cyfrowego wynika z faktu, że zwykle informacja dostarczana jest w postaci analogowej, natomiast dalsza obróbka i przechowywanie informacji są prowadzone głównie metodami cyfrowymi.

Jeden ze znanych sposobów przetwarzania analogowo-cyfrowego polega na tym, że w pierwszej fazie przetwarzania następuje porównanie wielkości przetwarzanej z kilkoma napięciami odniesienia. Otrzymane w wyniku tego porównania pierwsze bity informacji po zakodowaniu, sterują przetwornik cyfrowo-analogowy, który odpowiednio zmienia wartość napięcia odniesienia komparatorów. Następuje druga faza przetwarzania, w której wielkość przetwarzana jest porównywana z nowym napięciem odniesienia dającym kolejne bity informacji. Wadą tego sposobu jest konieczność stosowania przetwornika cyfrowo-analogowego, którego liczba bitów równa jest liczbie bitów przetwornika analogowo-cyfrowego. Wadę tę eliminuje inny sposób przetwarzania polegający na tym, że wielkość przetwarzana jest doprowadzana do przetwornika analogowo-cyfrowego z bezpośrednim kodowaniem, na wyjściu którego otrzymuje się $\frac{n}{2}$ bitów, gdzie n – liczba bitów przetwornika analogowo-cyfrowego o szeregowo-równoległym przetwarzaniu przy stałych napięciach odniesienia. Informacja z wyjścia przetwornika o bezpośrednim kodowaniu doprowadzona jest do przetwornika cyfrowo-analogowego, którego sygnał wyjściowy analogowy steruje jedno wejście wzmacniacza różnicowego. Drugie wejście wzmacniacza steruje wielkość przetwarzania. Sygnał uzyskany na wyjściu wzmacniacza różnicowego steruje wejście drugiego przetwornika o bezpośrednim kodowaniu, na wyjściu którego otrzymuje się następne $\frac{n}{2}$ bitów. Wadą tego sposobu jest duży stopień skomplikowania układu wynikający z konieczności zastosowania co najmniej dwóch przetworników analogowo-cyfrowych.

Wady tej nie posiada sposób według wynalazku, który polega na tym, że wielkość przetwarzana doprowadza się do jednego wejścia wzmacniacza różnicowego, którego drugie wejście jest sterowane sygnałem wytworzonym w obwodzie jego sprzężenia zwrotnego, zaś sygnał wyjściowy wzmacniacza porównuje się w pierwszej fazie przetwarzania z napięciem odniesienia wynikającym z podziału napięcia wzorcowego od $+U$ do

—U, natomiast w drugiej fazie przetwarzania z napięciem odniesienia wynikającym z podziału napięcia wzorcowego od +U do 0. Sygnały otrzymane na wyjściach komparatorów w pierwszej fazie przetwarzania są doprowadzane za pośrednictwem kodera do pierwszej pamięci. Informację otrzymaną na wyjściu tej pamięci doprowadza się do wejścia drugiej pamięci oraz wykorzystuje się do sterowania przetwornika cyfrowo-analogowego, którego sygnał wyjściowy doprowadza się do wspomnianego drugiego wejścia wzmacniacza różnicowego. W drugiej fazie przetwarzania sygnały z kodera są zapisywane w drugiej pamięci jednocześnie z informacją z wyjścia pierwszej pamięci, w wyniku czego na wyjściu drugiej pamięci otrzymuje się pełną informację w postaci cyfrowej. Napięcia odniesienia, z którymi porównywany jest sygnał przetwarzany zarówno w pierwszej jak i drugiej fazie przetwarzania mogą być stałe o z góry określonych wartościach.

Układ według wynalazku, charakteryzuje się tym, że wyjście wzmacniacza różnicowego, którego jedno wejście jest połączone ze źródłem sygnału przetwarzanego, a drugie zamknięte pętlą sprzężenia zwrotnego, jest połączone z wejściami odwracającymi podwójnych komparatorów, których wejścia nieodwracające są podłączone odpowiednio do dwóch grup dzielników rezystancyjnych, zaś wyjścia są połączone z wejściami kodera. Wyjścia kodera są połączone z wejściami pierwszej pamięci i wejściami drugiej pamięci. Wyjścia pierwszej pamięci są połączone z wejściami drugiej pamięci oraz wejściami układu logicznego połączonego z przetwornikiem cyfrowo-analogowym o wyjściu podłączonym do wspomnianego drugiego wejścia wzmacniacza różnicowego.

Wyjścia komparatorów oraz wejście układu logicznego są połączone ze źródłem impulsu taktującego, zaś wejścia pierwszej i drugiej pamięci są połączone ze źródłami impulsów sterujących przesuniętych w czasie. Przy czym współzależność czasowa tych impulsów jest taka, że impuls taktujący pojawia się w chwili zaniku impulsu napięciowego sterującego pierwszą pamięć, a zanika równocześnie z zanikiem impulsu sterującego drugą pamięć.

Rozwiązanie według wynalazku umożliwia wyeliminowanie z układu co najmniej jednego przetwornika analogowo-cyfrowego przy zachowaniu takiego samego czasu przetwarzania, jak w znanych bardziej skomplikowanych układach.

Przedmiot wynalazku jest przedstawiony w przykładzie wykonania uwidocznionym na rysunku, na którym fig. 1 przedstawia schemat blokowy urządzenia, a fig. 2 — przebiegi czasowe impulsów sterujących.

Układ zawiera wzmacniacz różnicowy WR, którego wejście nieodwracające jest połączone ze źródłem sygnału przetwarzanego U_x , a wejście odwracające jest zamknięte pętlą sprzężenia zwrotnego. Wyjście wzmacniacza różnicowego WR jest połączone z odwracającymi wejściami komparatorów podwójnych $K_1 - K_{15}$, których wejścia nieodwracające są podłączone do dzielników rezystancyjnych R_1, R_2, R_3 oraz R_4, R_5 . Komparatory $K_1 - K_{15}$ są sterowane dodatkowo impulsem taktującym U_2 , przy czym jedno są sterowane bezpośrednio, a drugie przez układ negacji NOR. Wyjścia komparatorów $K_1 - K_{15}$ są połączone z koderem KOD, którego wyjścia są połączone z pamięcią M_1 oraz pamięcią M_2 . Wyjście pamięci M_1 jest połączone z wejściem pamięci M_2 oraz z układem logicznym UL, którego wyjścia są podłączone do przetwornika cyfrowo-analogowego D/A o wyjściu podłączonym do wejścia odwracającego wzmacniacza różnicowego WR.

Działanie układu jest następujące. Wielkość przetwarzana w postaci napięcia U_x jest doprowadzana do wejścia nieodwracającego wzmacniacza różnicowego WR. Do wejścia odwracającego wzmacniacza WR jest doprowadzony sygnał U_5 z obwodu sprzężenia zwrotnego. Sygnał napięciowy U_1 z wyjścia wzmacniacza różnicowego WR będący różnicą napięcia przetwarzanego U_x oraz napięcia U_5 otrzymanego na wyjściu czterobitowego przetwornika cyfrowo-analogowego D/A jest porównywany w komparatorach $K_1 - K_{15}$ z napięciami odniesienia, które w pierwszej fazie przetwarzania wynikają z podziału napięcia wzorcowego U od +U do -U, natomiast w drugiej fazie przetwarzania od +U do 0. Komparatory $K_1 - K_{15}$ sterowane są dodatkowo impulsem taktującym U_2 umożliwiającym przemienną pracę komparatorów. Sygnały wyjściowe komparatorów $K_1 - K_{15}$ sterują koder KOD, na którego wyjściu otrzymuje się pierwsze bity informacji. Informacja ta przekazywana jest do pamięci M_1 , której wyjście, poprzez układ logiczny UL steruje cztero-bitowy przetwornik cyfrowo-analogowy D/A oraz doprowadzone jest do drugiej pamięci M_2 . Pamięci M_1 oraz M_2 są sterowane impulsami napięciowymi U_3 i U_4 przesuniętymi między sobą w czasie tak, że w pierwszej fazie przetwarzania sterowana jest pierwsza pamięć M_1 , a w drugiej fazie przetwarzania druga pamięć M_2 .

Druga faza przetwarzania rozpoczyna się w chwili pojawienia się informacji na wyjściu układu logicznego UL, a w konsekwencji sygnału napięciowego U_5 doprowadzanego do wejścia odwracającego wzmacniacza różnicowego WR. Sygnał wyjściowy U_1 wzmacniacza różnicowego WR jest porównywany z napięciem odniesienia wynikającym z podziału napięcia wzorcowego od +U do 0. Sygnały z komparatorów $K_1 - K_{15}$ są doprowadzane za pośrednictwem kodera KOD do drugiej pamięci M_2 , w której jednocześnie następuje zapis informacji z pamięci M_1 , w wyniku czego na wyjściu pamięci M_2 otrzymuje się informację cyfrową ośmiobitową.

Zastrzeżenia patentowe

1. Sposób przetwarzania analogowo-cyfrowego z wykorzystaniem wzmacniacza różnicowego oraz zasady przetwarzania dwufazowego, z n a m i e n n y t y m , że wielkość przetwarzana (U_x) doprowadza się do jednego wejścia wzmacniacza różnicowego (WR), którego drugie wejście jest sterowane sygnałem (U_s) wytworzonym w obwodzie sprzężenia zwrotnego wzmacniacza, zaś sygnał wyjściowy wzmacniacza różnicowego (WR) porównuje się w pierwszej fazie przetwarzania z napięciem odniesienia wynikającym z podziału napięcia wzorcowego (U) od $+U$ do $-U$, natomiast w drugiej fazie przetwarzania z napięciem odniesienia wynikającym z podziału napięcia wzorcowego od $+U$ do 0, przy czym sygnały otrzymane na wyjściach komparatorów ($K_1 - K_{15}$) w pierwszej i drugiej fazie przetwarzania są doprowadzane za pośrednictwem kodera (KOD) kolejno do pierwszej pamięci (M_1) oraz drugiej pamięci (M_2) z tym, że informację otrzymaną na wyjściu pierwszej pamięci (M_1) doprowadza się do wejścia drugiej pamięci (M_2), a równocześnie wykorzystuje się do sterowania przetwornika cyfrowo-analogowego D/A, którego sygnał wyjściowy (U_s) doprowadza się do drugiego wejścia wzmacniacza różnicowego (WR), po czym następuje druga faza przetwarzania w czasie której informacja z wyjścia kodera (KOD) jest zapisywana w drugiej pamięci (M_2) łącznie z informacją wyprowadzoną z wyjścia pierwszej pamięci (M_1) w wyniku czego na wyjściu drugiej pamięci (M_2) otrzymuje się pełną informację w postaci cyfrowej.

2. Sposób według zastrz. 1, z n a m i e n n y t y m , że sygnał wyjściowy (U_1) wzmacniacza różnicowego (WR) porównuje się z napięciami odniesienia, które zarówno w pierwszej jak i drugiej fazie przetwarzania są stałe i z góry określone.

3. Sposób według zastrz. 1, z n a m i e n n y t y m , że wyjścia komparatorów ($K_1 - K_{15}$) oraz wejście układu logicznego (UL) steruje się impulsem taktującym (U_2), który pojawia się w chwili zaniku impulsu napięciowego (U_3) sterującego pierwszą pamięć (M_1), a zanika równocześnie z zanikiem impulsu napięciowego (U_4) sterującego drugą pamięć (M_2).

4. Układ do przetwarzania analogowo-cyfrowego wyposażony we wzmacniacz różnicowy, komparatory, układy pamięci oraz przetwornik cyfrowo-analogowy, z n a m i e n n y t y m , że wyjście wzmacniacza różnicowego (WR), którego jedno wejście jest połączone ze źródłem sygnału przetwarzanego (U_x), a drugie zamknięte pętlą sprzężenia zwrotnego, jest połączone z wejściami odwracającymi podwójnych komparatorów (K_1) - (K_{15}), których wejścia nieodwracające są podłączone odpowiednio do dwóch grup dzielników rezystancyjnych (R_1, R_2, R_3) oraz (R_4, R_5), zaś wyjścia są przyłączone do wejść kodera (KOD), którego wyjścia są połączone z wejściami pierwszej pamięci (M_1) i wejściami drugiej pamięci (M_2), przy czym wyjścia pierwszej pamięci (M_1) są połączone z wejściami drugiej pamięci (M_2), na wyjściu której otrzymuje się przetwarzany sygnał cyfrowy oraz z wejściem układu logicznego (UL) połączonego z przetwornikiem cyfrowo-analogowym (D/A) o wyjściu przyłączonym do drugiego wejścia wzmacniacza różnicowego (WR).

5. Układ według zastrz. 4, z n a m i e n n y t y m , że wyjścia komparatorów ($K_1 - K_{15}$) oraz wejście układu logicznego (UL) są połączone ze źródłem impulsu taktującego (U_2), zaś wejście pierwszej pamięci (M_1) i wejście drugiej pamięci (M_2) są sterowane impulsami (U_3) i (U_4) przesuniętymi wzajemnie w czasie.

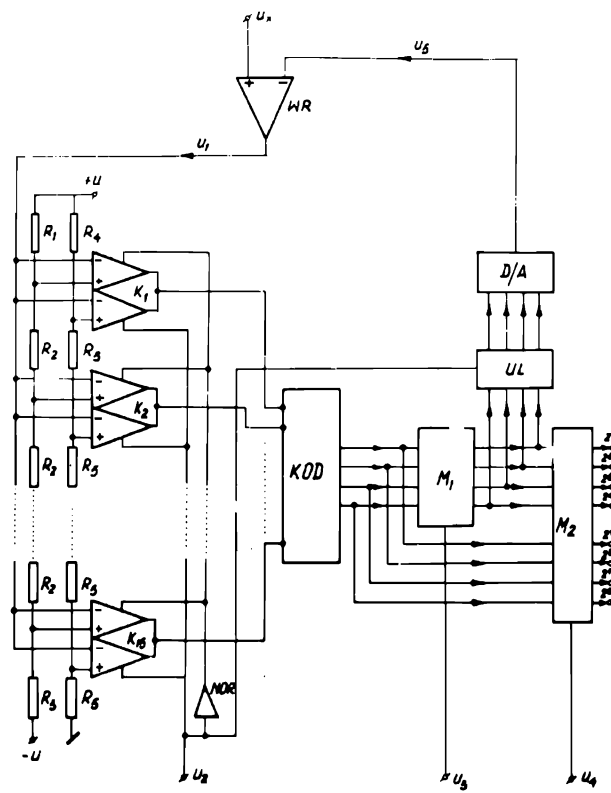


Fig. 1

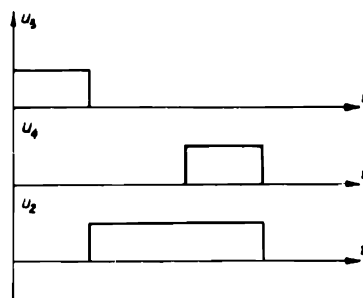


Fig. 2