

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-69061

(P2021-69061A)

(43) 公開日 令和3年4月30日 (2021.4.30)

(51) Int.Cl.

H04N 5/3745 (2011.01)

F I

H04N 5/3745 500

テーマコード (参考)

5C024

審査請求 未請求 請求項の数 15 O L (全 20 頁)

(21) 出願番号 特願2019-194804 (P2019-194804)
 (22) 出願日 令和1年10月25日 (2019.10.25)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 領木 達也
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 黒田 享裕
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 Fターム(参考) 5C024 CY44 CY46 GY39 GY45 HX23
 HX32 HX53

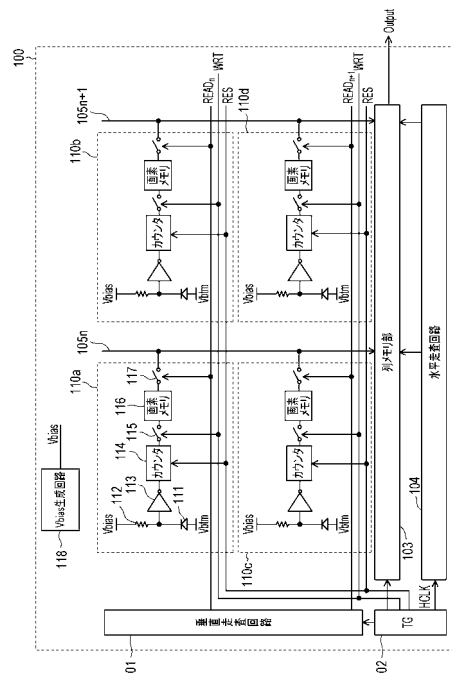
(54) 【発明の名称】 光電変換装置、光電変換システム、移動体、光電変換装置の検査方法

(57) 【要約】

【課題】 アバランシェダイオードを備える光電変換装置の検査を好適に行うことができる構成、システム、検査方法を提供する。

【解決手段】 アバランシェダイオードが出力する信号に基づく第1パルス信号を生成する波形整形回路と、入射光によらず、第2パルス信号を生成する参照回路と、波形整形回路と前記参照回路とに接続されたカウンタとを有する光電変換装置である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

入射光に基づいてアバランシェ増倍が生じるアバランシェダイオードと、
前記アバランシェダイオードが出力する信号に基づく第 1 パルス信号を生成する波形整形回路と、

前記入射光によらず、第 2 パルス信号を生成する参照回路と、

前記波形整形回路と前記参照回路とに接続されたカウンタとを有することを特徴とする光電変換装置。

【請求項 2】

入射光に基づいてアバランシェ増倍が生じるアバランシェダイオードと、

前記アバランシェダイオードが出力する信号に基づく第 1 パルス信号を生成する波形整形回路と、

前記入射光によらず、第 2 パルス信号を生成する参照回路と、

前記第 1 パルス信号と前記第 2 パルス信号とをカウントするカウンタとを有することを特徴とする光電変換装置。

【請求項 3】

前記カウンタに前記第 2 パルス信号が入力される期間における前記アバランシェダイオードのアノード、カソード間の電位差が、前記カウンタに前記第 1 パルス信号が入力される期間における前記アバランシェダイオードのアノード、カソード間の電位差よりも小さいことを特徴とする請求項 1 または 2 に記載の光電変換装置。

【請求項 4】

選択回路をさらに有し、前記選択回路の入力ノードは前記参照回路と前記波形整形回路とに接続され、前記選択回路の出力ノードは前記カウンタに接続されることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光電変換装置。

【請求項 5】

前記参照回路は、前記アバランシェダイオードと前記波形整形回路とが接続されたノードに接続されることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記参照回路は、前記アバランシェダイオードのアノードもしくはカソードの電位を変化させることによって、前記第 2 パルス信号を生成することを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の光電変換装置。

【請求項 7】

前記第 2 パルス信号は、単一の周期で繰り返されるパルス波であることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記参照回路は、クロックパルスによって前記第 2 パルス信号を生成することを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の光電変換装置。

【請求項 9】

複数行および複数列に渡って配された複数の画素回路を備え、

前記複数の画素回路の各々が、前記アバランシェダイオード、前記波形整形回路、前記参照回路、前記カウンタを有することを特徴とする請求項 1 ~ 8 のいずれか 1 項に記載の光電変換装置。

【請求項 10】

複数行および複数列に渡って配された複数の画素回路を備え、

前記複数の画素回路の各々が、前記アバランシェダイオード、前記波形整形回路、前記参照回路、前記カウンタを有し、

前記光電変換装置は、前記複数の画素回路を制御する制御回路をさらに有し、

前記制御回路が前記複数の画素回路の各々の前記参照回路に前記クロックパルスを供給することを特徴とする請求項 8 に記載の光電変換装置。

【請求項 11】

10

20

30

40

50

前記第 2 パルス信号をカウントしたカウント値から、前記第 1 パルス信号のカウントを開始することを特徴とする請求項 1 ~ 10 のいずれか 1 項に記載の光電変換装置。

【請求項 12】

請求項 1 ~ 11 のいずれか 1 項に記載の光電変換装置と、
前記光電変換装置が出力する信号を用いて画像を生成する信号処理部とを有することを特徴とする光電変換システム。

【請求項 13】

請求項 1 ~ 11 のいずれか 1 項に記載の光電変換装置を備える移動体であって、
前記光電変換装置が出力する信号を用いて前記移動体の移動を制御する制御部を有することを特徴とする移動体。

10

【請求項 14】

入射光に基づいてアバランシェ増倍が生じるアバランシェダイオードと、
前記アバランシェダイオードが出力する信号に基づく第 1 パルス信号を生成する波形整形回路と、

第 1 パルス信号をカウントするカウンタとを有する光電変換装置の検査方法であって、
前記カウンタに、入射光によらない第 2 パルス信号をカウントさせ、
前記カウンタが前記第 2 パルス信号をカウントして得られたデジタル信号と、期待値とを比較することによって、前記光電変換装置が正常であるか否かを検査することを特徴とする光電変換装置の検査方法。

【請求項 15】

前記期待値が、前記カウンタが前記第 2 パルス信号をカウントする期間における、前記第 2 パルス信号のパルス数に対応する値であることを特徴とする請求項 14 に記載の光電変換装置の検査方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光電変換装置、光電変換システム、移動体、光電変換装置の検査方法に関する。

【背景技術】

30

【0002】

アバランシェ増倍を行う光電変換部を有する光電変換装置が知られている。

【0003】

特許文献 1 に記載の光電変換装置は、フォトンが光電変換部に入射したことによって生じる電子をアバランシェ増倍させ、パルス波を生成させる。このパルス波をカウンタが数えることによって、光電変換部に入射したフォトン数をカウントすることができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2019 - 9768 号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0005】

特許文献 1 では、光電変換装置を検査する構成について検討が為されていない。

【0006】

本発明は、アバランシェダイオードを備える光電変換装置の検査を好適に行うことができる構成、システム、検査方法を提供する。

【課題を解決するための手段】

【0007】

本発明は上記の課題を鑑みて為されたものであり、一の態様は、入射光に基づいてアバ

50

ランシェ増倍が生じるアバランシェダイオードと、前記アバランシェダイオードが出力する信号に基づく第1パルス信号を生成する波形整形回路と、前記入射光によらず、第2パルス信号を生成する参照回路と、前記波形整形回路と前記参照回路とに接続されたカウンタとを有することを特徴とする光電変換装置である。

【0008】

別の一の態様は、入射光に基づいてアバランシェ増倍が生じるアバランシェダイオードと、前記アバランシェダイオードが出力する信号に基づく第1パルス信号を生成する波形整形回路と、前記入射光によらず、第2パルス信号を生成する参照回路と、前記第1パルス信号と前記第2パルス信号とをカウントするカウンタとを有することを特徴とする光電変換装置である。

10

【0009】

別の一の態様は、入射光に基づいてアバランシェ増倍が生じるアバランシェダイオードと、前記アバランシェダイオードが出力する信号に基づく第1パルス信号を生成する波形整形回路と、第1パルス信号をカウントするカウンタとを有する光電変換装置の検査方法であって、前記カウンタに、入射光によらない第2パルス信号をカウントさせ、前記カウンタが前記第2パルス信号をカウントして得られたデジタル信号と、期待値とを比較することによって、前記光電変換装置が正常であるか否かを検査することを特徴とする光電変換装置の検査方法である。

【発明の効果】

【0010】

本発明により、光電変換装置の検査を好適に行うことができる。

20

【図面の簡単な説明】

【0011】

【図1】光電変換装置の構成の一例を示す図

【図2】光電変換装置の動作の一例を示す図

【図3】光電変換装置の動作の一例を示す図

【図4】光電変換装置の構成の一例を示す図

【図5】光電変換装置の動作の一例を示す図

【図6】光電変換装置の構成の一例を示す図

【図7】光電変換装置の動作の一例を示す図

30

【図8】光電変換システムの構成を示す図

【図9】移動体の構成、動作を示す図

【発明を実施するための形態】

【0012】

以下、図面を参照しながら各実施形態を説明する。

【0013】

以下に述べる各実施形態では、光電変換装置の一例として、撮像装置を中心に説明する。ただし、各実施形態は、撮像装置に限られるものではなく、光電変換装置の他の例にも適用可能である。例えば、測距装置（焦点検出やTOF（Time Of Flight）を用いた距離測定等の装置）、測光装置（入射光量の測定等の装置）などがある。

40

【0014】

なお、以下に述べる実施形態に記載されるトランジスタの導電型は一例のものであって、実施例中に記載された導電型のみ限定されるものではない。実施形態中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、トランジスタのゲート、ソース、ドレインの電位は適宜変更される。

【0015】

例えば、スイッチとして動作させるトランジスタであれば、ゲートに供給する電位のローレベルとハイレベルとを、導電型の変更に伴って、実施例中の説明に対し逆転させるようにすればよい。また、以下に述べる実施例中に記載される半導体領域の導電型についても一例のものであって、実施例中に記載された導電型のみ限定されるものではない。実

50

施例中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、半導体領域の電位は適宜変更される。

【0016】

(第1実施形態)

第1実施形態による撮像装置について、図1、図2および図3を用いて説明する。図1は、本実施形態による撮像装置を示すブロック図である。

【0017】

図1に示すように、本実施形態による撮像装置100は、垂直走査回路101と、タイミングジェネレータ(TG: Timing Generator)102と、列メモリ部103と、水平走査回路104とを備えている。また、撮像装置100は、行列状に配置された複数の画素回路110を備えている。ここでは、簡略化のため、4つの画素回路110a、110b、110c、110dを図示している。他の例として、さらに多くの画素回路110が撮像装置に備えられていてもよい。例えば、数千行、数千列にわたって画素回路110を配することもできる。

10

【0018】

TG102は、撮像装置100の各部を制御するための信号を生成する制御回路である。TG102は、垂直走査回路101、列メモリ部103に対して各種の制御信号等を供給する。また、TG102は、水平走査回路104に対して制御信号HCLKを供給する。さらに、TG102は、各々の画素回路110に対して、転送制御信号WRT、及び、リセット制御信号RESをそれぞれ供給する。

20

【0019】

各々の画素回路110は、アバランシェダイオード(以下、AVDとする)111、クエンチ素子112、波形整形回路の一例であるインバータ113、カウンタ114、転送スイッチ115、画素メモリ116、行選択スイッチ117を有する。

【0020】

クエンチ素子112の一方のノードは、AVD111に接続される。そして、クエンチ素子112の他方のノードにはVbiasノードが接続される。AVD111には、クエンチ素子112を介してAVD111の降伏電圧より大きいバイアス電圧がVbiasノードから印加される。これにより、AVD111に光子(フォトン)が入射するとアバランシェ増倍現象が生じる。つまり、AVD111はVbiasノードから供給されるバイアス電圧が印加されることによって、ガイガーモードで動作する。

30

【0021】

アバランシェ増倍現象によってアバランシェ電流が生じると、クエンチ素子112において電圧降下が生じ、AVD111のカソード電位が低下する。カソード電位がAVD111の降伏電圧以下になるとアバランシェ増倍現象が停止する。その結果、アバランシェ電流が流れなくなり、AVD111のカソードには、Vbiasノードからのバイアス電圧が印加される。クエンチ素子112は、AVD111のアバランシェ増倍現象を停止させるための抵抗素子である。この抵抗素子は、MOSトランジスタで構成してもよいし、ポリシリコンなどの導電膜で構成してもよい。

【0022】

Vbiasノードのバイアス電圧は、例えば+20V程度とすることができるが、これに限定されるものではない。例えば、AVD111のアノードを負の電位に接続するようにしてもよい。つまり、上述したようにAVD111のアノードとカソードの電位差は降伏電圧よりも大きい電圧となっていればよく、本実施形態では20V以上になるようにしている。

40

【0023】

上記、バイアス電圧はVbias生成回路118により生成される。Vbias生成回路118は撮像装置100の外部に設けている。つまり、バイアス電圧は、撮像装置100の外部より供給されている。なお、撮像装置100の内部でバイアス電圧を生成するようにしても良い。

50

【 0 0 2 4 】

A V D 1 1 1 のカソードは、インバータ 1 1 3 の入力ノードに接続される。A V D 1 1 1 に光子が入射することでアバランシェ増倍が生じると、A V D 1 1 1 のカソードの電位が低下する（アバランシェ動作）。このカソードの電位の低下によって、インバータ 1 1 3 の出力が変化する。具体的には、まず定常状態ではインバータ 1 1 3 の入力ノードは V b i a s ノードから供給されるバイアス電圧となっている。そして、アバランシェ増倍によって生じる電流（以下、アバランシェ電流）により、カソードの電位が低下し、インバータ 1 1 3 の閾値以下となる。これにより、インバータ 1 1 3 の出力が変化する。また、カソードの電位が低下することによって、アノード・カソード間の電位差が降伏電圧未満となって、A V D 1 1 1 は非ガイガーモードとなる。よって、A V D 1 1 1 にはアバランシェ電流が流れなくなる。その後、A V D 1 1 1 のカソードの電位は V b i a s ノードから供給されるバイアス電圧と、クエンチ素子 1 1 2 とによって供給される電流によって、次第にバイアス電圧に戻る（復帰動作）。これにより、インバータ 1 1 3 の出力は再び変化する。このように、A V D 1 1 1 ではアバランシェ動作と、復帰動作とが繰り返される。また、インバータ 1 1 3 は、入力ノードの電位、つまり A V D 1 1 1 のカソードの電位の変化に基づいて、パルス信号を生成している。つまり、インバータ 1 1 3 は、A V D 1 1 1 のカソードの電位をパルス信号に変換する波形整形回路である。また、A V D 1 1 1 に入射する光子に基づいてインバータ 1 1 3 が生成するパルス信号を第 1 パルス信号とする。

10

【 0 0 2 5 】

カウンタ 1 1 4 は、インバータ 1 1 3 から出力されるパルス信号のパルス数をカウントする。カウンタ 1 1 4 のビット幅（ビット数）は、例えば 1 6 である。ビット幅が 1 6 のカウンタ 1 1 4 のカウント値の上限は 1 0 進数表記で 6 5 5 3 5 となる。カウンタ 1 1 4 には、T G 1 0 2 からリセット制御信号 R E S が入力される。カウンタ 1 1 4 のカウント値は、リセット制御信号 R E S によってリセットされる。カウンタ 1 1 4 は、所定期間、第 1 パルス信号をカウントする。これにより、当該所定期間に A V D 1 1 1 に入射した光子の数に対応するカウント値を、デジタル信号として得ることができる。

20

【 0 0 2 6 】

転送スイッチ 1 1 5 は、T G 1 0 2 から出力される転送制御信号 W R T によって制御される。転送制御信号 W R T が H i g h レベルになると、転送スイッチ 1 1 5 がオンする。これにより、カウンタ 1 1 4 が保持したデジタル信号が、画素メモリ 1 1 6 に転送される。画素回路 1 1 0 が画素メモリ 1 1 6 を備えることによって、各行の画素メモリ 1 1 6 からデジタル信号を読み出す走査を行う期間に、カウンタ 1 1 4 によるカウント動作を行うことができる。これにより、高フレームレート化を実現できる。また、カウントを行うことができない不感期間を設けることなく、グローバルシャッタを行うことが可能である。なぜなら、画素メモリ 1 1 6 を設けない場合には、カウンタ 1 1 4 が保持したデジタル信号の読出しが終了するまでは、次のカウント動作を行うことができない。このため、グローバルシャッタを行う場合には、すべての画素回路 1 1 0 のカウンタ 1 1 4 からのデジタル信号の読出しが終了するまで待機する、不感期間を設ける必要がある。一方、画素回路 1 1 0 に画素メモリ 1 1 6 を設けたことによって、画素回路 1 1 0 からのデジタル信号の読出しの終了を待たずにカウンタ 1 1 4 が次のカウント動作を行うことができる。よって、不感期間を設けずにグローバルシャッタを実現することができる。

30

40

【 0 0 2 7 】

垂直走査回路 1 0 1 には、画素回路 1 1 0 の行ごとに配された読出し制御線 R E A D が接続される。

【 0 0 2 8 】

読出し制御線 R E A D は、行選択スイッチ 1 1 7 を制御する。読出し制御線 R E A D が H i g h レベルになると、行選択スイッチ 1 1 7 がオンする。これにより、画素メモリ 1 1 6 から垂直信号線 1 0 5 へのデジタル信号の読出しが行われる。垂直走査回路 1 0 1 による垂直走査により、順次、画素回路 1 1 0 の行ごとにデジタル信号の読出しが行われ

50

る。なお、選択される行は必ずしも1行である必要はない。例えば、垂直信号線105を1列の画素回路110に対して複数本備える場合には、複数行を同時に選択することも可能である。

【0029】

また、図1では垂直信号線105は、デジタル信号を伝送するバスとして1本の線で簡略化して示している。垂直信号線105は、画素メモリ116からパラレル転送でデジタル信号を読み出す場合には、カウンタ114および画素メモリ116のビット幅に応じた本数が必要となる。例えば、カウンタ114のビット幅が16ビットの場合には、垂直信号線105_n、105_{n+1}はそれぞれ16本設けられる。なお、デジタル信号をシリアル転送で画素メモリ116から読み出す場合には、垂直信号線105を1本の信号線で構成することも可能である。また、パラレル転送であっても、複数のグループに分割して読み出す場合には、垂直信号線105を16本設ける必要はない。

10

【0030】

列メモリ部103には、複数の垂直信号線105が接続されている。個々の信号線について説明するため、複数の垂直信号線105のうち、2つの垂直信号線105_n、105_{n+1}を用いることとする。垂直信号線105_n、105_{n+1}はそれぞれ、列メモリ部103に接続される。列メモリ部103は、各々の画素回路110から読み出された各列の画素信号値をそれぞれ保持する。

【0031】

水平走査回路104は、TG102より入力される制御信号HCLKに基づき、列メモリ部103に保持された各々の列のデジタル信号を、出力線Outputを介して順次出力する。

20

【0032】

以上が、各画素回路110による、入射光に基づくデジタル信号の生成と、各画素回路110からのデジタル信号の読出し動作である。この入射光に基づくデジタル信号の生成、読出しの動作を「通常動作」と表記することとする。

【0033】

次に、本実施形態における、画素回路110の検査時の動作について説明する。

【0034】

上述したように、AVD111のカソード・アノード間の電位差が降伏電圧以下であると、AVD111は非ガイガーモードとなる。検査時、Vbias生成回路118は、AVD111が非ガイガーモードとなる電圧で、かつインバータ113のしきい値を越える電圧で振幅するパルス信号を入力する。この検査モード時にVbias生成回路118が出力するパルス信号を第2パルス信号とする。また、第2パルス信号を出力するVbias生成回路118は、入射光によらないパルス信号である第2パルス信号を出力する参照回路である。Vbias生成回路118には、不図示のクロックパルス生成部からクロックパルスが入力される。このクロックパルスを用いて、Vbias生成回路118は第2パルス信号を生成する。なお、第2パルス信号の周期はクロックパルスと一致するものであっても良いし、クロックパルスを分周したものであっても良い。また、TG102がクロックパルスをVbias生成回路118に供給するようにしても良い。本実施形態では、第2パルス信号は、単一の周期で繰り返されるパルス波としている。ただし、この例に限定されるものではなく、第2パルス信号の周期を一定にしなくてもよい。

30

40

【0035】

インバータ113は、Vbiasノードに入力されるパルス信号に対応して反転動作を繰り返し、カウンタ114にはインバータ113の出力の変化回数に応じたカウント値が書き込まれる。すなわち、Vbiasノードに入力したパルス数に応じたカウント値(参照デジタル信号)がカウンタ114に書き込まれる。その後、通常動作と同様に、カウンタ114が保持した参照デジタル信号が画素メモリ116に転送される。その後、通常動作と同様の垂直走査によって、出力線Outputより各画素回路110の参照デジタル信号を順次読み出す。

50

【0036】

この出力線 Output から出力された参照デジタル信号と、参照デジタル信号の期待値、つまりカウンタ 114 が第 2 パルス信号をカウントする期間の開始から終了までにおける第 2 パルス信号のパルス数とを、撮像装置の外部の比較回路が比較する。これにより、各画素回路 110 が正しく動作しているかどうかを検査することができる。なお、この比較回路は、撮像装置の内部に設けてもよい。比較回路を撮像装置の内部に設けた場合には、撮像装置は Built-In Self Test (BIST) を備える装置として構成されることとなる。

【0037】

図 2 は、本実施形態における撮像装置 100 の通常動作時および、検査時の動作の詳細を示すタイミングチャートである。ここでは、複数の画素回路 110 のうち、画素回路 110a について説明する。

10

【0038】

図 2 では検査時の動作と 1 フレーム分の通常動作時の動作を示す。時刻 t210 から時刻 t214 までの期間は、画素回路 110 の検査を行う検査期間に対応する。

【0039】

一方、時刻 t216 から時刻 t221 までの期間は通常動作を行う通常動作期間（以下、受光期間と表記することもある）に対応する。

【0040】

まず、時刻 t210 において、同期信号 VD が High レベルになると、TG102 は時刻 t210 にてリセット制御信号 RES を High レベルにする。リセット制御信号 RES を High レベルにすることにより、カウンタ 114 がリセット状態となる。なお、図 2 に示した動作では、すべての画素回路 110 が一括して制御される形態を示している。よって、撮像装置が備えるすべての画素回路 110 のカウンタ 114 が一斉にリセットされる。Vbias 生成回路 118 からは、AVD111 のカソードに電圧 Va が印加される。ここで、電圧 Va は AVD111 が非ガイガーモードであり、かつインバータ 113 のしきい値以上の電圧である。

20

【0041】

時刻 t212 において、リセット制御信号 RES が Low レベルになるとカウンタ 114 のリセットが解除される。これにより、すべての画素回路 110 のカウンタ 114 は、カウント開始可能な状態（イネーブル状態）となる。

30

【0042】

時刻 t213 より、Vbias ノードを接地電圧から電圧 Va の範囲でパルス駆動させる。Vbias ノードがパルス駆動されると、その Vbias ノードの電位変化に対応して、インバータ 113 の出力もまた変化を繰り返す。カウンタ 114 はインバータ 113 の出力が変化した回数に応じたカウント値を生成する。Vbias ノードがパルス駆動される期間、つまり時刻 t213 より時刻 t214 までの期間が、カウンタ 114 にテストカウント値（参照デジタル信号）を書き込むための書き込み期間となる。

【0043】

時刻 t215 にて、TG102 は転送制御信号 WRT を High レベルにする。転送制御信号 WRT が High レベルになると、転送スイッチ 115 がオンとなる。よって、時刻 t215 におけるテストカウント値（参照デジタル信号）が画素メモリ 116 に書き込まれる。

40

【0044】

画素メモリ 116 に書き込まれた参照デジタル信号の読出しは以下の動作で行われる。

【0045】

まず、時刻 t217 において、垂直走査回路 101 が読み出し制御信号 READ1 を High レベルにする。これにより、1 番目の行に位置する複数の画素回路 110 の各々の行選択スイッチ 117 がオンとなる。よって、画素メモリ 116 で保持された値が、各画素回路 110 に対応する垂直信号線 105 を介して列メモリ部 103 へと書き込まれる。

50

【0046】

垂直走査回路101により、以降READ2からREADnまでが順次制御される。これにより、参照デジタル信号が行ごとに順次出力される、垂直走査が行われる。

【0047】

時刻t218から、TG102より入力される制御信号HCLKに基づき、水平走査回路104が、複数の列メモリ部103の水平走査を行う。これにより、複数の画素回路110の各々に第2パルス信号のパルス数に応じて書き込まれたテストカウント値（参照デジタル信号）が、出力線Outputを介して撮像装置100の外部の比較回路に出力される。比較回路は上述したように、各画素回路110の参照デジタル信号と期待値との比較を行う。比較回路は参照デジタル信号と期待値が一致していれば正常な画素回路110であると判定する。一方、参照デジタル信号と期待値とが不一致の場合には、不良な画素回路110であると判定する。これにより、各画素回路110が正常であるか検査を行うことができる。なお、不良な画素回路110については、その画素回路110のアドレスを特定することによって、通常動作時には不使用とすることもできる。

10

【0048】

次に、通常動作時の駆動について説明する。

【0049】

時刻t216に同期信号VDがHighレベルとなると、TG102はリセット制御信号RESをHighレベルにする。リセット制御信号RESがHighレベルとなることにより、各画素回路110のカウンタ114はリセット状態となる。こうして各々の画素回路110のカウンタ114に保持されていた参照デジタル信号は一斉にリセットされる。

20

【0050】

時刻t219に、Vbiasノードの電位が20Vに上昇する。これにより、AVD111はガイガーモードとなる。光子（フォトン）が入射するとアバランシェ増倍現象を引き起こす状態となる。本実施例ではVbiasを20Vとしているが、ガイガーモードに移行する電圧が与えられればよい。また、AVD111のアノードに負電圧を与えてもよい。

【0051】

リセット制御信号RESがLowレベルになると、カウンタ114のリセットが解除され、カウント開始可能な状態となる。

30

【0052】

時刻t220に入射光による光子がAVD111に入射すると、アバランシェ電流が発生する。クエンチ素子112での電圧降下によりAVD111のカソードの電位が低下する。これにより、インバータ113の出力が変化する。アバランシェ電流が停止すると、クエンチ素子112を介してVbiasノードから供給されるバイアス電圧により、AVD111のカソードの電位は20Vに復帰する。これにより、インバータ113の出力は再び変化する。典型的には、AVD111への光子1個の入射により、インバータ113は1パルスが発生する。以後、光子がAVD111に入射する都度、同様のアバランシェ増倍動作、復帰動作を繰り返す。この動作の繰り返しによって生じたパルス数に応じて、カウンタ114のカウント値が変化する。

40

【0053】

時刻t221にて、転送制御信号WRTがHighレベルになると、転送スイッチ115がオンとなり、時刻t221におけるカウント値が画素メモリ116に書き込まれる。

【0054】

画素メモリ116からの読出しは上述の検査時と同様に、垂直走査回路101により、読出し行が順次選択される。垂直信号線105を介して、列メモリ部103へと転送される。その後、水平走査回路104の動作により順次Outputを介して出力される。

【0055】

以上の通り、本発明によれば、Vbias生成回路118が供給する電圧を通常動作時

50

と検査時とで変更することによって、画素回路 110 の構成を変更することなく、画素回路 110 の検査を行うことができる。

【0056】

なお、本実施形態では、検査動作、通常動作の順に動作させた場合を説明した。検査動作を常に行う必要はなく、例えば、撮像装置 100 の製造時に検査を行うようにしても良い。また、検査動作を、所定の動作時間を経過するごとに、繰り返し行うようにしても良い。

【0057】

また、本実施形態の構成を利用して、画素回路 110 の通常動作の機能を拡張することもできる。例えば、通常動作時に生成するカウント値にオフセットを付与することができる。このオフセットの付与動作の例を、図 3 に示す。

10

【0058】

まず、時刻 t_{210} に、同期信号 VD が High レベルになると、 $TG102$ はリセット制御信号 RES を High レベルにする。これにより、各画素回路 110 のカウンタ 114 がリセット状態となる。

【0059】

時刻 t_{211} に、 $Vbias$ 生成回路 118 から、 $AVD111$ のカソードに電圧 Va が印加される。ここで、電圧 Va は $AVD111$ が非ガイガーモードとなり、かつインバータ 113 のしきい値以上の電圧である。

【0060】

20

時刻 t_{212} において、リセット制御信号 RES が Low レベルになるとカウンタ 114 のリセットが解除され、カウント動作可能な状態（イネーブル状態）となる。

【0061】

時刻 t_{213} から、 $Vbias$ ノードを接地電圧から電圧 Va の範囲でパルス駆動させる。 $Vbias$ ノードがパルス駆動されると、その $Vbias$ ノードの電位変化に対応して、インバータ 113 の出力もまた変化を繰り返す。カウンタ 114 はインバータ 113 の出力が変化した回数に応じたカウント値を生成する。 $Vbias$ ノードがパルス駆動される期間、つまり時刻 t_{213} から時刻 t_{214} までの期間が、カウンタ 114 にテストカウント値（参照デジタル信号）を書き込むための書き込み期間となる。

【0062】

30

そして、時刻 t_{215} に、 $Vbias$ ノードの電位が 20V に上昇する。これにより、 $AVD111$ はガイガーモードとなる。光子（フォトン）が入射するとアバランシェ増倍現象を引き起こす状態となる。本実施例では $Vbias$ を 20V としているが、ガイガーモードに移行する電圧が与えられればよい。また、 $AVD111$ のアノードに負電圧を与えてもよい。

【0063】

時刻 t_{216} に入射光による光子が $AVD111$ に入射すると、アバランシェ電流が発生する。クエンチ素子 112 での電圧降下により $AVD111$ のカソードの電位が低下する。これにより、インバータ 113 の出力が変化する。アバランシェ電流が停止すると、クエンチ素子 112 を介して $Vbias$ ノードから供給されるバイアス電圧により、 $AVD111$ のカソードの電位は 20V に復帰する。これにより、インバータ 113 の出力は再び変化する。典型的には、 $AVD111$ への光子 1 個の入射により、インバータ 113 は 1 パルスを発生する。以後、光子が $AVD111$ に入射する都度、同様のアバランシェ増倍動作、復帰動作を繰り返す。この動作の繰り返しによって生じたパルス数に応じて、カウンタ 114 のカウント値が変化する。

40

【0064】

時刻 t_{217} に、 $Vbias$ ノードに電圧 Va が与えられ、 $AVD111$ は非ガイガーモードとなる。時刻 t_{215} から時刻 t_{217} までは入射光に対応するデジタル信号取得期間となる。

【0065】

50

時刻 t 2 1 8 に、転送制御信号 W R T が H i g h レベルになると、転送スイッチ 1 1 5 がオンとなる。よって時刻 t 2 1 8 におけるカウント値が画素メモリ 1 1 6 に書き込まれる。ここで、書き込まれる信号は、(既知のオフセット信号)と(画素信号)の和となる。

【 0 0 6 6 】

画素メモリ 1 1 6 からの読み出しは上述の動作同様に、垂直走査回路 1 0 1 により、読み出し行が順次選択され、垂直信号線 1 0 5 を介して、列メモリ部 1 0 3 へと転送される。その後、水平走査回路 1 0 4 の動作により順次 O u t p u t を介して出力される。

【 0 0 6 7 】

以上の通り、アバランシェ電流を発生させない非ガイガーモードにおいて、V b i a s ノードをパルス駆動することで、入射光に基づくデジタル信号に対し、所定の値のオフセットを付与することが可能となる。

10

【 0 0 6 8 】

本実施形態の構成によれば、画素回路 1 1 0 の構成を変更せず検査を実施することができる。また、通常動作時に生成するデジタル信号に対し、所定の値のオフセットを付与することができる。

【 0 0 6 9 】

(第2実施形態)

本実施形態について、第1実施形態と異なる点を中心に説明する。

【 0 0 7 0 】

図4は、本実施形態の撮像装置(光電変換装置の一例)の構成を示した図である。

20

【 0 0 7 1 】

複数の画素回路 1 1 0 のそれぞれは、クエンチ素子である P M O S トランジスタ 1 1 2 0 と、P M O S トランジスタ 1 1 2 0 のゲートに接続されたクエンチ制御部 1 2 0 とを有する。複数の画素回路 1 1 0 の各々のクエンチ制御部 1 2 0 は、T G 1 0 2 に接続されている。

【 0 0 7 2 】

また、複数の画素回路 1 1 0 のそれぞれは、パルス生成回路 1 1 9 を有する。なお、図面では、パルス生成回路を P G (P u l s e G e n e r a t o r) として示している。以下、パルス生成回路 1 1 9 を P G 1 1 9 と表記することもある。パルス生成回路 1 1 9 は、本実施形態における、入射光によらない第2パルス信号を生成する参照回路である。

30

【 0 0 7 3 】

複数の画素回路 1 1 0 のそれぞれの P G 1 1 9 は T G 1 0 2 からの制御信号 P C T R L により制御される。制御信号 P C T R L が H i g h レベルになると、P G 1 1 9 は入射光によらないパルス信号(第2パルス信号)を出力する。P G 1 1 9 が出力するパルス信号は、インバータ 1 1 3 の入力ノードに入力される。制御信号 P C T R L が L o w レベルになると、P G 1 1 9 の出力はハイインピーダンスとなり、第2パルス信号の出力が停止される。また、複数の画素回路 1 1 0 の各々の P G 1 1 9 は、T G 1 0 2 から供給される不図示のクロックパルスを用いて、第2パルス信号を生成する。第2パルス信号の周期は、クロックパルスの周期と一致するものであっても良いし、所定の周期に分周されたものであっても良い。

40

【 0 0 7 4 】

複数の画素回路 1 1 0 の各々のクエンチ制御部 1 2 0 は、T G 1 0 2 からの制御信号 R C T R L により制御される。この制御信号 R C T R L によって、P M O S トランジスタ 1 1 2 0 のソース・ドレイン間の抵抗値が制御される。制御信号 R C T R L が L o w レベルの場合には、P M O S トランジスタ 1 1 2 0 はクエンチ素子として機能する。一方、制御信号 R C T R L が H i g h レベルの場合には、P M O S トランジスタ 1 1 2 0 がオフする(ソース・ドレイン間がハイインピーダンス状態)。

【 0 0 7 5 】

本実施形態における動作タイミングについて、図5を参照しながら説明する。

50

【 0 0 7 6 】

まず検査時の動作を説明する。

【 0 0 7 7 】

時刻 t 2 1 0 において、制御信号 R C T R L、P C T R L のそれぞれは L o w レベルにある。また、P G 1 1 9 の出力はハイインピーダンス状態 (図では H i Z と表記している) にある。そのほかの動作は、第 1 実施形態で説明した時刻 t 2 1 1 の動作と同じである。

【 0 0 7 8 】

時刻 t 2 1 1 において、リセット制御信号 R E S が L o w レベルとなり、カウンタ 1 1 4 はカウント動作可能な状態となる。このとき、V b i a s ノードには、A V D 1 1 1 がガイガーモードで動作可能な電圧、例えば 2 0 V が印加されている。しかし、制御信号 R C T R L が L o w レベルにあるため、A V D 1 1 1 のカソードノードには V b i a s ノードの電圧が印加されず、A V D 1 1 1 は非ガイガーモードとなっている。

10

【 0 0 7 9 】

時刻 t 2 1 2 に、制御信号 P C T R L が H i g h レベルとなると、P G 1 1 9 からパルス信号 (第 2 パルス信号) が出力される。この第 2 パルス信号のパルス波に応じて、インバータ 1 1 3 の出力が変化する。カウンタ 1 1 4 はインバータ 1 1 3 の出力が変化した回数に応じたカウント値が書き込まれる。

【 0 0 8 0 】

時刻 t 2 1 2 から時刻 t 2 1 3 までの制御信号 P C T R L が H i g h レベルにある期間が、カウンタ 1 1 4 にテストカウント値 (参照デジタル信号) を書き込むための書き込み期間となる。

20

【 0 0 8 1 】

時刻 t 2 1 5 に、制御信号 W R T が H i g h レベルとなると、カウンタ 1 1 4 で保持した参照デジタル信号が、対応する画素メモリ 1 1 6 に転送される。以上の動作により、P G 1 1 9 から出力される第 2 パルス信号のパルス数をカウントすることによって、既知の値を参照デジタル信号として画素メモリ 1 1 6 に書き込むことができる。

【 0 0 8 2 】

次に、通常動作時について説明する。

【 0 0 8 3 】

時刻 t 2 1 6 に、第 1 実施形態と同様、各画素回路 1 1 0 の画素メモリ 1 1 6 のカウント値はリセットされる。

30

【 0 0 8 4 】

時刻 t 2 1 7 に、制御信号 R C T R L が H i g h レベルとなり、A V D 1 1 1 のカソードには V b i a s ノードの電位 (2 0 V) が印加される。これにより、A V D 1 1 1 は非ガイガーモードからガイガーモードに移行する。

【 0 0 8 5 】

時刻 t 2 1 8 に、リセット制御信号 R E S が L o w レベルとなり、カウンタ 1 1 4 はカウント動作可能な状態となる。

【 0 0 8 6 】

時刻 t 2 1 9 以降は、第 1 実施形態と同様に、A V D 1 1 1 に入射する光子に基づいて、インバータ 1 1 3 が第 1 パルス信号を生成する。カウンタ 1 1 4 は、この第 1 パルス信号のパルス波のカウント動作を行う。

40

【 0 0 8 7 】

時刻 t 2 2 0 に、転送制御信号 W R T が H i g h レベルになると、転送スイッチ 1 1 5 がオンとなり、時刻 t 2 2 0 におけるカウント値が画素メモリ 1 1 6 に書き込まれる。

【 0 0 8 8 】

検査時の動作では、第 1 実施形態と同様に、各画素回路 1 1 0 から出力される参照デジタル信号と、期待値とを比較することによって画素回路 1 1 0 が正常であるか否かを検査することができる。

50

【0089】

また、本実施形態では、インバータ113の入力ノードに参照パルス信号を入力している。第1実施形態では、AVD111のカソードに接続されるVbiasノードの電位を変化させていた。このVbiasノードは、複数の画素回路110で共通に接続されている。したがって、第1実施形態のVbias生成回路118の出力ノードでは、複数の画素回路110のVbiasノードが接続されることによって寄生容量が増加する。このため、第1実施形態の構成では、第2パルス信号の駆動周波数の高速化に困難が伴いやすい。

【0090】

一方、本実施形態の構成では、各画素回路110に設けられたPG119が第2パルス信号の生成を行っている。このため、第1実施形態と比較して、第2パルス信号の周波数を向上させやすい。これにより、第1実施形態に比べて検査に要する時間を短縮することができる。

10

【0091】

なお、本実施形態では、各画素回路110にPG119を設けていた。本実施形態は、この形態に限定されるものではなく、1行、あるいは1列の複数の画素回路110で1つのPG119を共有するようにしても良い。また、複数の画素回路110を、複数行、複数列を1ブロックとして複数ブロックに分割し、1つのブロックに含まれる複数の画素回路110で、1つのPG119を共有するようにしてもよい。

【0092】

なお、本実施形態の構成においても、第1実施形態と同様に、通常動作時に生成するデジタル信号に対し、所定の値のオフセットを付与することができる。

20

【0093】

(第3実施形態)

本実施形態について、第2実施形態と異なる点を中心に説明する。

【0094】

図6は、本実施形態の撮像装置(光電変換装置の一例)の構成を示す図である。

【0095】

本実施形態において、複数の画素回路110の各々は、選択回路121を有する。なお、図6では選択回路はSELと表記している。PG119の出力ノードは選択回路121の入力ノードに接続されている。また、インバータ113の出力ノードもまた、選択回路121の入力ノードに接続されている。複数の画素回路110の各々の選択回路121の入力ノードは、TG102に接続されている。選択回路121は、カウンタ114に出力する信号として、インバータ113の出力と、PG119の出力の一方を、TG102から出力される制御信号によって選択する。

30

【0096】

本実施形態における動作タイミングについて、図7を参照しながら説明する。

【0097】

図7に示した制御信号SCTRLは、TG102が出力する、選択回路121を制御する信号である。制御信号SCTRLがLowレベルにある場合には、選択回路121は、カウンタ114に出力する信号として、PG119の出力を選択する。一方、制御信号SCTRLがHighレベルにある場合には、選択回路121は、カウンタ114に出力する信号として、インバータ113の出力を選択する。

40

【0098】

時刻t210における動作は、第2実施形態と同様、各画素回路110のカウンタ114をリセットする動作である。

【0099】

時刻t211において、制御信号SCTRLはLowレベルにあるため、各画素回路110の選択回路121は、カウンタ114に出力する信号として、PG119の出力を選択している。このとき、Vbiasノードには、AVD111をガイガーモードで動作さ

50

せるための電圧(20V)が印加されている。したがって、光子がAVD111に入射することによってアバランシェ増倍が生じる状態にある。しかし、選択回路121は、カウンタ114に出力する信号としてPG119の出力を選択している。このため、AVD111でアバランシェ増倍が生じても、カウンタ114にはインバータ113の出力の変化は伝達されない。

【0100】

時刻t212に、制御信号PCTRLがHighレベルになると、PG119から参照パルス信号(第2パルス信号)が出力される。上述したように選択回路121は、カウンタ114に出力する信号としてPG119の出力を選択している。このため、カウンタ114には、PG119が出力する参照パルス信号が出力される。

10

【0101】

時刻t212から時刻t213までの制御信号PCTRLがHighレベルにある期間が、カウンタ114にテストカウント値(参照デジタル信号)を書き込むための書き込み期間となる。テスト信号書き込み期間となる。

【0102】

時刻t215に、転送制御信号WRTはHighレベルとなると、カウンタ114で保持した参照デジタル信号が画素メモリ116に転送される。

【0103】

以上の動作により、PG119から出力される参照パルス信号のパルス数を制御することで、既知の値を参照デジタル信号として画素メモリ116に書き込むことができる。

20

【0104】

次に、通常動作時について説明する。

【0105】

時刻t216に、第2実施形態と同様、各画素回路110のカウンタ114がリセットされる。

【0106】

時刻t217に、TG102は、制御信号SCTRLをHighレベルにする。これにより、各画素回路110の選択回路121は、カウンタ114に出力する信号として、インバータ113の出力を選択する。

【0107】

時刻t218に、カウンタ114がカウント動作可能な状態となる。

30

【0108】

時刻t219以降、第2実施形態と同様に、AVD111に入射する光子に基づいて、インバータ113が第1パルス信号を生成する。カウンタ114は、この第1パルス信号のパルス波のカウント動作を行う。

【0109】

時刻t220に、転送制御信号WRTがHighレベルになると、転送スイッチ115がオンとなり、時刻t220におけるカウント値が画素メモリ116に書き込まれる。

【0110】

検査時の動作では、第1実施形態、第2実施形態と同様に、各画素回路110から出力される参照デジタル信号と、期待値とを比較することによって画素回路110が正常であるか否かを検査することができる。

40

【0111】

第2実施形態では、インバータ113を介してカウンタ114に第2パルス信号を入力していた。本実施形態では、カウンタ114に対し、インバータ113を介することなく第2パルス信号を入力することができる。このため、PG119の出力ノードに寄生容量を第2実施形態に比べて低減することができる。この結果、本実施形態では、第2実施形態よりもさらに第2パルス信号の周波数を向上させやすい。よって、本実施形態の構成は、第2実施形態に比べて、検査に要する時間を短縮することができる。

【0112】

50

なお、本実施形態においても、第2実施形態でも述べたように、複数の画素回路110で1つのPG119を共有するようにすることもできる。

【0113】

また、本実施形態では、検査時にAVD111をガイガーモードとしていたが、VbiasノードあるいはVbtmノードの電圧を変更して、AVD111を非ガイガーモードとしても良い。これにより、AVD111の消費電力を低減することができる。また、クエンチ素子112を第2実施形態のようにPMOSTランジスタとして、PMOSTランジスタをオフさせるようにしても良い。この場合でも、AVD111がアバランシェ増倍を繰り返さないようにすることができるため、消費電力を低減することができる。

【0114】

なお、本実施形態の構成においても、第1実施形態と同様に、通常動作時に生成するデジタル信号に対し、所定の値のオフセットを付与することができる。

【0115】

(第4実施形態)

本実施形態による光電変換システムについて、図8を用いて説明する。図8は、本実施形態による光電変換システムの概略構成を示すブロック図である。

【0116】

上記第1～第3実施形態で述べた光電変換装置(撮像装置)は、種々の光電変換システムに適用可能である。適用可能な光電変換システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、光電変換システムに含まれる。図8には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

【0117】

図8に例示した光電変換システムは、撮像装置1004、被写体の光学像を撮像装置1004に結像させるレンズ1002、レンズ1002を通過する光量を可変にするための絞り1003、レンズ1002の保護のためのバリア1001を有する。レンズ1002及び絞り1003は、撮像装置1004に光を集光する光学系である。撮像装置1004は、上記のいずれかの実施形態の光電変換装置(撮像装置)であって、レンズ1002により結像された光学像を電気信号に変換する。

【0118】

光電変換システムは、また、撮像装置1004より出力される出力信号の処理を行うことで画像を生成する画像生成部である信号処理部1007を有する。信号処理部1007は、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。信号処理部1007は、撮像装置1004が設けられた半導体基板に形成されていてもよいし、撮像装置1004とは別の半導体基板に形成されていてもよい。また、撮像装置1004と信号処理部1007とが同一の半導体基板に形成されていてもよい。

【0119】

光電変換システムは、更に、画像データを一時的に記憶するためのメモリ部1010、外部コンピュータ等と通信するための外部インターフェース部(外部I/F部)1013を有する。更に光電変換システムは、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体1012、記録媒体1012に記録又は読み出しを行うための記録媒体制御インターフェース部(記録媒体制御I/F部)1011を有する。なお、記録媒体1012は、光電変換システムに内蔵されていてもよく、着脱可能であってもよい。

【0120】

更に光電変換システムは、各種演算とデジタルスチルカメラ全体を制御する全体制御・演算部1009、撮像装置1004と信号処理部1007に各種タイミング信号を出力するタイミング発生部1008を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システムは少なくとも撮像装置1004と、撮像装置1004から出力された出力信号を処理する信号処理部1007とを有すればよい。

10

20

30

40

50

【0121】

撮像装置1004は、撮像信号を信号処理部1007に出力する。信号処理部1007は、撮像装置1004から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。信号処理部1007は、撮像信号を用いて、画像を生成する。

【0122】

このように、本実施形態によれば、上記のいずれかの実施形態の光電変換装置（撮像装置）を適用した光電変換システムを実現することができる。

【0123】

なお、信号処理部1007は上記した第1～第3実施形態における、期待値と、参照デジタル信号とを比較する比較回路として動作することができる。また、全体制御・演算部1009、あるいはタイミング発生部1008が、第1実施形態で説明したVbias生成回路118に対して第2パルス信号を生成するためのクロックパルスを出力するようにすることができる。

【0124】

（第5実施形態）

本実施形態の光電変換システム及び移動体について、図9を用いて説明する。図9は、本実施形態の光電変換システム及び移動体の構成を示す図である。

【0125】

図9(a)は、車載カメラに関する光電変換システムの一例を示したものである。光電変換システム300は、撮像装置310を有する。撮像装置310は、上記のいずれかの実施形態に記載の光電変換装置（撮像装置）である。光電変換システム300は、撮像装置310により取得された複数の画像データに対し、画像処理を行う画像処理部312と、光電変換システム300により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部314を有する。また、光電変換システム300は、算出された視差に基づいて対象物までの距離を算出する距離取得部316と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部318と、を有する。ここで、視差取得部314や距離取得部316は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部318はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、FPGA（Field Programmable Gate Array）やASIC（Application Specific Integrated Circuit）等によって実現されてもよいし、これらの組合せによって実現されてもよい。

【0126】

光電変換システム300は車両情報取得装置320と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、光電変換システム300は、衝突判定部318での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御ECU330が接続されている。また、光電変換システム300は、衝突判定部318での判定結果に基づいて、ドライバーへ警報を発する警報装置340とも接続されている。例えば、衝突判定部318の判定結果として衝突可能性が高い場合、制御ECU330はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置340は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

【0127】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム300で撮像する。図9(b)に、車両前方（撮像範囲350）を撮像する場合の光電変換システムを示した。車両情報取得装置320が、光電変換システム300ないしは撮像装置310に指示を送る。このような構成により、測距の精度をより向上させることができる。

10

20

30

40

50

【 0 1 2 8 】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光電変換システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【 0 1 2 9 】

[変形実施形態]

本発明は、上記実施形態に限らず種々の変形が可能である。

10

【 0 1 3 0 】

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態に含まれる。

【 0 1 3 1 】

また、上記第4実施形態、第5実施形態に示した光電変換システムは、光電変換装置を適用しうる光電変換システム例を示したものであって、本発明の光電変換装置を適用可能な光電変換システムは図8及び図9に示した構成に限定されるものではない。

【 0 1 3 2 】

なお、上記実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

20

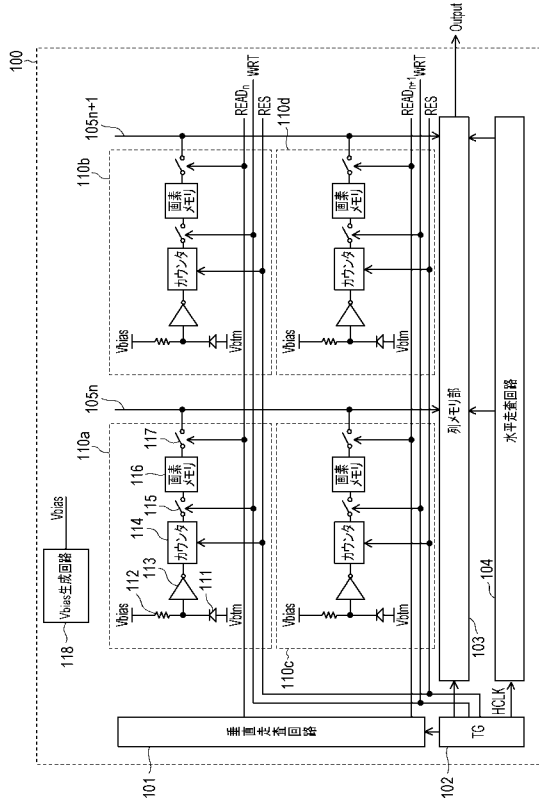
【 符号の説明 】

【 0 1 3 3 】

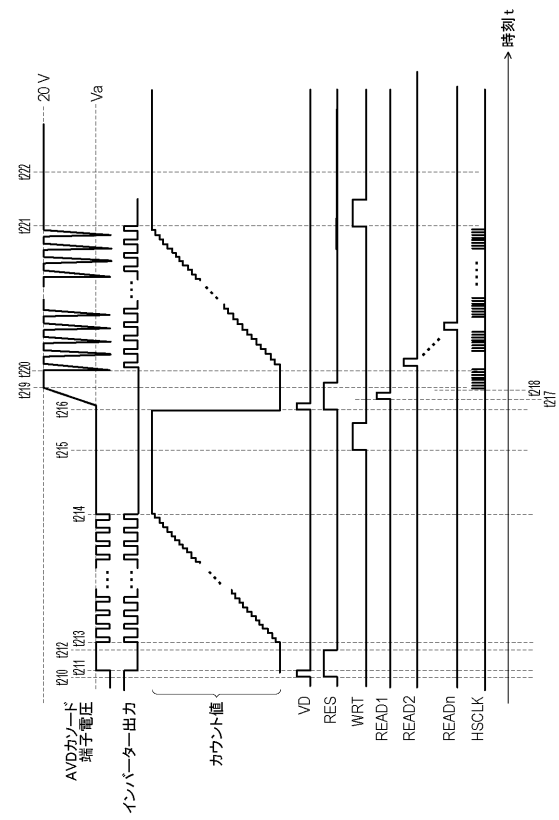
- 1 0 2 タイミングジェネレータ（制御回路）
- 1 1 0 画素回路
- 1 1 1 アバランシェダイオード（AVD）
- 1 1 2 クエンチ素子
- 1 1 2 0 PMOSトランジスタ
- 1 1 3 インバータ（波形整形回路）
- 1 1 4 カウンタ
- 1 1 6 画素メモリ
- 1 1 8 V b i a s 生成回路（参照回路の一例）
- 1 1 9 パルス生成回路（参照回路の一例）
- 1 2 0 クエンチ制御部
- 1 2 1 選択回路

30

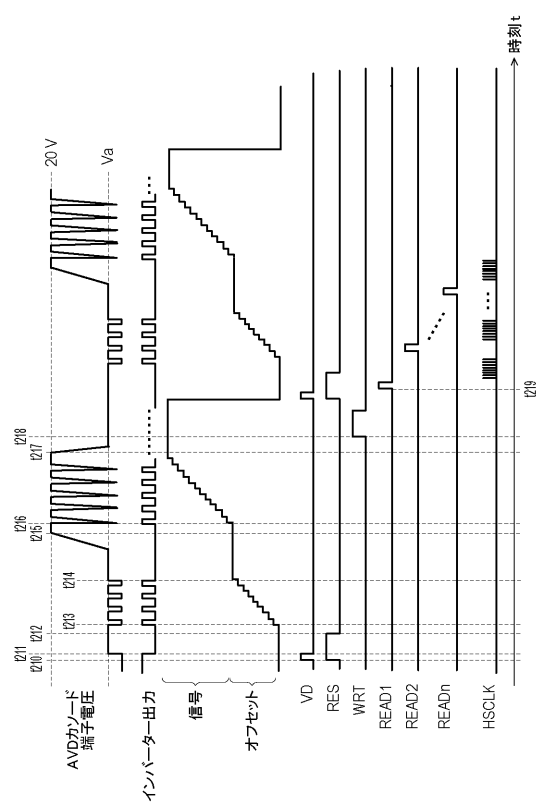
【図 1】



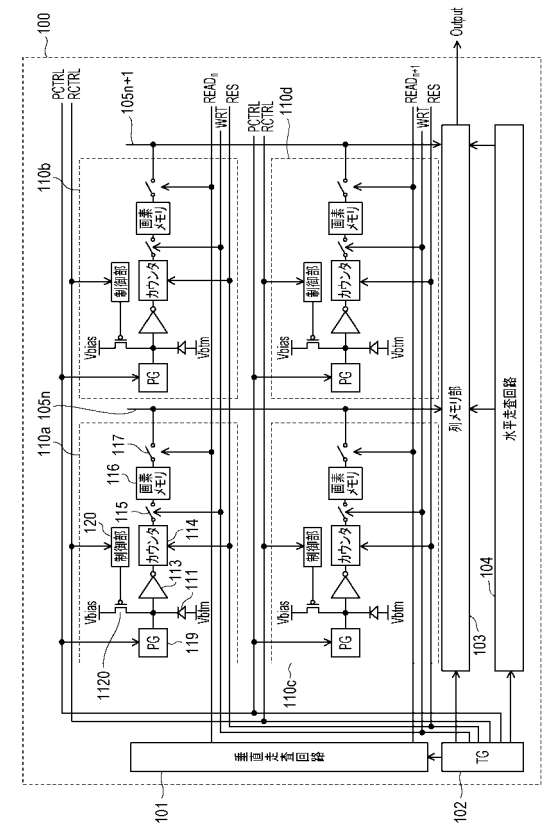
【図 2】



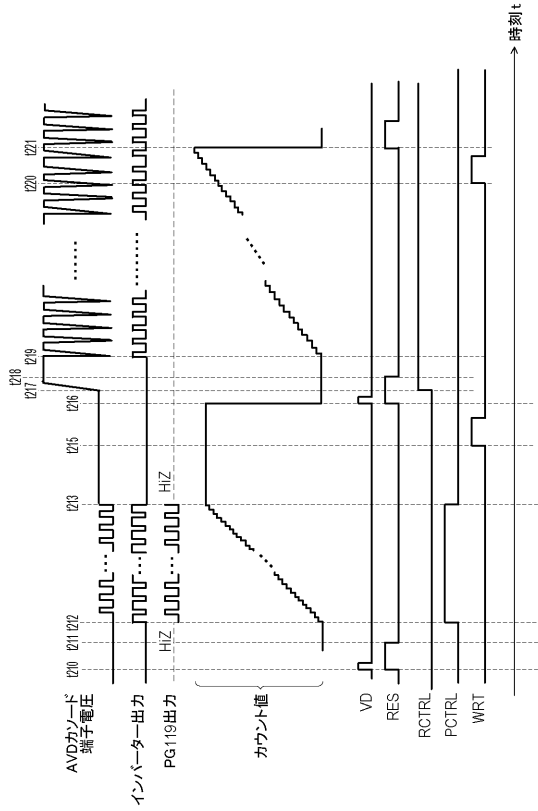
【図 3】



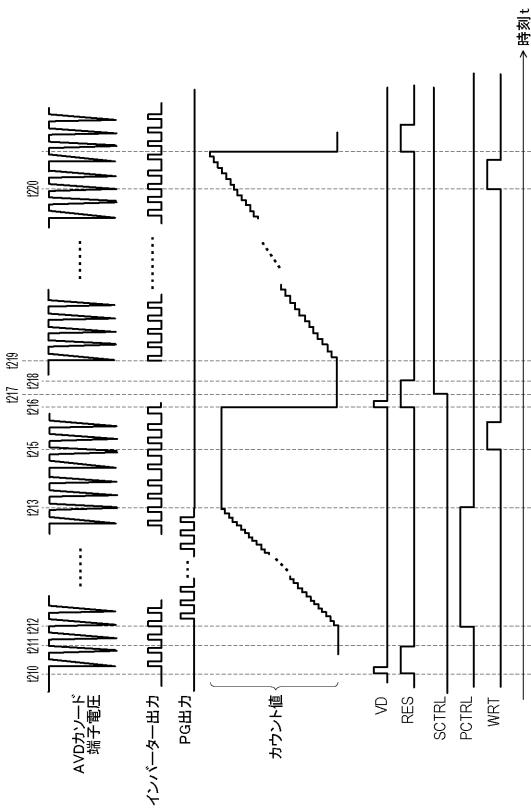
【図 4】



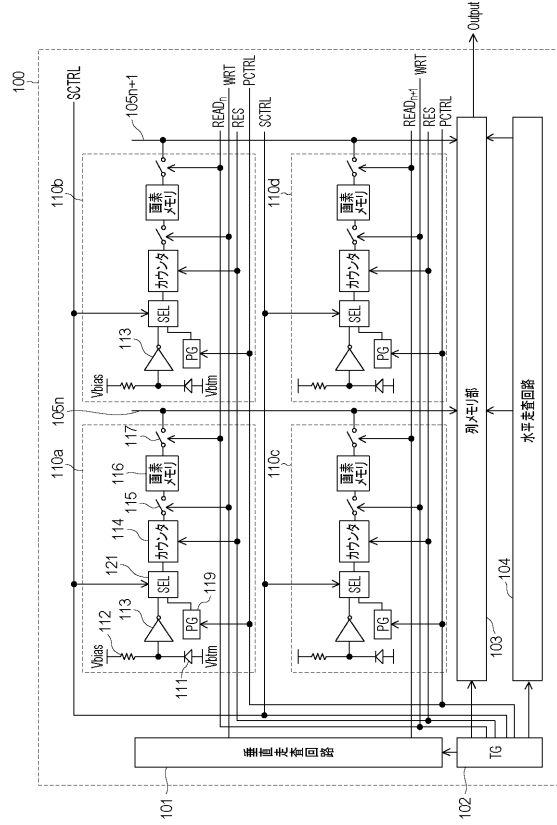
【図5】



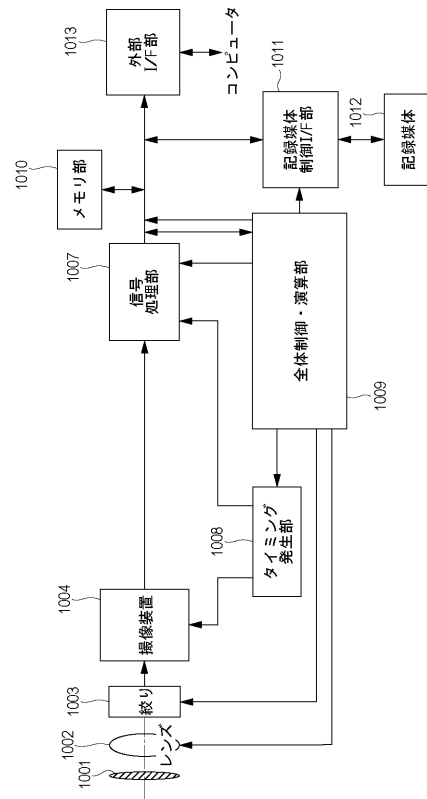
【図7】



【図6】



【図8】



【 図 9 】

