(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0144864
(43) 공개일자 2015년12월29일

(51) 국제특허분류(Int. Cl.)
H03K 5/26 (2006.01) *H03K 5/14* (2014.01)
H03L 7/06 (2006.01)
(21) 출원번호 10-2014-0073503
(22) 출원일자 2014년06월17일
심사청구일자 2014년06월17일

(71) 출원인
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
강진구
서울특별시 서초구 잠원로12길 5, 335동 1003호(잠원동, 신반포아파트)
공인석
경기 고양시 일산동구 무궁화로75번길 45, 306동 105호 (정발산동, 양지마을3단지건영빌라)
(74) 대리인
양성보

전체 청구항 수 : 총 6 항

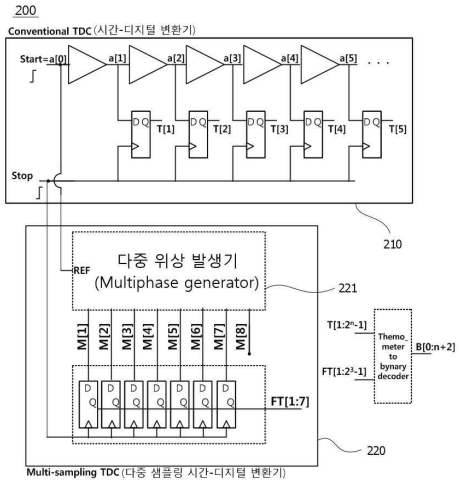
(54) 발명의 명칭 **올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법 및 장치**

(57) 요 약

올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법 및 장치가 제시된다.

올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치에 있어서, 입력되는 두 신호의 위상 차이를 디지털 값으로 변환하는 시간-디지털 변환기; 상기 시간-디지털 변환기에서 변환되지 않은 나머지는 다중 위상 발생기를 통해 다중 위상을 생성하고, 상기 다중 위상을 입력 신호로 하여 위상 차이를 상기 디지털 값으로 변환하는 다중 샘플링 시간-디지털 변환기를 포함한다.

대 표 도 - 도2



명 세 서

청구범위

청구항 1

올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치에 있어서,

입력되는 두 신호의 위상 차이를 디지털 값으로 변환하는 시간-디지털 변환기(Time-to-Digital Converter; TDC);

상기 시간-디지털 변환기에서 변환되지 않은 나머지는 다중 위상 발생기(Multiphase Generator)를 통해 다중 위상(Multiphase)을 생성하고, 상기 다중 위상을 입력 신호로 하여 위상 차이를 상기 디지털 값으로 변환하는 다중 샘플링 시간-디지털 변환기

를 포함하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치.

청구항 2

제1항에 있어서,

상기 다중 위상 발생기는

상기 다중 위상의 생성 시 보조 다중 위상(Sub-multiphase)을 생성하고,

다중 주기 잠금 감지 회로부가 구성되어, 입력 신호를 2 분주하여 각각의 상기 보조 다중 위상을 샘플링하고, 상기 샘플링에 의해 출력된 값을 순차적으로 재 샘플링하여 잠금 클럭을 1로 만드는 것

을 특징으로 하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치.

청구항 3

올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법에 있어서,

시간-디지털 변환기(Time-to-Digital Converter; TDC)를 통해 입력되는 두 신호의 위상 차이를 디지털 값으로 변환하는 단계;

변환되지 않은 나머지는 다중 위상 발생기(Multiphase Generator)를 통해 다중 위상(Multiphase)을 생성하는 단계; 및

상기 다중 위상을 입력 신호로 하여 시간-디지털 변환기를 통해 상기 디지털 값으로 변환하는 단계

를 포함하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법.

청구항 4

제3항에 있어서,

상기 다중 위상 발생기를 통해 보조 다중 위상(Sub-multiphase)을 생성하고, 다중 주기 잠금 감지 회로를 구현하고, 상기 보조 다중 위상을 이용하여 잠금 클럭을 1로 만드는 단계

를 더 포함하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법.

청구항 5

제4항에 있어서,

다중 주기 잠금 감지 회로를 구현하고, 상기 보조 다중 위상을 이용하여 잠금 클럭을 1로 만드는 단계는

입력 신호를 2 분주하여, 각각의 상기 보조 다중 위상을 샘플링하는 단계;

상기 샘플링을 통해 출력된 값을 순차적으로 재 샘플링하는 단계; 및

상기 재 샘플링을 통해 잠금 클럭을 1로 만드는 단계

를 포함하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법.

청구항 6

제5항에 있어서,

상기 재 샘플링을 통해 잠금 클럭을 1로 만드는 단계는

상기 재 샘플링을 통해 상기 잠금 클럭이 0이 된 경우, 강압적인 업/다운 신호를 위상 검출기(Phase Detector)에 입력하여 상기 잠금 클럭을 1로 만드는 것

을 특징으로 하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법 및 장치에 관한 것이다. 더욱 상세하게는 미세 해상도의 다중 위상과 시간-디지털 변환기를 얻을 수 있는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법 및 장치에 관한 것이다.

배 경 기 술

[0002] 시간-디지털 변환기(Time-to-Digital Converter; TDC)는 저전압 환경에서의 데이터 변환 기술로 두 신호의 에지(edge) 간격을 디지털로 변환하는 회로이다. 여기서, 기본적인 시간-디지털 변환기는 버퍼 체인과 다수의 플립 플롭(또는 래치)로 이루어질 수 있다.

[0003] 그리고, 올-디지털 위상 잠금 루프(All-Digital Phase-Locked Loop, ADPLL)는 PVT (Process, Voltage, Temperature) 변화(variation)에 둔감하고, 디지털 회로의 프로그래밍(programmability)이 용이하다는 장점을 가지고 있다. 또한, 올-디지털 위상 잠금 루프(ADPLL)는 디지털 루프 필터를 사용하기 때문에 공정 향상에 따른 누설전류에 의한 지터 성능 저하도 해소 가능하다. 이러한 장점들 때문에 올-디지털 위상 잠금 루프(ADPLL)은 통신 기기 및 휴대 장비의 어플리케이션으로서 많이 활용되고 있다.

[0004] 하지만, 위상 오차의 디지털 변환에서 발생하는 양자화 잡음은 올-디지털 위상 잠금 루프(ADPLL)의 지터 성능에 있어서 해결해야만 하는 중요한 과제이다. 이를 위해서는, 고해상도의 시간-디지털 변환기(TDC)의 설계가 요구된다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 다중 위상 발생기를 이용하여 시간 증폭기 없이 ADPLL 맞춤형 고해상도 TDC를 구현함으로써, 미세 해상도의 다중 위상과 시간-디지털 변환기를 얻을 수 있는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법 및 장치를 제공하는데 있다.

과제의 해결 수단

[0006] 일 측면에 있어서, 본 발명에서 제안하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치에 있어서, 입력되는 두 신호의 위상 차이를 디지털 값으로 변환하는 시간-디지털 변환기; 상기 시간-디지털 변환기에서 변환되지 않은 나머지는 다중 위상 발생기를 통해 다중 위상을 생성하고, 상기 다중 위상을 입력 신호로 하여 위상 차이를 상기 디지털 값으로 변환하는 다중 샘플링 시간-디지털 변환기를 포함한다.

[0007] 상기 다중 위상 발생기는 상기 다중 위상의 생성 시 보조 다중 위상을 생성하고, 다중 주기 잠금 감지 회로부가 구성되어, 입력 신호를 2 분주하여 각각의 상기 보조 다중 위상을 샘플링하고, 상기 샘플링에 의해 출력된 값을 순차적으로 재 샘플링하여 잠금 클럭을 1로 만들 수 있다.

[0008] 다른 측면에 있어서, 본 발명에서 제안하는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법에 있어서, 시간-디지털 변환기(TDC)를 통해 입력되는 두 신호의 위상 차이를 디지털 값으로 변환하는 단계;

변환되지 않은 나머지는 다중 위상 발생기를 통해 다중 위상을 생성하는 단계; 및 상기 다중 위상을 입력 신호로 하여 시간-디지털 변환기(TDC)를 통해 상기 디지털 값으로 변환하는 단계를 포함한다.

[0009] 상기 다중 위상 발생기를 통해 보조 다중 위상을 생성하고, 다중 주기 잠금 감지 회로를 구현하고, 상기 보조 다중 위상을 이용하여 잠금 클럭을 1로 만드는 단계를 더 포함할 수 있다.

[0010] 다중 주기 잠금 감지 회로를 구현하고, 상기 보조 다중 위상을 이용하여 잠금 클럭을 1로 만드는 단계는 입력 신호를 2 분주하여, 각각의 상기 보조 다중 위상을 샘플링하는 단계; 상기 샘플링을 통해 출력된 값을 순차적으로 재 샘플링하는 단계; 및 상기 재 샘플링을 통해 잠금 클럭을 1로 만드는 단계를 포함할 수 있다.

[0011] 상기 재 샘플링을 통해 잠금 클럭을 1로 만드는 단계는 상기 재 샘플링을 통해 상기 잠금 클럭이 0이 된 경우, 강압적인 업/다운 신호를 위상 검출기에 입력하여 상기 잠금 클럭을 1로 만들 수 있다.

발명의 효과

[0012] 본 발명의 실시예들에 따르면 다중 위상 발생기를 이용하여 시간 증폭기 없이 ADPLL 맞춤형 고해상도 TDC를 구현함으로써, 미세 해상도의 다중 위상과 시간-디지털 변환기를 얻을 수 있는 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법 및 장치를 제공할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 따른 기본적인 시간-디지털 변환기를 나타낸 구조도이다.

도 2는 본 발명의 일 실시예에 따른 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치를 나타낸 구조도이다.

도 3은 본 발명의 일 실시예에 따른 DLL기반의 다중 위상 발생기의 구조를 나타낸 도이다.

도 4는 본 발명의 일 실시예에 따른 미세 간격 다중 위상의 생성 및 다중 샘플링 시간-디지털 변환기의 원리를 나타낸 도이다.

도 5는 본 발명의 일 실시예에 따른 8 주기 잠금 감지 회로를 나타낸 도이다.

도 6은 본 발명의 일 실시예에 따른 8 주기 잠금 감지의 동작 과정을 나타낸 도이다.

도 7은 본 발명의 일 실시예에 따른 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법을 나타낸 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.

[0015] 도 1은 본 발명의 일 실시예에 따른 기본적인 시간-디지털 변환기를 나타낸 구조도이다.

[0016] 도 1을 참조하면, 기본적인 시간-디지털 변환기의 구조를 확인할 수 있다.

[0017] 올-디지털 위상 잠금 루프(All-Digital Phase-Locked Loop; ADPLL)는 PVT (Process, Voltage, Temperature) 변화(variation)에 둔감하고, 디지털 회로의 프로그래밍(programmability)이 용이하다는 장점을 가지고 있다. 또한, 올-디지털 위상 잠금 루프(ADPLL)는 디지털 루프 필터를 사용하기 때문에 공정 향상에 따른 누설전류에 의한 지터 성능 저하도 해소 가능하다. 이러한 장점들 때문에 올-디지털 위상 잠금 루프(ADPLL)은 통신 기기 및 휴대 장비의 어플리케이션으로서 많이 활용되고 있다.

[0018] 하지만, 위상 오차의 디지털 변환에서 발생하는 양자화 잡음은 올-디지털 위상 잠금 루프(ADPLL)의 지터 성능에 있어서 해결해야만 하는 중요한 과제이다. 이를 위해서는, 고해상도의 시간-디지털 변환기(TDC)를 설계해야 한다.

[0019] 여기서, 시간-디지털 변환기(Time-to-Digital Converter; TDC)는 저전압 환경에서의 데이터 변환 기술로 두 신호(클럭)의 에지(edge) 간격을 디지털로 변환하는 회로이다. 여기서, 기본적인 시간-디지털 변환기는 버퍼 체인과 다수의 플립플롭(또는 래치)로 이루어질 수 있다.

[0020] 그러나, 이러한 구조의 시간-디지털 변환기(TDC)는 버퍼의 지연에 따라 해상도의 제약을 받을 수 있다. 이에 따라, 시간-디지털 변환기에서 더 높은 해상도를 얻기 위해서 다양한 방안이 연구되고 있는데, 그 중 하나로 시간 증폭기(Time Amplifier; TA)를 사용한 다중 단계 시간-디지털 변환기(Multi-step TDC)를 이용할 수 있다.

[0021] 이러한, 다중 단계 시간-디지털 변환기는 다중 단계 아날로그-디지털변환기(Multi-step Analog-Digital Converter; Multi-step ADC) 또는 파이프 라인 아날로그-디지털변환기(Analog-Digital Converter; ADC)를 모티브로 한 방식으로, 기본적인 시간-디지털 변환기(TDC) 동작에서 1차적으로 데이터 변환을 한 다음, 나머지 잔여 시간 차를 선형적으로 증폭시켜 같은 변환과정을 반복하는 방식으로 이루어질 수 있다.

[0022] 하지만, 이러한 다중 단계(multi-step)를 위해 사용되는 시간 증폭기(Time Amplifier; TA)는 이득 오차가 심하고 상당한 지연을 요구하기 때문에 시간-디지털 변환기(TDC)의 선형성 및 변환 속도에 악영향을 줄 수 있다. 따라서, 시간 증폭기(TA)를 사용하지 않고 해상도를 향상시키는 방법이 요구된다.

[0023] 도 2는 본 발명의 일 실시예에 따른 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치를 나타낸 구조도이다.

[0024] 도 2를 참조하면, 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치(200)는 시간-디지털 변환기(210)와 다중 샘플링 시간-디지털 변환기(220)를 포함할 수 있다.

[0025] 시간-디지털 변환기(Time-to-Digital Converter; TDC)(210)는 두 신호의 위상 차이를 그에 상응하는 디지털 값으로 변환시키는 회로로써, 기준 신호와 시간 도메인 상의 궤환 신호의 위상 차이를 측정하여 디지털 신호로 변환할 수 있다. 그리고, 시간-디지털 변환기(TDC)는 입력 위상 차이나 시간 간격을 디지털화하는 과정에서 양자화 에러(Quantization error)가 발생될 수 있다. 따라서, 양자화 에러를 줄이기 위해 높은 해상도를 가진 시간-디지털 변환기의 설계가 매우 중요하다.

[0026] 다중 샘플링 시간-디지털 변환기(220)는 시간-디지털 변환기에서 변환되지 않은 나머지는 다중 위상 발생기(221)를 통해 다중 위상을 생성하고, 다중 위상을 입력 신호로 하여 위상 차이를 디지털 값으로 변환할 수 있다.

[0027] 다시 말하면, 기존 2-단계 시간-디지털 변환기와 마찬가지로, 1번째 단계(step)에서 데이터 변환 후, 남은 나머지(residue)를 2번째 단계를 통해 변환해 줄 수 있다. 여기서, 다중 샘플링 시간-디지털 변환기(220)는 다중 위상 발생기(Multiphase Generator)(221)가 추가될 수 있으며, 다중 위상 발생기(221)에서 생성되는 다중 위상(Multiphase)은 2번째 단계의 시간-디지털 변환의 입력신호인 레퍼런스로 사용되고, 이를 통해 디지털 값을 얻을 수 있다.

[0028] 예를 들어, 다중 위상 발생기(221)가 포함된 다중 샘플링 시간-디지털 변환기(220)를 통해 미세(fine) 3bit code를 얻을 수 있다. 여기서, 각각의 다중 위상(Multiphase) M[1:8]이 서로 한 주기 이상의 차이를 가지기 위해서는, 최소 4개의 버퍼를 각각의 간격에서 가지도록 하는 것이 바람직하다. 따라서, M[1:8]의 생성 과정서 추가로 S[J-K] (J=1~8, K=1~4)의 보조 다중 위상(Sub-multiphase)을 얻을 수 있다.

[0029] 즉, 다중 위상 발생기는 다중 위상의 생성 시 보조 다중 위상을 생성할 수 있다. 그리고, 다중 주기 잠금 감지 회로부가 구성되어, 입력 신호를 2 분주하여 각각의 보조 다중 위상을 샘플링하고, 샘플링에 의해 출력된 값을 순차적으로 재 샘플링하여 잠금 클럭을 1로 만들 수 있다. 이는, 아래에서 더 구체적으로 설명하기로 한다.

[0030] 도 3은 본 발명의 일 실시예에 따른 DLL기반의 다중 위상 발생기의 구조를 나타낸 도이다.

[0031] 도 3을 참조하면, DLL기반의 다중 위상 발생기의 구조를 통해 미세 간격 다중 위상(Multiphase) 생성 및 이를 이용한 시간-디지털 변환기(TDC) 원리를 확인할 수 있다. 여기서, 미세 해상도를 얻는 방법이 중요하다.

[0032] 먼저, 기본적인 시간-디지털 변환기(TDC) 구조에서 각 버퍼의 지연을 T_B라고 가정할 수 있다. 이때, T_B의 지연을 각 버퍼가 동등하게 나누어 가질 수 있다면, 원하는 추가 해상도 또는 미세 해상도를 얻을 수 있다. 이를 위해, 지연 고정 루프(Delay-Locked Loop; DLL)의 원리를 사용할 수 있다. 예를 들어, 8개의 동일한 간격을 가지는 다중 위상지연 고정 루프(Multiphase Delay-Locked Loop; 다중 위상 DLL)를 형성할 수 있다. 여기서, 다중 위상 DLL이 레퍼런스 신호(REF)의 8주기만큼 지연 고정된다면, 각각의 다중 위상(Multiphase) 사이의 지연 차(T_d)는

다음과 같이 표현할 수 있다.

수학식 1

[0033] $$T_d = \frac{8T_{REF}}{8} = T_{REF}$$

[0034] 그리고, 도 3에 도시된 바와 같이, DLL에 오프셋(T_{off})을 줄 수 있다. 그러면, T_d는 다음과 같이 정의될 수 있다.

수학식 2

[0035] $$T_d = \frac{8T_{REF} + T_{OFF}}{8} = T_{REF} + \frac{T_{OFF}}{8}$$

[0036] 여기서, 1주기인 T_{REF}를 제외하면, 각각의 다중 위상(Multiphase) 사이의 해상도는 $T_{OFF}/8$를 가질 수 있다.

[0037] 도 4는 본 발명의 일 실시예에 따른 미세 간격 다중 위상의 생성 및 다중 샘플링 시간-디지털 변환기의 원리를 나타낸 도이다.

[0038] 도 4를 참조하면, 미세 간격 다중 위상(Multiphase) 생성 및 이를 이용한 시간-디지털 변환기의 원리를 더 구체적으로 확인할 수 있다.

[0039] 앞에서 설명한 바와 같이, 1주기인 T_{REF}를 제외하면, 각각의 다중 위상(Multiphase) 사이의 해상도는 $T_{OFF}/8$를 가질 수 있다. 이때, $T_{OFF} = T_B$가 충족되는 경우에는, 도 4에 도시된 바와 같이, 2번째 단계의 시간-디지털 변환을 통해 확장된 3bit를 얻을 수 있다.

[0040] 도 5는 본 발명의 일 실시예에 따른 8 주기 잠금 감지 회로를 나타낸 도이다.

[0041] 도 5를 참조하면, 다중 샘플링 시간-디지털 변환기의 다중 위상 발생기는 다중 위상의 생성 시 보조 다중 위상을 생성할 수 있고, 다중 주기 잠금 감지 회로부가 구성되어, 입력 신호를 2 분주하여 각각의 보조 다중 위상을 샘플링하고, 샘플링에 의해 출력된 값을 순차적으로 재 샘플링하여 잠금 클럭을 1로 만들 수 있다.

[0042] 다시 말하면, 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치는 다중 잠금을 어떻게 감지할지에 대한 방안도 뒷받침 되는 것이 바람직하다. 아래에서는, 다중 주기 잠금 감지 회로 구현(Multi-period lock detection)의 일 실시예인 8 주기 잠금 감지(8 period lock detection) 회로를 중심으로 설명하기로 한다.

[0043] 각각의 보조 다중 위상(Sub-multiphase)을 S[J-K] 형태로 나타낼 수 있으며, 그 예로 다중 위상인 M[1]과 M[2] 사이 중 첫 번째 보조 다중 위상(Sub-multiphase)는 S[2-1]로 명명할 수 있다.

[0044] 여기서, 임의의 다중 위상(Multiphase)들이 모두 $1T_{REF}$ 이하의 지연을 가지는 경우에는, 이들은 $1T_{REF}$ 안에 순차적으로 정렬되어 있을 것이다. 즉, 다중 위상인 M[1]과 M[2]사이의 보조 다중 위상(Sub-multiphase)들이 순차적으로 정렬되는 경우에, M[1]과 M[2]는 $(4/3)*T_{REF}$ 이하의 지연 차를 가질 수 있다. 이와 마찬가지로, 보조 다중 위상인 S[2-1], S[4-2], S[6-3]과 S[6-1], S[7-2], S[8-3]이 각각 순차적으로 정렬되는 경우에는, S[8-4](=M[8])가 약 $8*T_{REF}+(1/3)*T_{REF}$ 이하의 지연을 가진다고 짐작할 수 있다. 이러한 순차성은, 보조 다중 위상(Sub-multiphase) 간격이 서로 $1T_{REF}$ 이상 이라는 것 또한 함축하고 있다. 따라서, S[8-4]가 약 $8*T_{REF}-(8/29)*T_{REF}$ 이상의 지연을 가진다고 할 수 있다.

[0045] 도 6은 본 발명의 일 실시예에 따른 8 주기 잠금 감지의 동작 과정을 나타낸 도이다.

[0046] 도 6을 참조하면, 2분주된 REF_DIV2를 각 보조 다중 위상(Sub-multiphase)이 샘플링(sampling)될 수 있다. 이를 통해, 출력된 Q[1:3]과 Q[4:6]을 순차적으로 다시 한번 더 샘플링하면 D[1:4]를 얻을 수 있다. 여기서, 각각의 보조 다중 위상(Sub-multiphase)들이 의도한 대로 순차적인 경우에 잠금 클락(C_lock) = 1이 될 수 있다. 이러한 원리로, M[8]이 $8T_{REF}$ 인근에 위치해 있는지를 판별할 수 있다. 이를 다음의 식으로 표현할 수 있다.

수학식 3

[0047]
$$C_lock = 1,$$
$$8 * T_{REF} - \frac{8}{29} T_{REF} \left(= \frac{7}{29} * T_{REF} * 32\right) < M[8] < 8 * T_{REF} + \frac{1}{3} * T_{REF}$$

[0048] 한편, 잠금 클락(C_lock) = 0인 경우에는, M[8]이 $8T_{REF}$ 인근에 위치해 있지 않다는 것을 의미할 수 있다. 즉, M[8]의 $8T_{REF}$ 이상/이하 지연 여부는 M[1]의 $1T_{REF}$ 이상/이하 지연 여부를 파악하여 결정할 수 있다. 이에 따라, 강압적인 업(up)/다운(down) 신호인 UX/DX를 따로 위상 검출기(Phase Detector)에 입력함으로써 잠금 클락(C_lock) = 1인 상태로 만들 수 있다.

[0049] 도 7은 본 발명의 일 실시예에 따른 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법을 나타낸 흐름도이다.

[0050] 도 7을 참조하면, 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 방법은 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치를 이용할 수 있다. 여기서, 올-디지털 위상 잠금 루프용 미세 다중 샘플링 시간-디지털 변환 장치에 설명된 반복되는 설명은 생략하기로 한다.

[0051] 단계(710)에서, 시간-디지털 변환기(TDC)는 입력되는 두 신호의 위상 차이를 측정하여 그에 상응하는 디지털 값으로 변환할 수 있다.

[0052] 단계(720)에서, 시간-디지털 변환기(TDC)를 통해 변환되지 않은 나머지는 다중 위상 발생기를 통해 다중 위상을 생성할 수 있다.

[0053] 단계(730)에서, 다중 위상 발생기는 다중 위상 발생기를 통해 다중 위상을 생성 시, 별도로 보조 다중 위상을 생성할 수 있다. 그리고, 다중 위상 발생기는 다중 주기 잠금 감지 회로를 구현하고, 보조 다중 위상을 이용하여 잠금 클럭을 1로 만들 수 있다.

[0054] 단계(740)에서, 다중 위상을 입력 신호로 하여 시간-디지털 변환기(TDC)를 통해 디지털 값으로 변환함으로써, 미세한 디지털 코드를 얻을 수 있다. 예를 들면, 미세한 3bit code를 획득할 수 있다.

[0055] 도 8은 본 발명의 일 실시예에 따른 다중 잠금을 감지하기 위한 미세 다중 샘플링 시간-디지털 변환 방법을 나타낸 흐름도이다.

[0056] 도 8을 참조하면, 다중 위상 발생기는 다중 주기 잠금 감지 회로를 구현하고, 보조 다중 위상을 이용하여 잠금 클럭을 1로 만들 수 있다.

[0057] 단계(731)에서, 다중 위상 발생기는 입력 신호를 2 분주하여, 각각의 보조 다중 위상을 샘플링할 수 있다.

[0058] 단계(732)에서, 다중 위상 발생기는 샘플링을 통해 출력된 값을 순차적으로 재 샘플링할 수 있다.

[0059] 단계(733)에서, 다중 위상 발생기는 재 샘플링을 통해 잠금 클럭을 1로 만들 수 있다. 이때, 재 샘플링을 통해 잠금 클럭을 1로 만드는 단계에서 재 샘플링을 통해 잠금 클럭이 0이 된 경우, 강압적인 업/다운 신호를 위상 검출기에 입력하여 잠금 클럭을 1로 만들 수 있다.

[0060] 따라서, 미세 해상도의 다중 위상(Multiphase)와 시간-디지털 변환기(TDC)를 얻을 수 있다. 다만, 적절한 다중 위상(Multiphase) 생성을 위한 DLL 잠금 과정이 필요하므로, 나머지(residue)의 미세 측정은 a[0]~a[N]까지 중 1개의 영역에 대해서만 가능하다. 하지만, 올-디지털 위상 잠금 루프(ADPLL)의 경우 시간-디지털 변환기(TDC)의 사용용도가 위상 오차의 측정이기 때문에 모든 영역에 걸쳐 고해상도를 가질 필요가 없다. 미세해상도가 필요한 영역이 잠금 위치 인근으로 국한되기 때문에, Start = a[0]을 레퍼런스(REF)로 사용하면 의도된 해상도 수준의 지터 성능을 가질 수 있다. 따라서, 이러한 시간-디지털 변환기(TDC)는 올-디지털 위상 잠금 루프(ADPLL)에 맞춤형이라 볼 수 있다.

[0061] 그리고, 본 발명은 기존 다중 단계 시간-디지털 변환기(Multi-step TDC)와는 달리 시간-증폭기 없이 미세 해상도를 얻는 시간-디지털 변환기(TDC)를 설계할 수 있다. 이러한 방식은 기존 시간-증폭기로 인한 선형성 저하 및 변환 속도 저하문제를 가지고 있지 않다. 그리고, 제안된 방식은 빠른 변환속도(500Msps 이상)를 기대할 수 있지만, 모든 영역에 대해 동시에 단위 버퍼 이하의 해상도를 제공할 수 없다. 하지만, 올-디지털 위상 잠금 루프(ADPLL)의 경우에는 잠금 영역 인근의 해상도가 지터 성능에 큰 영향을 주기 때문에, 이러한 영향을 받지 않는다.

[0062] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 컨트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 컨트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0063] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0064] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0065] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다

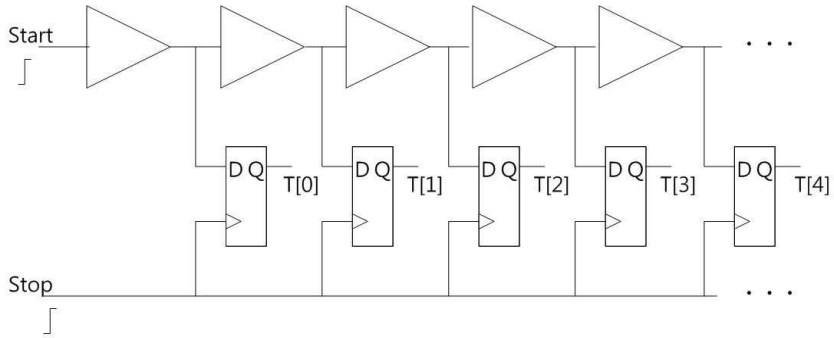
른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0066] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

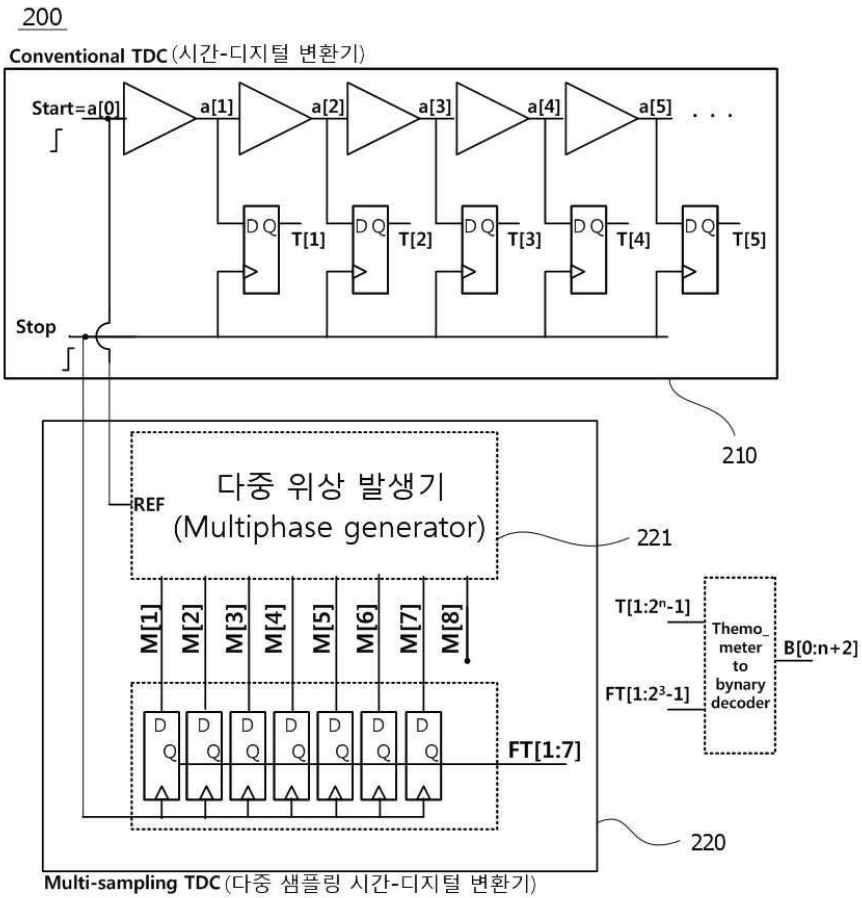
[0067]

도면

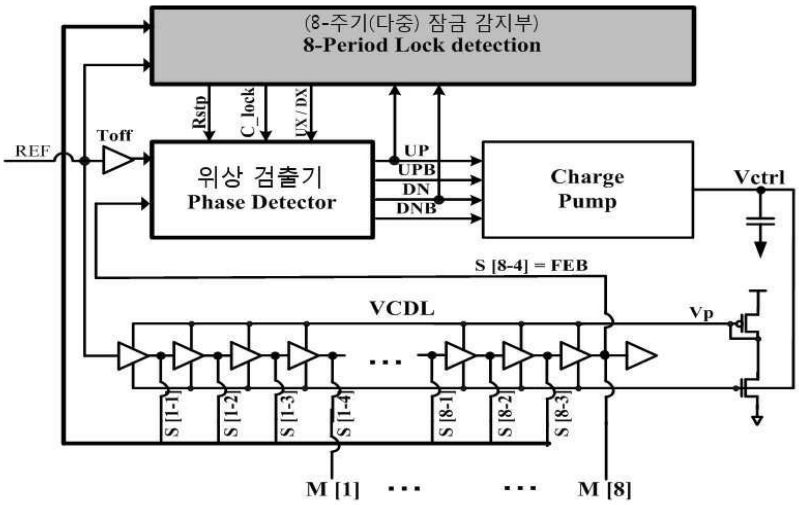
도면1



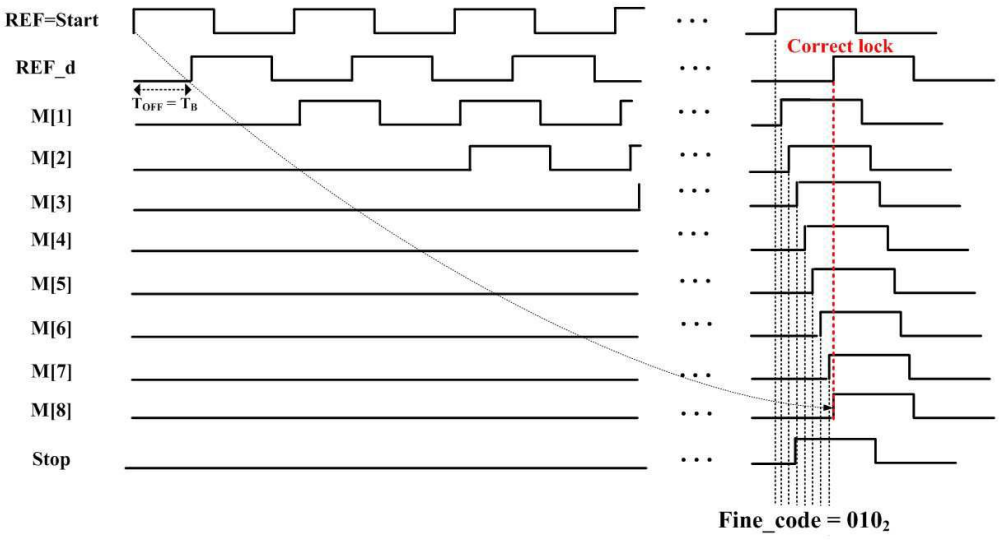
도면2



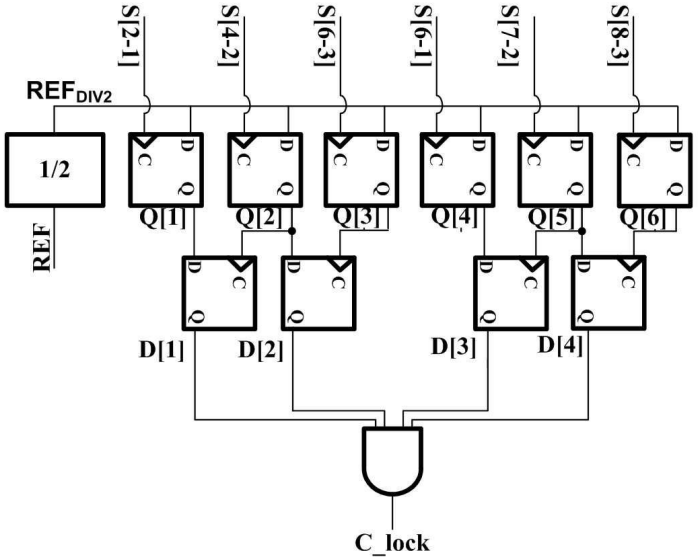
도면3


(8-주기(다중) 잠금 감지부)
8-Period Lock detection
Rstp
C_lock
UX / DX
REF
Toff
위상 검출기
Phase Detector
UP
UPB
DN
DNB
Charge
Pump
Vctrl
S [8-4] = FEB
VCDL
Vp
S [1-1]
S [1-2]
S [1-3]
S [1-4]
S [8-1]
S [8-2]
S [8-3]
M [1]
M [8]

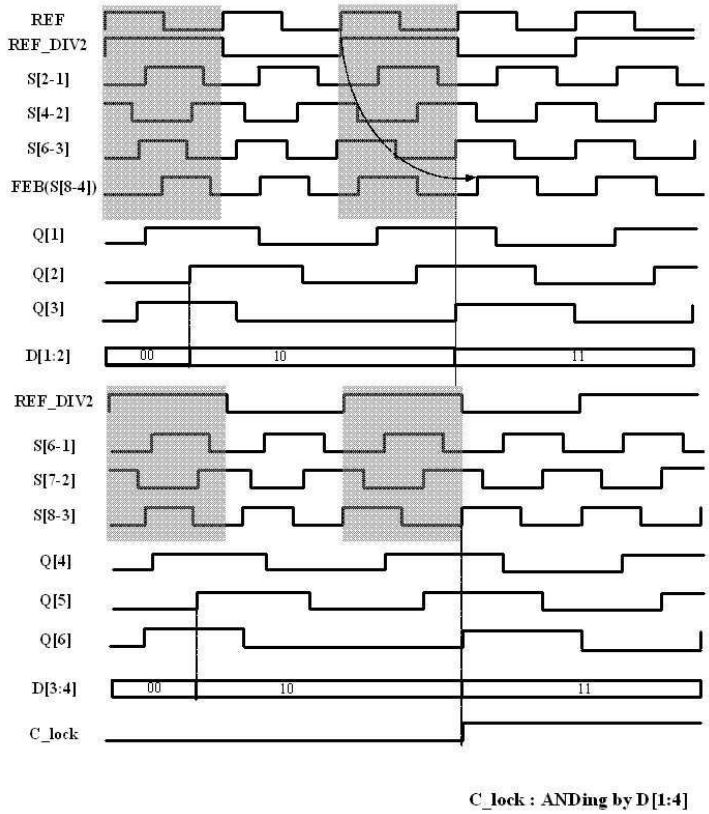
도면4


REF=Start
REF_d
M[1]
M[2]
M[3]
M[4]
M[5]
M[6]
M[7]
M[8]
Stop
Correct lock
Fine_code = 010₂

도면5

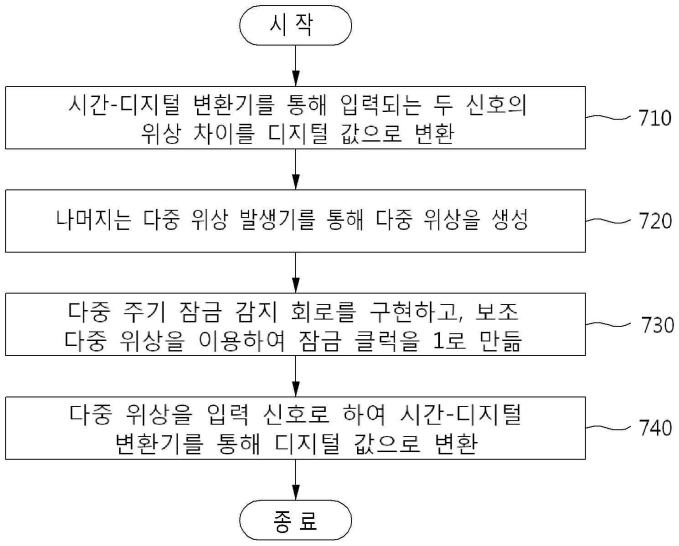


도면6

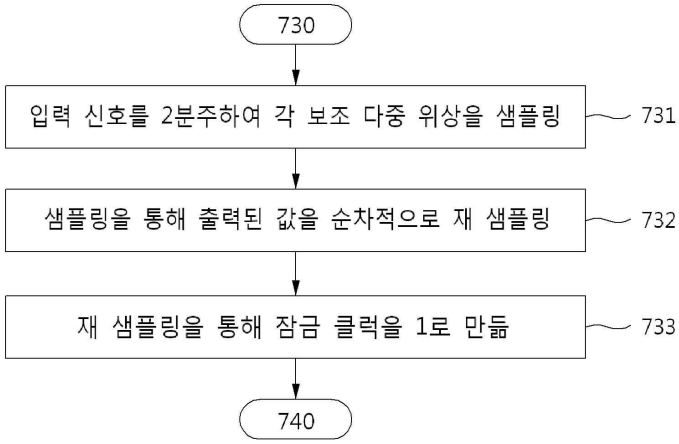


C_lock : ANDing by D[1:4]

도면7


시 작
시간-디지털 변환기를 통해 입력되는 두 신호의 위상 차이를 디지털 값으로 변환
710
나머지는 다중 위상 발생기를 통해 다중 위상을 생성
720
다중 주기 잠금 감지 회로를 구현하고, 보조 다중 위상을 이용하여 잠금 클럭을 1로 만듦
730
다중 위상을 입력 신호로 하여 시간-디지털 변환기를 통해 디지털 값으로 변환
740
종 료

도면8


730
입력 신호를 2분주하여 각 보조 다중 위상을 샘플링
731
샘플링을 통해 출력된 값을 순차적으로 재 샘플링
732
재 샘플링을 통해 잠금 클럭을 1로 만듦
733
740