



(21)申請案號：106104984 (22)申請日：中華民國 106 (2017) 年 02 月 16 日

(51)Int. Cl. : **G06F12/02 (2006.01)**

(30)優先權：2016/03/03 美國 62/303,353
2016/06/08 美國 62/347,569
2016/08/03 美國 15/227,911

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：張牧天 CHANG, MU-TIEN (TW)；牛迪民 NIU, DIMIN (CN)；鄭宏忠 ZHENG, HONGZHONG (CN)；林璇漢 LIM, SUN YOUNG (KR)；金寅東 KIM, INDONG (KR)；崔璋石 CHOI, JANGSEOK (KR)

(74)代理人：葉璟宗；鄭婷文；詹富閔

(56)參考文獻：

TW	200413913A	TW	201007461A
US	6108745	US	2002/0129220A1
US	2015/0098287A1	US	2015/0138895A1

審查人員：吳兆平

申請專利範圍項數：10 項 圖式數：9 共 49 頁

(54)名稱

不增加接腳成本之對高容量類 SDRAM 記憶體進行定址的方法、使用其之記憶體裝置及其記憶體模組

(57)摘要

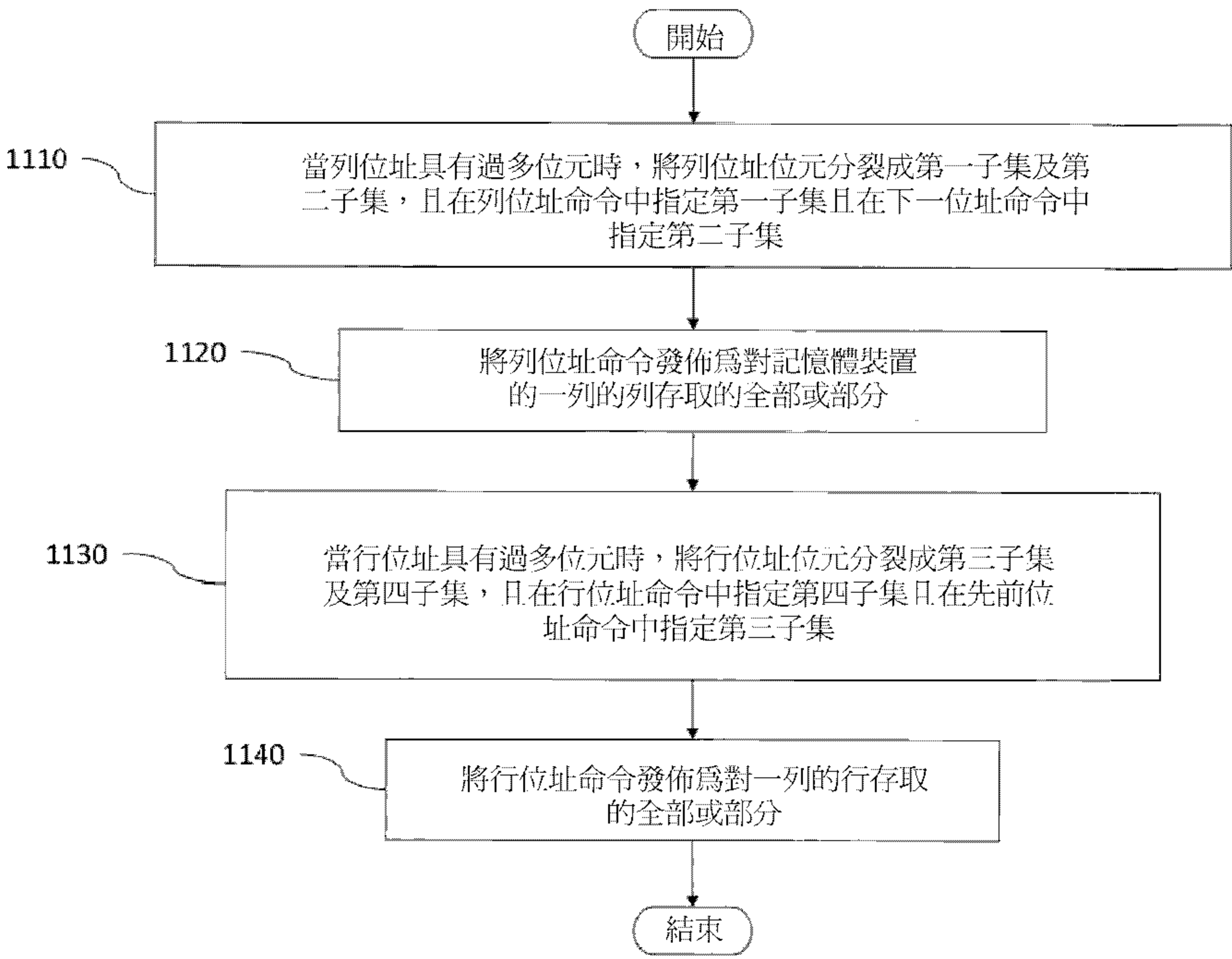
本發明提供一種用於定址記憶體裝置資料的方法，資料配置於由第一數目個的列位址位元及第二數目個的行位址位元索引的列及行中，由指定第三數目個的列位址位元的列命令繼之以指定第四數目個的行位址位元的行命令定址，第一數目大於第三數目或第二數目大於第四數目，方法包含：將第一數目個的列位址位元分裂成第一及第二子集，及在第一數目大於第三數目時在列命令中指定第一子集且在下一位址命令中指定第二子集；以其他方式將第二數目個的行位址位元分裂成第三及第四子集，及在行命令中指定第四子集且在先前位址命令中指定第三子集。

A method for addressing memory device data arranged in rows and columns indexed by a first number of row address bits and a second number of column address bits, and addressed by a row command specifying a third number of row address bits followed by a column command specifying a fourth number of column address bits, the first number being greater than the third number or the second number being greater than the fourth number, includes: splitting the first number of row address bits into first and second subsets, and specifying the first subset in the row command and the second subset in a next address command when the first number is greater than the third number; otherwise splitting the second number of column address bits into third and fourth subsets, and specifying the fourth subset in the column command and the third subset in a previous address command.

指定代表圖：

符號簡單說明：

1110、1120、1130、
1140:步驟



【圖9】



申請日：106年2月16日

IPC分類：G06F 12/02 (2006.01)

I688857

【發明摘要】

公告本

【中文發明名稱】不增加接腳成本之對高容量類SDRAM記憶體進行定址的方法、使用其之記憶體裝置及其記憶體模組

【英文發明名稱】METHODS FOR ADDRESSING HIGH CAPACITY SDRAM-LIKE MEMORY WITHOUT INCREASING PIN COST, MEMORY DEVICE USING THE SAME AND MEMORY MODULE THEREOF

【中文】本發明提供一種用於定址記憶體裝置資料的方法，資料配置於由第一數目個的列位址位元及第二數目個的行位址位元索引的列及行中，由指定第三數目個的列位址位元的列命令繼之以指定第四數目個的行位址位元的行命令定址，第一數目大於第三數目或第二數目大於第四數目，方法包含：將第一數目個的列位址位元分裂成第一及第二子集，及在第一數目大於第三數目時在列命令中指定第一子集且在下一位址命令中指定第二子集；以其他方式將第二數目個的行位址位元分裂成第三及第四子集，及在行命令中指定第四子集且在先前位址命令中指定第三子集。

【英文】A method for addressing memory device data arranged in rows and columns indexed by a first number of row address bits and a second number of column address bits, and addressed by a row command specifying a third number of row address bits followed by a column command specifying a fourth number of column address bits, the first number being greater than the third number or the

second number being greater than the fourth number, includes: splitting the first number of row address bits into first and second subsets, and specifying the first subset in the row command and the second subset in a next address command when the first number is greater than the third number; otherwise splitting the second number of column address bits into third and fourth subsets, and specifying the fourth subset in the column command and the third subset in a previous address command.

【指定代表圖】圖9。

【代表圖之符號簡單說明】

1110、1120、1130、1140：步驟

【特徵化學式】

無

【發明說明書】

【中文發明名稱】不增加接腳成本之對高容量類SDRAM記憶體進行定址的方法、使用其之記憶體裝置及其記憶體模組

【英文發明名稱】METHODS FOR ADDRESSING HIGH CAPACITY SDRAM-LIKE MEMORY WITHOUT INCREASING PIN COST, MEMORY DEVICE USING THE SAME AND MEMORY MODULE THEREOF

[相關申請案的交叉參考]

【0001】本申請案主張2016年3月3日申請的美國臨時申請案第62/303,353號及2016年6月8日申請的美國臨時申請案第62/347,569號的優先權及權益，所有所述美國臨時申請案的全部內容以引用的方式併入本文中。

【技術領域】

【0002】本發明的實施例的態樣是關於用於在不增加接腳成本或接腳計數的情況下對高容量類SDRAM記憶體進行定址的方法。

【先前技術】

【0003】在JEDEC雙資料速率第四代同步動態隨機存取記憶體（double data rate fourth-generation synchronous dynamic random-access memory；DDR4 SDRAM）標準中，存在用於CID（晶片ID或等級）的3個接腳、用於庫的4個接腳及用於列或行的18個

(共用) 接腳 (取決於命令)。當前接腳使用及定址方案支援多至 256 GB 每雙列直插記憶體模組 (dual inline memory module ; DIMM, 多個 DRAM 晶片或其他記憶體晶片的集合在單個封裝中), 所述模組假定選擇且裝配 DRAM 晶片大小、寬度與組織的精確組合 (否則, 產生較低容量或較低可定址 DIMM)。不支援更大的模組容量或可定址能力 (例如, 即使記憶體可實體地添加至模組, 其將仍不可定址)。

【發明內容】

【0004】 本發明的實施例的態樣針對 SDRAM 命令、時序及組織。藉助於實例, 本發明的態樣針對用於在不增加接腳成本或接腳計數的情況下對高容量類 SDRAM 記憶體進行定址的系統及方法。其他態樣針對支援高容量記憶體模組, 仍保持類 SDRAM (例如, DDR4) 位址接腳定義。又其他態樣針對 ACT+ (啟動命令) 或 RD/WR+ (讀取/寫入命令) 擴展。再又其他態樣針對背對背列位址選通/行位址選通 (row address strobe/column address strobe ; RAS/CAS) 命令、背對背 CAS/CAS、及時序修改。再其他態樣針對多列或多行緩衝器組織, 包含命令修改及裝置重組。

【0005】 根據本發明的一實施例, 提供一種用於對記憶體裝置中的資料進行定址的方法。所述資料配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的列及行的陣列中。使用架構來對所述資料進行定址, 所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行

位址命令界定。第一數目大於第三數目或第二數目大於第四數目。所述方法包含：將第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在第一數目大於第三數目時在列位址命令中指定第一子集且在下一位址命令中指定第二子集；將列位址命令發佈為對記憶體裝置的列的列存取的全部或部分；將第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在第二數目大於第四數目時在行位址命令中指定第四子集且在先前位址命令中指定第三子集；及將行位址命令發佈為對列的行存取的全部或部分。

【0006】 下一位址命令可為行位址命令或先前位址命令可為列位址命令。

【0007】 行位址命令的發佈可緊跟在列位址命令的發佈之後。

【0008】 第一數目可大於第三數目。所述架構可由表示行位址命令與資料在資料匯流排上的可用性之間的延遲的第一存取時間進一步界定。所述方法可更包含：在第二存取時間中執行對列的初始行存取，第二存取時間長於第一存取時間；及在第一存取時間中執行對列的後續行存取。

【0009】 所述方法可更包含在列位址命令之後且在行位址命令之前發佈下一位址命令或先前位址命令。

【0010】 下一位址命令的發佈可緊跟在列位址命令的發佈之後，或先前位址命令的發佈可緊跟在行位址命令的發佈之前。

【0011】 所述方法可更包含將第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在第一數目大於第三數目時在行位址命令中指定第四子集且在先前位址命令中

指定第三子集。

【0012】 第一數目可大於第三數目。資料可進一步配置於列及行的子陣列中，所述子陣列中的每一者為列及行的子集且分別由第三數目個的列位址位元及第二數目個的行位址位元索引。列位址位元的第一子集可為第三數目個的列位址位元。記憶體裝置可包含用於子陣列中的每一者的列緩衝器。所述方法可更包含，對於子陣列中的每一子陣列，回應於列位址命令而以來自子陣列的列資料載入對應所述列緩衝器，所述子陣列如由列位址位元的對應所述第一子集指定。

【0013】 所述方法可更包含選擇子陣列中的一者，所述子陣列如由下一位址命令中的列位址位元的第二子集指定。

【0014】 第二數目可大於第四數目。資料可進一步配置於列及行的子陣列中，所述子陣列中的每一者為列及行的子集且分別由第一數目個的列位址位元及第四數目個的行位址位元索引。行位址位元的第四子集可為第四數目個的行位址位元。記憶體裝置可包含用於子陣列中的每一者的列緩衝器。所述方法可更包含，對於子陣列中的每一子陣列，回應於列位址命令而以來自子陣列的列資料載入對應所述列緩衝器，所述子陣列如由第一數目個的列位址位元指定。

【0015】 所述方法可更包含選擇子陣列中的一者，所述子陣列如由先前位址命令中的行位址位元的第三子集指定。

【0016】 根據本發明的另一實施例，提供一種記憶體裝置。所述記憶體裝置包含：儲存胞元，其用於儲存配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的列及行的陣列中的

資料。使用架構來對記憶體裝置中的資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定。第一數目大於第三數目或第二數目大於第四數目。對資料進行定址包含：將第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在第一數目大於第三數目時在列位址命令中指定第一子集且在下一位址命令中指定第二子集；將列位址命令發佈為對記憶體裝置的列的列存取的全部或部分；將第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在第二數目大於第四數目時在行位址命令中指定第四子集且在先前位址命令中指定第三子集；及將行位址命令發佈為對列的行存取的全部或部分。

【0017】 下一位址命令可為行位址命令或先前位址命令可為列位址命令。

【0018】 行位址命令的發佈可緊跟在列位址命令的發佈之後。

【0019】 第一數目可大於第三數目。所述架構可由表示行位址命令與資料在資料匯流排上的可用性之間的延遲的第一存取時間進一步界定。對資料進行定址可更包含：在第二存取時間中執行對列的初始行存取，第二存取時間長於第一存取時間；及在第一存取時間中執行對列的後續行存取。

【0020】 對資料進行定址可更包含在列位址命令之後且在行位址命令之前發佈下一位址命令或先前位址命令。

【0021】 下一位址命令的發佈可緊跟在列位址命令的發佈之後，或先前位址命令的發佈可緊跟在行位址命令的發佈之前。

【0022】 第一數目可大於第三數目。資料可進一步配置於列及行的子陣列中，所述子陣列中的每一者為列及行的子集且分別由第三數目個的列位址位元及第二數目個的行位址位元索引。列位址位元的第一子集可為第三數目個的列位址位元。記憶體裝置可更包含用於子陣列中的每一者的列緩衝器。對資料進行定址可更包含，對於子陣列中的每一子陣列，回應於列位址命令而以來自子陣列的列資料載入對應所述列緩衝器，所述子陣列如由列位址位元的對應所述第一子集指定。

【0023】 對資料進行定址可更包含選擇子陣列中的一者，所述子陣列如由下一位址命令中的列位址位元的第二子集指定。

【0024】 第二數目可大於第四數目。資料可進一步配置於列及行的子陣列中，所述子陣列中的每一者為列及行的子集且分別由第一數目個的列位址位元及第四數目個的行位址位元索引。行位址位元的第四子集可為第四數目個的行位址位元。記憶體裝置可更包含用於子陣列中的每一者的列緩衝器。對資料進行定址可更包含，對於子陣列中的每一子陣列，回應於列位址命令而以來自子陣列的列資料載入對應所述列緩衝器，所述子陣列如由第一數目個的列位址位元指定。

【0025】 對資料進行定址可更包含選擇子陣列中的一者，所述子陣列如由先前位址命令中的行位址位元的第三子集指定。

【0026】 根據本發明的再一實施例，提供一種記憶體模組。記憶體模組包含多個記憶體裝置。記憶體裝置中的每一記憶體裝置包含：儲存胞元，其用於儲存配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的列及行的陣列中的資料。使用架

構來對記憶體裝置中的資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定。第一數目大於第三數目或第二數目大於第四數目。對資料進行定址包含：將第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在第一數目大於第三數目時在列位址命令中指定第一子集且在下一位址命令中指定第二子集；將列位址命令發佈為對記憶體裝置的列的列存取的全部或部分；將第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在第二數目大於第四數目時在行位址命令中指定第四子集且在先前位址命令中指定第三子集；及將行位址命令發佈為對列的行存取的全部或部分。

【0027】 下一位址命令可為行位址命令或先前位址命令可為列位址命令。

【0028】 行位址命令的發佈可緊跟在列位址命令的發佈之後。

【0029】 第一數目可大於第三數目。所述架構可由表示行位址命令與資料在資料匯流排上的可用性之間的延遲的第一存取時間進一步界定。對資料進行定址可更包含：在第二存取時間中執行對列的初始行存取，第二存取時間長於第一存取時間；及在第一存取時間中執行對列的後續行存取。

【0030】 對資料進行定址可更包含在列位址命令之後且在行位址命令之前發佈下一位址命令或先前位址命令。

【0031】 下一位址命令的發佈可緊跟在列位址命令的發佈之後，或先前位址命令的發佈可緊跟在行位址命令的發佈之前。

【0032】 對於記憶體裝置中的每一記憶體裝置：第一數目可大於

第三數目；資料可進一步配置於列及行的子陣列中，所述子陣列中的每一者為列及行的子集且分別由第三數目個的列位址位元及第二數目個的行位址位元索引，列位址位元的第一子集為第三數目個的列位址位元；記憶體裝置可更包含用於子陣列中的每一者的列緩衝器，且對資料進行定址可更包含，對於子陣列中的每一子陣列，回應於列位址命令而以來自子陣列的列資料載入對應所述列緩衝器，所述子陣列如由列位址位元的對應所述第一子集指定。

【0033】 對於記憶體裝置中的每一記憶體裝置：第二數目可大於第四數目；資料可進一步配置於列及行的子陣列中，所述子陣列中的每一者為列及行的子集且分別由第一數目個的列位址位元及第四數目個的行位址位元索引，行位址位元的第四子集為第四數目個的行位址位元；記憶體裝置可更包含用於子陣列中的每一者的列緩衝器；且對資料進行定址更包含，對於子陣列中的每一子陣列，回應於列位址命令而以來自子陣列的列資料載入對應所述列緩衝器，所述子陣列如由第一數目個的列位址位元指定。

【0034】 記憶體裝置中的每一者可為相變隨機存取記憶體（phase-change random access memory；PRAM）裝置。

【0035】 根據上述及其他實施例，提供用於對高容量類 SDRAM 記憶體進行定址而不增加接腳成本或接腳計數的新方法。此等方法可基於來自模組的資訊及支援而可在初始化時經組態。儘管添加更多位址接腳為解決定址與容量問題的一種方式，但接腳昂貴，且保持 SDRAM（例如，DDR4）接腳定義通常為合乎需要的。

【圖式簡單說明】

【0036】 隨附圖式連同本說明書說明本發明的實例實施例。此等圖式連同本說明書用以更好地解釋本發明的態樣及原理。

圖 1 為根據本發明的一實施例的實例記憶體模組及記憶體裝置的示意圖。

圖 2（其包含圖 2A 及圖 2B）為根據本發明的一實施例的使用擴展啟動（**extended Activate**；**ACT+**）命令的實例資料存取操作的圖式。

圖 3 為根據本發明的一實施例的使用擴展讀取（**extended Read**；**RD+**）命令的實例資料存取操作的圖式。

圖 4（其包含圖 4A 及圖 4B）為根據本發明的一實施例的使用背對背 **RAS/CAS** 命令序列的實例資料存取操作的圖式。

圖 5 為根據本發明的一實施例的使用背對背 **CAS/CAS**（雙 **CAS**）命令序列的實例資料存取操作的圖式。

圖 6 為根據本發明的其他實施例的使用背對背 **RAS/CAS** 或 **CAS/CAS** 命令序列的實例資料存取操作的圖式。

圖 7 為根據本發明的一實施例的記憶體晶片的實例列組織的圖式。

圖 8 為根據本發明的一實施例的記憶體晶片的實例行組織的圖式。

圖 9 為根據本發明的一實施例的用於對記憶體裝置進行定址的實例方法的流程圖。

【實施方式】

【0037】 下文中，將參考附圖更詳細地描述實例實施例，在附圖中，相同參考數字始終指相同元件。然而，本發明可以各種不同形式體現，且不應解釋為僅限於本文中的所說明實施例。

【0038】 另外，在描述本發明的實施例時使用術語「可」指「本發明的一或多個實施例」。另外，在描述本發明的實施例時使用替代性語言（諸如「或」）對於所列出每一對應項目指「本發明的一或多個實施例」。

【0039】 本文中所描述的根據本發明的實施例的電子或電氣裝置及/或任何其他相關裝置或組件可利用任何適合的硬體、軟體（例如，特殊應用積體電路（**application-specific integrated circuit**；**ASIC**））、軟體或軟體、軟體與硬體的組合來予以實施。舉例而言，此等裝置的各種組件可形成於一個積體電路（**integrated circuit**；**IC**）晶片上或單獨 **IC** 晶片上。此外，此等裝置的各種組件可實施於可撓性印刷電路膜、帶載體封裝（**tape carrier package**；**TCP**）、印刷電路板（**printed circuit board**；**PCB**）上或形成於一個基底上。

【0040】 另外，此等裝置的各種組件可為程序或執行緒，所述程序或執行緒在一或多個計算裝置中運行於一或多個電腦處理器（諸如微處理器）上，從而執行電腦程式指令且與其他系統組件互動用於執行本文中所描述的各種功能性。電腦程式指令可儲存於可使用標準記憶體裝置（諸如隨機存取記憶體（**random access memory**；**RAM**）在計算裝置中實施的記憶體中。電腦程式指令亦可儲存於其他非暫時性電腦可讀媒體（諸如 **CD-ROM**、快閃驅動機或類似者）中。

【0041】 此外，熟習此項技術者應認識到，在不脫離本發明的精神

及範疇的情況下，各種計算裝置的功能性可組合或整合成單個計算裝置，或可橫跨一或多個其他計算裝置分佈特定計算裝置的功能性。

【0042】 在 DDR4 SDRAM 中，記憶體裝置（例如，晶片）組織成列及行的陣列。列表示存取粒度，例如，在從 SDRAM 裝置的列內的任何記憶體位置讀取或寫入至所述位置時所存取的所述裝置中的資料量（諸如 512、1024 或 2048 個位元組）。行表示列內正從其讀取的特定部分或寫入至的特定部分（諸如 4、8 或 16 個位元，亦稱作資料字）。首先供應列位址（諸如用 ACT 命令）以將所述列自 SDRAM 裝置引入至列緩衝器中，繼之以行位址（諸如用 RD 或 WR 命令）以在所述列在列緩衝器中時自列的特定部分讀取或寫入至所述特定部分。因為每一列相比於裝置的容量為相對小數目個的位元組，所以存在遠比行多得多的列。因此，與用以定址列中的行相比，更多位元（或硬體中的接腳）用以定址所述列。

【0043】 此外，因為首先供應列位址且其為比行位址大的位址，所以 DDR4 SDRAM 中的列位址接腳中的一些再用以供應行位址。當下伏記憶體晶片中的列與行的數目關於此關係平衡時，可在行位址命令期間有效地再用位址接腳，從而因此有效率地使用架構。然而，當列與行的數目未很好的平衡時，可能不能有效地再用位址接腳，從而因此限制可經定址的容量。舉例而言，在 DDR4 中，可定址列數目為 18 個位元，且可定址行數目為 10 個位元。此向對應記憶體晶片的大小以及資料的組織（列及行的數目）強加限制以完全利用可定址能力。舉例而言，支援許多列（例如，大於 18 個定址位元值）但相對極少行的記憶體晶片可能並不能夠充分利用此

定址方案。

【0044】 根據一或多個實施例，提供支援高容量記憶體模組（諸如 DDR4 SDRAM 記憶體模組）的方法及結構。舉例而言，一些實施例可提供類 SDRAM（例如，DDR4）位址接腳定義用於存取非揮發性（諸如 PRAM 或相變記憶體）儲存器。

【0045】 根據一或多個實施例，提供啟動（ACT）命令擴展（例如，ACT+）。此新 ACT 命令可為現有 ACT 命令的擴展，其具有經添加用於擴展定址能力（諸如擴展列位址）的另外一個循環。在另一實施例中，此 ACT+命令可為用於擴展定址能力的新（單獨）命令。

【0046】 根據一或多個其他實施例，提供 RD/WR+（例如，讀取、寫入或其他行位址命令）擴展。此等新命令可為現有 RD/WR 命令的擴展，其具有經添加用於擴展定址能力（諸如擴展行位址）的另外一個循環。在又其他實施例中，RD/WR+命令可為用於擴展定址能力的新（單獨）命令。

【0047】 根據其他實施例，連同對應時序修改，提供經修改背對背列存取/行存取（RAS/CAS，其代表「列存取選通」及「行存取選通」）命令（諸如經修改讀取或寫入命令）。藉助於實例，可提供新 RD/WR CAS（讀取/寫入命令及其對應行選擇位元）定義以使得未使用的位元（例如，在行位址命令期間未使用的的列或行位址位元）可重新意圖攜載擴展列位址，從而有效地將定址位元的數目增加為超過在其他情況下設定或預定的（例如，架構強加的）限度。舉例而言，在一或多個實施例中，經修改 ACT 及 RD/WR 時序相依性中的新時序參數可用以支援此類新（或重新意圖）的 RD/WR 命令。

【0048】 根據再其他實施例，提供經修改背對背行存取（CAS/CAS）命令。藉助於實例，可提供新 RD/WR 命令以藉由在兩個 CAS 命令中的一者中提供擴展行或列位址位元來支援擴展行（或列）可定址能力。

【0049】 根據又其他實施例，（例如，藉由命令修改及裝置重組）提供多列緩衝器組織。藉助於實例，儘管下伏架構可能僅支援如此多的列位址，但可提供具有額外列位址索引的新裝置組織。舉例而言，在一或多個實施例中，可提供新 RD/WR（CAS）命令以使得未使用的位元（例如，在行位址命令期間未使用的列或行位址位元）重新意圖攜載擴展位址，諸如擴展列位址或擴展行位址。

【0050】 根據再又其他實施例，（例如，藉由命令修改及裝置重組）提供多行緩衝器組織。藉助於實例，儘管下伏架構可能僅支援如此多的行位址，但可提供具有額外行位址索引的新裝置組織。舉例而言，在一或多個實施例中，可提供新 ACT（RAS）命令以使得未使用的位元（例如，在列位址命令期間未使用的列位址位元）重新意圖攜載擴展位址，諸如擴展行位址。

【0051】 根據本發明的實施例的上述及其他方法可基於來自模組的資訊及支援而可在記憶體模組的每一記憶體裝置的初始化時經組態。

【0052】 為了易於描述，下文主要基於 JEDEC DDR4 SDRAM 標準（或簡稱 DDR4），所述標準可使用 4 位元、8 位元或 16 位元寬 DRAM 晶片，但本發明不限於此。在其他實施例中，諸如其他 SDRAM 標準（包含其他雙資料速率（double data rate；DDR）標準）的不同標準可適用且仍屬於本發明的精神及範疇內，如對於一

般熟習此項技術者將顯而易見。除非相反地描述，否則當參考 DDR4 時，DDR4 SDRAM 的 JEDEC 標準進行管控（JEDEC 固態技術協會的第 JESD79-4A 卷（2013 年 11 月）），所述標準的全部內容以引用的方式併入本文中。

【0053】 另外，術語「KB」、「MB」、「GB」及「TB」始終指位元組（B，或標準電腦架構中的 8 個位元）的二次方倍數，亦即 $1\text{ KB} = 1024\text{ 位元組}$ ， $1\text{ MB} = 1024\text{ KB}$ ， $1\text{ GB} = 1024\text{ MB}$ 且 $1\text{ TB} = 1024\text{ GB}$ 。為了進一步易於描述，DRAM 晶片將假定為資料晶片且以二次方計數（例如，每等級 4 個晶片、8 個晶片或 16 個晶片），但在實踐中其他數目個的晶片（例如，每 8 個資料晶片有一額外晶片）可用於諸如錯誤偵測或校正的功能。為了更進一步易於描述，術語「頁面」將在本文中與「列」略同義地使用；「頁面」及「列」兩者皆針對記憶體晶片上對應於特定列的記憶體部分。以類似方式，「晶片」與「裝置」兩者將在參考記憶體硬體時始終略同義地使用；兩者皆指記憶體模組的最小可單獨插拔（或有時可定址，如同堆疊式記憶體晶片）記憶體組件。

【0054】 圖 1 為根據本發明的一實施例的實例記憶體模組 100 及記憶體裝置 120 的示意圖。

【0055】 舉例而言，記憶體模組 100 可為 DIMM，諸如 DDR4 SDRAM DIMM。記憶體模組 100 可包含包括接腳互連件的印刷電路板（PCB）110、安裝於 PCB 110 上的記憶體裝置 120（例如，記憶體晶片，諸如隨機存取記憶體（RAM）晶片）及接腳 130，接腳 130 用於將記憶體裝置 120 連接至使用記憶體模組 100 的電子裝置（諸如工作站或個人電腦中的微處理器）。PCB 110 的兩側上

可具有接腳 130 及記憶體裝置 120 及貫穿其中的接腳互連件，且記憶體裝置 120 可（例如，使用貫穿矽通孔（through-silicon via；TSV））堆疊。

【0056】 圖 2（其包含圖 2A 及圖 2B）為根據本發明的一實施例的使用擴展啟動（ACT）或 ACT+命令的實例資料存取操作的圖式。

【0057】 在圖 2（及後續圖式）中，說明各種時序參數（例如，tRC、tRAS）。將在特別相關處進一步描述此等參數；否則，此等參數的定義及使用如在 JEDEC DDR4 SDRAM 標準中所提供或如一般熟習此項技術者已知。

【0058】 在 DDR4 中，3 個接腳用於 CID（晶片 ID 或等級），4 個接腳用於庫（例如，每一記憶體晶片內的列及行的單獨陣列），且 18 個接腳用於列（及行）定址。DDR4 SDRAM 的位址接腳再用於列及行定址。在 DDR4 中，記憶體控制器可在不同循環期間使用相同接腳上的 2 個命令（ACT（啟動）及 RD/WR（讀取/寫入））來存取 SDRAM 位址。ACT 命令可使用列位址（18 個接腳）啟動列，從而將列載入至列緩衝器中，而 RD/WR 命令可使用行位址（10 個接腳）以自列緩衝器選擇對應行。在此處，「RD/WR」為讀取（RD）命令或寫入（WR）命令（或其他行位址命令）的簡寫，且除非明確地如此提及，否則所述兩種命令類型或類別將不進一步加以區分（例如，「RD/WR」、「RD」與「WR」可同義地用以指讀取或寫入命令）。

【0059】 在 DDR4 中，當前接腳使用及定址方案可能不支援高容量記憶體。舉例而言，假定每 DRAM 晶片 2 GB 連同諸如每等級 16 個 DRAM 晶片（可同時定址）（例如，每一 DRAM 晶片在等級

中對於總共 16×4 個位元=64 個位元的資料存取每次供應 4 個位元的資料) 及 8 個等級(或(可能堆疊的)晶片的集合)的晶片組態, 則當前 DDR4 可每 DIMM 僅支援 256 GB。

【0060】 然而, 此等容量僅在諸如此的精確組態中可獲得。在許多情況下, 在架構界定的(預期)列及行數目與下伏硬體中所支援的實際列及行數目之間存在不平衡(例如, 為有效實施架構, 硬體中具有與所設計相比過多的列及過少的行, 或可能相反, 諸如過少列及過多行), 從而基本上浪費接腳。為了增加總體容量, 或為了允許不平衡的列/行數目, 一種解決方案將為添加更多接腳。不利的是, 此昂貴, 且可能需要對當前 DDR4 標準進行重加工。

【0061】 如圖 2B 中所說明, 根據本發明的一實施例, 一種可能解決方案可為使用擴展 ACT(ACT+)命令(在此情況下為雙循環 ACT 命令(而非常見單循環 ACT 命令)。參見圖 2A 且相比於標準 ACT 命令在 DDR4 中的實施。在圖 2A 及圖 2B (及其他時序圖)中, 時間說明為自左至右向前移動, 其中存取四個單獨水平資源, 亦即自高至低為 (i) 記憶體命令及位址匯流排, (ii) 記憶體庫, (iii) 記憶體裝置(例如, DRAM 晶片)及 (iv) 記憶體資料匯流排。簡言之, 按庫(記憶體晶片內的邏輯劃分)存取在記憶體模組(諸如 DIMM 或雙列直插記憶體模組)上組成一等級的記憶體 (DRAM) 晶片的集合, 每一庫由列組成, 且每一列由行組成。

【0062】 每一 DIMM 可包含 DRAM 晶片或等級的多個此類集合。為了易於描述, 將在存取 DIMM 時僅考慮單個等級連同所述等級內的單個庫。ACT 命令可指定庫(例如, 3 或 4 個位元)及所述庫內的列(例如, 多至 18 個位元)。在圖 2A 及圖 2B 中自左至右,

首先存取列（如由 ACT 命令指定），繼之以存取行（如由諸如 RD 的 RD/WR 命令指定）。此使得讀取或寫入叢發的資料，諸如每裝置 4 或 8 個資料字或每 DIMM 32 或 64 個位元組。可快速地實現對每一裝置的相同列中的 4 或 8 個資料字（DIMM 中的 32 或 64 個連續位元組）的其他存取。然而，為了存取不同列，預充電命令（precharge command；PRE）可用以將當前列寫回至記憶體陣列中以為待由後續 ACT 命令存取的下一列作準備。

【0063】 在圖 2B 的實施例中，使用擴展 ACT 命令（ACT+）。在此處，ACT 命令說明為自一個時脈循環擴展至兩個時脈循環，例如，ACT 可在第二時脈循環（ACT+）中供應額外位址位元以便增加所供應列位址位元的數目。在 DDR4 中，舉例而言，額外 ACT+ 時脈循環可用以經由相同列位址接腳發送列位址的另外 18 個位元（擴展位元）（總共 36 個位元），此亦可允許顯著較窄的列（例如，較少數目個的行）同時仍能夠定址相同（或更多）的資料量。在其他實施例中，僅可在 ACT+ 命令中提供 10 或 12 個列位址位元以使得 ACT+ 命令可具有恰當的作業碼。

【0064】 舉例而言，在一些實施例中，支援 ACT+ 命令的記憶體裝置可在初始化時間處經組態以辨識標準 ACT（單循環）RAS 命令抑或新（雙循環）ACT/ACT+ 協定。以所述方式，將僅存在一個 ACT 命令，其中記憶體裝置預期在正實施標準 DDR4 架構時發佈所述 ACT 命令一次（ACT），抑或在正使用擴展 ACT（ACT+）協定時在連續循環中發佈所述 ACT 命令兩次。

【0065】 在如上文所描述的 ACT+ 命令（例如，經兩個循環的 36 個列位址位元）的情況下，甚至在每一列僅含有單個 4 位元行的

極端情況下，使用此擴展列可定址能力的單個 DRAM 晶片可在 DDR4 架構中存取 2^{40} 個此類 4 位元行(半位元組 nibbles/half-byte) 或 512 GB 的資料（例如，使用 4 個位元的庫位址及 36 個位元的擴展列位址），而不會帶來接腳計數或接腳成本的任何改變或增加。相比 DDR4 標準，此已在單個記憶體晶片為整個 DIMM（其可包含多至 128 個 DRAM 晶片）提供較大容量。

【0066】 在一些實施例中，較窄列可由 PRAM（相變 RAM）利用，PRAM 可替換習知 SDRAM 晶片以構建具有此 ACT+擴展的 DDR4 DIMM。舉例而言，相比於類似 SDRAM 晶片（對於 4 位元寬 DRAM 晶片，其可具有 512 位元組列（例如，1024 個行）），PRAM 可較易受較大數目個的窄列（例如，極少行）影響。

【0067】 在擴展 ACT 命令的另一實施例中，ACT 命令可保留不變且僅緊接著稱為「ACT+」的新單循環命令以攜載額外定址位元（例如，10 或 12 個位元）。舉例而言，如圖 2B 中所說明，ACT+命令可緊跟在第一 ACT 命令之後以攜載擴展列資訊（例如，以上文所描述的雙循環 ACT+命令的類似方式工作）。因為新 ACT+命令自身可能需要比 ACT 命令（其在 DDR4 中具有專用命令位元）顯著的位元以進行指定，所以剩餘數目個的可用位址位元可比在標準 ACT 命令自一個循環延長至兩個循環時將可用的數目略小（例如，10 或 12 個位元而非 18 個）。

【0068】 圖 3 為根據本發明的一實施例的使用擴展讀取（RD+）命令的實例資料存取操作的圖式。

【0069】 在其他實施例（諸如圖 3 中所說明的實施例）中，RD/WR 命令（或任何行位址命令）可類似於對 ACT 命令的上文所描述修

改而經修改以攜載額外行資訊。舉例而言，可藉由藉由使用 RD/WR+命令以指定其他定址位元（例如，另外 10 或 12 個行定址位元）而將行大小自 10 個行位址位元放大至（例如）20 或 22 個行位址位元來增大 DRAM 大小，而不增加接腳成本或接腳計數。此等技術中的任一者（或組合使用的兩者）可顯著地增加記憶體晶片可定址能力（例如，增加成 TB 大小或更多）而不帶來接腳成本或接腳計數的任何改變。

【0070】 ACT+或 RD/WR+的特定實施不需要在 DIMM 中固定。舉例而言，在一些實施例中，可在初始化時作出系統將使用哪一擴展 ACT 命令或擴展 RD/WR 命令（若存在）的選擇（且選擇可在後續初始化中改變）。

【0071】 圖 4（其包含圖 4A 及圖 4B）為根據本發明的一實施例的使用背對背 RAS/CAS 命令序列的實例資料存取操作的圖式。儘管 RAS 可最初代表「列位址選通」且 CAS 代表「行位址選通」，但如本文所使用，此等術語分別主要指列位址及行位址在記憶體晶片讀取或寫入操作中的供應。亦參見圖 6 及下文關於用以提供額外位址位元的雙 CAS（例如，背對背 CAS）序列的實例的描述。

【0072】 圖 4 說明用以提供額外列/行資訊的額外技術（亦即，使用新背對背 RAS/CAS 的系統）。在此機制中，界定新 RD/WR(CAS) 以使得在其他情況下未使用的位址位元（行或列）可攜載擴展位址資訊，且可比標準 RD/WR 命令早地提供命令。藉助於實例，在 DDR4 中，高階列位址位元中的三者連同與 RD 及 WR 指令一起使用的 CAS 位元可用。藉助於另一實例，下伏記憶體裝置可能支援比 10 行位址位元所提供少的行，因此可重新指派此等額外行位址

位元中的一些以攜載擴展列位址位元。

【0073】 藉助於再一實例，經提供用於在行位址命令中控制動態可選特徵（諸如運作中資料叢發長度）的高階列位址位元可重新意圖為額外擴展位址位元，且特定動態特徵預設至其靜態設定。

【0074】 連同此等行位址改變，可引入新時序參數及經修改 ACT 及 RD/WR 時序相依性以支援重新意圖的 RD/WR 命令。在圖 4A 及圖 4B 中說明此等情況，其中圖 4A 說明標準 RD/WR 協定（RD/WR 指令由 RD 表示）且圖 4B 說明經修改 RAS/CAS 命令序列。

【0075】 進一步詳細而言，在標準 DDR4 中，如圖 4A 中所說明，ACT 命令提供列位址（RAS，18 個位元）而後續 RD/WR 命令提供行位址（CAS，10 個位元）。對於對等級的特定讀取或寫入存取（例如，64 個位元），此等 28（18+10）個位元連同多至 4 庫位元對構成等級（例如，4、8 或 16 個記憶體晶片）的每一 DRAM 晶片中的資料寬度（例如，4、8 或 16 個位元）進行定址。然而，藉由發送 RAS 及 CAS 背對背，致力於 RAS 及 CAS 的位元連同任何未使用的位址位元（例如，如 RD 或 WR 的 CAS 命令中的三個未使用的列位址位元）可經重組態來以不同格式提供擴展列或行定址或崩潰，以便完全利用具有與在 DDR4 中所架構的記憶體晶片不同的列及行配置的記憶體晶片。

【0076】 此外，對於擴展列位址，記憶體裝置可經組態以最初存取 ACT 命令中所指定的所有列（例如，藉由 18 個可用列位址位元以避免存取資料中的延遲），從而在（可能緊接著）後繼 RD 命令中藉由剩餘（擴展）列位址位元將選擇範圍縮小。舉例而言，記憶體

裝置可具有用於可藉由最初 18 個列位址位元定址的每一可能列的列緩衝器。在另一實施例中，記憶體裝置可開始將所有此類列載入至單個列緩衝器中，但一旦提供列位址的剩餘部分則僅允許實際列載入至列緩衝器中。

【0077】 舉例而言，在 31 個位元（18 個 RAS+10 個 CAS+3 個未使用）可供用於在背對背 RAS/CAS 命令序列中進行定址的情況下，可在 ACT 命令中提供擴展列位址的 18 個位元，繼之以在緊接著後續 RD/WR 命令中提供擴展列位址的剩餘 10 個位元連同 3 位元（例如，8 行）行位址。總可定址能力因此增加 8 倍而不帶來接腳計數的任何增加，且下伏列及行大小可經調整以更好地適合下伏記憶體晶片技術（諸如 PRAM）。換言之，在一些實施例中，RAS 可僅攜載列位址的一部分，而 CAS（可能由未使用的位址位元中的一些擴展）可攜載擴展列位址連同行位址的其餘部分（或對於擴展行位址反之亦然，如可在其他實施例中使用）。

【0078】 此命令序列修改可能需要修改由記憶體控制器使用以存取記憶體模組的時序參數。舉例而言，在 DDR4 中，tRCD 及 tCL 可能受影響。在此處，tRCD（亦稱為 RAS 至 CAS 延遲）指 ACT 命令與可服務第一後續 RD 或 WR 命令的時間之間的最小時間（例如，時脈循環）（例如，如自 ACT 命令的起始（或末端）至 RD/WR 命令的對應起始（或末端）所量測）。此外，tCL（或 tCAS，亦稱為 CAS 潛時）指供應 CAS 與對行的第一資料存取在資料匯流排上可用的時間之間的時間。在圖 4B 中，應注意，總 tRCD + tCL 時間與圖 4A 中相同（例如，tRCD 可按 tCL 延長的相同量減少）。

【0079】 在一些實施例中，為了幫助避免圖 4B 中的較長 tCL 時間

的效能問題，諸如在打開頁面（打開列）策略的情況下，可界定新時序參數 tCL_L （長）及 tCL_S （短）。在此處， tCL_L （例如，圖 4B 中所說明的 tCL ）可與 $tRCD$ 一起使用以首先存取頁面內的行，且 tCL_S 可用於對打開頁面的後續列緩衝器（例如，相同列、不同行）存取。此類似或相似於已存在於 DDR4 中的一些時序參數，其中存在長差及短差（例如， $tRRD_L$ 及 $tRRD_S$ ）；記憶體控制器可記錄應何時使用 tCL_L 或 tCL_S 。此實施可無需額外命令，且記憶體組件不需要知曉不同 tCL 。

【0080】 圖 5 為根據本發明的一實施例的使用背對背 CAS/CAS（雙 CAS）命令序列的實例資料存取操作的圖式。

【0081】 在圖 5 中，兩個 CAS 命令（例如，背對背 CAS 或雙 CAS 命令，如藉由實例說明為兩個 RD 命令——RD 及 RD+）可用以擴展位址。舉例而言，CAS 命令中的一者或兩者可供應額外（擴展）位址位元。可基於下伏記憶體裝置組態指派，從而將位址位元移動至兩個 CAS 命令中的較適當者以利用記憶體裝置的特徵。舉例而言，若記憶體裝置支援具有比藉由單個 CAS 命令可經定址多的行的較大列，則額外行位址位元可在第一 CAS 命令中供應以用作將較大列中的每一者有效地分割成許多較小列的「邏輯列」位址擴展，較小列中的每一者為標準架構下的最大可能列大小。第二 CAS 命令可接著類似於標準 CAS 命令起作用。

【0082】 舉另一實例而言，若記憶體裝置支援極大數目個的較小列（例如，比其他情況下可定址多的列），則第一 CAS 命令可為用於在列內選擇特定行的標準 CAS 命令，其中單獨列緩衝器用於匹配初始 RAS 命令的每一可能對應列位址。第二 CAS 命令可接著

用作用以選擇哪一列緩衝器實際上供應（或接收）資料的列緩衝器選擇。在又其他實施例中，擴展位址位元可以其他邏輯方式配置（例如，重佈於雙 CAS 命令內）以利用增加的可定址能力。

【0083】 圖 6 為根據本發明的其他實施例的使用背對背 RAS/CAS 或 CAS/CAS 命令序列的實例資料存取操作的圖式。

【0084】 在此處，兩個 CAS 命令（例如，背對背 CAS 或雙 CAS 命令，如藉由實例說明為兩個 RD 命令）可用以比圖 4B 的實施例甚至進一步地擴展位址。圖 6 中的第二 RD 命令說明為 RD+命令。類似於上文參考圖 2B 所描述的 ACT+命令，額外命令可用以供應額外位址位元，諸如另外 10 或 12 個位址位元。此可亦與先前技術組合。

【0085】 作為非限制性實例，RD+命令可用以供應行位址，其中第一 RD 命令供應擴展列位址的剩餘列位址位元。在另一實施例中，RD+可用以供應擴展行位址的剩餘位址位元，初始行位址位元是藉由第一 RD 命令供應。在再一實施例中，第一 RD 可緊跟在 ACT 命令之後（例如，作為背對背 RAS/CAS 序列的部分，供應額外列位址位元及可能一些行位址位元），而 RD+（或第二 RD）可延遲直至供應行位址的全部或部分的正常行存取時間為止。

【0086】 在又一實施例中，可在如適於適應下伏硬體的兩個 CAS（諸如 RD 或 WR）命令之間重佈位址位元（諸如行位址位元）。舉例而言，對（擴展）行位址並不適於單個命令的相同（寬）列的連續存取可使其擴展行位址橫跨一對連續 RD 或 WR（CAS）命令分裂。

【0087】 儘管圖 6 說明 ACT、RD 及 RD+命令為連續的，但在鄰

近命令之間(諸如在 ACT 命令與 RD 命令之間或在 RD 命令與 RD+ 命令之間) 可能存在延遲或間隔，此取決於實施例。

功能		CKE 先前循環	CKE 當前循環	ACT_n	RAS_n/A16	CAS_n/A15	WE_n/A14	BG0 - BG1	BA0 - BA1	C2	C0-C1	BC_n/A12	A17	A13	A11	A10/AP	A9 - A7	A6 - A0
擴展 讀取	第1時脈	H	H	H	H	L	H	BG	BA	H	V	EA			X		CA	
	第2時脈	H	H	H	L	H	H	L	L	L	L	RFU			優先權		RID	

表 一

【0088】 參考表一，意欲經兩個命令循環遞送 RD+命令。在此實施例中，RD+命令可在初始化時間處經組態且可藉由利用第三晶片 ID 位元 C2 來區別於 RD 命令（例如，對於 RD+，C2 = H，且對於 RD，C2 = L）。儘管此可將堆疊式記憶體晶片限於僅四個，但在其他實施例中，不同位元可用以區別兩個命令。另外，在表一中，運作中叢發模式位元 BC_n 亦可重新意圖至其擴展位址位元 A12 定義。儘管此可能使運作中叢發模式選擇停用，但可仍視需要經由模式暫存器設定改變叢發模式，且在其他實施例中，不同位元可用以擴展位址。

【0089】 因此，除了常見十個行位址(CA)位元、兩個庫群組(bank group；BG) 位元及兩個庫位址（bank address；BA）位元以外，表一的 RD+命令亦可遞送四個額外擴展位址（extended address；EA）位元。EA 位元可用以（例如）指定在 ACT 命令或 10 位元 CA 中所指定的 18 位元列位址（row address；RA）外部的其他列或行位址資訊。

【0090】 此外，表一的 RD+命令具有緊跟在第一命令循環之後的第二命令循環，此時間使用未使用的命令碼（在 DDR4 架構中經

識別為留作將來使用（Reserved for Future Use；RFU）連同兩位元優先權欄位及 10 位元讀取 ID（read ID；RID）欄位（表一中所繪示的三個剩餘位元亦為 RFU）。優先權及讀取 ID 欄位可（例如）在記憶體裝置與 DDR4 架構中所考慮相比具有額外能力或儲存（例如，更多列或緩衝器）時向記憶體裝置供應額外資訊（例如，額外位址位元或緩衝器選擇位元）。

【0091】圖 7 為根據本發明的一實施例的記憶體晶片的實例列組織的圖式。

【0092】在一些實施例中，用以提供額外列/行資訊而不增加接腳計數或接腳成本的額外技術可為使用多列緩衝器組織。在此處，記憶體裝置可具有新內部組織以支援額外位址索引，且可利用新 RD/WR（CAS）命令系統以輸送額外資訊（諸如將在其他情況下未使用的 CAS 位元重新意圖為指派擴展列位址的部分）。

【0093】進一步詳細而言，如圖 7 中所說明，具有僅一個緩衝器（列緩衝器）815 的類似「窄但高」記憶體陣列 810（例如，許多列，但相對較少行）可分解成僅具有多個較小陣列 830（其各自「窄但矮」，具有比記憶體陣列 810 少的列但相同數目個的行）的類似結構 820，較小陣列 830 各自具有其自身的緩衝器（列緩衝器）835。舉例而言，記憶體陣列 810 可具有比通常可定址多的列（例如，大於 17 或 18 個位元的位址空間），而陣列結構 820 可具有陣列 830，陣列 830 的所有列可定址（例如，小於或等於 17 或 18 個位元的位址空間）。

【0094】為了定址及存取此等列緩衝器 835，在一些實施例中，可將 ACT 以及目標資料陣列的列位址發送到每一小陣列 830。每一

陣列 830 藉由將來自所述列的資訊放置至其自身緩衝器 835 中來作出回應。接著，可發送 RD/WR 以及行位址及陣列 ID，其將向所述目標性陣列 830（諸如圖 7 中所說明的最底陣列 830）的緩衝器讀取/寫入資料。換言之，可藉由在 ACT 命令中供應低階列位址位元（列 ID）及藉由 RD/WR 命令（諸如在 CAS 欄位的未使用部分或其他未使用的位址位元（例如，表一的 RD+命令中的 EA 或 RID 位元）中）供應高階列位址位元（陣列 ID）來支援擴展列位址。此可在其他技術記憶體晶片（諸如 PRAM）的情況下及未添加接腳計數、接腳成本或自發佈 ACT 命令至存取來自對應列的第一資料的延遲的情況下提供顯著增加的容量。

【0095】 另外，可藉由使用相同未使用位元（例如，EA、RID、未使用 CA）以指定不同陣列 ID（其緩衝器將已自初始 ACT 命令載入）來在並無另一 ACT 命令的情況下實現對相同列群組（例如，共用相同列 ID）的其他 RD/WR 命令。

功能		CKE 先前循環	CKE 當前循環	ACT_n	RAS_n/A16	CAS_n/A15	WE_n/A14	BG0 - BG1	BA0 - BA1	C2	C0-C1	BC_n/A12	A17	A13	A11	A10/AP	A9 - A7	A6 - A0
擴展寫入	第 1 時脈	H	H	H	H	L	L	BG	BA	H	V	EA				X	CA	

表 二

【0096】 參考表二，WR+命令為單循環命令。在此實例中，WR+命令可在初始化時間處經組態且可藉由利用第三晶片 ID 位元 C2 來區別於 WR 命令（例如，對於 WR+，C2 = H，且對於 WR，C2 = L）。儘管此可將堆疊式記憶體晶片限於僅四個，但在其他實施例中，不同位元可用以區別兩個命令。另外，在表二中，運作中叢發

模式位元 BC_n 亦可重新意圖為其擴展位址位元 A12 定義。儘管此可能使運作中叢發模式選擇停用，但可仍視需要經由模式暫存器設定改變叢發模式，且在其他實施例中，不同位元可用以擴展位址。

【0097】 因此，除了常見十個行位址 (CA) 位元、兩個庫群組 (BG) 位元及兩個庫位址 (BA) 位元以外，表二的 WR+ 命令亦可遞送四個額外擴展位址 (EA) 位元。EA 位元可用以 (例如) 指定在 ACT 命令或 10 位元 CA 中所指定的 18 位元列位址 (RA) 外部的其他列或行位址資訊。

【0098】 圖 8 為根據本發明的一實施例的記憶體晶片的實例行組織的圖式。

【0099】 如同圖 7 的多列緩衝器組織，用以提供額外列/行資訊而不增加接腳計數或接腳成本的額外技術可為使用如圖 8 中所繪示的多行緩衝器組織。在此處，記憶體裝置可具有新內部組織以支援額外位址索引，且可利用新 ACT (RAS) 命令系統以輸送額外資訊 (諸如使在其他情況下未使用的 RAS 位元重新意圖為指派擴展行位址的部分)。

【0100】 進一步詳細而言，如圖 8 中所說明，具有僅一個緩衝器 (列緩衝器) 1015 的類似「寬但矮」記憶體陣列 1010 (例如，極少列，但相對許多行) 可分解成僅具有多個較小陣列 1030 (其各自「窄但矮」，具有比記憶體陣列 1010 少的行但相同數目個的列) 的類似結構 1020，較小陣列 1030 各自具有其自身的緩衝器 (列緩衝器) 1035。舉例而言，記憶體陣列 1010 可具有比通常可定址多的行 (例如，大於 10 個位元的位址空間)，而陣列結構 1020 可具有

陣列 1030，陣列 1030 的所有行可定址（例如，小於或等於 10 個位元的位址空間）。

【0101】 為了定址及存取此等列緩衝器 1035，在一些實施例中，可將 ACT 命令以及目標資料陣列的（相對小）列位址發送到每一小陣列 1030，小陣列 1030 可又以所要列載入其對應列緩衝器 1035。另外，可提供行位址及陣列 ID（例如，在一個或兩個後續 CAS 命令中，或可能作為 ACT 命令及一個或兩個後續 CAS 命令的部分）以在陣列 1030 以及所要陣列 1030（諸如，如在圖 8 中自左側所說明的第三陣列 1030）內識別所要行。

【0102】 換言之，可藉由在 ACT 命令中供應列位址位元（列 ID）及在後續 RD/WR 命令中供應低階行位址位元（行 ID）及高階行位址位元（陣列 ID）（可能亦利用 ACT 命令中的任何未使用位址位元（諸如在 ACT 命令中提供陣列 ID））來支援擴展行位址。此可在一些記憶體晶片（例如，易受較大數目個的行影響的記憶體晶片）的情況下提供顯著增加的容量，而不添加接腳計數、接腳成本或自發佈 ACT 命令至存取來自對應行的第一資料的延遲。此等及其他技術亦可在適用時經組合，諸如組合打開頁面與寬行，使得可在正常 CAS 潛時（tCL）時間中實現對相同寬列（例如，對相同或不同陣列 ID）的後續存取，而不引發另一 RAS 延遲。

【0103】 圖 9 為根據本發明的一實施例的對記憶體裝置進行定址的實例方法的流程圖。

【0104】 在此處，可意欲使用特定架構（諸如 DDR4 SDRAM）來存取記憶體裝置，但裝置具有比架構在正常組態中所支援（例如，可定址）多的列或多的行。然而，根據本發明的實施例，可使用擴

展列位址來存取記憶體裝置中的列或可使用擴展行位址來存取記憶體裝置中的行，且此等位址全部適於下伏架構的組合式列位址與行位址部分（例如，在兩個或兩個以上連續 RAS/CAS 命令中）。

【0105】 參考圖 9，在步驟 1110 中，當列位址具有過多位元（例如，記憶體裝置具有比架構所支援多的列）時，可將列位址位元分裂成第一子集及第二子集，在列位址命令（例如，ACT）中指定第一子集且在下一位址命令（例如，ACT+或 RD/WR）中指定第二子集。在步驟 1120 中，可將列位址命令發佈為對記憶體裝置的列的列存取的全部或部分。舉例而言，當記憶體裝置具有比架構所支援少的列時，可在列位址命令中指定完整列位址，而若記憶體裝置具有比架構所支援多的列，則可在列位址命令中指定列位址的僅部分（例如，第一子集），且在下一位址命令中指定列位址的剩餘部分（例如，第二子集）。

【0106】 同樣地，在步驟 1130 中，當行位址具有過多位元（例如，記憶體裝置具有比架構所支援多的行）時，可將行位址位元分裂成第三子集及第四子集，在行位址命令（例如，RD/WR 或 RD/WR+）中指定第四子集且在先前位址命令（例如，ACT、ACT+或 RD/WR）中指定第三子集。在步驟 1140 中，可將行位址命令發佈為對列的行存取的全部或部分。舉例而言，當記憶體裝置具有比架構所支援少的行時，可在行位址命令中指定完整行位址，而若記憶體裝置具有比架構所支援多的行，則可在行位址命令中指定行位址的僅部分（例如，第四子集），且可在先前位址命令中指定行位址的其餘部分（例如，第三子集）。

【0107】 若記憶體裝置中所需的位址位元（列及行）的總數目不大

於可在列位址命令（例如，ACT）及行位址命令（例如，RD/WR）中所指定的數目，則下一位址命令可為行位址命令或先前位址命令可為列位址命令（諸如藉由如上文所描述的背對背 RAS/CAS）。亦即，兩個位址命令（可能為背對背的）可滿足對記憶體裝置進行定址。

【0108】 另一方面，若記憶體裝置中所需的位址位元（列及行）的總數目大於可在列位址命令及行位址命令中所指定的數目，則可在列位址命令與行位址命令之間發佈下一位址命令或先前位址命令（例如，ACT+或 RD/WR）。舉例而言，下一位址命令與先前位址命令可為相同命令，且可指定擴展列位址位元或擴展行位址位元或可能所述兩者。此下一位址命令亦可緊跟在列位址命令之後（例如，如同如上文所描述的 ACT+或背對背 RAS/CAS）或緊跟在行位址命令之前（例如，如同如上文所描述的背對背 CAS/CAS）。

【0109】 總體而言，本發明的實施例針對類 SDRAM 架構的新命令及時序定義，此可實現比藉由現有 SDRAM 架構更好的定址能力。舉例而言，一些實施例可針對新記憶體組織及位址定義，此可實現比藉由現有 SDRAM 架構更好的定址能力。另外，其他實施例可針對（例如，可在記憶體晶片初始化或通電時實現的）可組態位址擴展方法。此等實施例可支援高容量記憶體而不增加接腳計數或接腳成本。此等實施例亦可改良位址接腳可再用性。

【0110】 儘管已說明且描述本發明的某些實施例，但一般熟習此項技術者應理解，可在不背離如由以下申請專利範圍及其等效物界定的本發明的精神及範疇的情況下對所描述實施例作出某些修改及改變。

【符號說明】**【0111】**

100：記憶體模組

110：印刷電路板

120：記憶體裝置

130：接腳

810、1010：記憶體陣列

815、835、1015、1035：緩衝器

820、1020：陣列結構

830、1030：較小陣列

1110、1120、1130、1140：步驟

ACT：啟動命令

ACT+：擴展啟動命令

RD：讀取命令

RD+：擴展讀取命令

WR：寫入命令

WR+：擴展寫入命令

PRE：預充電命令

tRC、tRAS、tRCD、tCL、tCAS、tBURST、tRP、tCL_L：時序

參數

【發明申請專利範圍】

【第1項】一種用於對記憶體裝置中的資料進行定址的方法，所述資料配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的多個列及多個行的陣列中，使用架構來對所述資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定，所述第一數目大於所述第三數目或所述第二數目大於所述第四數目，所述方法包括：

將所述第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在所述第一數目大於所述第三數目時在所述列位址命令中指定所述第一子集且在下一位址命令中指定所述第二子集；

將所述列位址命令發佈為對所述記憶體裝置的一列的列存取的全部或部分；

將所述第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在所述第二數目大於所述第四數目時在所述行位址命令中指定所述第四子集且在先前位址命令中指定所述第三子集；以及

將所述行位址命令發佈為對所述一系列的行存取的全部或部分。

【第2項】如申請專利範圍第 1 項所述的用於對記憶體裝置中的資料進行定址的方法，其中所述下一位址命令為所述行位址命令或所述先前位址命令為所述列位址命令。

【第3項】 一種記憶體裝置，其包括：

儲存胞元，其用於儲存配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的多個列及多個行的陣列中的資料，

其中使用架構來對所述記憶體裝置中的所述資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定，所述第一數目大於所述第三數目或所述第二數目大於所述第四數目，

其中，所述記憶體裝置用以經由下列步驟對所述資料進行定址：

將所述第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在所述第一數目大於所述第三數目時在所述列位址命令中指定所述第一子集且在下一位址命令中指定所述第二子集；

將所述列位址命令發佈為對所述記憶體裝置的一列的列存取的全部或部分；

將所述第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在所述第二數目大於所述第四數目時在所述行位址命令中指定所述第四子集且在先前位址命令中指定所述第三子集；以及

將所述行位址命令發佈為對所述一系列的行存取的全部或部分。

【第4項】 如申請專利範圍第 3 項所述的記憶體裝置，其中所述下一位址命令為所述行位址命令或所述先前位址命令為所述列位址命令。

【第5項】 一種記憶體模組，其包括：

多個記憶體裝置，所述記憶體裝置中的每一記憶體裝置包括：
儲存胞元，其用於儲存配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的多個列及多個行的陣列中的資料，

其中使用架構來對所述記憶體裝置中的所述資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定，所述第一數目大於所述第三數目或所述第二數目大於所述第四數目，

其中，每一記憶體裝置用以經由下列步驟對所述資料進行定址：

將所述第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在所述第一數目大於所述第三數目時在所述列位址命令中指定所述第一子集且在下一位址命令中指定所述第二子集；

將所述列位址命令發佈為對所述記憶體裝置的一列的列存取的全部或部分；

將所述第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集，及在所述第二數目大於所述第四數目時在所述行位址命令中指定所述第四子集且在先前位址命令中指定所述第三子集；以及

將所述行位址命令發佈為對所述一系列的行存取的全部或部分。

【第6項】 如申請專利範圍第 5 項所述的記憶體模組，其中所述下

108-12-30

一位址命令為所述行位址命令或所述先前位址命令為所述列位址命令。

【第7項】一種用於對記憶體裝置中的資料進行定址的方法，所述資料配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的多個列及多個行的陣列中，使用架構來對所述資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定，所述第一數目大於所述第三數目，所述方法包括：

將所述第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集；

在所述列位址命令中指定所述第一子集且在下一位址命令中指定所述第二子集；

將所述列位址命令處理為對所述記憶體裝置的一列的列存取命令的全部或部分。

【第8項】如申請專利範圍第 7 項所述的用於對記憶體裝置中的資料進行定址的方法，其中所述下一位址命令為行位址命令。

【第9項】一種用於對記憶體裝置中的資料進行定址的方法，所述資料配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的多個列及多個行的陣列中，使用架構來對所述資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定，所述第二數目大於所述第四數目，所述方法包括：

將所述第二數目個的行位址位元分裂成行位址位元的第三子集及行位址位元的第四子集；

108-12-30

在所述第二數目大於所述第四數目時在所述行位址命令中指定所述第四子集且在先前位址命令中指定所述第三子集；以及

將所述行位址命令發佈為對應一系列的行存取命令的全部或部分。

【第10項】 一種記憶體裝置，其包括：

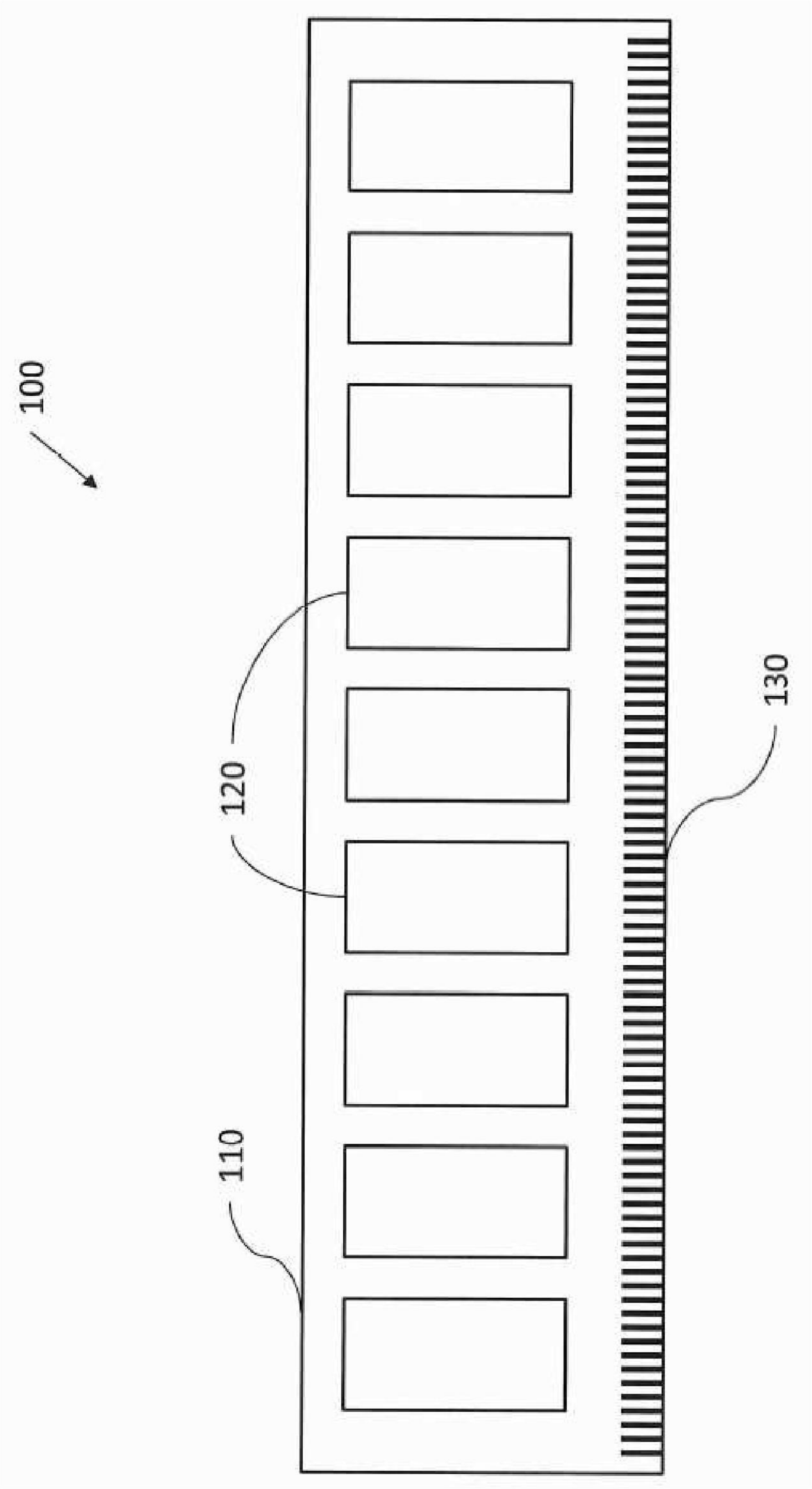
儲存胞元，其用於儲存配置於分別由第一數目個的列位址位元及第二數目個的行位址位元索引的多個列及多個行的陣列中的資料，

其中使用架構來對所述記憶體裝置中的所述資料進行定址，所述架構由指定第三數目個的列位址位元的列位址命令繼之以指定第四數目個的行位址位元的行位址命令界定，所述第一數目大於所述第三數目，

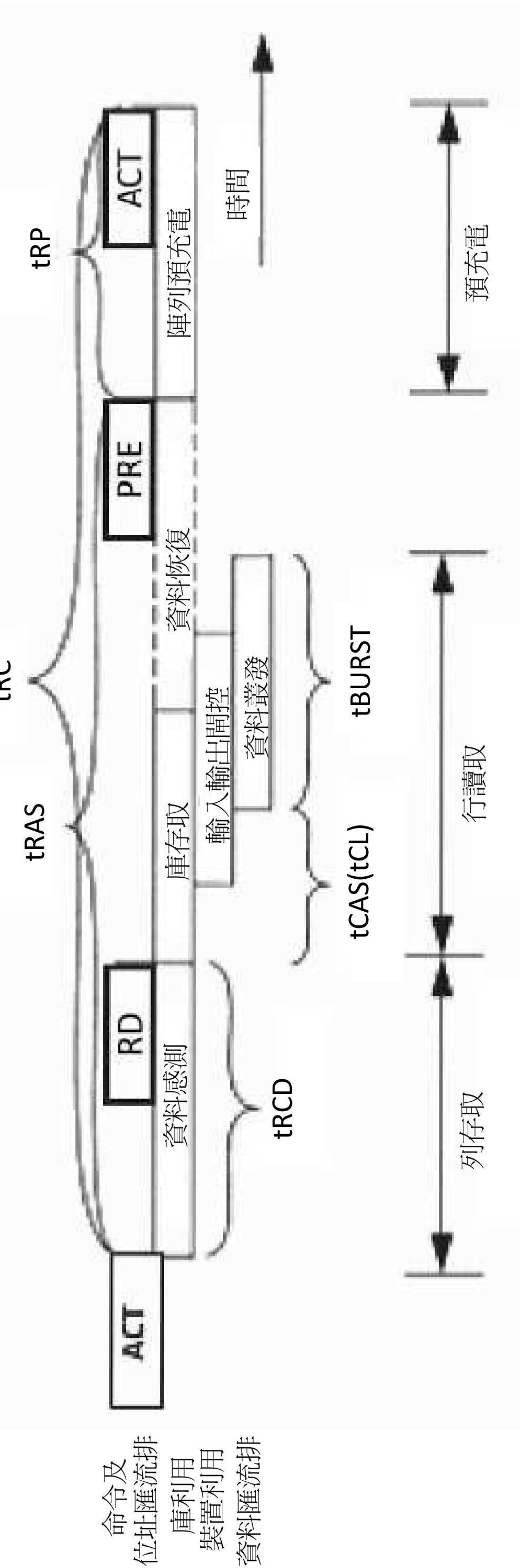
其中，所述記憶體裝置用以經由下列步驟對所述資料進行定址：

將所述第一數目個的列位址位元分裂成列位址位元的第一子集及列位址位元的第二子集，及在所述第一數目大於所述第三數目時在所述列位址命令中指定所述第一子集且在下一位址命令中指定所述第二子集；

將所述列位址命令處理為對所述記憶體裝置的一列的列存取的全部或部分。

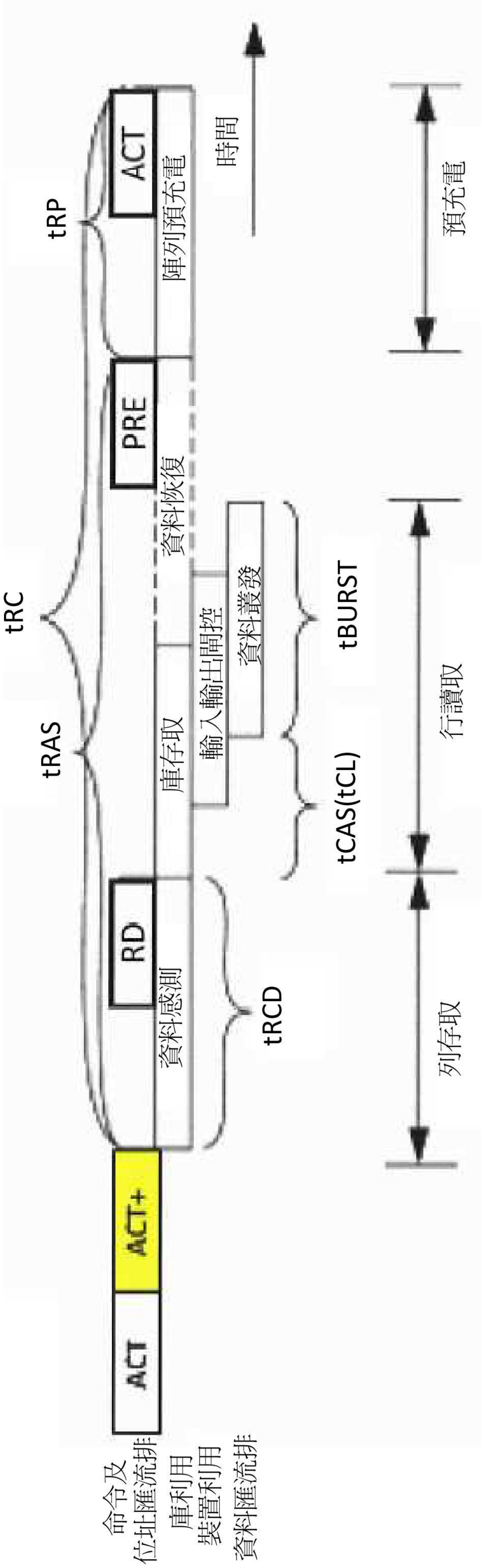


【圖1】

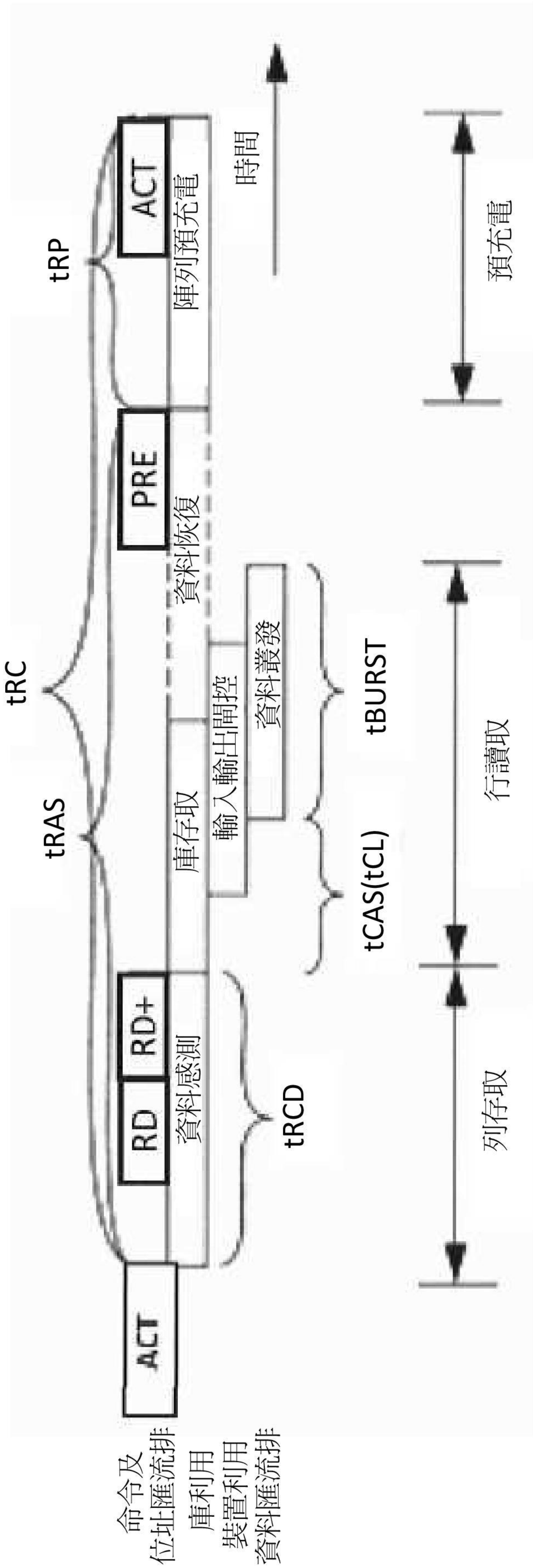


【圖2A】

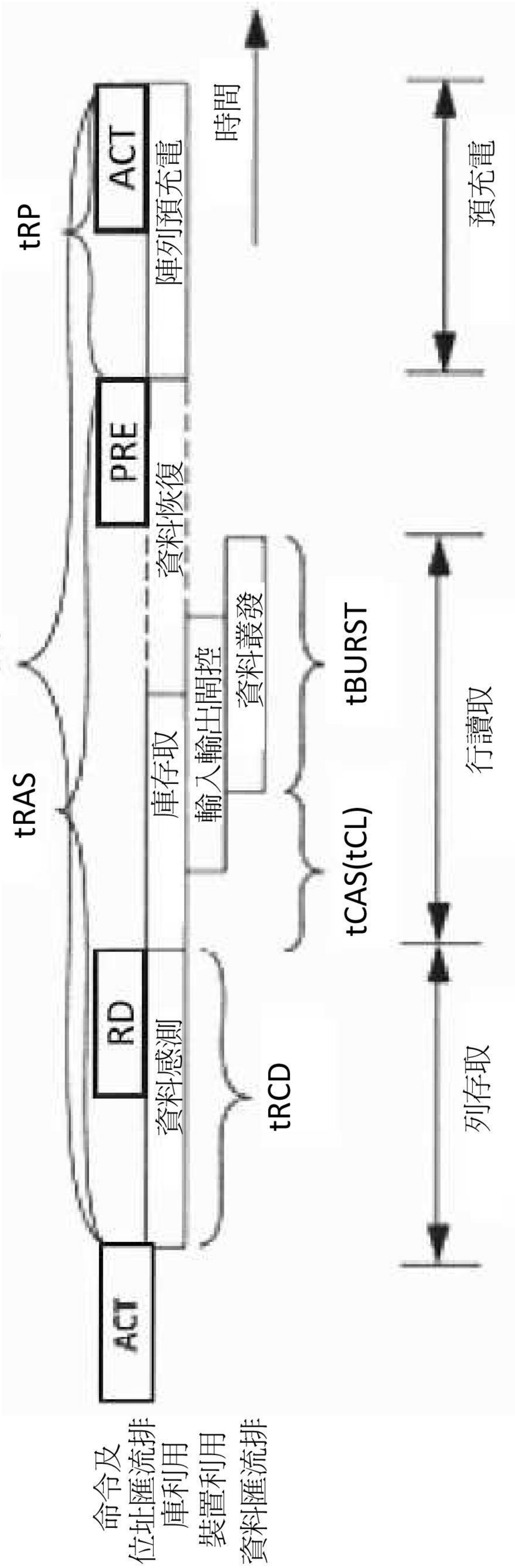
命令及
位址匯流排
庫利用
裝置利用
資料匯流排



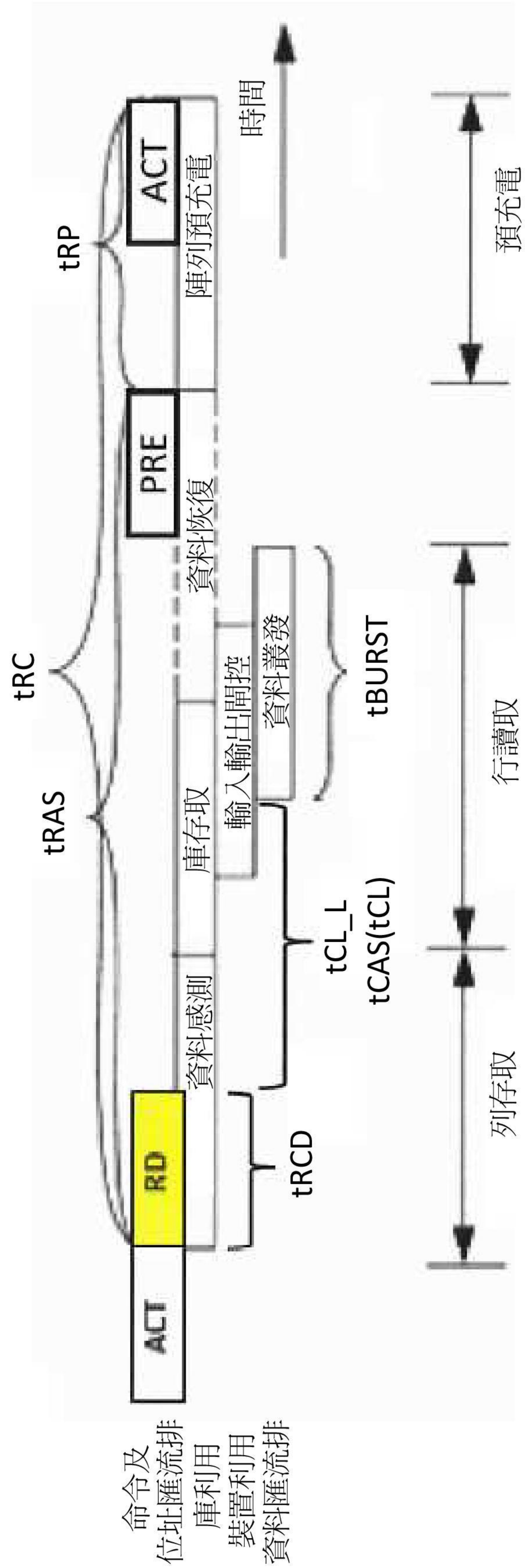
【圖2B】



【圖3】

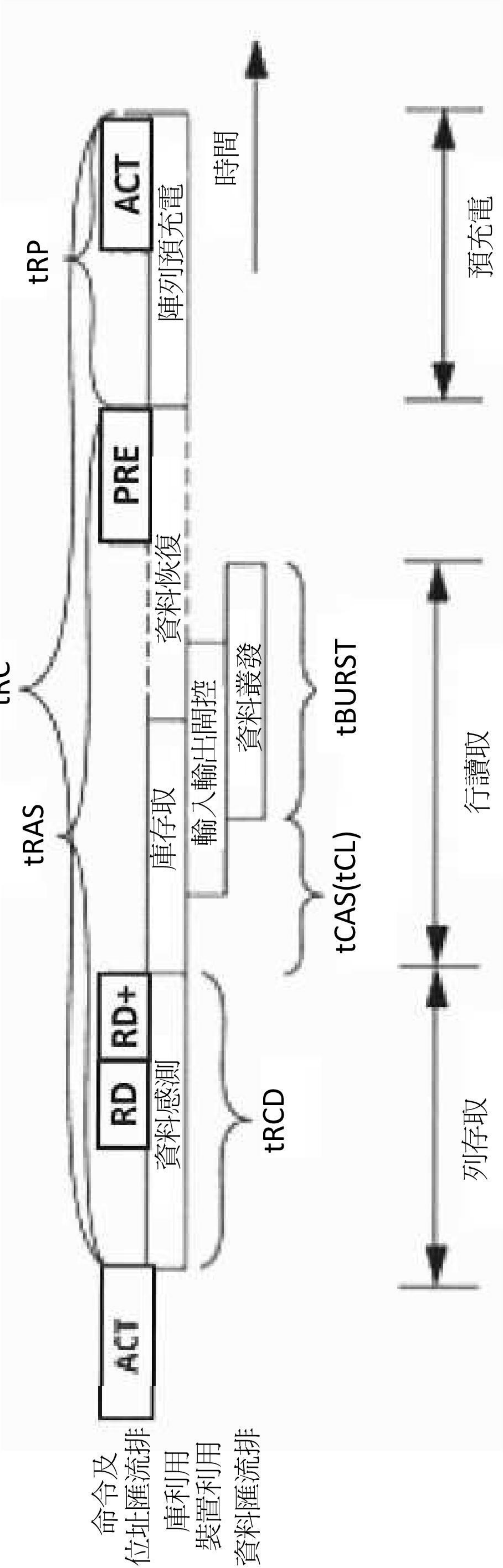


【圖4A】

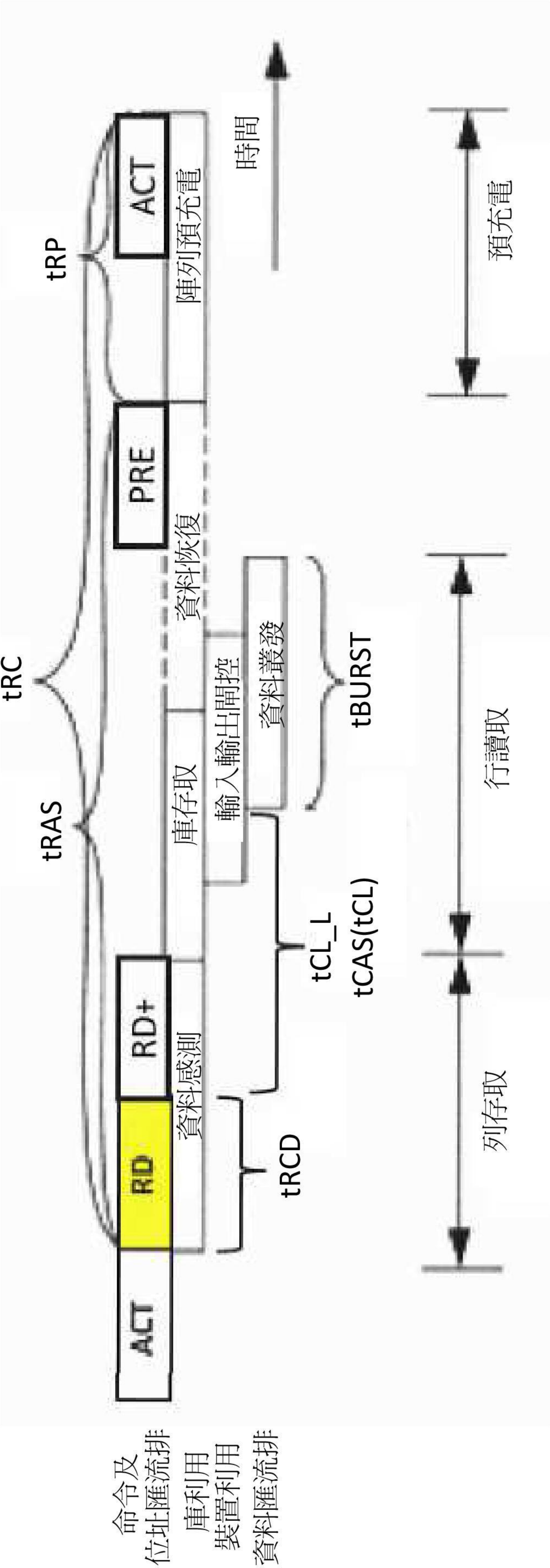


在此情況下，tRCD將短於實際資料感測時間。資料感測時間的部分將由tCL涵蓋。因此tCL變得更大

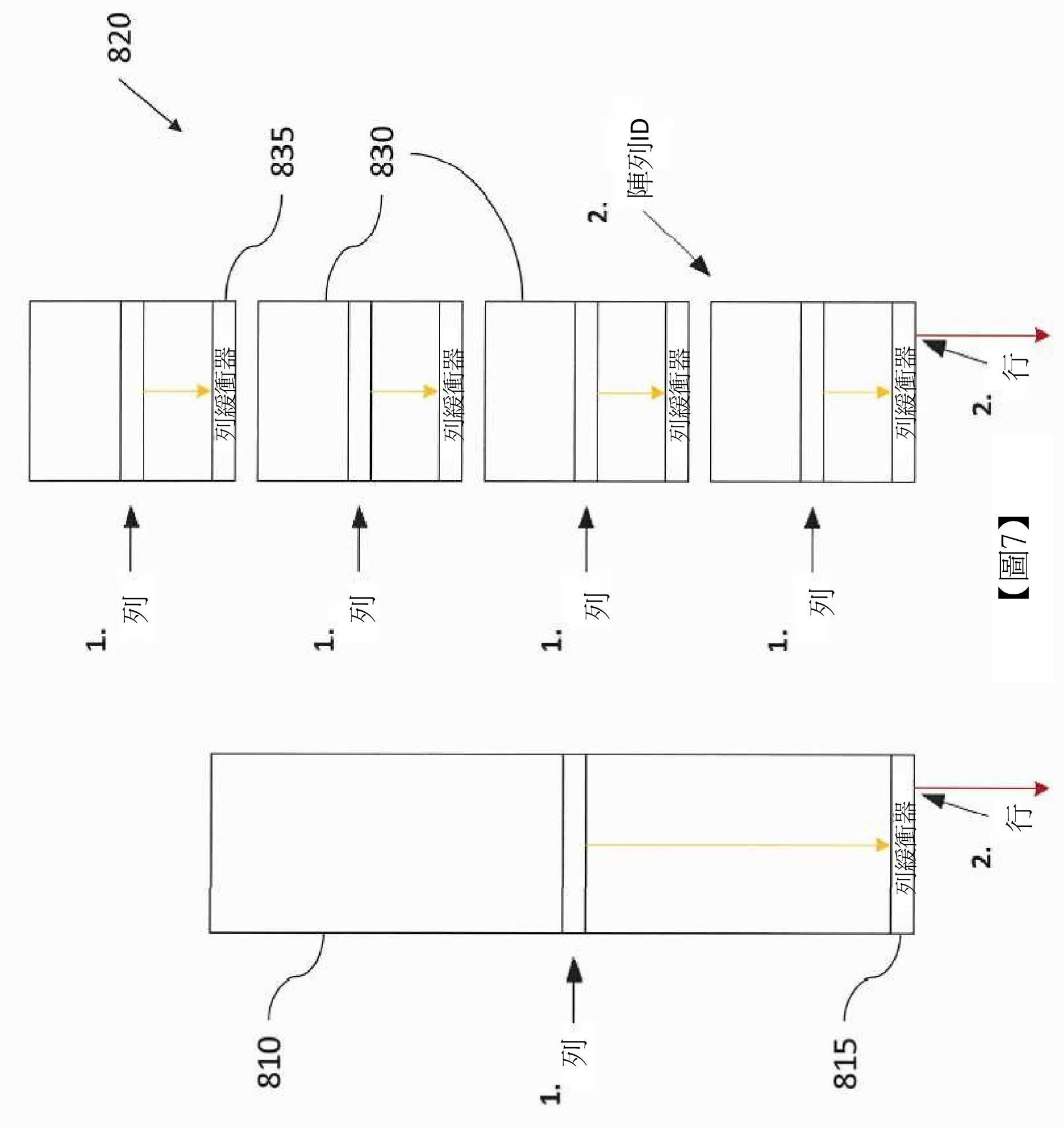
【圖4B】

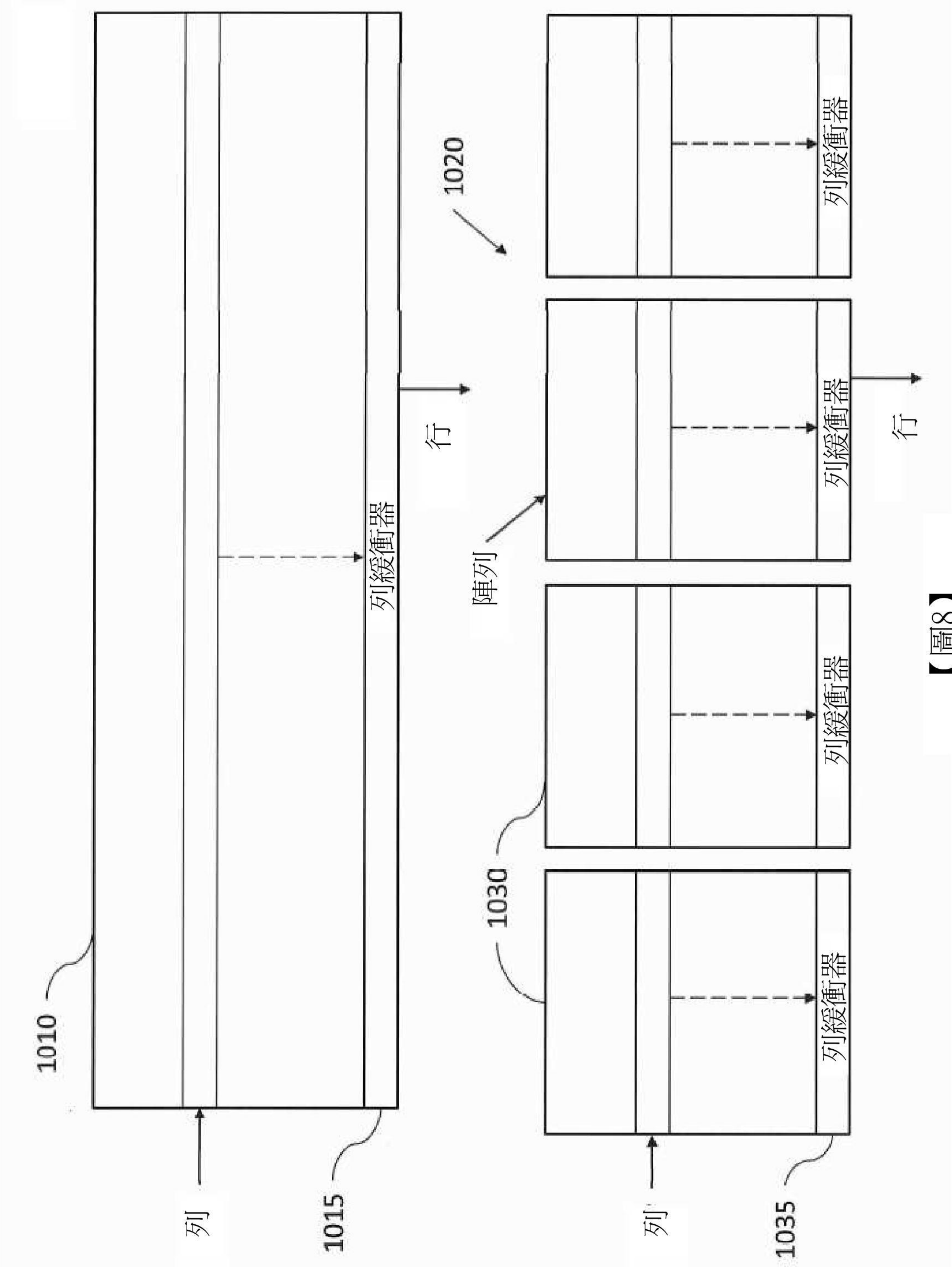


【圖5】

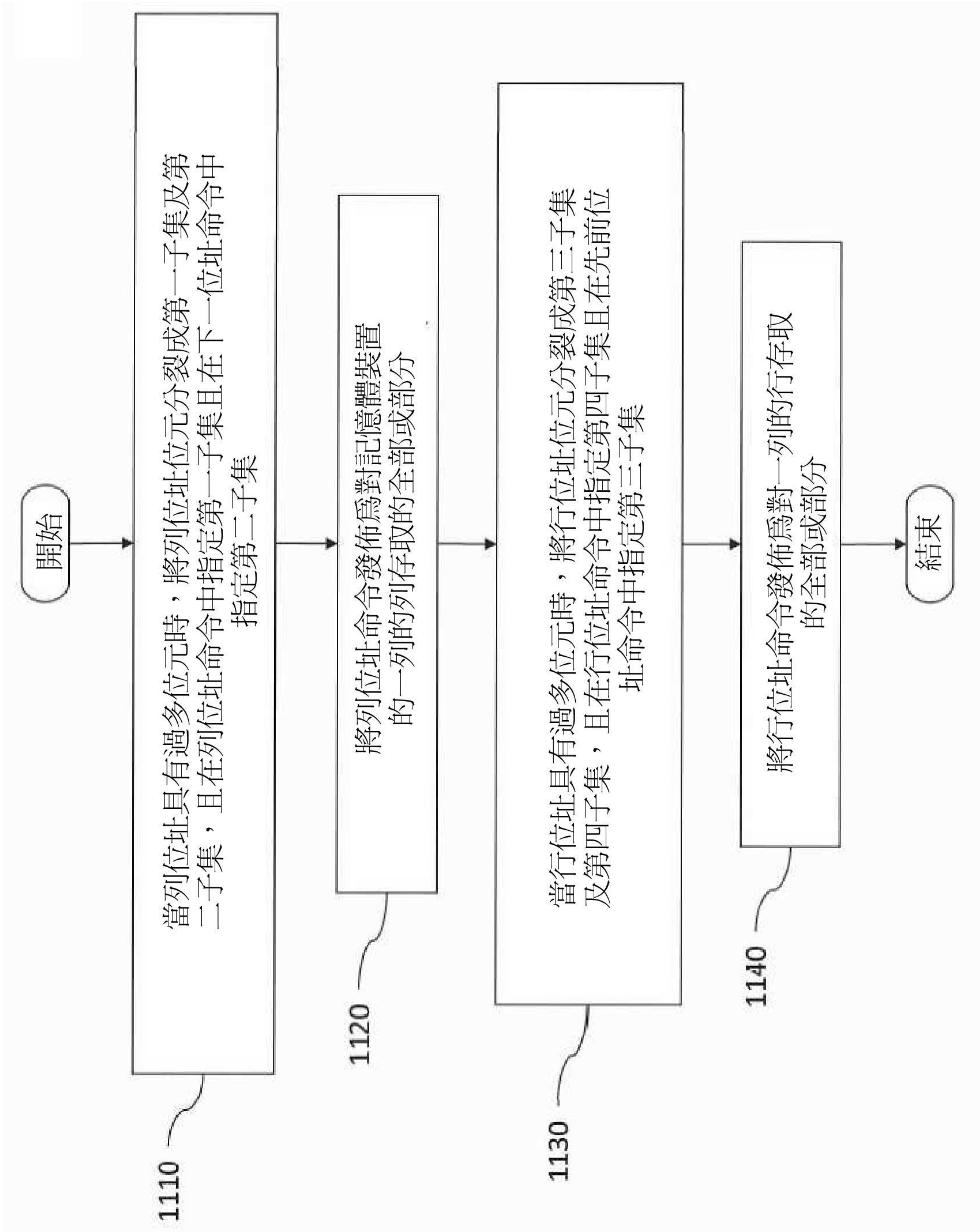


【圖6】





【圖8】



【圖9】