



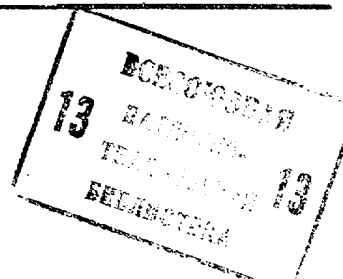
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1179322** **A**

(51) ⁴ G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3746600/24-24

(22) 28.03.84

(46) 15.09.85. Бюл. № 34

(72) Л.В.Вариченко, А.А.Лотоцкий,
Р.Б.Попович, М.А.Раков и Ю.А.Томин

(53) 681.325(088.8)

(56) Патент США № 4037093,
кл. G 06 F 7/52, опублик. 1977.

Авторское свидетельство СССР
№ 900281, кл. G 06 F 7/52, 1979.

Макаревич О.Б., Спиридонов Б.Г.
Цифровые процессоры обработки сигналов на основе БИС. - "Зарубежная электронная техника", 1983, № 1, с. 59-61, рис. 1,2.

(54) (57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ ДВУХ ЧИСЕЛ, содержащее регистр множимого, регистр множителя, блок формирования частичных произведений, блок синхронизации, регистры старших и младших разрядов произведений, информационные входы которых соединены соответственно с выходами старших и младших разрядов блока формирования частичных произведений, первая и вторая группы входов которого соединены соответственно с выходами регистров множимого и множителя, информационные входы которых соединены соответственно со входами множимого и множителя устройства, выходы блока синхронизации соединены с синхровходами регистров множимого, множителя, старших разрядов произведения и младших разрядов произведения соответственно, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет обеспечения умно-

жения двоичных целых чисел по модулю $2^n - 1$, в него введены элемент НЕ, две группы элементов И по n элементов И в каждой, n -разрядный сумматор и блок коррекции результата, содержащий n -входовый элемент И и n -разрядный сумматор, причем выходы регистра младших разрядов произведения соединены со входами первого слагаемого n -разрядного сумматора, входы второго слагаемого которого соединены с выходами элементов И первой группы, первые входы которых соединены с выходом элемента НЕ, вход которого соединен со входом установки режима работы устройства и с первыми входами элементов И второй группы, вторые входы которых соединены с выходами регистра старших разрядов произведения и вторыми входами соответствующих элементов И первой группы, а выходы - с выходами старших разрядов произведения устройства, выходы младших разрядов произведения которого соединены с выходами n -разрядного сумматора блока коррекции результата, входы первого слагаемого которого соединены с шиной нулевого потенциала, а входы второго слагаемого - со входами n -входового элемента И блока коррекции результата и выходами суммы n -разрядного сумматора, выход переноса которого соединен со входом переноса этого же n -разрядного сумматора, выход n -входового элемента И блока коррекции результата соединен со входом переноса n -разрядного сумматора блока коррекции результата.

(19) **SU** (11) **1179322** **A**

Изобретение относится к вычислительной технике и технической кибернетике и может быть использовано в устройствах для цифровой обработки сигналов (в частности, для цифровой обработки изображений), а также в системах кодирования, принцип действия которых базируется на теории полей Галуа.

Цель изобретения - расширение функциональных возможностей устройства за счет обеспечения дополнительно умножения n -разрядных двоичных чисел по модулю $2^n - 1$, которой отличен от степени двойки.

На фиг.1 схематически показано устройство для умножения двух чисел; на фиг.2 - схема блока коррекции результата.

Устройство для умножения двух чисел (фиг.1) содержит регистры множимого 1 и множителя 2, блок 3 формирования частичных произведений, регистры младших 4 и старших 5 разрядов произведения, элемент НЕ 6, первую 7 и вторую 8 группу элементов И, n -разрядный сумматор 9, блок 10 коррекции результата и блок 11 синхронизации.

Блок 10 коррекции результата (фиг.2) содержит n -входовый элемент И 12 и n -разрядный сумматор 13.

Устройство работает следующим образом.

Разряды $a_1, \dots, a_n$ множимого и $b_1, \dots, b_n$ множителя поступают на регистры 1 и 2 соответственно. Далее они передаются на входы сомножителей блока 3, на выходах которого формируется результат обычного умножения, представляющий собой число с $2n$ двоичными разрядами. По сигналу приема S младшие разряды заносятся в регистр 4, а старшие - в регистр 5.

Если сигнал, определяющий режим работы устройства, соответствует логической единице, то на входах элементов И с первой группы появляются сигналы логического нуля. Тогда на выходах $Q_1, \dots, Q_n$ n -разрядного сумматора 9 появляются младшие разряды произведения, а на выходах элементов И второй группы $Q_{n+1}, \dots, Q_{2n}$ - старшие разряды. Таким образом, осуществляется обычное умножение n -разрядных двоичных чисел.

Так как 2^n совпадает с единицей по модулю $2^n - 1$, то 2^i совпадает по

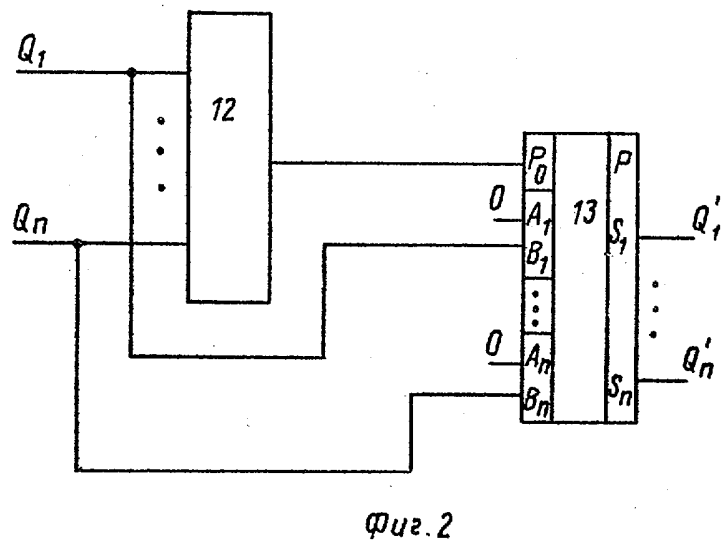
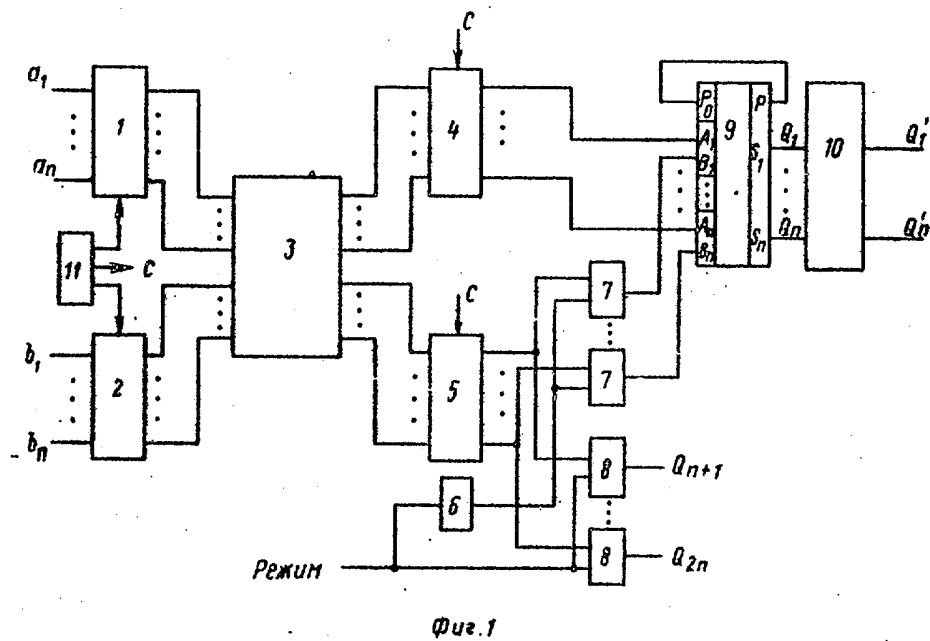
указанному модулю с 2^{n+i} ($i=1, 2, \dots, n$). Это означает, что старшие разряды произведения имеют тот же вес, что и соответствующие им младшие разряды. Поэтому для приведения произведения по модулю $2^n - 1$ необходимо сложить два числа, образованные младшими и старшими разрядами произведения.

Указанное действие осуществляется в режиме умножения по модулю $2^n - 1$. Сигнал, определяющий режим работы устройства, соответствует в таком режиме логическому нулю. На выходах элементов И первой группы появляются сигналы, соответствующие старшим разрядам произведения, а на выходах элементов И второй группы - сигналы логического нуля. Сумматор 9 производит сложение чисел, образованных младшими и старшими разрядами. После сложения может возникнуть перенос из n -го разряда сумматора, имеющий вес 2^n , т.е. единица по модулю $2^n - 1$. Поэтому вводится обратная связь между выходом переноса и входом переноса сумматора 9. За время двух сложений на выходах $Q_1, \dots, Q_n$ сумматора 9 формируются разряды умножения по модулю $2^n - 1$. Результат получается в двоичном коде.

Однако устройство для умножения двух чисел имеет в режиме умножения по модулю $2^n - 1$ два представления нуля: $00 \dots 0$ и $11 \dots 1$, так

n разрядов n разрядов
как число $11 \dots 1$ сравнимо с нулем по модулю $2^n - 1$.

Поэтому окончательный результат необходимо скорректировать. Коррекция результата при необходимости осуществляется блоком 10. Результат умножения (или ряда умножений и сложений по модулю $2^n - 1$) поступает на n -входной элемент И 12 и одновременно на входы первого слагаемого n -разрядного сумматора 13 (на входы второго слагаемого подается сигнал логического нуля). При равенстве всех разрядов результата единице на выходе n -входного элемента И 12 появляется единица, поступающая на вход переноса n -разрядного сумматора 13. Тогда на его выходах суммы устанавливаются нулевые значения.



Составитель Е. Захарченко

Редактор С. Тимохина Техред Т. Фанта

Корректор И. Эрдейи

Заказ 5676/50

Тираж 710

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4