

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 29/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월07일 10-0499626 2005년06월27일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2000-0077699 2000년12월18일	(65) 공개번호 (43) 공개일자	10-2002-0048258 2002년06월22일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	이재진 경기도이천시대월면사동리386-72
(74) 대리인	이후동 이정훈

심사관 : 김세영

(54) 반도체 메모리 장치

요약

내부 클럭신호가 외부 클럭신호의 라이징과 폴링 시점에 동기되는 고주파 신호로 생성될 수 있도록 하여 웨이퍼 레벨에서 고속 테스트를 가능케함으로써 데이터의 입출력 동작을 포함하는 고속 동작에서 발생하는 문제점을 웨이퍼 레벨 테스트에서 정확히 검출하도록 개선시킨 반도체 메모리 장치에 관한 것으로써, 이를 위하여 내부 클럭신호로써 내부 명령과 어드레스를 처리하고 데이터의 입력과 출력을 수행하는 반도체 메모리 장치에 외부 클럭신호의 라이징 시점과 폴링 시점에 동기되는 내부 클럭신호를 생성하는 클럭 발생 회로를 구비한다.

따라서, 웨이퍼 테스트 레벨에서 테스트 장비의 제한적 여건에서 고속 동작 테스트가 가능하고, 그에 따라서 반도체 메모리 장치의 수율이 향상될 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

- 도 1은 종래의 내부 클럭 발생 회로를 나타내는 회로도
- 도 2는 본 발명에 따른 반도체 메모리 장치의 바람직한 실시예를 나타내는 회로도
- 도 3은 실시예에 의하여 고주파 테스트를 위하여 생성되는 클럭을 예시한 파형도
- 도 4는 실시예가 명령 입력 버퍼에 적용된 일례를 나타내는 회로도
- 도 5는 도 4의 예에 의하여 생성되는 신호의 파형도
- 도 6은 실시예가 내부 어드레스 발생 장치에 적용된 일례를 나타내는 회로도
- 도 7은 도 6의 예에 의하여 생성되는 신호의 파형도

도 8은 도 2의 실시예에 분주부를 추가한 다른 실시예를 나타내는 회로도

도 9은 도 8의 실시예로 분주된 클럭신호가 데이터 입력 버퍼에 적용된 일예를 나타내는 회로도

도 10는 도 9의 예에 의하여 생성되는 신호의 파형도

도 11은 도 9의 변형예를 나타내는 회로도

도 12은 도 8의 실시예로 분주된 클럭신호가 데이터 출력 버퍼에 적용된 일예를 나타내는 회로도

도 13는 도 12의 예에 의하여 생성되는 신호의 파형도

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치에 관한 것으로서, 보다 상세하게는 외부 클럭신호의 라이징 시점과 폴링 시점에 동기되는 내부 클럭신호를 생성하고, 이를 이용하여 고주파 테스트를 웨이퍼 레벨에서 수행함으로써 데이터의 입출력 동작을 포함하는 고속 동작에서 발생하는 문제점을 웨이퍼 레벨 테스트에서 정확히 검출하도록 개선시킨 반도체 메모리 장치에 관한 것이다.

통상, 반도체 메모리 장치는 웨이퍼 레벨에서 단위 제조 공정을 거친 후 테스트되고, 테스트에서 불량으로 확인된 셀은 리페어된다. 이어서, 메모리 장치는 패키지 공정을 거친 후 테스트되고 양품인 것들은 완제품으로 출하된다.

이 중 패키지 레벨의 테스트 과정에서, 테스트 장비와 테스트 대상인 반도체 메모리 장치 간의 통신을 위한 인터페이스 거리가 짧아서 고주파 동작 테스트가 가능하다. 그러나, 웨이퍼 레벨의 테스트 과정은 패키지 레벨의 테스트 과정과 동일한 조건이 만족되지 않으며, 그에 따라서 고주파 동작 테스트를 위한 클럭신호가 원활히 제공되지 않기 때문에 고주파 동작 테스트가 어려운 문제점이 있다.

그러므로, 결국 웨이퍼 레벨의 테스트 과정에서 메모리 셀 자체의 결함 검출만 이루어지고, 패키지 레벨의 테스트 과정에서 고주파 동작 테스트가 이루어지는 한계가 있다.

이러한 제약으로 인하여, 웨이퍼 레벨의 테스트 환경 즉 저주파 동작 환경에서 발견되지 않은 결함이 패키지 레벨의 테스트 과정에서 종종 발견되며, 이러한 결함은 치명적인 경우 메모리 장치를 폐기시키는 결과를 초래하여 수율을 저하시키는 중요한 요인으로 작용된다.

상술한 문제점의 구체적인 예로써 SDRAM의 경우가 제시될 수 있다. 즉, SDRAM은 테스트 환경에서는 대략 30MHz 내지 60MHz의 주파수를 가지며 동작되는데 실제 시스템에 적용되어서는 100MHz 이상의 주파수로 동작된다.

이러한 SDRAM은 매 클럭 주기로 데이터를 리드/라이트하고 그 후 프리차지(Precharge)된다. 여기에서 내부 클럭신호가 저주파로 제공되면 클럭 주기가 길어서 정상적인 프리차지가 이루어질 수 있으나, 내부 클럭신호가 고주파로 제공되면 클럭 주기가 짧아서 불량인 셀 증폭부나 셀에서 오동작이 발생될 수 있다.

이러한 문제점은 반도체 메모리 장치 내부에 구성되는 도 1의 내부 클럭 발생 회로가 외부 클럭 신호를 입력받고, 내부 클럭 발생 회로가 외부 클럭 신호와 동일한 주파수를 갖는 내부 클럭 신호를 생성하여 출력하며, 고주파 동작 테스트는 상술한 내부 클럭 신호로 수행되기 어려운 한계성을 갖기 때문에 발생된다.

도 1을 참조하면, 내부 클럭 발생 회로(10)는 클럭 변환부(12)와 외부 클럭신호 ext_clk를 클럭 변환부(12)에 전달하는 버퍼(14)와 클럭변환부(12)의 출력을 반전 증폭하여 내부 클럭신호로 출력하는 버퍼(16)로 구성된다.

내부 클럭 발생 회로(10)는 외부 클럭신호 ext_clk의 주파수 변환없이 위상이나 듀티를 변환시킨 내부 클럭신호를 생성하도록 구성되며, 내부 클럭 발생 회로(10)에서 출력되는 내부 클럭 신호는 이를 필요로 하는 각 부품-일예로 명령 입력 버퍼(18)-에 입력된다.

이와 같이 외부 클럭신호 ext_clk와 동일한 주파수의 내부 클럭신호에 의하여 명령 입력 버퍼(18)는 외부로부터 입력되는 로우 어드레스 스트로브 신호(Row address strob signal) RAS와 같은 명령 신호를 버퍼링한 후 명령 디코더(20)로 출력하고, 명령 디코더(20)는 복수의 명령 신호를 디코딩하여 액티브 신호 atv 등을 출력하도록 구성된다.

이와 같이 종래의 반도체 메모리 장치는 명령 신호의 버퍼링이나 명령 신호들의 디코딩 등을 외부 클럭신호 ext_clk의 주파수와 동일한 주파수를 갖는 내부 클럭신호에 의하여 이루어지며, 결국 웨이퍼 레벨에서 종래의 반도체 메모리 장치는 저주파 특성에 제한되어 동작 특성이 테스트될 수 밖에 없다.

즉, 종래의 웨이퍼 레벨 테스트 과정에서 종래의 반도체 메모리 장치는 메모리 셀 자체의 결함 유무가 테스트될 수 있고 고속 동작에서 체크될 수 있는 데이터의 입출력과 같은 문제점이 테스트될 수 없다.

그러므로, 종래의 반도체 메모리 장치는 패키지 레벨 테스트 과정에서 고주파 동작 특성 불량이 많이 발생되어서 수율이 저하되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 웨이퍼 레벨에서 테스트 모드시 고주파 동작을 위한 주파수를 갖는 내부 클럭신호를 생성하여 각 부로 제공함으로써 웨이퍼 레벨에서 반도체 메모리 장치에 대한 고주파 동작 테스트를 가능케 함에 있다.

본 발명의 다른 목적은 웨이퍼 레벨에서 고주파 동작 테스트를 위하여 외부 클럭신호의 라이징과 폴링 시점에 동기되는 내부 클럭신호를 생성하여 각 부로 제공하고, 필요에 따라서 라이징 시점에 동기되는 클럭신호와 폴링 시점에 동기되는 클럭신호를 각각 각 부로 제공하여 고주파 동작 테스트를 가능케 함에 있다.

본 발명의 또다른 목적은 웨이퍼 레벨에서 고주파 동작 테스트를 가능케하여 웨이퍼 레벨의 테스트시 데이터의 입출력을 포함하는 고속 동작의 문제점을 검출 가능케 함에 있다.

발명의 구성 및 작용

상술한 목적을 달성하기 위한 본 발명은 외부 클럭신호에 의하여 변환된 내부 클럭신호에 동기하여 내부 명령과 어드레스를 처리하는 반도체 메모리 장치에 있어서, 상기 외부 클럭신호를 비반전하여 제 1 신호로 출력하는 제 1 신호 출력 수단; 테스트 모드일 때 상기 외부 클럭신호가 반전된 신호이고, 정상 모드일 때 일정 레벨 신호인 제 2 신호를 출력하는 제 2 신호 출력 수단; 상기 제 1 신호를 이용하여 상기 외부 클럭신호의 라이징 시점에 동기된 제 1 클럭신호를 출력하는 제 1 클럭 발생 수단; 상기 제 2 신호를 이용하여 테스트 모드일 때 상기 제 2 클럭신호를 출력하고, 정상 모드일 때 일정한 레벨을 갖는 제 3 신호를 출력하는 제 2 클럭 발생 수단; 및 상기 제 1 클럭 발생 수단과 제 2 클럭 발생 수단의 출력 신호를 조합하여 테스트 모드와 정상 모드에 대응되는 내부 클럭신호를 생성하여 출력하는 논리조합 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

또한, 상술한 목적을 달성하기 위한 본 발명은 외부 클럭신호에 의하여 변환된 내부 클럭신호에 동기하여 데이터의 입력과 출력을 수행하는 반도체 메모리 장치에 있어서, 상기 외부 클럭신호를 비반전하여 제 1 신호로 출력하는 제 1 신호 출력 수단; 테스트 모드일 때 상기 외부 클럭신호가 반전된 신호이고, 정상 모드일 때 일정 레벨 신호인 제 2 신호를 출력하는 제 2 신호 출력 수단; 상기 제 1 신호를 이용하여 상기 외부 클럭신호의 라이징 시점에 동기된 제 1 클럭신호를 출력하는 제 1 클럭 발생 수단; 상기 제 2 신호를 이용하여 테스트 모드일 때 상기 제 2 클럭신호를 출력하고, 정상 모드일 때 일정한 레벨을 갖는 제 3 신호를 출력하는 제 2 클럭 발생 수단; 및 상기 제 1 클럭 발생 수단과 제 2 클럭 발생 수단의 출력 신호를 조합하여 테스트 모드와 정상 모드에 대응되는 내부 클럭신호를 생성하고, 상기 제 1 클럭신호를 구동하여 라이징 동기 클럭신호를 발생하고, 상기 제 2 클럭신호를 구동하여 폴링 동기 클럭신호를 발생하는 제 1 논리조합 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

삭제

삭제

삭제

이하, 본 발명에 따른 반도체 메모리 장치의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

실시예는 웨이퍼 레벨에서 테스트 모드 신호를 인가받으면 그에 따라서 외부 클럭신호의 라이징과 폴링에 동기되는 고주파의 내부 클럭신호를 생성하여 명령 입력 버퍼나 내부 어드레스 발생 장치 등에 제공하도록 구성된다.

또한, 실시예는 내부 클럭신호를 외부 클럭신호의 라이징 시점에 동기되는 클럭신호와 외부 클럭신호의 폴링 시점에 동기되는 클럭신호로 구분하여 데이터 입력 버퍼 또는 데이터 출력 버퍼에 제공하도록 구성될 수 있다.

이에 대하여 구체적으로 설명하면 먼저, 외부 클럭신호의 폴링과 라이징에 각각 동기되는 내부 클럭신호를 생성하기 위한 클럭 발생 회로의 실시예가 도 2와 같이 구성된다.

클럭 발생 회로(22)에 논리조합 회로(24)가 외부 클럭신호 ext_clk와 테스트 모드 신호 tm을 입력받아서 외부 클럭신호를 반전 또는 비반전한 신호 a11, a12를 출력하도록 구성된다.

여기에서 테스트 신호 tm은 웨이퍼의 접속패드(도시되지 않음)를 통하여 입력되거나 내부에서 테스트 모드 수행을 위하여 자체 생성되어 제공될 수 있다.

또한 논리조합 회로(24)는 외부 클럭신호 ext_clk를 비반전된 상태로 출력하는 직렬 연결된 인버터 IV1, IV2로 이루어진 제 1 패스를 구비하며, 인버터 IV1의 출력과 테스트 모드 신호를 낸드조합하는 낸드게이트 ND3가 구성되고, 낸드 게이트 ND3의 출력을 인버터 IV3으로 반전 출력하도록 이루어진 제 2 패스를 구비한다. 제 1 패스를 통하여 신호 a11이 출력되고 제 2 패스를 통하여 신호 a12가 출력된다.

따라서, 논리조합 회로(24)는 테스트 모드 신호 tm이 논리적 로우 레벨이면 신호 a11를 외부 클럭신호 ext_clk가 비반전된 신호로 출력하고, 신호 a12를 외부 클럭신호 ext_clk와 무관하게 항상 로우 레벨을 유지하는 신호로 출력한다. 그리고, 논리조합 회로(24)는 테스트 모드 신호 tm이 논리적 하이 레벨이면 신호 a11은 외부 클럭신호 ext_clk가 비반전된 신호이며 신호 a12는 외부 클럭신호 ext_clk가 반전된 신호이다.

이와 같이 논리조합 회로(24)에서 출력되는 신호 a11는 클럭발생회로(26)에 입력되고, 신호 a12는 클럭발생회로(28)에 입력된다.

클럭발생회로(26)는 입력된 신호 a11를 홀수 개의 직렬 인버터 IV4로 지연시킨 신호와 지연되지 않은 입력신호를 낸드게이트 ND41에 입력하여 낸드조합하여 신호 b11로 출력하도록 구성되며, 클럭발생회로(28)는 입력된 신호 a12를 홀수 개의 인버터 IV5로 지연시킨 신호와 지연되지 않은 입력신호를 낸드게이트 ND42에 입력하여 낸드조합하여 신호 b12로 출력하도록 구성된다.

따라서, 테스트 모드 신호 tm이 논리적 하이 레벨로 입력된 경우, 클럭발생회로(26)는 외부 클럭신호 ext_clk와 주파수는 같으면서 라이징 시점에 동기된 펄스 신호 b11을 출력하고, 클럭발생회로(28)는 외부 클럭신호 ext_clk와 주파수는 같으면서 폴링 시점에 동기된 펄스 신호 b12를 출력한다.

물론, 테스트 모드 신호 tm이 논리적 로우 레벨로 입력되면 클럭발생회로(26)는 라이징 시점에 동기되면서 외부 클럭신호 ext_clk와 동일한 주파수를 갖는 펄스신호 b11을 출력하고, 클럭발생회로(28)는 신호 b12를 외부 클럭신호 ext_clk와 무관하게 항상 로우 레벨을 유지하는 신호 b12를 출력한다.

그리고, 상술한 클럭발생회로(26)와 클럭발생회로(28)의 출력 b11과 b12는 논리조합을 위한 낸드게이트 ND5에 입력되어서 낸드조합되고, 그 결과 낸드게이트 ND5는 테스트 모드가 논리적 하이 레벨로 인가된 경우 외부 클럭신호 ext_clk의 폴링 시점과 라이징 시점에 동기되는 클럭신호가 합성된 고주파를 갖는 내부 클럭신호 int_clk를 출력하고, 테스트 모드가 논리적 로우 레벨로 인가된 경우 외부 클럭신호 ext_clk와 주파수가 동일하면서 그의 라이징 시점에 동기되는 내부 클럭신호 int_clk를 출력한다.

내부 클럭신호 int_clk는 도 3에서 대비되듯이 테스트 모드인 경우 외부 클럭신호 ext_clk의 주파수의 두 배의 주파수를 가지면서 외부 클럭신호 ext_clk의 라이징 시점에 동기되는 신호와 외부 클럭신호 ext_clk의 폴링 시점에 동기되는 신호가 조합된 파형을 갖는다. 이러한 내부 클럭신호 int_clk는 패키지 레벨에서 고주파 동작 테스트를 위하여 제공되는 패키지 테스트 클럭 pkg_test_clk의 주파수와 파형을 유사하게 가질 수 있다.

상술한 실시예에 의하여 생성되는 내부 클럭신호 int_clk는 명령 입력 버퍼나 내부 어드레스 발생 장치와 같은 각 부분으로 제공되며 테스트 모드 신호 tm에 의하여 테스트 모드로 설정된 상태에서 외부 클럭신호 ext_clk보다 두 배의 주파수를 갖는다.

따라서, 웨이퍼 레벨에서 테스트 모드 신호 tm의 설정 상태에 따라서 고주파 동작 특성에 대한 테스트가 수행될 수 있다.

일예로 명령 입력 버퍼에 도 4와 같이 적용될 수 있다.

도 3과 같은 구성을 갖는 클럭발생회로(22)에서 내부 클럭이 명령 입력 버퍼(30)로 입력되도록 구성되며, 명령 입력버퍼(30)는 외부 로우 어드레스 스트로브 신호 /RAS를 내부 로우 어드레스 스트로브 신호로 변환하여 명령 디코더(32)로 출력하도록 구성된다. 명령 디코더(32)는 내부 로우 어드레스 스트로브 신호와 내부 컬럼 어드레스 스트로브 신호를 포함한 복수의 명령어들을 조합하여 액티브 신호 atv1를 출력하도록 구성된다.

여기에서 명령 입력 버퍼(30)는 외부 로우 어드레스 스트로브 신호 /RAS를 변환하기 위한 것으로서, 인버터로 구성되는 입력버퍼(34), 래치(36) 및 출력 래치(38)를 구비하며 입력버퍼(34)와 래치(36) 사이에 내부 클럭신호 int_clk의 반전 및 비반전된 신호에 의하여 스위칭되는 스위칭 소자 T1가 구성되며, 래치(36)와 출력 래치(38)의 사이에 내부 클럭신호 int_clk의 반전 및 비반전된 신호에 의하여 스위칭되는 스위칭 소자 T2가 구성된다.

그에 따라서, 외부 로우 어드레스 스트로브 신호 /RAS는 입력버퍼(34)를 통하여 극성이 반전되어 스위칭 소자 T1에 인가된다. 스위칭 소자 T1 및 T2가 스위칭됨에 따라서 입력버퍼(34)의 출력 신호는 래치(36)에 임시저장되며, 래치(36)의 임시저장된 신호는 출력 래치(38)를 통하여 명령 디코더(32)로 내부 로우 어드레스 스트로브 신호로써 출력된다. 그리고, 명령 디코더(32)는 내부 로우 어드레스 스트로브 신호를 포함하는 복수 개의 명령어를 조합하여 액티브 신호 atv1를 출력한다.

상술한 동작에 있어서 내부 클럭신호 int_clk가 도 5와 같이 외부 클럭신호 ext_clk에 비하여 두 배의 주파수를 갖는 고주파로 입력되므로, 내부 로우 어드레스 스트로브 신호를 포함하는 내부 명령어가 두 배의 주파수로 활성화되고, 그에 따라서 액티브 신호 atv1와 같은 명령어(도 5의 int_command)가 두 배의 주파수로 제공될 수 있다.

따라서, 웨이퍼 레벨 테스트 과정에서 외부에서 고주파 클럭신호가 제공됨 없이 클럭 발생 회로(22)에서 외부 클럭신호로써 고주파 클럭신호가 생성되어 제공될 수 있어서, 웨이퍼 레벨 테스트 과정에서 고속 동작에 대한 특성 테스트가 이루어질 수 있다.

한편, 본 발명에 따른 실시예는 도 6과 같은 내부 어드레스 발생 장치에 내부 클럭신호 int_clk를 제공함으로써, 웨이퍼 레벨 테스트 과정에서 고주파 동작을 위한 별도의 외부 고주파 클럭신호의 제공없이 고속 동작에 대한 특성 테스트가 이루어질 수 있다.

도 6을 참조하면, 내부 어드레스 발생 장치는 내부 클럭신호 int_clk와 외부 어드레스 신호 ext_y0, ext_y1 및 어드레스 세트 신호 add_set에 의하여 내부 어드레스 신호 int_y0, int_y1을 출력한다.

웨이퍼 레벨 테스트 과정에서 고속 동작 특성을 테스트하기 위해서 내부 클럭신호 int_clk는 도 2의 클럭 발생 회로(22)에 의하여 외부 클럭신호 ext_clk보다 두 배의 주파수를 갖도록 제공되고, 어드레스 세트 신호 add_set도 어드레스 버퍼(도시되지 않음)에서 외부 클럭신호 ext_clk보다 두 배의 주파수를 갖는 내부 클럭신호 int_clk에 의하여 주파수 변환되어 제공된다.

구체적으로, 내부 어드레스 발생장치는 제 1 어드레스 발생부(40)와 제 2 어드레스 발생부(42)를 구비하며, 제 1 어드레스 발생부(40)는 외부 어드레스 신호 ext_y0가 스위칭 소자 T3를 통하여 입력되도록 구성되며, 제 2 어드레스 발생부(42)는 외부 어드레스 신호 ext_y1이 스위칭 소자 T4를 통하여 입력되도록 구성된다. 그리고, 각 스위칭 소자 T3, T4는 비반전된 어드레스 세트 신호 add_set와, 인버터 INV8, INV9에 의하여 반전된 어드레스 세트 신호 add_set에 의하여 스위칭 동작이 수행되도록 구성된다.

그리고, 제 1 어드레스 발생부(40)는 내부 클럭신호 int_clk가 스위칭 소자 T5, T6에 비반전 상태와 인버터 INV11에 의하여 반전된 상태로 인가되도록 구성되고, 스위칭 소자 T5와 T6 사이에는 래치(44)가 구성되고, 스위칭 소자 T6의 출력 쪽에는 출력 래치(46)가 구성되어 내부 어드레스 신호 int_y0를 출력하도록 구성된다. 여기에서 내부 어드레스 신호 int_y0는 인버터 INV10를 통하여 스위칭 소자 T5의 입력으로 피드백되며, 스위칭 소자 T5와 래치(44)의 사이에는 스위칭 소자 T3에 의하여 스위칭되어 입력되는 외부 어드레스 신호 ext_y0가 인가된다. 그리고, 출력 래치(46)의 출력은 제 2 어드레스 발생부(42)의 입력으로 인가된다.

제 2 어드레스 발생부(42)는 제 1 어드레스 발생부(40)의 구성과 동일한 구성을 가지며, 제 2 어드레스 발생부(42)는 제 1 어드레스 발생부(40)의 출력 즉 내부 어드레스 신호 int_y0가 스위칭 소자 T7, T8에 비반전 상태와 인버터 INV13에 의하여 반전된 상태로 인가되도록 구성되고, 스위칭 소자 T7와 T8 사이에는 래치(48)가 구성되고, 스위칭 소자 T8의 출력 쪽에는 출력 래치(50)가 구성되어 내부 어드레스 신호 int_y1을 출력하도록 구성된다. 여기에서 내부 어드레스 신호 int_y1은 인버터 INV12를 통하여 스위칭 소자 T7의 입력으로 피드백되며, 스위칭 소자 T7와 래치(48)의 사이에는 스위칭 소자 T4에 의하여 스위칭되어 입력되는 외부 어드레스 신호 ext_y1이 인가된다.

상술한 바에 의하여 내부 어드레스 발생 장치는 도 7의 외부 클럭신호 ext_clk보다 두배의 주파수를 갖는 내부 클럭신호 int_clk로 동작되며, 이때 상술한 바와 같이 외부 어드레스 신호 ext_y0, ext_y1의 입력을 스위칭하는 어드레스 세트 신호 add_set도 내부 클럭신호 int_clk의 주파수에 의하여 변환된 주파수로 제공된다.

따라서, 도 6의 내부 어드레스 발생 장치는 내부 어드레스 신호 int_y0, int_y1이 조합된 내부 어드레스 int_add를 도 7과 같이 두 배의 속도로 발생하여 제공한다.

한편, 상술한 바와 같이 본 발명에 의하여 웨이퍼 레벨의 고속 동작을 테스트하기 위하여 외부 클럭신호 ext_clk보다 두 배의 주파수를 갖는 내부 클럭신호 int_clk가 명령 입력 버퍼나 내부 어드레스 발생 장치에 그대로 적용될 수 있다. 그러나, 데이터 입력 버퍼와 데이터 출력 버퍼는 필요에 따라서 테스트를 위하여 외부 클럭신호 ext_clk의 라이징 시점에 동기된 클럭신호와 폴링 시점에 동기된 클럭신호들으로써 테스트되도록 구성될 수 있다. 이를 위하여 도 8과 같은 클럭 발생회로(22)가 변형될 수 있다.

도 8의 클럭 발생회로(22)는 도 3의 클럭발생회로(26)의 출력을 인버터 INV100을 통하여 반전시켜서 외부 클럭신호 ext_clk의 라이징 시점에 동기되면서 그와 동일한 주파수를 갖는 라이징 동기 클럭신호 int_clk_r을 출력하고, 클럭발생회로(28)의 출력을 인버터 INV102를 통하여 반전시켜서 외부 클럭신호 ext_clk의 폴링 시점에 동기되면서 그와 동일한 주파수를 갖는 폴링 동기 클럭신호 int_clk_f를 출력하도록 구성된 것이며, 도 3과 중복되는 부품에 대한 도 8의 구성 및 작용에 대한 설명은 생략한다.

그리고, 도 8의 실시예에 의한 라이징 동기 클럭신호 int_clk_r과 폴링 동기 클럭신호 int_clk_f를 데이터 입력 버퍼와 데이터 출력 버퍼에 적용할 때 이들 부품에 적용될 신호의 극성을 고려하여 인버터가 제작자의 의도에 따라서 선택되어 구성될 수 있음은 자명하다.

이에 따라 도 9와 같이 데이터 입력 버퍼가 라이징 동기 클럭신호 int_clk_r과 폴링 동기 클럭신호 int_clk_f를 이용하여 웨이퍼 레벨에서 고주파 동작 테스트를 수행할 수 있도록 구성될 수 있다.

도 9를 참조하면, 데이터 입력 버퍼는 라이징 동기 클럭신호 int_clk_r가 입력되는 스위칭부(54)와 폴링 동기 클럭신호 int_clk_f가 입력되는 스위칭부(56)가 구성되며, 인버터 INV14들이 조합된 버퍼(52)가 외부로부터 입력되는 데이터 DI를 스위칭부(54)로 전달하기 위하여 구성되며, 래치(58)가 스위칭부(54, 56)의 출력을 저장한 후 데이터 DIO로 출력하도록 구성된다.

라이징 동기 클럭신호 int_clk_r이 입력되는 스위칭부(54)에는 양단에 스위칭 소자 T9, T10이 구성되며 이들 스위칭 소자 T9, T10의 사이에 래치(60)가 구성된다. 그리고, 스위칭소자 T9, T10에는 라이징 동기 클럭신호 int_clk_r과 인버터 INV15에 의하여 반전된 라이징 동기 클럭신호 int_clk_r이 각각 스위칭 동작을 위하여 인가된다.

그리고, 스위칭부(54)의 래치(60)는 스위칭부(56)의 인버터 INV17에 저장된 신호를 출력하도록 구성되며, 그에 따라서 스위칭부(56)는 인버터 INV17의 출력을 스위칭소자 T11에 입력하도록 구성되고, 스위칭소자 T11의 스위칭을 위하여 폴링 동기 클럭신호 int_clk_f가 비반전된 상태와 인버터 INV16에 의하여 반전된 상태로 스위칭소자의 게이트들로 인가되도록 구성된다.

상술한 구성에 의하여 도 9의 데이터 입력 버퍼는 웨이퍼 레벨의 고주파 테스트 모드의 경우 라이징 동기 클럭신호 int_clk_r에 의하여 스위칭부(54)에서 데이터를 스위칭하여 출력하고, 폴링 동기 클럭신호 int_clk_f에 의하여 스위칭부(56)에서 스위칭부(54)의 래치(60)의 출력 데이터를 스위칭하여 출력한다.

이와 같이 서로 다른 시점으로 스위칭부(54, 56)의 각 스위칭소자들이 스위칭됨으로써 데이터 DIo는 도 10와 같이 고주파로 스위칭되어서 래치(58)를 통하여 출력된다.

상기한 테스트 모드가 아닌 경우를 위해서 폴링 동기 클럭신호 int_clk_f가 스위칭소자 T11을 오픈시키도록 구성될 수 있으며, 그에 따라서 스위칭부(54)에 의해서만 데이터의 스위칭이 이루어진다.

또한, 도 9와 다르게 도 11과 같이 스위칭부(56a)가 도 8의 스위칭부(56)에 구성된 인버터 INV17를 배제하고 구성됨으로써 데이터의 입력의 고주파 스위칭이 이루어질 수 있다.

도 9의 경우 입력 데이터 DIi가 외부 클럭신호 ext_clk의 라이징에 동기되어 D1, D2, D3, D4로 입력되는 경우 출력 데이터 DIo는 D1, D1b, D2, D2b, D3, D3b, D4, D4b로 되며, 도 11의 경우 입력 데이터 DIi가 외부 클럭신호 ext_clk의 라이징에 동기되어 D1, D2, D3, D4로 입력되는 경우 출력 데이터 DIo는 D1, D1, D2, D2, D3, D3, D4, D4로 된다. 이때 D1b, D2b, D3b, D4b는 D1, D2, D3, D4의 네가티브 극성을 갖는 것을 의미한다.

한편, 상술한 라이징 동기 클럭신호 int_clk_r과 폴링 동기 클럭신호 int_clk_f가 이용되어서 웨이퍼 레벨에서 고속 동작 테스트가 이루어질 수 있는 데이터 출력 버퍼가 도 12와 같이 구성될 수 있다.

도 12를 참조하면, 라이징 동기 클럭신호 int_clk_r에 의하여 출력할 데이터 DOi가 스위칭되는 스위칭부(60)가 구성되고, 스위칭부(60)는 라이징 동기 클럭신호 int_clk_r과 인버터 INV19에 의하여 반전된 신호에 의하여 게이트 트랜지스터 T13이 동작되도록 구성된다.

그리고, 스위칭부(62)가 스위칭부(60)의 출력을 테스트 모드 신호 tm에 의하여 스위칭하도록 인버터 INV20와 게이트 T14로 구성되며, 래치(70)가 테스트 스위칭부(62)의 출력을 임시 저장하도록 구성된다. 그리고, 출력스위칭부(72)가 라이징 동기 클럭신호 int_clk_r과 이의 반전된 신호에 의하여 동작되는 게이트 T15, T16으로 구성되어서 스위칭부(62)와 래치(70)의 출력을 각각의 게이트 T15, T16로 스위칭하도록 구성된다.

그리고, 구동부(66)가 출력 스위칭부(72)의 출력을 반전 및 증폭하여 데이터 DOo를 출력하도록 구성된다. 여기에서 구동부(66)는 게이트 T15, T16의 출력측에 각각 연결된 인버터 INV21, INV22로 이루어지는 인버팅부(80)와, 이들의 출력이 게이트에 인가됨에 따라 엔모스 트랜지스터와 피모스 트랜지스터가 구동되어 데이터 DOo를 출력하는 출력구동부(82)가 구성된다.

한편, 폴링 동기 클럭신호 int_clk_f에 의하여 동작되어서 데이터 DOi를 스위칭하는 스위칭부(74)가 구성되며, 스위칭부(74)는 폴링 동기 클럭신호 int_clk_f와 인버터 INV23에 의하여 반전된 신호에 의하여 게이트 T17가 동작되도록 구성된다.

스위칭부(74)의 출력을 임시 저장하는 래치(78)가 구성되고, 조합부(76)가 스위칭부(74)의 출력노드 Na에 인가되는 데이터와 스위칭부(60)의 출력노드 Nb에 인가되는 데이터를 배타적논리합하여 노드 Nc로 출력하도록 구성된다.

조합부(76)는 게이트 T18과 게이트 T19 및 인버터 INV24를 구비하며, 게이트 T18를 이루는 엔모스 트랜지스터의 게이트와 게이트 T19를 이루는 피모스 트랜지스터의 게이트에 노드 Nb의 신호가 인가되고, 게이트 T18을 이루는 피모스 트랜지스터의 게이트와 게이트 T19를 이루는 엔모스 트랜지스터의 게이트에 노드 Na의 신호가 인버터 INV24에 의하여 반전되어 인가되도록 구성된다.

그리고, 조합부(76)의 출력이 인가되는 노드 Nc의 출력이 스위칭부(77)에 의하여 스위칭되어 노드 n1로 인가되도록 구성되며, 스위칭부(77)는 게이트 T20가 테스트 신호 tm와 인버터 INV25에 의하여 그의 반전된 신호에 의하여 구동되도록 구성된다.

상술한 바와 같이 구성됨으로써 테스트 모드 신호 tm에 의하여 테스트 모드인 경우 노드 n1에는 스위칭부(77)의 출력이 인가되고, 테스트 모드가 아닌 경우 노드 n1에는 스위칭부(62)의 출력이 인가된다.

따라서 테스트 모드가 아닌 경우 데이터 DOi는 스위칭부(60)를 거쳐서 노드 n1으로 출력되고, 노드 n1에 인가된 데이터는 래치(70)에 임시저장되면서 스위칭부(72)를 통하여 후단으로 전달된다. 그 결과 구동부(66)는 데이터 DOo를 출력한다. 이때 데이터 DOo는 외부 클럭신호 ext_clk와 동일한 주파수를 갖는 라이징 동기 클럭신호 int_clk_r에 의하여 스위칭되면서 출력된 것이다.

테스트 모드인 경우, 폴링 동기 클럭신호 int_clk_f에 의하여 래치(78)에 입력되는 데이터 Doi가 저장되고, 노드 Na에는 래치(78)에 임시 저장된 신호가 인가된다. 그리고, 노드 Nb에는 스위칭부(60)의 출력이 인가된다.

그에 따라서 조합부(76)는 노드 Na와 노드 Nb에 인가된 신호를 배타적논리합하여 출력한다. 그러므로, 노드 Na와 노드 Nb가 논리적 레벨이 같은 경우 노드 Nc에 하이 레벨이 인가되고, 노드 Na와 노드 Nb가 논리적 레벨이 다른 경우 노드 Nc에 로우 레벨이 인가된다.

즉, 노드 Na와 노드 Nb에 인가되는 신호 상태가 모두 논리적 하이 레벨로 같은 경우 게이트 T18이 턴온되어 노드 Nc에 논리적 하이 레벨의 신호가 출력된다.

그리고, 노드 Na와 노드 Nb에 인가되는 신호 상태가 모두 논리적 로우 레벨로 같은 경우 게이트 T19가 턴온되어 노드 Nc에는 논리적 하이 레벨의 신호가 출력된다.

또한, 노드 Na에 논리적 하이 레벨 신호가 인가되고, 노드 Nb에 논리적 로우 레벨 신호가 인가되면, 게이트 T18이 턴온되어 노드 Nc에는 논리적 로우 레벨의 신호가 출력된다.

그리고, 노드 Na에 논리적 로우 레벨 신호가 인가되고, 노드 Nb에 논리적 하이 레벨 신호가 인가되면, 게이트 T19가 턴온되어 노드 Nc에는 논리적 로우 레벨의 신호가 출력된다.

결국 조합부(76)는 D1, D2, D3, D4의 순으로 입력되는 데이터 DOi를 D1*D2, D3*D4의 순으로 압축(compress)하여 노드 Nc로 출력한다.

이와 같이 노드 Nc에 인가된 신호는 스위칭부(77)에서 스위칭된 후 래치(70)에 임시 저장되며, 래치(70)에 저장되어서 노드 n1에 인가된 신호는 스위칭부(72)에 의하여 라이징 동기 클럭신호 int_clk_r에 의하여 노드 n2, n3를 통하여 구동부(66)로 전달되며, 구동부(66)는 이루써 데이터 DOo를 출력한다.

결국, 도 13과 같이 테스트 모드의 경우, 외부 클럭신호 ext_clk의 라이징 시점과 폴링 시점에 각각 동기되는 클럭신호 int_clk_r, int_clk_f에 의하여 테스트 모드의 경우 데이터 DOi가 데이터 DOo로 출력된다.

상술한 바와 같이 테스트 장비에서 고주파를 지원하지 않는 등의 환경에서도 본 발명에 의하여 웨이퍼 레벨에서 고주파 동작에 따른 오류를 체크할 수 있다.

즉, 테스트 장비에서 테스트를 위한 클럭신호를 30MHz나 60MHz를 지원하더라도 테스트 모드로 설정되면 반도체 메모리 장치 자체에서 60MHz나 120MHz의 주파수를 갖도록 동작될 수 있다. 그러므로, 명령 신호의 처리 부분, 어드레스 처리 부분 또는 데이터 입출력 처리 부분 등의 동작이 복합적으로 고속 동작 환경에서 테스트 될 수 있다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 웨이퍼 레벨에서 고속 동작 테스트가 가능하여 패키지 레벨에서 고속 동작 테스트 시 불량률이 줄어들어서 반도체 메모리 장치의 수율이 향상되는 효과가 있다.

또한, 본 발명에 의하면, 테스트 장비의 환경에 제한없이 웨이퍼 레벨에서 고속 동작 테스트가 이루어질 수 있는 효과가 있다.

또한, 본 발명에 의하면 웨이퍼 레벨에서 고속 동작 테스트가 가능해지므로 셀의 결함 유무와 더불어 데이터의 입출력을 포함하는 고속 동작에서 발생하는 문제점이 체크될 수 있는 효과가 있다.

아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명의 사상과 범위 안에서 다양할 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1.

외부 클럭신호에 의하여 변환된 내부 클럭신호에 동기하여 내부 명령과 어드레스를 처리하는 반도체 메모리 장치에 있어서,

상기 외부 클럭신호를 비반전하여 제 1 신호로 출력하는 제 1 신호 출력 수단;

테스트 모드일 때 상기 외부 클럭신호가 반전된 신호이고, 정상 모드일 때 일정 레벨 신호인 제 2 신호를 출력하는 제 2 신호 출력 수단;

상기 제 1 신호를 이용하여 상기 외부 클럭신호의 라이징 시점에 동기된 제 1 클럭신호를 출력하는 제 1 클럭 발생 수단;

상기 제 2 신호를 이용하여 테스트 모드일 때 상기 제 2 클럭신호를 출력하고, 정상 모드일 때 일정한 레벨을 갖는 제 3 신호를 출력하는 제 2 클럭 발생 수단; 및

상기 제 1 클럭 발생 수단과 제 2 클럭 발생 수단의 출력 신호를 조합하여 상기 테스트 모드와 상기 정상 모드에 대응되는 내부 클럭신호를 생성하여 출력하는 논리조합 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 2.

제 1 항에 있어서,

상기 내부 클럭신호는 상기 테스트 모드에서 상기 외부 클럭신호의 라이징 시점과 폴링 시점에 동기되면서 상기 외부 클럭신호의 두 배의 주파수를 가짐을 특징으로 하는 반도체 메모리 장치.

청구항 3.

삭제

청구항 4.

제 1 항에 있어서, 상기 제 2 신호 출력 수단은,

상기 테스트 모드와 상기 정상 모드를 결정하는 테스트 모드 제어 신호와 상기 외부 클럭신호를 조합하는 낸드게이트; 및

상기 낸드 게이트의 출력을 인버팅하는 인버터를 구비함을 특징으로 하는 반도체 메모리.

청구항 5.

제 1 항에 있어서, 상기 제 1 클럭 발생 수단은,

상기 제 1 신호를 소정시간 지연시키는 제 1 지연수단; 및

상기 제 1 신호와 상기 제 1 지연수단의 출력을 논리조합하여 상기 외부 클럭신호와 동일한 주파수의 제 1 클럭신호를 출력하는 논리 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 6.

제 1 항에 있어서, 상기 제 2 클럭 발생 수단은,

상기 제 2 신호를 소정시간 지연시키는 제 2 지연수단; 및

상기 제 2 신호와 상기 제 2 지연수단의 출력을 논리조합하여 상기 외부 클럭신호와 동일한 주파수의 제 2 클럭신호를 출력하는 논리 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 7.

제 1 항에 있어서,

상기 제 1 클럭 발생 수단의 신호를 출력하는 제 1 출력 수단; 및

상기 제 2 클럭 발생 수단의 신호를 출력하는 제 2 출력 수단이 더 구비되어 상기 제 1 클럭신호와 상기 제 2 클럭신호를 테스트 모드를 위한 내부 클럭신호로 각각 제공함을 특징으로 하는 반도체 메모리 장치.

청구항 8.

외부 클럭신호에 의하여 변환된 내부 클럭신호에 동기하여 데이터의 입력과 출력을 수행하는 반도체 메모리 장치에 있어서,

상기 외부 클럭신호를 비반전하여 제 1 신호로 출력하는 제 1 신호 출력 수단;

테스트 모드일 때 상기 외부 클럭신호가 반전된 신호이고, 정상 모드일 때 일정 레벨 신호인 제 2 신호를 출력하는 제 2 신호 출력 수단;

상기 제 1 신호를 이용하여 상기 외부 클럭신호의 라이징 시점에 동기된 제 1 클럭신호를 출력하는 제 1 클럭 발생 수단;

상기 제 2 신호를 이용하여 테스트 모드일 때 상기 제 2 클럭신호를 출력하고, 정상 모드일 때 일정한 레벨을 갖는 제 3 신호를 출력하는 제 2 클럭 발생 수단; 및

상기 제 1 클럭 발생 수단과 제 2 클럭 발생 수단의 출력 신호를 조합하여 상기 테스트 모드와 상기 정상 모드에 대응되는 내부 클럭신호를 생성하고, 상기 제 1 클럭신호를 구동하여 라이징 동기 클럭신호를 발생하고, 상기 제 2 클럭신호를 구동하여 폴링 동기 클럭신호를 발생하는 제1 논리조합 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 9. 삭제

청구항 10.

제 8 항에 있어서, 상기 제 2 신호 출력 수단은,

상기 테스트 모드와 상기 정상 모드를 결정하는 테스트 모드 제어 신호와 상기 외부 클럭신호를 조합하는 낸드게이트; 및

상기 낸드 게이트의 출력을 반전하는 인버터를 구비함을 특징으로 하는 반도체 메모리.

청구항 11.

제 8 항에 있어서, 상기 제 1 클럭 발생 수단은,

상기 제 1 신호를 소정시간 지연시키는 제 1 지연수단; 및

상기 제 1 신호와 상기 제 1 지연수단의 출력을 논리조합하여 상기 외부 클럭신호와 동일한 주파수의 제 1 클럭신호를 출력하는 제 2 논리조합 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 12.

제 8 항에 있어서, 상기 제 2 클럭 발생 수단은,

상기 제 2 신호를 소정시간 지연시키는 제 2 지연수단; 및

상기 제 2 신호와 상기 제 2 지연수단의 출력을 논리조합하여 상기 외부 클럭신호와 동일한 주파수의 제 2 클럭신호를 출력하는 제 3 논리조합 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 13.

제 8 항에 있어서,

상기 라이징 동기 클럭신호와 상기 폴링 동기 클럭신호에 따라 상기 데이터의 입력을 제어하는 데이터 입력 버퍼를 더 포함하되, 상기 데이터 입력 버퍼는,

상기 라이징 동기 클럭신호에 의하여 상기 데이터를 임시 저장하여 출력하도록 스위칭하는 제 1 스위칭 수단;

상기 폴링 동기 클럭신호에 의하여 상기 제 1 스위칭 수단에 임시 저장된 데이터를 스위칭하여 출력하는 제 2 스위칭 수단; 및

상기 제 1 스위칭 수단과 상기 제 2 스위칭 수단으로부터 출력되는 데이터를 조합하여 임시저장한 후 출력하는 제 1 저장 수단을 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 14.

제 13 항에 있어서, 상기 제 1 스위칭 수단은,

상기 데이터를 상기 라이징 동기 클럭신호에 의하여 스위칭하는 제 1 스위칭 부;

상기 제 1 스위칭부에서 스위칭되어 출력되는 데이터를 임시 저장하는 래치; 및

상기 래치에 저장된 데이터를 상기 라이징 동기 클럭신호에 의하여 스위칭하는 제 2 스위칭 부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 15.

제 14 항에 있어서, 상기 제 2 스위칭 수단은,

상기 래치에 임시 저장된 데이터를 입력받는 입력 수단; 및

상기 폴링 동기 클럭신호에 의하여 스위칭되어 상기 입력 수단의 데이터를 선택적으로 상기 제 1 저장수단으로 출력하는 제 3 스위칭 부를 구비함을 특징으로 하는 반도체 메모리 장치.

청구항 16.

제 15 항에 있어서,

상기 입력수단은 상기 래치의 데이터를 반전없이 상기 제 3 스위칭부로 전달하도록 구성됨을 특징으로 하는 반도체 메모리 장치.

청구항 17.

제 8 항에 있어서,

상기 라이징 동기 클럭신호와 상기 폴링 동기 클럭신호에 따라 상기 데이터를 출력하는 데이터 출력 버퍼를 더 포함하되, 상기 데이터 출력 버퍼는,

상기 라이징 동기 클럭신호에 의하여 상기 출력될 데이터를 스위칭하는 제 3 스위칭 수단;

상기 폴링 동기 클럭신호에 의하여 상기 출력될 데이터를 스위칭하는 제 4 스위칭 수단;

상기 제 3 및 제 4 스위칭 수단의 출력을 배타적논리곱하여 출력하는 논리수단;

정상 모드에서 상기 제 3 스위칭수단의 출력을 전달하는 제 5 스위칭 수단;

테스트 모드에서 상기 논리수단의 출력을 전달하는 제 6 스위칭 수단;

상기 제 5 스위칭수단과 상기 제 6 스위칭 수단을 공통노드로 인가받아서 임시 저장하는 제 3 래치;

상기 공통노드와 상기 제 3 래치에 임시저장된 신호를 출력하는 제 2 출력수단을 구비하여 이루어짐을 특징으로 하는 반도체 메모리 장치.

청구항 18.

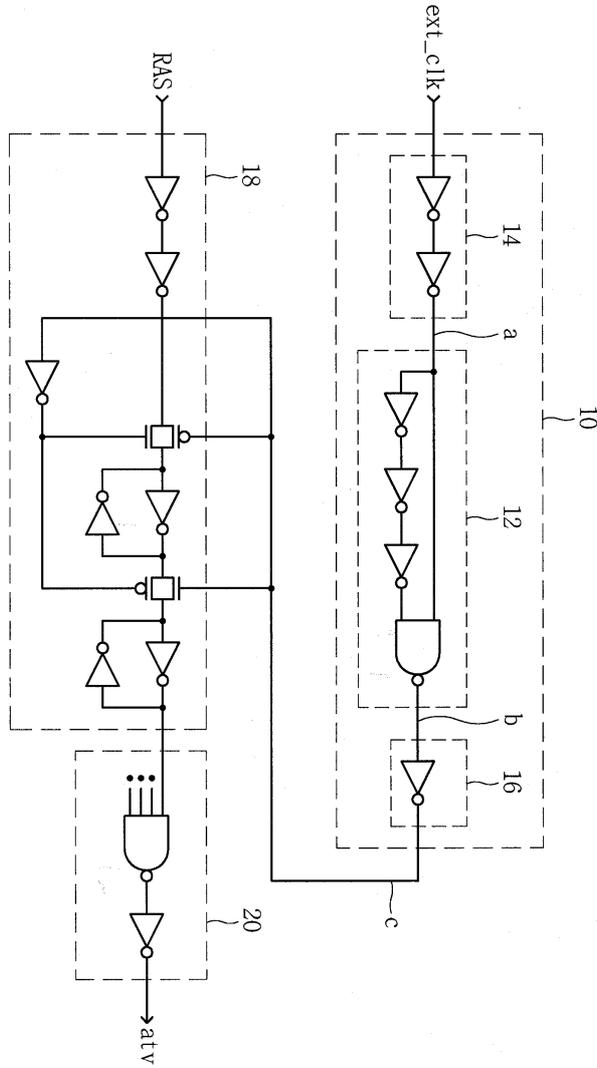
제 17 항에 있어서, 상기 논리수단은,

상기 제 4 스위칭 수단(18)의 출력을 임시 저장하는 제 4 래치와;

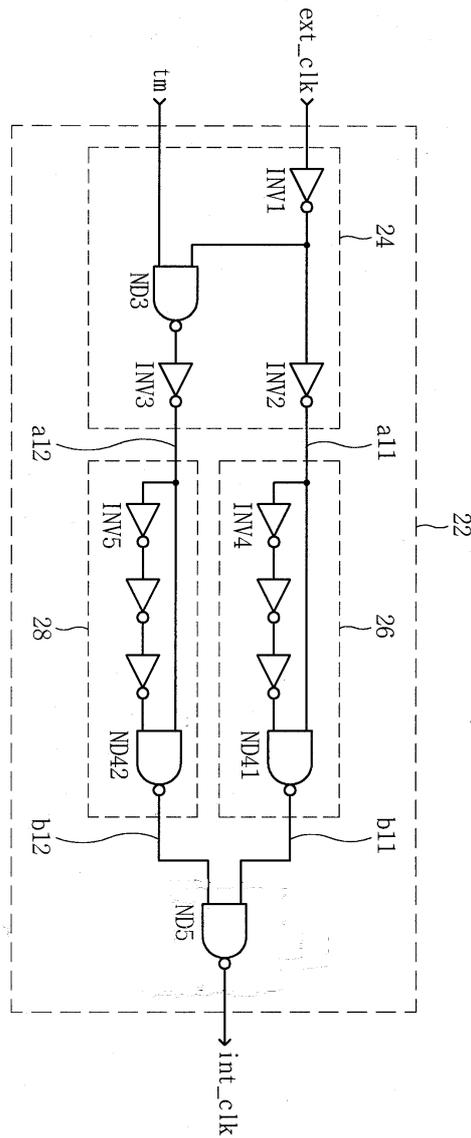
상기 제 4 스위칭 수단(18)의 출력과 상기 래치의 데이터를 상기 제 3 스위칭 수단(12)의 출력과 배타적논리곱하여 출력하는 조합부를 구비하여 이루어짐을 특징으로 하는 반도체 메모리 장치.

도면

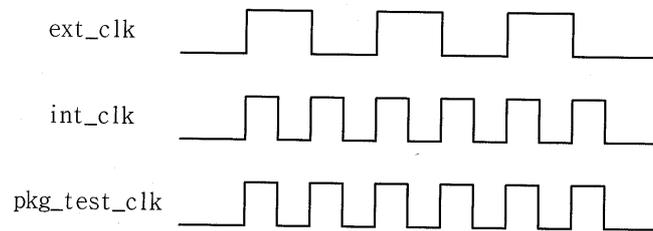
도면1



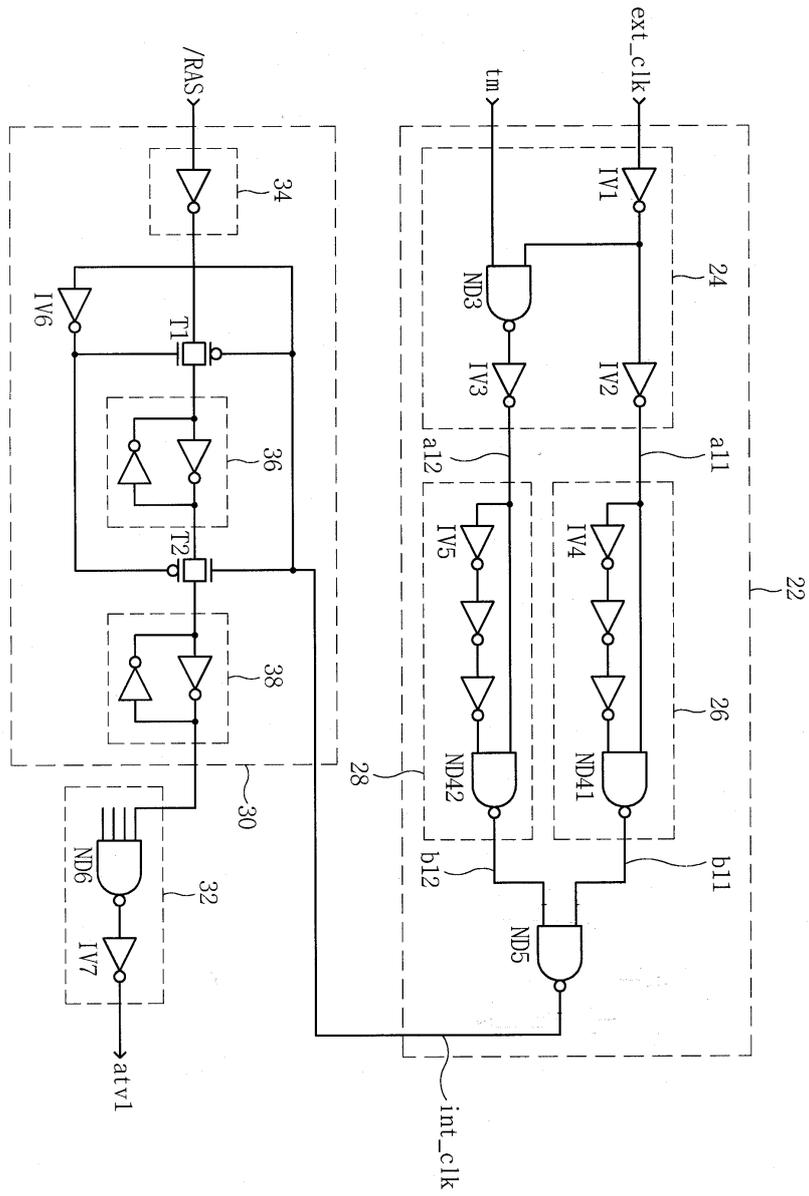
도면2



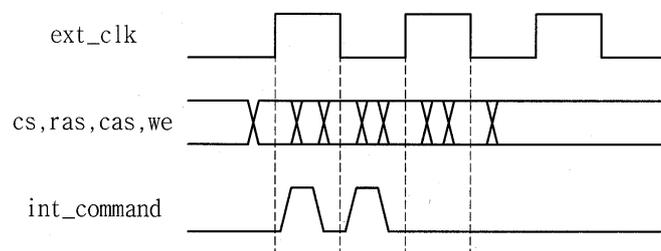
도면3



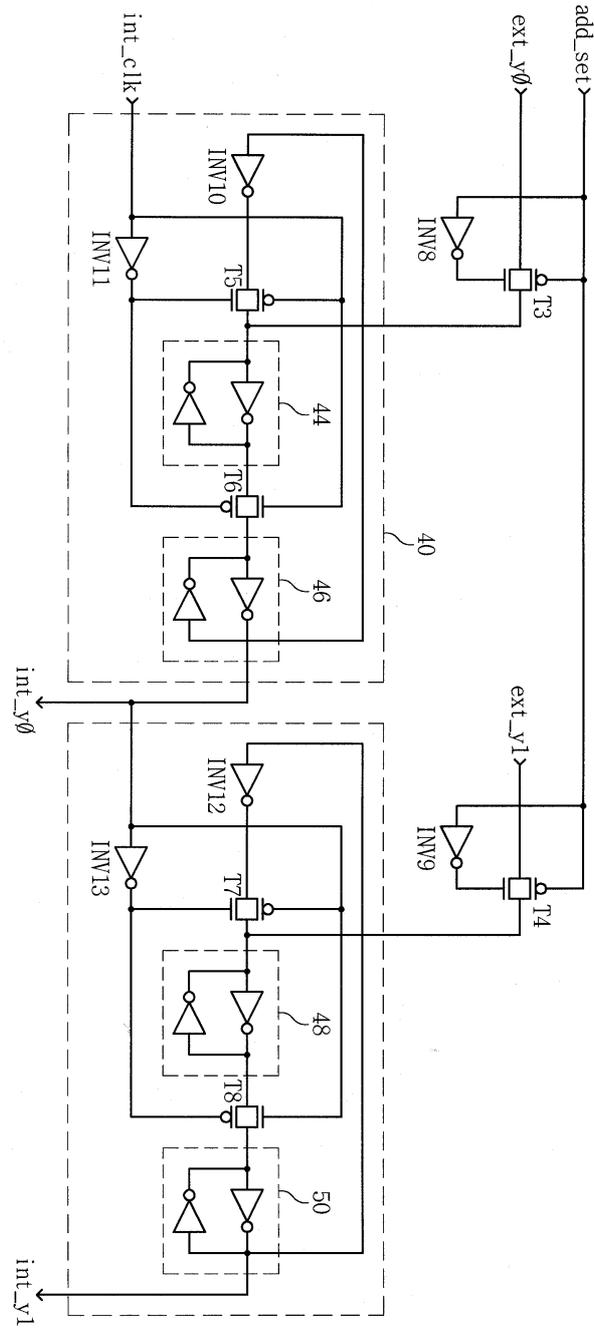
도면4



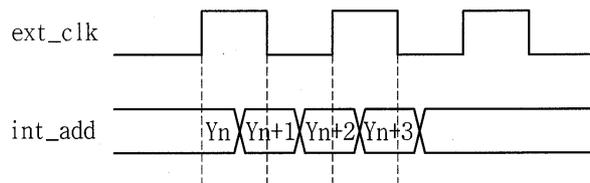
도면5



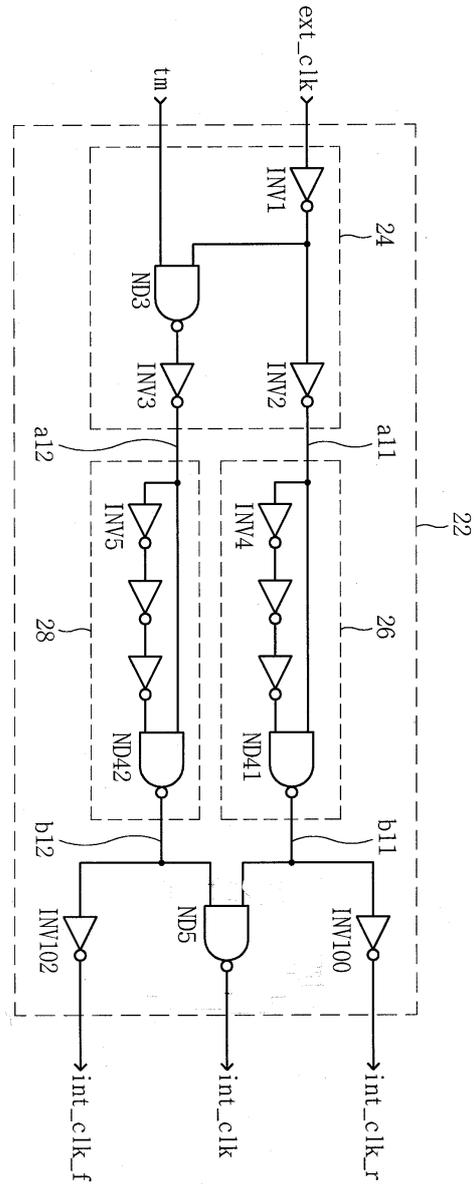
도면6



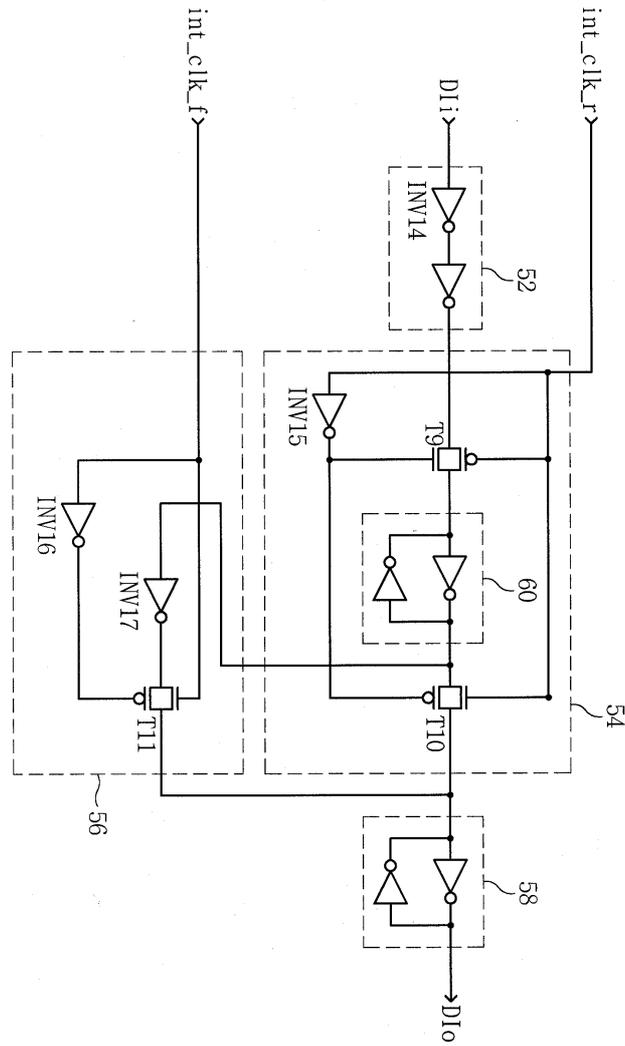
도면7



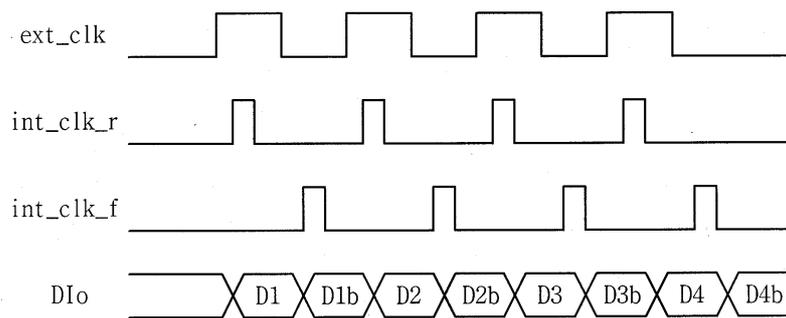
도면8



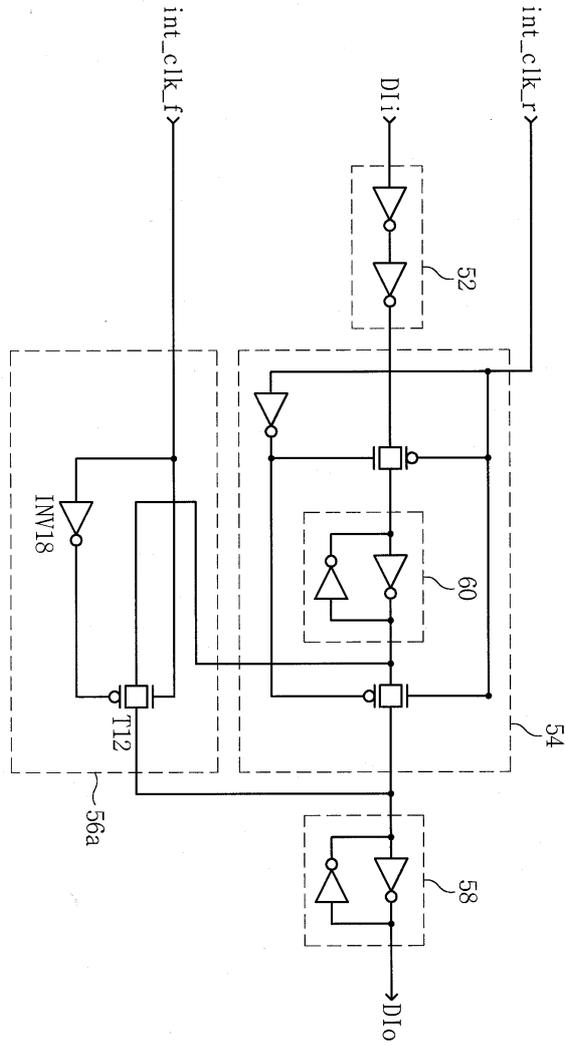
도면9



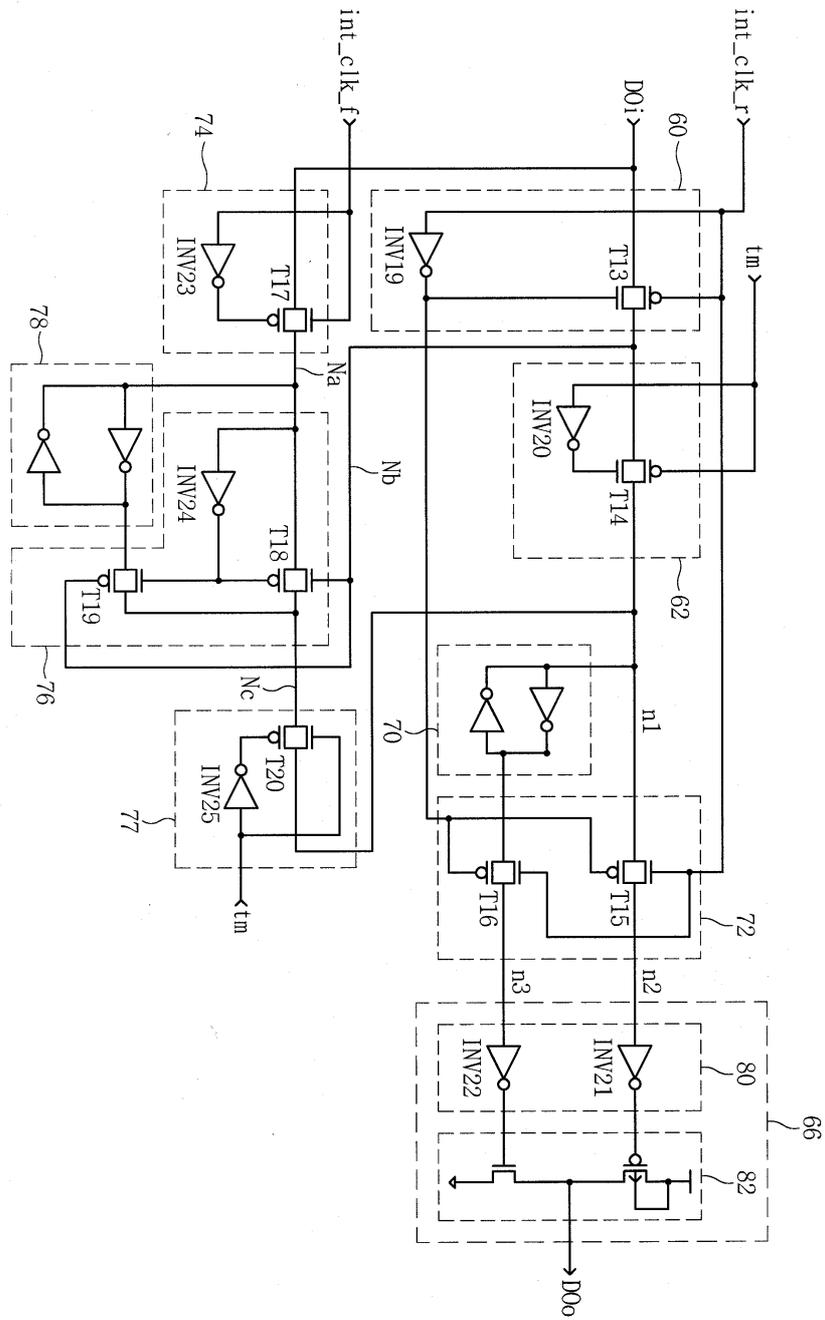
도면10



도면11



도면12



도면13

