



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0083575
(43) 공개일자 2022년06월20일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 21/66 (2006.01) G01R 27/26 (2006.01)
H01L 21/28 (2006.01)</p> <p>(52) CPC특허분류
H01L 22/14 (2013.01)
G01R 27/2605 (2013.01)</p> <p>(21) 출원번호 10-2021-0157131
(22) 출원일자 2021년11월16일
심사청구일자 2021년11월16일</p> <p>(30) 우선권주장
1020200173729 2020년12월11일 대한민국(KR)</p> | <p>(71) 출원인
울산대학교 산학협력단
울산광역시 남구 대학로 93(무거동)</p> <p>(72) 발명자
김태우
대구광역시 수성구 청호로 370, 102동 908호(범어동, 장원아파트)</p> <p>(74) 대리인
특허법인다나</p> |
|--|--|

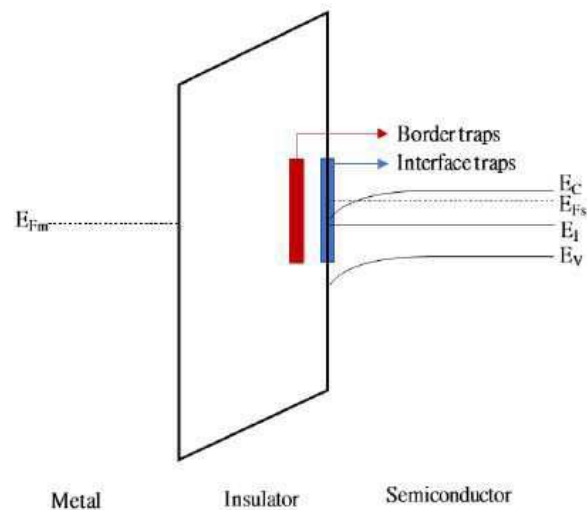
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 양자 커패시터의 산화물 두께를 고려한 표면트랩준위 추출 방법

(57) 요약

본 발명은 양자 커패시터의 산화물 두께를 고려한 표면트랩준위 추출 방법에 관한 것으로, III-V족 화합물 장치에서 양자 역학적 구속 효과를 고려하여 커패시터 등가 두께(CET)를 이용하여 계면 트랩 및 경계 트랩 밀도를 추출함으로써, 보다 정확한 표면트랩준위의 측정이 가능한 효과가 있다.

대표도 - 도1a



(52) CPC특허분류

H01L 21/28008 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415165894
과제번호	19-CM-BD-05-MKE
부처명	산업통상자원부
과제관리(전문)기관명	국방과학연구소
연구사업명	민군기술협력(R&D)(산업부)
연구과제명	초고주파 대역용 3D TIV 집적화 공정 및 적층형 InP/GaN 소자 기술 개발
기 여 율	1/1
과제수행기관명	한국전자통신연구원
연구기간	2020.01.01 ~ 2020.12.31

명세서

청구범위

청구항 1

III-V족 화합물 반도체 및 하이-k(high-k) 유전체를 포함하는 장치에서 계면 트랩(interface trap) 및 경계 트랩(border trap) 밀도를 포함하는 표면트랩준위의 추출 방법으로서,

계면 트랩 및 경계 트랩 밀도를 커패시턴스 등가 두께(Capacitance equivalent thickness, CET)를 이용하여 측정하는 것을 특징으로 하는 표면트랩준위의 추출 방법.

청구항 2

제1항에 있어서,

III-V족 화합물 반도체 및 하이-k 유전체는 0.5 내지 1V의 게이트 전압 범위에서 하기 일반식 1을 만족하는 것을 특징으로 하는 표면트랩준위의 추출 방법:

[일반식 1]

$$E_2 - E_F < 0$$

상기 식 1에서, E_F 는 페르미 준위(eV)이고, E_2 는 2번째 서브 밴드의 에너지 준위(eV)이다.

청구항 3

제1항에 있어서,

III-V족 화합물 반도체는 갈륨아세나이드(GaAs), 인듐갈륨아세나이드(InGaAs) 및 인듐포스페이트(InP)로 이루어진 군에서 선택된 적어도 하나인 표면트랩준위의 추출 방법.

청구항 4

제1항에 있어서,

하이-k 유전체는 알루미늄(Al), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti) 및 란탄(La)으로 이루어진 군에서 선택된 적어도 하나의 산화물을 포함하는 표면트랩준위의 추출 방법.

청구항 5

제1항에 있어서,

커패시턴스 등가 두께(CET)는 하기 식 19에 의해 측정되는 표면트랩준위의 추출 방법:

[식 19]

$$CET = \frac{3.9 \times \epsilon_0}{C_{acc}}$$

상기 식 19에서,

ϵ_0 은 전체 하이-k 유전체의 유전율이고,

C_{acc} 는 1 V 게이트 전압에서 100 KHz 진동수로부터 측정된 정전용량 값이다.

청구항 6

제1항에 있어서,

계면 트랩 밀도(D_{it})는 하기 식 12를 이용하여 측정되는 것인 표면트랩준위의 추출 방법:

[식 12]

$$D_{it} \approx \frac{2.5}{Aq} \left(\frac{G_p}{\omega} \right)_{\max}$$

상기 식 12에서,

A는 장치 면적이고, q는 전하이며, G_p 는 등가 병렬 전도도이고, ω 는 각진동수이다.

청구항 7

제6항에 있어서,

상기 등가 병렬 전도도는 하기 식 11에 의해 측정되는 표면트랩준위의 추출 방법:

[식 11]

$$G_p = \frac{\omega^2 C_{ox} G_c}{G_c^2 + \omega^2 (C_{ox} - C_c)^2}$$

상기 식 11에서,

C_{ox} 는 하이-k 유전체의 전도도이고, G_c 는 보정된 전도도이며, C_c 는 보정된 정전용량이다.

청구항 8

제7항에 있어서,

상기 보정된 정전용량 및 보정된 전도도는 각각 하기 식 9 및 식 10에 의해 보정된 것인 표면트랩준위의 추출 방법:

[식 9]

$$C_c = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{[G_m - (G_m^2 + \omega^2 C_m^2) R_s]^2 + \omega^2 C_m^2}$$

[식 10]

$$G_c = \frac{(G_m^2 + \omega^2 C_m^2) [G_m - (G_m^2 + \omega^2 C_m^2) R_s]}{[G_m - (G_m^2 + \omega^2 C_m^2) R_s]^2 + \omega^2 C_m^2}$$

상기 식 9 및 식 10에서,

G_m 은 측정된 전도도이고, C_m 은 측정된 정전용량이며, R_s 는 직렬 저항이다.

청구항 9

제8항에 있어서,

상기 직렬 저항은 하기 식 8에 의하여 측정되는 표면트랩준위의 추출 방법:

[식 8]

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2}$$

상기 식 8에서,

C_{ma} 및 G_{ma} 는 각각 축적된 상태에서 측정된 정전용량 및 전도도이다.

청구항 10

제7항에 있어서,

상기 하이-k 유전체의 정전용량은 전체 하이-k 유전율을 CET로 나누어 계산된 것인 표면트랩준위의 추출 방법.

청구항 11

제1항에 있어서,

경계 트랩 밀도(N_{bt})는 하기 식 16을 이용하여 측정되는 것인 표면트랩준위의 추출 방법:

[식 16]

$$\frac{\partial Y}{\partial x} = -\frac{Y^2}{j\omega\epsilon_{ox}} + \frac{q^2 N_{bt} \ln(1 + j\omega\tau)}{\tau}$$

상기 식 16에서,

$x = 0$ 이고, Y 는 전체 어드미턴스로서 $Y = j\omega C_s$ 이며,

j 는 복소수의 허수부이고, ω 는 각진동수이며, C_s 는 반도체의 정전용량이고,

τ 는 전자를 포획하기 위한 빈 트랩에 대한 평균 시간이며, ϵ_{ox} 는 유효 상대 유전율이다.

청구항 12

제11항에 있어서,

상기 전자를 포획하기 위한 빈 트랩에 대한 평균 시간은 하기 식 13에 의해 정의되는 표면트랩준위의 추출 방법:

[식 13]

$$\tau = \tau_0 e^{2kx}$$

상기 식 13에서,

t_0 는 포획/방출 시간 상수이고, k 는 감쇠 상수이며,

상기 감쇠 상수는 하기 식 13-1에 의해 정의되고,

[식 13-1]

$$k = \frac{\sqrt{2m^* \times E_b}}{\hbar}$$

상기 식 13-1에서,

m^* 는 절연체의 유효 질량이고, E_b 는 절연체와 반도체 전도대 사이의 에너지 장벽의 높이이며 $\hbar$ 는 감소된 플랑크 상수이다.

청구항 13

제1항에 있어서,

계면 트랩 밀도(D_{it})는 전도도 방법(conductance method)을 이용하고,

경계 트랩 밀도(N_{bt})는 분산된 경계 트랩 모델(distributed border trap model)을 이용하는 표면트랩준위의 추출 방법.

발명의 설명

기술 분야

[0001] 본 발명은 양자 커패시터의 산화물 두께를 고려한 표면트랩준위 추출 방법에 관한 것이다.

배경 기술

[0002] 기존 Si/SiO₂ 금속-산화물-반도체 장치의 확장성이 한계점에 도달하여, 높은 전자 이동도로 장치의 속도를 크게 증가시키고 소비 전력을 감소시킬 수 있는 고유전율(하이-k(high-k)) 유전체를 이용하는 절연체 및 III-V족 화합물 반도체를 이용하는 채널에 대한 연구가 진행되고 있다.

[0003] 특히, Al₂O₃, HfO₂, La₂O₃, ZrO₂ 및 HfAlO_x와 같은 고유전율 물질과 그들의 나노적층물(nanolaminates)은 SiO₂의 대체재로서 광범위하게 연구되고 있으며, 뛰어난 전자 수송 특성을 갖는 In_xGa_{1-x}As는 채널 물질로서 Si의 대체물로 고려되고 있다.

[0004] SiO₂/Si 장치에 비하여, 하이-k/Si 및 하이-k/III-V족 산화물-반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field-effect-transistors; MOSFETs)는 등가-산화물-두께(equivalent-oxide-thickness; EOT) 스케일링에서 이점을 가진다. EOT 스케일링에서 고유전율의 유전체는 실리콘 유전체에 비하여 높은 스위칭 속도를 가지면서도 낮은 누설 전류(leak current)를 나타내고, In_xGa_{1-x}As와 같은 III-V족 화합물 반도체는 높은 전자 이동 속도를 가지고 있어 Si에 비해 더 좋은 전자 수송 특성을 나타낼 수 있으며, 이러한 높은 전자 이동성은 높은 on-state 전류 및 더 빠른 스위칭 속도에 기여할 수 있다.

[0005] 그러나 이러한 높은 전자 이동성은 III-V족 화합물 반도체의 낮은 유효 질량(effective mass)에 의한 것이며, 이는 채널층에 대해 낮은 상태 밀도(density of states; DOS)를 야기한다. 이러한 낮은 DOS 때문에, 강한 반전 페르미 준위(inversion Fermi level; E_F)는 전도대(conduction band; E_C) 내로 이동하고, 이러한 현상은 산화물과 채널 사이의 유효 장벽 높이(effective barrier height)를 감소시켜 채널 전자들과 함께 산화물 트랩(trap)

의 터널링을 통한 충전/방전을 초래한다.

- [0007] MOSFETs에서 절연층과 채널층 사이에서 발생하는 하전된 결함(charged defects)은 대부분 계면 트랩(interface traps; D_{it})과 경계 트랩(border traps; N_{bt})이다. 도 1a 및 도 1b를 참고하면, 계면 트랩(D_{it})은 절연체와 채널의 계면에 위치한다. 반면에 경계 트랩(N_{bt})은 채널 밴드 갭 내의 에너지 준위를 갖는 채널과 절연체의 계면 근처의 절연체 내에 위치한다. 캐리어를 채널 물질로 교체함으로써, 이러한 트랩들이 전하 상태를 변경하여 장비 성능을 상당히 감소시킬 수 있다. 이러한 트랩들은 페르미 준위 고정(pinning)을 유발하고 채널에서 캐리어 생성을 낮추어 구동 전류(drive current) 및 문턱이하 스윙(sub-threshold swing; SS)을 감소시킨다.
- [0008] 계면 트랩(D_{it})을 추출하는 방법으로 전도도 방법(conductance method) 및 경계 트랩(N_{bt})을 추출하는 방법으로 분산된 경계 트랩 모델(distributed border trap model) 방법이 알려져 있다. 두 방법 모두 트랩의 추출을 위하여 측정된 게이트 정전용량(C_m)과 전도도(G_m) 특성을 이용한다. 전체 게이트 정전용량(C_g)은 절연체 정전용량(C_{ins}) 및 반전층 정전용량(C_{inv})의 직렬연결로 모델화할 수 있다. 반전층 정전용량(C_{inv})은 양자 정전용량(C_q)과 중심 정전용량(C_{cent})으로 알려진 두 개의 직렬 정전용량에 의해 나타낼 수 있다. 양자 정전용량(C_q)은 전도대(E_c) 내부에 페르미 준위(E_f)의 주입으로 발생하고, 중심 정전용량은 절연체 및 채널의 계면에서 평균 전하 거리와 관련이 있다.
- [0009] 기존 Si-기반 MOS 장치에서는 양자 정전용량(C_q) 및 중심 정전용량(C_{cent})의 값이 비교적 크기 때문에 전체 게이트 정전용량(C_g)은 산화물 정전용량(C_{ox})에 근접한다. 그러나 소규모 III-V족 기반 MOS 장치에서 이러한 정전용량들은 더욱 작아지는 경향이 있고 산화물 정전용량(C_{ox})과 비슷하며 전체 게이트 정전용량(C_g)을 더욱 작게 만든다.
- [0010] 그런데, 계면 트랩(D_{it}) 및 경계 트랩(N_{bt})을 추출하기 위한 산화물 두께를 결정하는 데 있어서, 일반적으로 물리적 두께(t_{ox}) 또는 EOT가 고려되고 있으나, III-V족 기반 MOS 장치에서는 물리적 두께(t_{ox}) 또는 EOT를 통해서는 앞서 언급한 다양한 요인들이 고려되지 않는 문제가 있다.

발명의 내용

해결하려는 과제

- [0012] 본 발명의 목적은 하이-k(high-k) 유전체 및 III-V족 화합물 반도체를 포함하는 장치에서 계면 트랩 및 경계 트랩을 포함하는 표면트랩준위를 양자 효과를 고려하여 명확하게 추출하는 방법을 제공하는 것이다.

과제의 해결 수단

- [0014] 본 발명은 하이-k(high-k) 유전체 및 III-V족 화합물 반도체를 포함하는 장치에서 양자 효과를 고려할 수 있는 커패시턴스 등가 두께(Capacitance equivalent thickness, CET)를 이용하여 계면 트랩 및 경계 트랩을 포함하는 표면트랩준위를 추출 방법을 제공한다.
- [0015] 상기 장치는 집적 회로를 포함한다. 상기 집적 회로는 메모리 셀, 로직 회로, 저항, 커패시터, 인덕터, 퓨즈, MOSFET(metal-oxide-semiconductor field effect transistor), CMOS(complementary metal-oxide-semiconductor transistor), 고전압 트랜지스터 또는 고주파수 트랜지스터일 수 있다.
- [0016] 상기 III-V족 화합물 반도체 및 하이-k 유전체는 0.5 내지 1V의 게이트 전압 범위에서 하기 일반식 1을 만족하는 것일 수 있다.
- [0017] [일반식 1]
- [0018] $E_2 - E_F < 0$

[0019] 상기 식 1에서, E_F 는 페르미 준위(eV)이고, E_2 는 2번째 서브 밴드의 에너지 준위(eV)이다.

[0020] 또한, 상기 III-V족 화합물 반도체는 갈륨아세나이드(GaAs), 인듐갈륨아세나이드(InGaAs) 및 인듐포스페이트(InP)로 이루어진 군에서 선택된 적어도 하나일 수 있다.

[0021] 상기 하이-k 유전체는 알루미늄(Al), 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti) 및 란탄(La)으로 이루어진 군에서 선택된 적어도 하나의 산화물을 포함할 수 있으며, 예를 들어, 상기 하이-k 유전체는 Al_2O_3 , HfO_2 , La_2O_3 , ZrO_2 및 $HfAlO_x$ 에서 선택된 적어도 하나일 수 있다.

[0022] 도 2a를 참고하면, III-V족 화합물 MOS 장치의 전체 게이트 정전용량(C_g)은 채널 아래에 도핑 레벨이 없는 것을 고려하여 절연체 정전용량(C_{ins}) 및 반전층 정전용량(C_{inv})의 직렬 조합으로 나타낼 수 있다.

[0023] 반전층 정전용량(C_{inv})은 직렬로 연결된 양자 정전용량($C_{q,i}$)과 중심 정전용량($C_{cent,i}$)의 여러 개의 병렬 조합으로 구성되고, 이는 채널에서 각자 점유된 전자 서브 밴드(sub-band)의 기여를 나타낸다. 전체 반전층 정전용량은 하기 식 1과 같이 나타낼 수 있다.

[0024] [식 1]

$$C_{inv_i} = \frac{\partial(-Q_s)}{\partial\psi_s} = \frac{q\partial(-Q_s)}{\partial(E_F - E_C)}$$

[0025]

[0026] 상기 식 1에서, Q_s 는 채널에서의 전체 전자 전하를 나타내고, ψ_s 는 표면 포텐셜이며, E_F 는 페르미 준위이고 및 E_C 는 절연체 채널 계면에 위치한 전도대 가장자리(conduction band edge)이다.

[0027] 모든 서브 밴드 전하들의 합인 Q_s 는 하기 식 2와 같이 나타낼 수 있다.

[0028] [식 2]

$$Q_s = \sum_i Q_i = \sum_i \int_{E_i}^{\infty} \frac{\frac{m_{||}^* q}{\pi \hbar^2}}{1 + e^{\left(\frac{E - E_F}{kT}\right)}} dE$$

[0029]

[0030] 상기 식 2에서, Q_i 는 채널에 위치하는 서브 밴드 i의 전체 전자 전하이고, E_i 는 서브 밴드 i의 에너지 준위이며, $m_{||}^*$ 는 채널 물질의 유효 질량을 나타낸다.

[0031] 상기 $m_{||}^*$ 는 하기 식 3으로부터 계산될 수 있다.

[0032] [식 3]

$$m_{||}^* = m_0^*(1 + \alpha E) = \frac{\hbar^2 k^2}{2E}$$

[0033]

[0034] 상기 식 3에서, m_0^* 는 $k = 0$ 에서 유효질량이고, E 는 전하 캐리어의 에너지이며, k 는 전하 캐리어의 파수이고, h 는 감소된 플랑크 상수이며 및 α 는 비포물선형(nonparabolicity) 파라미터이다.

[0035] 특정 서브 밴드 i의 양자 정전용량($C_{q,i}$)은 하기 식 4에 나타낸 바와 같이 E_F 및 E_i 사이의 에너지 차에 관하여 특정 서브 밴드의 전자 전하의 도함수로부터 수학적으로 추출될 수 있다.

[0036] [식 4]

$$C_{q_i} = \frac{q \partial(-Q_i)}{\partial(E_F - E_i)} = \frac{q \partial \left(- \int_{E_i}^{\infty} \frac{\frac{m_{\parallel}^* q}{\pi \hbar^2}}{1 + e^{\left(\frac{E - E_F}{kT}\right)}} dE \right)}{\partial(E_F - E_i)} = \frac{\frac{m_{\parallel}^* q^2}{\pi \hbar^2}}{1 + e^{\left(\frac{E_i - E_F}{kT}\right)}}$$

[0037]

[0038] 또한, 중심 정전용량(C_{cent_i})은 하기 식 5와 같이 E_F 와 E_C 사이의 에너지 차에 관하여 특정 서브 밴드 i 의 전자 전하의 도함수로부터 유도될 수 있다.

[0039] [식 5]

$$C_{cent_i} = \frac{q \partial(-Q_i)}{\partial(E_F - E_C)} = C_{q_i} \cdot \frac{\partial(E_F - E_i)}{\partial(E_F - E_C)}$$

[0040]

[0041] 상기 식으로부터 반전층 정전용량(C_{inv_i})는 하기 식 6과 같이 나타낼 수 있다.

[0042] [식 6]

$$C_{inv_i} = \sum_i \left(\frac{1}{C_{q_i}} + \frac{1}{C_{cent_i}} \right)^{-1}$$

[0043]

[0044] 전도대 가장자리에 관하여 각 서브 밴드 에너지 준위(E_i)와 페르미 준위(E_F)의 위치를 알면 반전층 정전용량은 계산될 수 있다.

[0046] 본 발명에서 계면 트랩(D_{it})의 추출은 전도도 방법을 이용할 수 있다. 전도도 방법은 트랩 준위 전하 상태의 변화에 의해 발생한 손실을 분석한다. 응답 시간 $\hat{O}$ 가 낮아질수록, 페르미 준위(E_F)에 더 가까워진 에너지 준위를 갖는 트랩은 그들의 점유를 변화시킬 수 있다.

[0047] 도 2b는 계면 트랩을 포함하고 있는 공핍 상태의 MOS 커패시터의 등가 회로도를 나타낸다. C_{ox} 는 산화물 정전용량, C_s 는 반도체 정전용량 및 R_s 는 직렬 저항이다. 여기서, C_{it} 및 G_p 는 각각 계면 트랩에 의하여 형성된 등가 병렬 계면 트랩 정전용량과 전도도이다. 계면 트랩 정전용량은 $C_{it} = qD_{it}$ 를 의미하고, 여기서 q 는 성분(element)의 전하 그리고 D_{it} 는 계면 트랩 밀도이다. 전자가 계면 트랩에 의하여 포획될 때, 계면 트랩 정전용량 C_{it} 의 형성에 직접적인 기여가 이루어진다. 하기 식 7에 나타낸 바와 같이 트랩 응답은 포획 및 배출 속도의 Shockley-Read-Hall 통계에 의하여 측정될 수 있다.

[0048] [식 7]

$$\tau = \frac{1}{2\pi f} = \frac{1}{\omega} = \frac{e^{\left(\frac{\Delta E}{K_B T}\right)}}{\sigma v_{th} D_{dos}}$$

[0049]

[0050] 상기 식 7에서, ΔE 는 트랩 준위 E_T 와 E_C 또는 E_V 중 주요 캐리어 밴드 가장자리 사이의 에너지 차이이고, K_B 는 볼츠만 상수이며 및 T 는 온도이다. σ 는 트랩의 단면이며, v_{th} 는 주요 캐리어의 평균 열 속도이고, D_{dos} 는 주요 캐리어 밴드의 유효 상태 밀도이다.

[0051] 도 2b는 측정된 정전용량 C_m 및 측정된 전도도 G_m 과 함께 임피던스를 분석하기 위한 등가 회로를 나타내는데, 이러한 측정된 값은 하기 식 8에 나타난 바와 같이 반드시 직렬 저항 R_s 에 대해 보정(corrected)되어야 한다.

[0052] [식 8]

$$R_s = \frac{G_{ma}}{G_{ma}^2 + \omega^2 C_{ma}^2}$$

[0053]

[0054] 상기 식 8에서, C_{ma} 및 G_{ma} 는 각각 축적(accumulation)된 상태에서 측정된 정전용량 및 전도도이고, w 는 각진동수이다.

[0055] 또한, 정전용량 및 병렬 등가 전도도의 보정을 위하여, 하기 식 9 및 식 10을 이용할 수 있다.

[0056] [식 9]

$$C_c = \frac{(G_m^2 + \omega^2 C_m^2) C_m}{[G_m - (G_m^2 + \omega^2 C_m^2) R_s]^2 + \omega^2 C_m^2}$$

[0057]

[0058] [식 10]

$$G_c = \frac{(G_m^2 + \omega^2 C_m^2) [G_m - (G_m^2 + \omega^2 C_m^2) R_s]}{[G_m - (G_m^2 + \omega^2 C_m^2) R_s]^2 + \omega^2 C_m^2}$$

[0059]

[0060] 등가 병렬 전도도는 하기 식 11을 이용하여 측정될 수 있다.

[0061] [식 11]

$$G_p = \frac{\omega^2 C_{ox} G_c}{G_c^2 + \omega^2 (C_{ox} - C_c)^2}$$

[0062]

[0063] 상기 식 11에서, C_{ox} 는 유전체(산화물) 정전용량이다. 따라서 D_{it} 는 하기 식 12에 나타난 바와 같이 정규화된 병렬 전도도 피크(G_p/w)_{max}로부터 계산될 수 있다.

[0064] [식 12]

$$D_{it} \approx \frac{2.5}{Aq} \left(\frac{G_p}{\omega} \right)_{\max}$$

[0065]

[0066] 상기 식 12에서, A 는 장치 면적이고, 식 7을 이용하여 에너지 준위에서 트랩 점유를 결정할 수 있고, 여기서 f 는 전도도 피크 (G_p/w)_{max}로부터 결정된 진동수이다.

[0068] 본 발명에서 경계 트랩 추출은 분산된 회로 모델을 사용하였다. 일반적으로, 절연체 내의 경계 트랩과 반도체 밴드 내에서 이동하는 캐리어는 전하를 교환할 수 있다. 일반적으로, 이러한 전하 교환은 터널링을 통해 발생한다. 전자를 포획하기 위한 빈 트랩에 대한 평균 시간은 $\hat{0}$ 로 나타내고, 이는 트랩과 계면 사이의 거리 x 에 지수적으로 비례한다.

[0069] [식 13]

$$\tau = \tau_0 e^{2kx}$$

[0070]

[0071] 상기 식 13에서, τ_0 는 포획/방출 시간 상수이고, k 는 감쇠 상수이다.

[0072] 상기 감쇠 상수는 하기 식 13-1에 의해 정의된다.

[0073] [식 13-1]

$$k = \frac{\sqrt{2m^* \times E_b}}{\hbar}$$

[0074]

[0075] 상기 식 13-1에서, m^* 는 절연체의 유효 질량이고, E_b 는 절연체와 반도체 전도대 사이의 에너지 장벽의 높이이며 $\hbar$ 는 감소된 플랑크 상수이다.

[0076] 또한 τ_0 는 하기 식 14와 같이 정의될 수 있다.

[0077] [식 14]

$$\tau_0 = (n_s v_{th} \sigma)^{-1}$$

[0078]

[0079] 상기 식 14에서, n_s 는 반도체 표면의 전자 밀도이고, v_{th} 는 전자 열 속도이며, σ 는 경계 트랩의 포획 단면 면적이다. 장치가 축적 상태에 있을 때 페르미 준위는 전도대에 가깝다. 이 경우 n_s 는 전도대의 상태 밀도와 상대적으로 같아질 수 있다. $wt = 1$ 이라고 가정하면, 어떠한 특정 인가 진동수(f)에서 경계 트랩의 탐침 깊이(probing depth)는 하기 식 15와 같이 측정될 수 있다.

[0080] [식 15]

$$X_p = \frac{1}{2k} \ln \frac{1}{2\pi f \tau_0}$$

[0081]

[0082] 도 3은 경계 트랩 추출을 위한 등가 회로 모델을 나타낸다. 경계 트랩 추출을 위하여 분산된 경계 트랩 모델은 특정한 게이트 바이어스 전압에서 축적 영역의 진동수의 분산을 분석한다. 이 모델에서는 산화물 정전용량을 작은 전기용량을 갖는 요소로 나눈다. 즉, $\epsilon_{ox}/\Delta x$ 와 같이 표현할 수 있고, 여기서 ϵ_{ox} 는 유전율이고, Δx 는 산화물 두께의 작은 부분이다. 경계 트랩 유도 전하 및 에너지 손실은 두께의 특정 부분에 대하여 일련의 어드미턴스(admittance)에 의하여 기술할 수 있다. 전체 어드미턴스는 절연체 정전용량에 병렬로 연결되는 정전용량 C_{bt} 및 전도도 G_{bt} 의 직렬연결로 구성된다. 반도체 정전용량 C_s 는 직렬로 연결되어 있고, 전체 구조는 하기 식 16과 같이 1차 미분 방정식에 의하여 표현될 수 있다.

[0083] [식 16]

$$\frac{\partial Y}{\partial x} = -\frac{Y^2}{j\omega\epsilon_{ox}} + \frac{q^2 N_{bt} \ln(1 + j\omega\tau)}{\tau}$$

[0084]

[0085] 상기 식 16에서, 경계 조건은 $x = 0$, $Y = j\omega C_s$ (Y = 전체 어드미턴스), j 는 복소수의 허수부이고, w 는 각진동수, q 는 전자 전하 및 N_{bt} 는 산화물 층의 경계 트랩 밀도이다.

발명의 효과

[0087] 본 발명에 따른 양자 커패시터의 산화물 두께를 고려한 표면트랩준위 추출 방법은, III-V족 화합물 장치에서 양자 역학적 구속 효과를 고려하여 커패시터 등가 두께(CET)를 이용하여 계면 트랩 및 경계 트랩 밀도를 추출함으로써, 보다 정확한 표면트랩준위의 측정이 가능한 효과가 있다.

도면의 간단한 설명

[0089] 도 1a는 금속/절연체/반도체 구조의 계면 트랩 및 경계 트랩을 나타내는 개략도이다.
 도 1b는 III-V족 화합물 기판의 양자 구속 효과를 나타내는 개략도이다.
 도 2a는 III-V족 전계 효과 트랜지스터의 등가 게이트 커패시턴스 회로도이다.
 도 2b는 공핍 모드에서 금속 산화물 반도체 소자의 등가 회로도이다.
 도 3은 금속 산화물 반도체 소자를 나타내는 분산 벌크 산화물 트랩 모델의 등가 회로도이다.
 도 4a는 $\text{Al}_2\text{O}_3/\text{Si}$ 와 $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 구조 간의 C-V 특성을 비교한 그래프이다.
 도 4b는 $\text{Al}_2\text{O}_3/\text{Si}$ 구조의 페르미 준위에 대한 서브 밴드 에너지 준위를 나타낸 그래프이다.
 도 4c는 $\text{Al}_2\text{O}_3/\text{Si}$ 구조의 반전층 커패시턴스를 나타낸 그래프이다.
 도 4d는 $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 구조의 페르미 준위에 대한 서브 밴드 에너지 준위를 나타낸 그래프이다.
 도 4e는 $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 구조의 반전층 커패시턴스를 나타낸 그래프이다.
 도 5a는 적용된 게이트 바이어싱 전압 및 주파수의 함수로서 정규화된 병렬 컨덕턴스($G_p/A\omega q$)의 등고선 맵핑 그래프이다.
 도 5b는 트랩 에너지(E_t)의 함수로서 계면 트랩 분포를 나타낸 그래프이다.
 도 6a는 서로 다른 ALD 증착 온도에서 추출된 계면 트랩 밀도를 나타낸 그래프이다.
 도 6b는 EOT 및 CET를 이용하여 추출된 계면 트랩 밀도를 비교한 그래프이다.
 도 7a는 EOT를 사용한 분산 경계 트랩 모델에서 1V 게이트 전압에서 측정된 축적 정전용량에 대한 피팅 곡선을 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0090] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 구체적으로 설명하고자 한다.

[0091] 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0092] 본 발명에서, "포함한다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0093] 따라서, 본 명세서에 기재된 실시예에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형 예들이 있을 수 있다.

[0095] n-타입 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 헤테로구조를 만들기 위해 금속유기화학 증기증착법(metal organic chemical vapour deposition; MOCVD)을 이용하였다. 우선, 300 mm n-타입 Si 기판 상에 GaAs와 InP의 두 변형 완화 버퍼 에피택시(two strain relaxation buffer epitaxies)를 성장시켰다. 이때, Volmer-Weber 성장 모드를 따랐다. GaAs와

InP의 운반체 농도는 각각 두께 350 nm와 800 nm에서 $2 \times 10^{17} \text{ cm}^{-3}$ 이다. 이후 Si-도핑된 n-In_{0.53}Ga_{0.47}As의 두 연 속되는 층을 형성하였다. 첫 번째 층은 $5 \times 10^{17} \text{ cm}^{-3}$ 전자 밀도와 110 nm의 두께를 가지고, 두 번째 층은 $1 \times 10^{17} \text{ cm}^{-3}$ 전자 밀도와 160 nm 두께를 가졌다.

[0096] 본 발명은 서로 다른 ALD 산화물 증착 온도에서 수행한 세 개의 실시예를 준비하였다. 이소프로필 알코올과 아 세톤으로 몇 분 동안 기판을 세척하고, 자연적인(native) 산화물이 형성될 수 없도록 30초 동안 상온에서 묽은 염산과 탈이온수(1:10) 용액에 침지하였다. 이후 기판을 탈이온수로 세척한 후 질소(N₂)를 사용하여 기판 표면 의 잔류 수분을 제거하였다. 세척 후 산화물 증착을 위하여 기판을 ALD 챔버에 배치하였다. ALD 챔버는 트리메 틸알루미늄(trimethyl aluminium; TMA) 10 사이클로 사전 세척하였다. 이후 30 사이클의 Al₂O₃를 각각 200° C (실시예 1), 250° C(실시예 2) 및 300° C(실시예 3) 성장 온도에서 ALD 증착하였다. TMA 및 물은 각각 금속 전 구물질(precursor)과 산화제로 사용되었고, 300 sccm으로 흐르는 질소(N₂)는 캐리어 및 퍼지 가스로 사용하였다. TiN의 5 nm 층은 ALD로 증착하였다. Au의 200 nm 층은 전자빔 증착(E-beam evaporation)으로 전면 부와 후면부의 접점 모두에 증착하였다.

[0097] 전면부 금속 증착 이전에, 실시예들의 물리적 두께를 편광 해석법(ellipsometry; 입사각 = 70°)을 이용하여 추 출하였다. 실시예 1 내지 3의 물리적 두께 t_{ox}는 각각 4.2006 nm, 3.867 nm 및 3.5128 nm로 측정되었다.

[0098] 샘플들의 정확한 유효 유전율 상수(ϵ_{ox})를 추출하기 위하여, 금속 절연체 금속(MIM) 커패시터를 준비하였다. 300 nm n-타입 Si 기판은 상기 방법과 동일하게 사전에 세척되었다. 이후 기판은 열적 증발기로 전달되고 열적 증발기를 이용하여 Al이 하부 전극으로서 증착되었다. 기판을 250° C에서 Al₂O₃ 100 사이클로 산화물 증착을 하 기 위해 ALD 챔버에 배치하였다. TMA 및 물은 각각 금속 전구체 및 산화제로서 사용되었다. 또한, 300 sccm의 질소(N₂)를 캐리어 및 퍼지 가스로 사용하였다. Al은 웨도우 마스크를 포함한 열적 증발을 이용하여 전면부 금속 으로서 증착되었다.

[0100] 모든 정전용량-전압(C-V) 및 전도도-전압(G-V) 측정은 반도체 장치 분석기(Keysight B1500A) 및 정밀 LCR 미터 (Agilent 4384A)를 이용하여 수행되었다. 측정 진동수 범위는 10 KHz에서 1MHz이고, 유효 상대 유전율(ϵ_{ox})은 하기 식 17을 이용하여 결정되었다.

[0101] [식 17]

$$\epsilon_{ox} = \frac{C_{min} t_{min}}{\epsilon_0}$$

[0102] 상기 식 17에서, C_{min}은 측정된 정전용량, t_{min}은 MIM 커패시터의 두께이다.

[0104] EOT 및 CET 추출을 위하여, 하기 식 18 및 식 19를 사용하였다.

[0105] [식 18]

$$EOT = \frac{3.9 \times t_{ox}}{\epsilon_{ox}}$$

[0106] [식 19]

$$CET = \frac{3.9 \times \epsilon_0}{C_{acc}}$$

[0108] 상기 식 19에서, C_{acc}는 MOS 커패시터의 측정된 축적 정전용량이다.

- [0111] 본 발명에서는 Nextnano simulation tool을 이용하여, 1차원 Poisson and Schrodinger 방정식의 일관성 있는 솔루션을 해결하고, 전체 시트(sheet) 전하 밀도(Qs), 서브 밴드 에너지(E_i), 전도대(E_c) 및 페르미 준위 에너지(E_F)를 같은 시뮬레이션 도구로 추출하였다. 전체 시트 전하 밀도를 인가된 게이트 바이어스 전압에 대하여 미분함으로써, MOS 장치의 정전용량을 계산하였다.
- [0112] 도 4a는 참고예(Al_2O_3/Si) 및 실시예($Al_2O_3/In_{0.53}Ga_{0.47}As$)의 시뮬레이션된(simulated) C-V 곡선과 측정된(measured) C-V 곡선을 나타낸다. 이때, 절연체 정전용량(C_{ins})을 결정하기 위하여 이상적인 유전 상수($k = 9$) 및 Al_2O_3 의 측정된 두께를 고려하였다. 도 4a를 참고하면, 참고예(Si 구조)의 게이트 정전용량이 절연체 정전용량과 매우 가까운 것으로 보아 반전층 정전용량 효과가 없거나 매우 낮은 것을 알 수 있다. 반면, 실시예($In_{0.53}Ga_{0.47}As$) 장치의 시뮬레이션되고 측정된 정전용량은 대략 C_{ins} 의 55 내지 60 % 로서 축소된(scaled down) III-V족 장치에서 반전층 정전용량의 높은 영향을 나타낸다.
- [0113] 도 4b 및 도 4d는 각각 참고예(Al_2O_3/Si) 및 실시예($Al_2O_3/In_{0.53}Ga_{0.47}As$)의 서브 밴드 에너지 준위를 나타낸다. Si 구조에서 페르미 준위는 첫 번째 서브 밴드 에너지 준위(E_1)에서만 침투한다(penetrate). 반면, $In_{0.53}Ga_{0.47}As$ 구조에서는 첫 번째 및 두 번째 서브 밴드 에너지 준위에서 침투하며 세 번째 서브 밴드에서는 침투하는 것과 매우 가깝다. 반전층 정전용량 구성요소(components)를 추출하기 위하여, 비포물선(non-parabolicity) 효과를 함께 고려한 Si 및 $In_{0.53}Ga_{0.47}As$ 의 전도대 유효 질량은 $0.98 m_0$ 및 $0.043 m_0$ 로 간주하였다. 여기서, m_0 은 전자의 정지 질량(rest mass)이다.
- [0114] 도 4c 및 도 4e는 참고예(Al_2O_3/Si) 및 실시예($Al_2O_3/In_{0.53}Ga_{0.47}As$)의 반전층 정전용량을 나타낸다. 양자 정전용량(C_q)은 전자 이동성, 유효 질량 및 채널 물질의 상태 밀도(density of states; DOS)와 관계가 있다. 도 4c 및 도 4e를 참고하면, Si 기판의 C_q 와 C_{cent} 가 절연체 정전용량(C_{ins})에 비해 매우 크다는 것을 알 수 있다. 반전층 정전용량의 이러한 높은 값으로 인해 Si 기판은 게이트 정전용량에 대한 영향이 거의 또는 전혀 없다. 이와 대조적으로, $In_{0.53}Ga_{0.47}As$ 구조에서는 C_{inv1} 이 절연체 정전용량과 가까워 게이트 정전용량에 대해 더 큰 효과를 갖는다는 것을 알 수 있다. C_{inv2} 는 두 번째 서브 밴드 에너지 준위에서 더 낮은 전자 밀도로 인하여 C_{inv1} 에 비하여 매우 작다.
- [0115] Al_2O_3 의 유전 상수를 추출하기 위해 MIM 커패시터를 사용하였다. 유전 상수는 상기 식 17을 사용하여 7.19로 계산되었다. 산화물 정전용량(C_{ox})는 각각의 경우에 대해서 전체 산화물 유전율을 EOT 또는 CET로 나누어 계산하였다. EOT 및 CET는 각각 상기 식 18 및 상기 식 19에 따라 계산하였다. CET 계산에 있어서, C_{acc} 는 1 V 게이트 전압에서 100 KHz 진동수로부터의 정전용량 값이다. 참고예 및 실시예의 계면 트랩의 밀도(D_{it})를 추출하기 위해서, 하기의 절차를 이용하였다. 병렬 전도도(G_p)는 보정 및 측정된 전도도(G_c)와 보정 및 측정된 정전용량(C_c)를 이용하여 상기 식 11에 의해 측정되었다. D_{it} 는 병렬 전도도 피크(G_p/w)_{max}를 이용하여 상기 식 12를 사용하여 추출하였다. 하기 표 1에는 D_{it} 추출 과정에 사용된 서로 다른 파라미터 값을 나타내었다.

표 1

[0116]

파라미터	실시예 1 (200° C)	실시예 2 (250° C)	실시예 3 (300° C)
t_{ox} [nm]	4.2006	3.867	3.5128
EOT [nm]	2.27	2.09	1.9
CET [nm]	2.89	2.7	2.36
ϵ_{ox}	7.19	7.19	7.19
m^* [m_0] (Al_2O_3)	0.23	0.23	0.23
E_b [eV]	3.6	3.6	3.6
K [nm^{-1}]	4.5	4.5	4.5
C_s [$\mu f/cm^2$]	1.1	1.14	1.2

t_0 [s] (EOT 사용)	1×10^{-12}	1×10^{-12}	1×10^{-13}
t_0 [s] (CET 사용)	1×10^{-12}	1×10^{-12}	1×10^{-13}
D_{it} [$\text{cm}^{-2} \text{eV}^{-1}$] (EOT 사용)	5.26×10^{11}	5.35×10^{11}	5.32×10^{11}
D_{it} [$\text{cm}^{-2} \text{eV}^{-1}$] (CET 사용)	5.86×10^{11}	5.93×10^{11}	5.76×10^{11}
N_{bt} [$\text{cm}^{-3} \text{eV}^{-1}$] (EOT 사용)	2.32×10^{19}	1.93×10^{19}	2×10^{19}
N_{bt} [$\text{cm}^{-3} \text{eV}^{-1}$] (CET 사용)	2.84×10^{19}	2.56×10^{19}	2.44×10^{19}

[0117] 도 5a는 인가된 게이트 바이어싱 전압 및 측정된 진동수의 함수로써 정규화된 병렬 전도도 (G_p/Awq)의 등고선 맵핑을 나타낸다. 하얀색 사선은 병렬 전도도 피크(G_p/w)_{max}의 움직임을 나타내고, 이는 밴드 벤딩(bending) 효율 및 페르미 준위 고정화의 정도를 나타낸다. 기온기가 급격할수록 페르미 준위 고정화가 적고 효과적인 밴드 벤딩을 나타낸다.

[0118] 도 5b는 트랩 에너지 준위에 관하여 고유전율(high-k)/III-V족 화합물 장치 계면의 계면 트랩(interface trap) 상태를 도식화한 것이다. D_{it} 밴드 에너지 위치를 할당하기 위하여 상기 식 7에 의해 E_T 를 결정하였다. 이는 (G_p/w)_{max}의 대응하는 진동수로부터 계산되었다. 상온(300K)에서 평균 열 속도 v_{th} 및 n-타입 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 의 유효 상태 밀도(Ddos)는 "I. Vurgaftman, J. R. Meyer, and L. R. Ram-Mohan, "Band parameters for III-V compound semiconductors and their alloys," J. Appl. Phys., vol. 89, no. 11 I, pp. 5815-5875, 2001"로부터 각각 $5.6 \times 10^7 \text{ cm}^{-1}$ 및 $2.2 \times 10^{17} \text{ cm}^{-3}$ 로 간주하였다. $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 의 포획 단면적 값은 심층 과도 분광법(deep level transient spectroscopy)에 의해 7×10^{-15} 내지 $5 \times 10^{-17} \text{ cm}^2$ 이다. σ 에서 오차는 E_T 에 큰 영향을 미치지 않으므로, 상기 값의 범위에 있는 $1 \times 10^{-16} \text{ cm}^2$ 으로 가정하였다. 상온에서 E_T 는 σ 의 60 meV/decade change 까지 변할 수 있으며 이는 크게 중요하지 않다. D_{it} 값은 전도대(E_c) 가장자리에 비해 가전자대(E_v) 가장자리 근처에서 높게 나타난다. 전도도 방법을 사용하여 전도대(E_c) 가장자리 근처의 고유전율 III-V족 화합물 장치에 대한 D_{it} 값의 유사한 하락은 "G. Brammertz et al., "Capacitance-voltage characterization of GaAs- Al2O3 interfaces," Appl. Phys. Lett., vol. 93, no. 18, pp. 1-4, 2008,"에서도 보고된 바 있다.

[0119] 도 6a 및 도 6b는 계면 트랩 밀도(D_{it})의 추출된 값을 나타낸다. EOT를 사용한 200° C, 250° C 및 300° C에서 증착된 실시예들의 D_{it} 값은 각각 $5.26 \times 10^{11} \text{ cm}^{-2} \text{eV}^{-1}$, $5.35 \times 10^{11} \text{ cm}^{-2} \text{eV}^{-1}$ 및 $5.32 \times 10^{11} \text{ cm}^{-2} \text{eV}^{-1}$ 이다.

[0120] 본 발명에서는 양자 역학 효과를 고려하여, D_{it} 를 추출하는데 EOT 대신 CET를 사용하였으며, 다른 파라미터들은 변경하지 않았다. CET를 사용한 경우 200° C, 250° C 및 300° C에서 증착된 실시예들의 D_{it} 값은 각각 $5.86 \times 10^{11} \text{ cm}^{-2} \text{eV}^{-1}$, $5.93 \times 10^{11} \text{ cm}^{-2} \text{eV}^{-1}$ 및 $5.76 \times 10^{11} \text{ cm}^{-2} \text{eV}^{-1}$ 이다. CET를 이용하여 추출한 D_{it} 값은 EOT를 이용하여 추출한 값에 비해 최대 10%까지 높은 것으로 확인되었고, 이는 양자 역학 구속에 기인한다.

[0122] 경계 트랩 밀도(N_{bt})를 추출하기 위하여, 표 1의 파라미터들을 계산하였다. 감쇠 계수(attenuation coefficient)를 계산하기 위하여 Al_2O_3 의 유효질량을 $0.23 m_0$ (여기서, m_0 는 정지상태의 전자 질량이다)으로 간주하였다. 양자 구속을 고려하여 1차원 Poisson-Schrodinger 식을 해석함으로써 1 V(경계 트랩 추출 전압)에서의 반도체 정전용량 C_s 를 계산하기 위해 Nextnano 시뮬레이션 도구를 이용하였다. 1 V에서 측정된 정전용량에 대한 가장 적합한 곡선을 생성하기 위하여 식 16을 사용하였으며, 여기서 N_{bt} 및 $\hat{O}_0$ 는 파라미터를 피팅하는 변수로서 사용하였다.

[0123] 도 7a 및 도 7b는 각각 EOT와 CET를 이용하여 곡선을 피팅한 경계 트랩(N_{bt}) 추출을 나타낸다. 사각형들은 1 V에

서 10 KHz 내지 1 MHz의 서로 다른 진동수로부터 측정된 정전용량을 나타내고 직선은 피팅 곡선이다.

[0124] 도 7c는 서로 다른 실시예 1 내지 3의 추출된 N_{bt} 값들 사이의 차를 나타낸다. EOT를 사용하여, 200° C, 250° C 및 300° C에서 증착된 실시예들의 경계 트랩(N_{bt}) 값들은 각각 $2.32 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$, $1.93 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ 및 $2 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ 이다. 이때, $\hat{O}_0$ 값은 1×10^{-13} 내지 1×10^{-12} 사이에 있다.

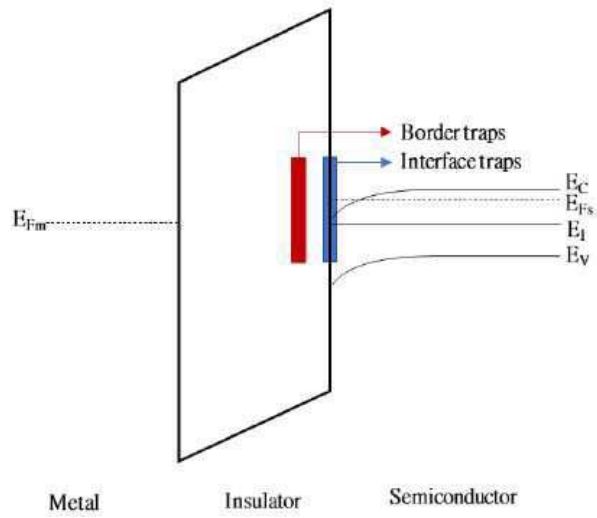
[0125] 양자 역학적 효과를 고려하기 위해 전술한 바와 같이 파라미터를 피팅하는 변수로서 사용된 N_{bt} 및 t_0 를 제외하고 다른 파라미터들을 변경 없이 N_{bt} 를 추출하는데 EOT 대신 CET를 사용하였다. CET를 사용하여 추출된 N_{bt} 값들은 200° C, 250° C 및 300° C에서 증착된 실시예들에서 각각 $2.84 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$, $2.56 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ 및 $2.44 \times 10^{19} \text{ cm}^{-3} \text{ eV}^{-1}$ 이고, 이는 D_{it} 와 같이 EOT 추출된 값들에 비해 최대 25% 정도 높았으며, t_0 의 값 역시 1×10^{-13} 내지 1×10^{-12} 사이에 존재하였다.

[0127] 본 발명은 III-V족 금속 산화물 반도체 장치에서 계면 트랩 밀도(D_{it})와 경계 트랩 밀도(N_{bt})에 대한 양자 역학적 구속 효과의 영향을 확인하였으며, 양자 구속이 소규모의 III-V족 화합물 장치에서 더 주요하다는 것을 보여주기 위하여, Nextnano 시뮬레이션 도구를 이용하여 $\text{Al}_2\text{O}_3/\text{Si}$ 및 $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 구조를 비교하였다. 시뮬레이션 결과, Si 구조에서 반전층 정전용량이 절연체 정전용량에 비하여 매우 크고, 이에 따라서 전체 게이트 정전용량에 대한 영향이 없거나 매우 적다는 것을 발견하였다. 반면, $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 구조에서는 반전층 정전용량은 절연체 정전용량과 비슷하고 전체 게이트 정전용량을 낮추었다.

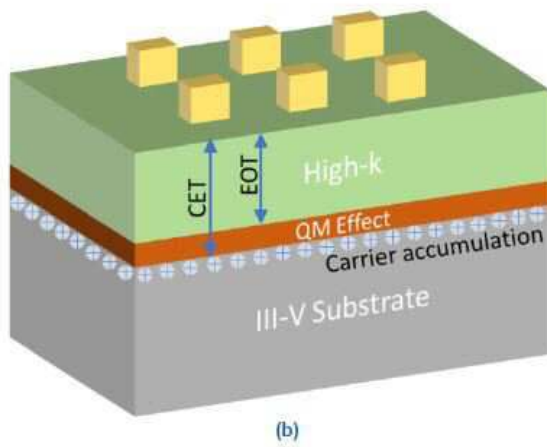
[0128] 300 mm Si 기판의 상에 서로 다른 산화물 증착 온도로 $\text{Al}_2\text{O}_3/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ MOS 커패시터를 제조하였으며, 모든 장치는 급속 열 접합(rapid thermal annealing; RTA) 과정을 거쳤다. EOT 및 CET 양자를 모두 이용하여 계면 트랩 밀도(D_{it})와 경계 트랩(N_{bt})를 측정한 결과, CET를 이용하여 추출된 D_{it} 및 N_{bt} 값은 EOT를 이용하여 추출된 값에 비해 각각 약 10% 및 25% 정도 더 높다. EOT를 이용한 상대적인 낮은 D_{it} 및 N_{bt} 값들은 추가적인 반전층 두께에 의하여 유발된 것이고 이는 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 에서 양자효과를 고려하지 않았기 때문이다. 추가적인 두께로 인하여, 산화물-반도체 계면은 더욱 채널 쪽으로 이동되고 에너지 손실을 증가시킬 수 있는 어떠한 추가적인 계면 트랩이 존재하는 것으로 추측된다.

도면

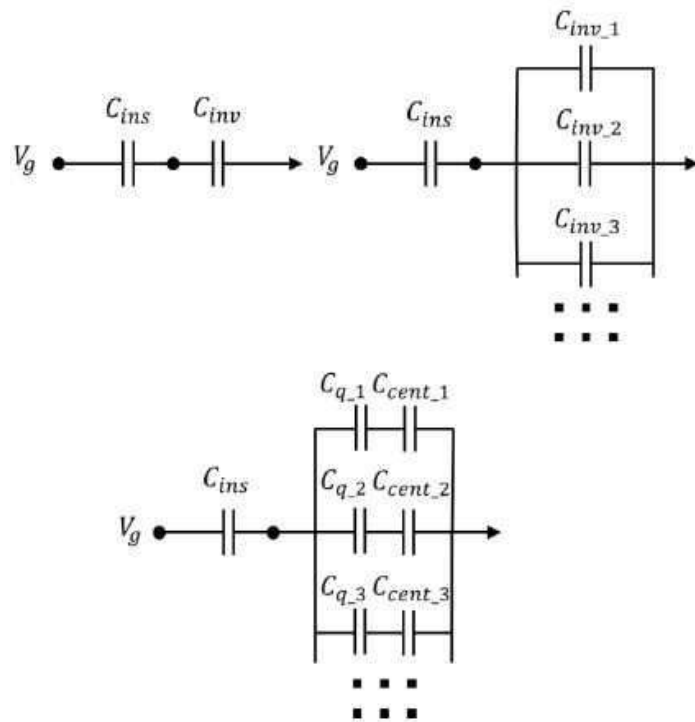
도면1a



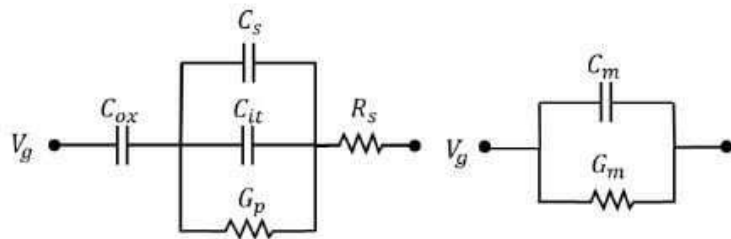
도면1b



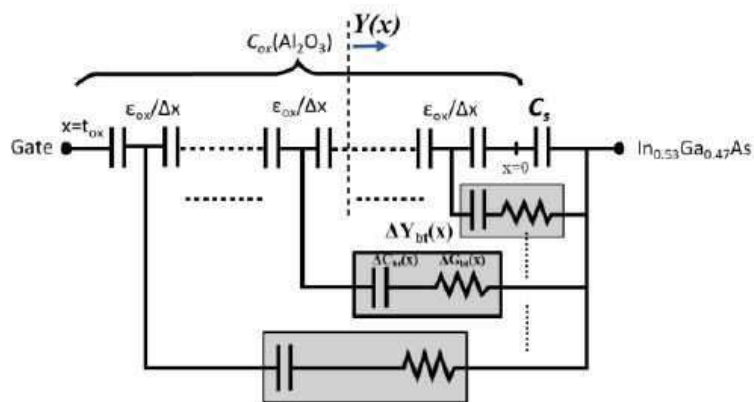
도면2a



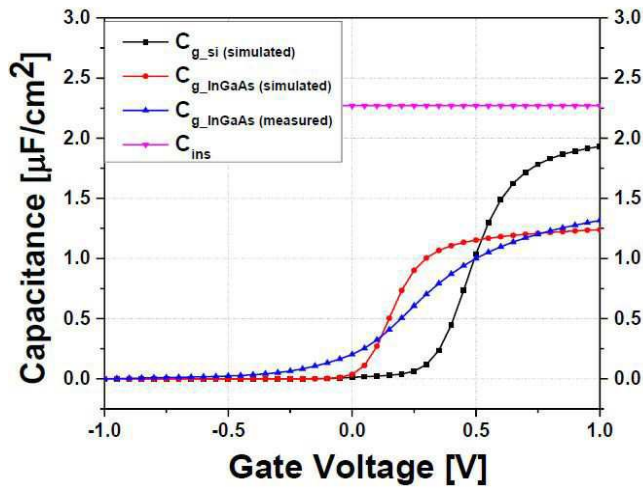
도면2b



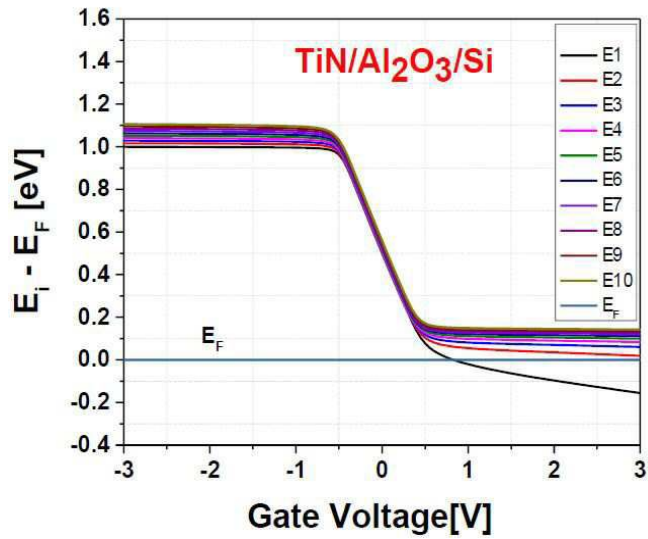
도면3



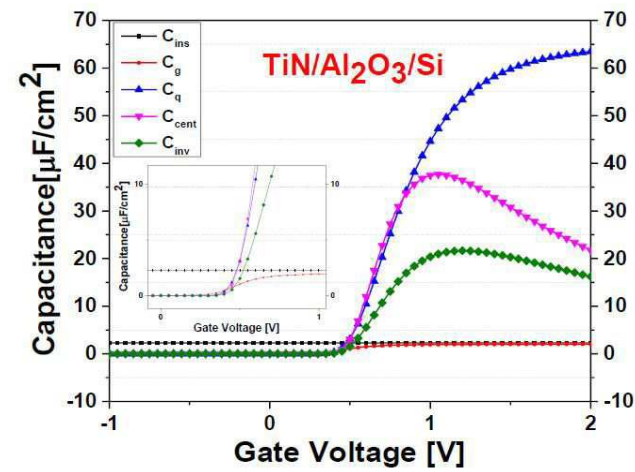
도면4a



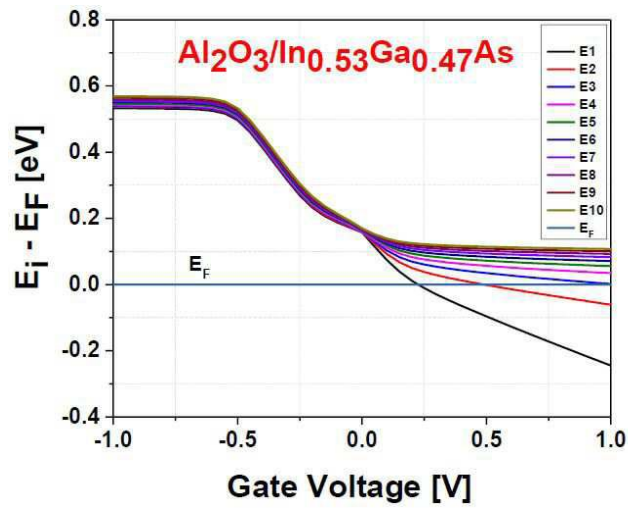
도면4b



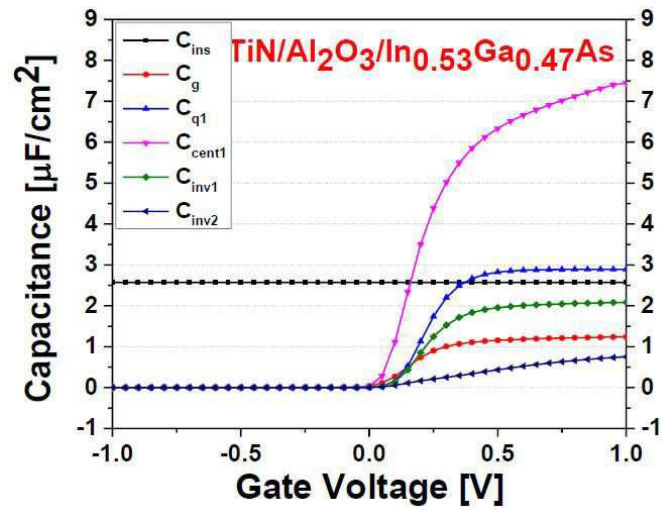
도면4c



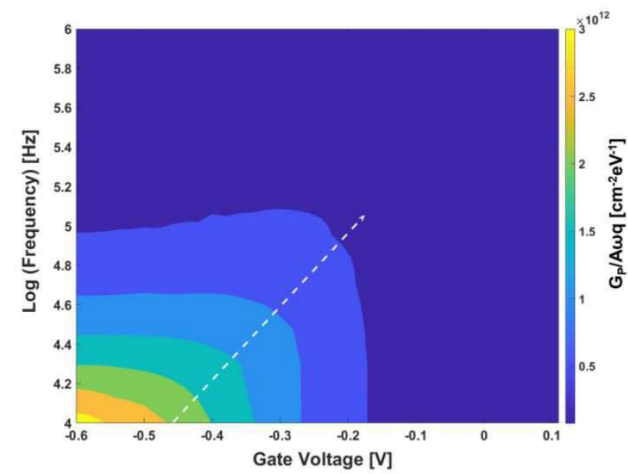
도면4d



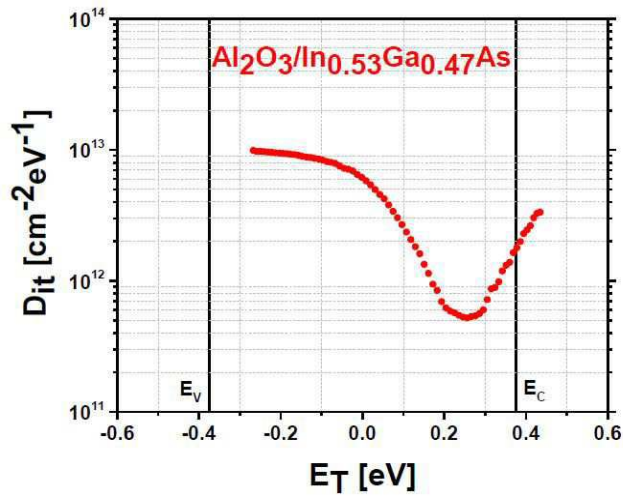
도면4e



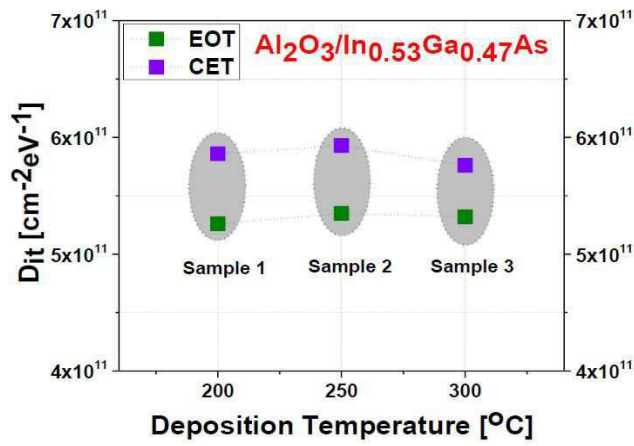
도면5a



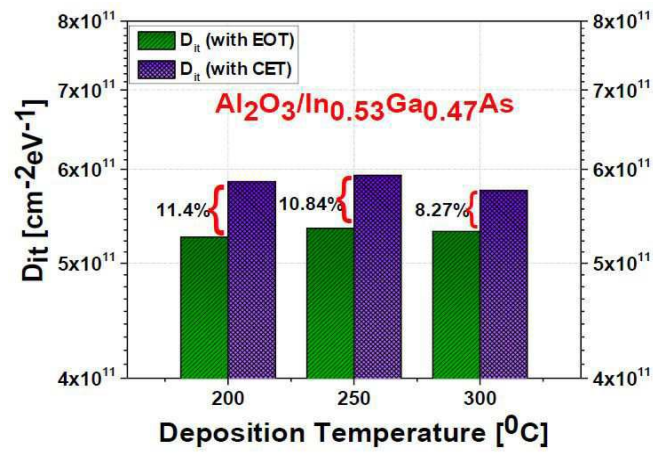
도면5b



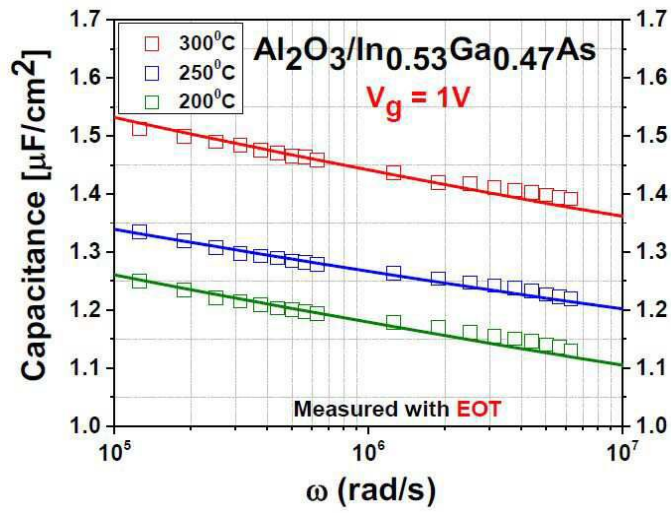
도면6a



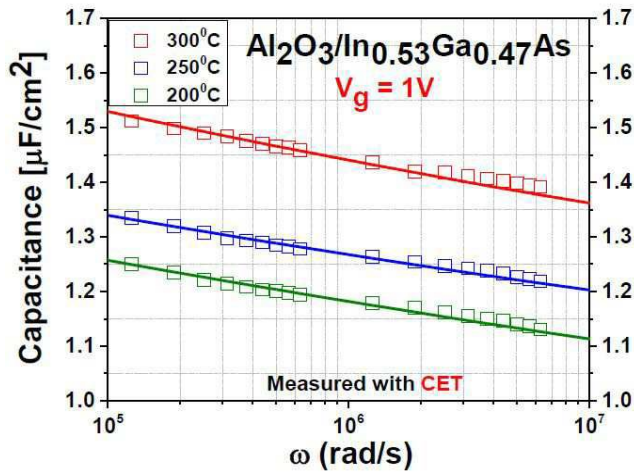
도면6b



도면7a



도면7b



도면7c

