

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年8月8日 (08.08.2002)

PCT

(10) 国際公開番号
WO 02/061591 A1

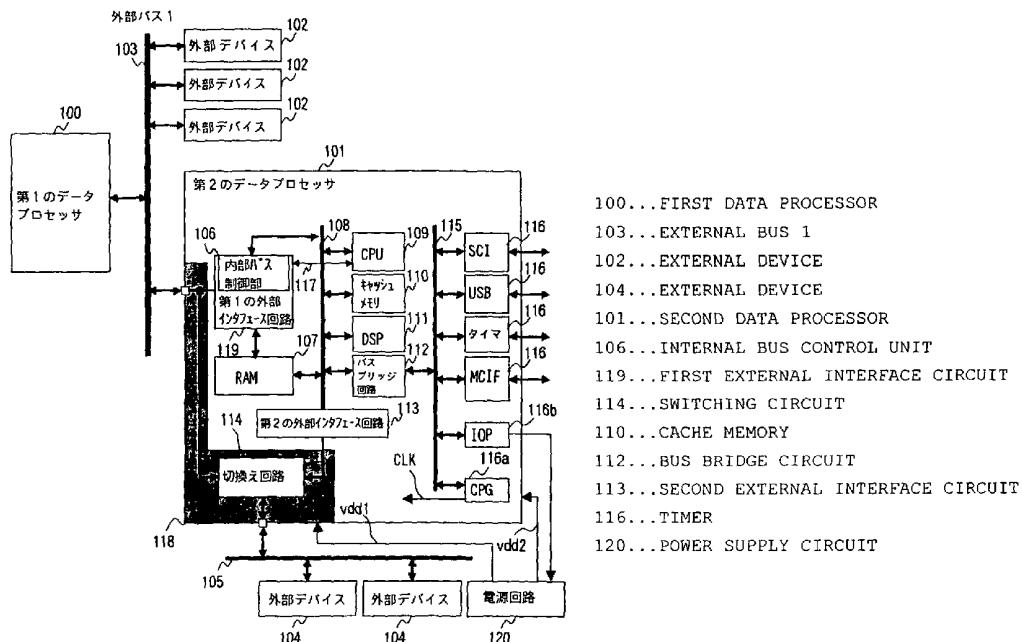
- (51) 国際特許分類⁷: G06F 13/36
- (21) 国際出願番号: PCT/JP01/09322
- (22) 国際出願日: 2001年10月24日 (24.10.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2001-22587 2001年1月31日 (31.01.2001) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社 日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 西本順一 (NISHIMOTO, Junichi) [JP/JP]. 中澤拓一郎 (NAKAZAWA,
- Takuichiro) [JP/JP]. 山田孔司 (YAMADA, Koji) [JP/JP]. 服部俊洋 (HATTORI, Toshihiro) [JP/JP]; 〒187-8588 東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内 Tokyo (JP).
- (74) 代理人: 玉村静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地 新山城ビル 42号 Tokyo (JP).
- (81) 指定国(国内): CN, JP, KR, SG, US.
- (84) 指定国(広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

添付公開書類:
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

(54) Title: DATA PROCESSING SYSTEM AND DATA PROCESSOR

(54) 発明の名称: データ処理システム及びデータプロセッサ



(57) Abstract: An interface means (119) for enabling connection with the other data processor (100) is provided in one data processor (101), and a function of enabling connection with the other data processor as a bus master is provided in an internal bus (108) in one data processor to allow the other data processor to directly operate a peripheral function, memory-mapped in the internal bus, from the outside via the interface means. Consequently, a data processor can use the peripheral function of another data processor without interrupting a program being run. In fact, one data processor can share the peripheral resource of another data processor.

[続葉有]

WO 02/061591 A1



(57) 要約:

一のデータプロセッサ（101）に他のデータプロセッサ（100）との接続を可能にするためのインターフェース手段（119）を設け、このインターフェース手段に、一のデータプロセッサ内の内部バス（108）に他のデータプロセッサをバスマスターとして接続可能にする機能を設け、内部バスにメモリマップされた周辺機能を前記インターフェース手段を介して外部より当該他のデータプロセッサが直接操作できるようする。これにより、データプロセッサは、実行中のプログラムを中断することなく、別のデータプロセッサの周辺機能等を使うことが可能となる。要するに、一のデータプロセッサは別のデータプロセッサの周辺リソースを共有することが可能になる。

明 細 書

データ処理システム及びデータプロセッサ

5 技術分野

本発明は、複数のデータプロセッサと複数のシステムバスで構成されるシステムにおいて、データプロセッサ間を接続するバスのデータ転送方式及びデータ転送システムの技術分野に属する。例えば、一のデータプロセッサが他のデータプロセッサの内蔵回路を共有する技術、一のデータプロセッサが他のデータプロセッサの外部バスをアクセスする技術に適用して有効な技術に関する。更に本発明は、データプロセッサの動作プログラムをメモリに初期的に格納するブート制御の技術に関する。

15 背景技術

システムの複雑さに伴い、そのシステム上に搭載されるデータプロセッサ及び部品の数が増えてきている。例えば携帯電話のシステムにおいては、従来までは通信を制御するためのベースバンドデータプロセッサがソフトウェア(アプリケーション、キー制御など)やハードウェア(RF回路、LCD、メモリなどの部品)の制御を行っていた。しかし機能の多様化に伴い、全ての処理をベースバンドデータプロセッサ行うことが困難になってきている。従来のPC系のシステムではこの問題をデータプロセッサの動作周波数を向上することで解決していたが、近年のバッテリ駆動型の携帯端末では電池寿命を長くしなくてはいけないという理由から、単純に周波数の高速化による性能向上は行えない。

データプロセッサが行う処理により周波数を可変にする手法も存在

するが、実際にシステム上で実現するのは複雑であるため実用化が難しい。また高速動作を行えるデータプロセッサはチップ面積が大きくなる傾向にあり、スタンバイ時の電流値を減らすことが困難である。

この問題を解決するために、従来のデータプロセッサでは処理しきれないアプリケーションをコプロセッサもしくは別のデータプロセッサで処理するといった手段が採られるようになってきている。これにより特定の処理が必要になったときに、その処理に適したデータプロセッサだけを動作することが可能となるため、システム構築が容易となり最終的にはシステム全体の低消費電力化にもつながる。

10 1つのシステム上にデータプロセッサ及びコプロセッサ等のように複数のデータプロセッサが搭載される場合、そのデータプロセッサ同士の接続には共有バスが用いられることが多い。しかしバスを共有できないデータプロセッサや、バス共有を行っていたのではメモリアクセス性能が足りず性能が出せない場合などには、片側のデータプロセッサに別のインターフェースを内蔵し、このインターフェースをもう片側のデータプロセッサのバスに接続することでデータ転送を行う必要が生じる。このインターフェースとして例えばT I の D S P (T M S 3 2 0 C 5 4 x) がサポートしているホストポートインターフェースなどがあり、実際にはデータプロセッサに内蔵された R A M と割り込み機能を用いることによりデータプロセッサ間のデータ転送を行う。ただし転送したデータを使うためにはソフトウェアを実行する必要がある。

20 システムだけでなくデータプロセッサの機能自体も高機能化している。このためシステム上に複数のデータプロセッサを搭載した場合、お互いのデータプロセッサに搭載された機能を効率良く使うことにより、重複して同じ機能を複数のデータプロセッサがサポートする必要がなくなる。例えば S D R A M (シンクロナス D R A M) 等に対するメモリ

インターフェースやUSB（ユニバーサル・シリアル・バス）、メモリカード、シリアルインターフェースなどである。前記共通バスによらないインターフェースでデータプロセッサ同士が接続されている場合、それぞれのデータプロセッサがサポートしている機能を使うときは、転送された
5 データをソフトウェアで処理する必要がある。例えばあるデータプロセッサが別のデータプロセッサのメモリインターフェースを用いて、そのメモリへアクセスしたい場合には、一度前記インターフェースでアクセスするデータを前記別のデータプロセッサに転送した後に、割込みで当該別のデータプロセッサのプログラム実行を起動し、そのプログラムを実行
10 する前記別のデータプロセッサがメモリへのアクセスを行い、アクセス後に再度前記別のデータプロセッサから前記一方のデータプロセッサに対して割り込みを発生して、当該一方のデータプロセッサへ前記インターフェースを介してデータの転送を行う必要があった。

システムの複雑さに起因する別の問題として、実装面積の削減が挙げられる。特に携帯情報端末においては消費電力・コストの観点から実装面積を減らすためにシステムの部品点数を削減することが必要となる。しかしシステムが多機能化するにつれ、それを実現するための部品点数が増加する。特に前述のように複数のデータプロセッサを内蔵するような場合にはこの問題はさらに深刻となる。

20 従来の技術で述べたようにシステム上に複数のデータプロセッサを搭載して、そのデータプロセッサ同士が共有バスで接続できない場合には、データプロセッサを相互に接続するインターフェースを内蔵する必要が生じる。T I のD S Pのようなホストインターフェースはデータプロセッサに内蔵されたR A Mと割り込み機能を用いることによりハンドシェイクを行い、データ転送を実現する。この方法ではデータ転送の度に割り込み処理プログラムを実行する必要が生じるため、それまで走って
25

いたプログラムの実行が中斷され性能が劣化することがある。特にそのデータプロセッサがサポートする外部インタフェースだけを使いたい場合などに対処するには問題がある。

更に、本発明者は、データプロセッサの動作プログラムをメモリに初期的に格納する技術について検討した。例えば、C P Uの動作プログラムを格納する電気的に書換え可能なフラッシュメモリがオンチップされたマイクロプロセッサにおいて、前記フラッシュメモリに対する初期的なプログラムの書き込みは例えば、その製造段階においてE P R O Mライタのような書き込み装置を用いて行なわれるのが一般的である。しかしながら、そのような書き込み動作はペリファイ処理や再書き込みを伴うこともあり処理が複雑な上に時間もかかり、データプロセッサの製造コストを上昇させる原因にもなってい。

本発明の目的は、複雑・多機能化するデータ処理システムにおいて、データプロセッサがメモリインタフェースとは別にデータ転送を行うためのデータ転送インターフェースを実現することにある。更に本発明は、そのインターフェースに接続している別のデータプロセッサもしくはデバイスから、当該データプロセッサの内部機能若しくは当該データプロセッサの外付け回路を効率良く利用することを可能にすることを目的とする。そして本発明は、それによって、システム性能の向上と低コスト化を図り、最終的には低消費電力化を実現しようとするものである。

本発明の別の目的は、データプロセッサが実行すべきプログラムを不揮発性メモリに初期的に書き込む処理が容易なデータ処理システム、更にはデータプロセッサを提供することにある。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

〔1〕本発明の第1に觀点は、他のデータプロセッサにデータプロセッサの内部バスアクセスを許容するものである。
5

この觀点による本発明は、一のデータプロセッサ(100)に他のデータプロセッサ(101)との接続を可能にするためのインターフェース手段(119)を設け、このインターフェース手段に、一のデータプロセッサ内の内部バスに他のデータプロセッサをバスマスターとして接続可能な機能を設け、内部バスにメモリマップされた周辺機能を前記インターフェース手段を介して外部より当該他のデータプロセッサが直接操作する機能をサポートするものである。これにより、データプロセッサは、実行中のプログラムを中断することなく、別のデータプロセッサの周辺機能等を使うことが可能となる。例えば第1のデータプロセッサが第2のデータプロセッサのメモリインターフェースを使って特定のメモリへアクセスする場合、第1のデータプロセッサは、第2のデータプロセッサの前記インターフェース手段を介して、当該第2データプロセッサの周辺メモリやその他の周辺回路をアクセスして利用することができる。要するに、一のデータプロセッサは別のデータプロセッサの周辺リソースを共有することが可能になる。換言すれば、第1のデータプロセッサは第2のデータプロセッサに内蔵されている別のインターフェース機能を直接使うことができるようになり、システムの高性能化を図ることが可能となる。
10
15
20
25

上記觀点による発明を更に詳述する。上記第1の觀点によるデータ処理システムは、第1のデータプロセッサ(100)及び第2のデータプロセッサ(101)を含む。前記第2のデータプロセッサは、前記第1の

データプロセッサが前記第2のデータプロセッサの内部バスのバス権を獲得することを可能とするインターフェース手段（119）を内蔵する。前記インターフェース手段は、前記内部バスのバス権を獲得した第1のデータプロセッサによる前記内部バスに接続された入出力回路のアクセスを可能にするもの
5 である。

前記入出力回路は、例えば、SDRAMに接続可能なSDRAMインターフェース回路、液晶ディスプレイ装置に接続可能なLCDインターフェース回路、メモリカードに接続可能なメモリカードインターフェース回路、シリアルインターフェース回路、揮発性メモリ、電気的に書き換え可能な不揮発性メ
10 モリ、及び汎用入出力ポート回路の中から選ばれた単数若しくは複数の回路である。

前記インターフェース手段は、第2のデータプロセッサ内部からのアクセスと前記第1のデータプロセッサからのアクセスとに排他的に応答して動作可能とするバッファRAM（107）を含んでよい。

15 [2] 本発明の第2の観点は、他のデータプロセッサに一のデータプロセッサ固有の外部バスに対するアクセスを当該一のデータプロセッサ経由で許容するものである。

この観点による本発明は、第2のデータプロセッサの低消費電力化のために第2のデータプロセッサ（101）の待機時（電源をオフもしくはスタンバイ状態）に、第1のデータプロセッサ（100）とのインターフェースを第2のデータプロセッサ内部で当該第2のデータプロセッサの外付けデバイス（104）とインターフェース可能にする手段（1
20 14）を設ける。これにより、第2のデータプロセッサに接続していたデバイスを、当該第2のデータプロセッサの待機中には外付け回路なしに第1のデータプロセッサが制御できるようになる。要するに、第1のデータプロセッサは、第2のデータプロセッサが待機状態であっても、
25

当該第2のデータプロセッサに接続されている外付け回路を、該第2のデータプロセッサ内部をバイパスさせて制御できる。これによりデータ処理システムを構成する部品点数の削減が行え、低コスト化が可能となる。

- 5 上記観点による発明を更に詳述する。上記第2の観点によるデータ処理システムは、第1のデータプロセッサ(100)、前記第1のデータプロセッサに接続される第1のバス(103)、前記第1のバスに接続される第2のデータプロセッサ(101)、及び前記第2のデータプロセッサに接続される第2のバス(105)を含む。前記第2のデータプロセッサは、
10 前記第1のバスに一方が接続され内部バスに他方が接続される第1の外部インターフェース回路(119)と、前記第2のバスに一方が接続される内部バスに他方が接続される第2の外部インターフェース回路(113)と、第2のデータプロセッサの待機状態において前記第2の外部インターフェース回路の前記一方の代わりに前記第1のインターフェース回路の前記一方を前記第2の
15 バスに接続する切換え回路(114)と、を含む。

前記第2のデータプロセッサの待機状態は、例えば、前記第2のデータプロセッサに含まれるクロック同期回路へのクロック信号の供給が停止される状態である。また、前記第2のデータプロセッサにおいて前記切換え回路の動作電源とその他の回路の動作電源とを分離可能とし、前記第2のデータプロセッサの待機状態に応答して前記その他の回路の全部又は一部への動作電源の供給を停止させる電源制御回路(116b)を更に含む。これにより、前記第2のデータプロセッサは待機状態において電力消費が低減される。

前記第2の外部インターフェース回路は、例えば、液晶ディスプレイコントローラに接続可能なLCDインターフェース回路を含む。このとき、前記第2のバスには液晶ディスプレイコントローラが接続される。これにより、

前記第1のデータプロセッサは前記切換え回路を介して前記液晶ディスプレイコントローラを制御可能になる。

〔3〕本発明の第3の観点は、リセット動作解除後にデータプロセッサが実行すべき動作プログラムをオンチップの不揮発性メモリやローカルバス上の不揮発性メモリに初期的に書き込むための動作制御を当該データプロセッサを介して可能にするものである。

この観点の本発明によるデータ処理システムは、第1のデータプロセッサ(100)及び第2のデータプロセッサ(101)を含む。前記第2のデータプロセッサは、リセット動作解除後の第1動作モードにおいて前記第1のデータプロセッサにより書き込み可能にされる揮発性メモリ(107)と、前記第1動作モードによる書き込み後における命令フェッチの対象を前記揮発性メモリとするCPU(109)と、リセット動作解除後の第2動作モードにおいてCPUによる命令フェッチの対象とされる電気的に書換え可能な不揮発性メモリ(502)とを含む。

前記第1のデータプロセッサは、第2のデータプロセッサに第1動作モードを指定し、前記揮発性メモリに、前記不揮発性メモリに対する書き込み制御用プログラムを格納して、CPUに命令フェッチを許可する。これにより、第2のデータプロセッサは、揮発性メモリに書き込まれた書き込み制御プログラムを実行し、これに従って前記オンチップの不揮発性メモリに第1のデータプロセッサの動作プログラムを初期的に書き込むことができる。この動作プログラムを実行するときは、リセット動作解除後に第2動作モードが指定されればよい。

電気的に書き込み可能な不揮発性メモリは第1のデータプロセッサにオンチップされたメモリに限定されない。第1のデータプロセッサのローカルバスに接続された電気的に書換え可能な不揮発性メモリ(501)であってもよい。

第3の観点による発明によれば、リセット動作解除後にデータプロセッサが実行すべき動作プログラムをオンチップの不揮発性メモリやローカルバス上の不揮発性メモリに初期的に書き込むための動作制御を当該データプロセッサを介して行うことができる。要するに、データプロセッサの製造過程においてオンチップのプログラムメモリ等にプログラムを書き込む処理を行わなくてもよい。

〔4〕本発明の第4の観点は、前記第1乃至3の観点によるデータ処理システムに適用されるデータプロセッサに着目する。

データプロセッサは、CPU(109)と、前記CPUに接続する内部バスと、前記内部バスに接続する周辺回路(116)と、第1の外部端子に一方が接続され前記内部バスに他方が接続される第1の外部インターフェース回路(119)と、第2の外部端子に一方が接続され前記内部バスに他方が接続される第2の外部インターフェース回路(113)とを含む。前記第1の外部インターフェース回路は外部からのアクセス要求に応答して、内部バスのバス権を獲得し、内部バスに接続された前記周辺回路のアクセスを可能にする。これにより、データプロセッサは内部バスに接続するオンチップの周辺回路などを他のデータプロセッサに利用させることが可能になる。

前記CPUの待機状態において前記第2の外部インターフェース回路の一方の代わりに前記第1の外部端子を前記第2の外部端子に接続する切換え回路(114)を更に含んでよい。他のデータプロセッサに一のデータプロセッサ固有の外部バスに対するアクセスを当該一のデータプロセッサ経由で許容するものである。例えばデータプロセッサのローカルバスにLCDコントローラが接続されるとき、当該データプロセッサの待機状態においてシステムバス経由で他のデータプロセッサがローカルバス上の前記LCDコントローラを介してLCDに対する時

間表示制御機能を実現することが可能になる。

前記第3の観点の如く、データプロセッサのブートプログラムを初期的に書き込むという観点では、データプロセッサは、リセット動作解除後の第1動作モードにおいて前記第1の外部インターフェース回路を介し外部から書き込み可能にされる揮発性メモリと、プログラムメモリ例えば電気的に書き込み可能な不揮発性メモリとを更に含む。前記CPUは、前記第1動作モードによる書き込み後に前記揮発性メモリから命令をフェッチして実行可能であり、また、CPUは、リセット動作解除後の第2動作モードにおいて前記プログラムメモリから命令をフェッチして実行可能である。前記第2動作モードで前記プログラムメモリに対する書き込み制御プログラムを揮発性メモリに書き込み、書き込んだ書き込み制御プログラムを第2動作モードで実行すれば、不揮発性プログラムメモリにデータプロセッサのブートプログラムを初期的に書き込むことができる。

前記CPU、前記内部バス、前記第1の外部インターフェース回路、前記第2の外部インターフェース回路、前記切換え回路、前記揮発性メモリ、及び前記プログラムメモリを1個の半導体基板上に形成して、データプロセッサをシングルチップで構成することができる。また、前記CPU、前記内部バス、前記第1の外部インターフェース回路、前記第2の外部インターフェース回路、前記切換え回路、及び前記揮発性メモリを第1の半導体基板上に形成し、前記プログラムメモリ(501)を第2の半導体基板上に形成し、前記第1の半導体基板と第2の半導体基板を例えば高密度実装基板に実装し1個のパッケージに封入し、マルチチップモジュールとして構成してよい。

[5]本発明の第5の観点は、前記第1の観点によるデータ処理システムに適用されるデータプロセッサを更に別の観点から把握する。

データプロセッサは、第1のバスに接続される第1の端子と、第2のバスに接続される第2の端子と、第1の状態又は第2の状態を選択的に採り得る第1の内部回路と、第2の内部回路と、前記第1の端子から前記第1の内部回路と前記第2の内部回路を介して前記第2の端子に接続される第1の信号経路と、前記第1の端子から前記第2の内部回路を介して前記第2の端子に接続される第2の信号経路とを含む。前記第2の内部回路は、前記第1の内部回路の状態に応じて、前記第1の信号経路と前記第2の信号経路の何れかの信号経路を選択する。

前記第1の状態は例えば前記第1の内部回路が命令を実行可能な動作状態であり、前記第2の状態は例えば命令の実行が抑止される待機状態である。前記第2の内部回路は、動作状態において前記第1の経路を選択し、待機状態において第2の経路を選択する。

前記第1の内部回路に対する第1の電源の供給と前記第2の内部回路に対する第2の電源の供給とを制御する電源制御回路を有する。このとき、前記電源制御回路は、前記第2の内部回路に前記第2の信号経路が選択される場合に第1の内部回路の全部又は一部への第1の電源の供給を停止する。要するに、待機状態では動作を行う必要のない回路には無駄な動作電源の供給を行わないようとする。

前記第1の内部回路、第2の内部回路、及び電源制御回路は1個の半導体基板上に形成してよい。また、前記第1の内部回路及び前記電源制御回路は第1の半導体基板上に形成し、前記第2の内部回路は第2の半導体基板上に形成し、前記第1の半導体基板と第2の半導体基板を1個のパッケージに封入して、データプロセッサをマルチチップモジュール等として構成してもよい。

前記第1の内部回路に同期動作用のクロック信号を供給するクロック制御回路（116a）を有するとき、前記クロック制御回路は、前記第2の内部

回路に前記第2の信号経路が選択される場合に前記第1の内部回路へのクロック信号の供給を停止させるとよい。待機状態では動作を行う必要のない回路には無駄な電力消費につながるようなクロック信号の供給を停止したほうが望ましいからである。

5 望ましい形態として、前記第1の内部回路に対する第1の電源の供給と前記第2の内部回路に対する第2の電源の供給とを制御する電源制御回路は、前記第1の内部回路へのクロック信号の供給が停止されるとき、前記第1の内部回路の全部又は一部への電源供給を停止するのがよい。

10 前記第1の内部回路、第2の内部回路、クロック制御回路、及び電源制御回路は1個の半導体基板上に形成してよい。また、前記第1の内部回路、クロック制御回路及び電源制御回路は第1の半導体基板上に形成し、前記第2の内部回路は第2の半導体基板上に形成し、前記第1の半導体基板と第2の半導体基板を1個のパッケージに封入して、データプロセッサをマルチチップモジュール等として構成してもよい。

15 [6] 本発明の第6の観点は、前記第1の観点による情報処理システムを更に別の観点から把握する。

情報処理システムは、第1のバスと、第2のバスと、前記第1のバス及び第2のバスに接続されるデータプロセッサとを有する。前記データプロセッサは、第1動作態様と第2動作態様を有し、前記第1動作態様において前記データプロセッサは、前記第1のバスから供給された情報を処理し、前記第2のバスに所定の情報を供給可能とする。前記第2動作態様において前記データプロセッサは、前記第1のバスから供給された情報をそのまま前記第2のバスに供給する。

25 更に観点を変える。携帯電話システムは、第1乃至第3の半導体集積回路、前記第1の半導体集積回路と第2の半導体集積回路とを接続する第1のバス、及び前記第2の半導体集積回路と第3の半導体集積回路と

を接続する第 2 のバスを有する。前記第 2 の半導体集積回路は、第 1 の動作態様と第 2 の動作態様を有し、前記第 1 の動作態様は、前記第 2 の半導体集積回路が前記第 1 の半導体集積回路から供給される情報に基づいて所定の処理を行い、前記第 3 の半導体集積回路に処理結果を供給する動作態様である。前記第 2 の動作態様は、前記第 2 の半導体集積回路が前記第 1 の半導体集積回路から供給される情報をそのまま前記第 3 の半導体集積回路に供給する動作態様である。

前記携帯電話システムにおいて、前記第 2 の半導体集積回路が前記第 1 又は第 2 の動作態様の何れの動作態様に遷移すべきかを制御する制御信号を、前記第 1 の半導体集積回路が供給してよい。そのような制御信号はコマンドとして与えられてよい。

前記携帯電話システムにおいて、例えば、前記第 1 の半導体集積回路は、ベースバンド処理用であり、前記第 3 の半導体集積回路は表示制御用である。前記所定の処理は、例えば、少なくとも画像を取り扱うための信号処理である。

前記第 2 のバスに記憶装置を接続してよい。例えば、前記記憶装置には、前記第 2 の半導体集積回路で行う処理を規定した処理プログラムを格納してよい。

20 図面の簡単な説明

第 1 図は本発明に係るデータ処理システムの一例を示すブロック図である。

第 2 図は第 1 図の第 2 のデータプロセッサにおけるバイパス用の領域の詳細を例示するブロック図である。

25 第 3 図はデータプロセッサをマルチチップモジュールで構成した場合の例を示すブロック図である。

第4図は第2のデータプロセッサが備える第1の外部インターフェース回路の具体的な一例を示すブロック図である。

第5図は第2のデータプロセッサが備える第1の外部インターフェース回路の更に具体的な別の例を示すブロック図である。

5 第6図に本発明に係るデータ処理システムにおけるデータプロセッサのブートプログラムの初期的書き込みに関する説明図である。

第7図は図6のデータ処理システムにおけるブート動作のタイミングチャートである。

10 第8図は図6のデータ処理システムにおけるブート動作の別のタイミングチャートである。

第9図はプログラムメモリにブートプログラムが格納されている状態において、ブートプログラムの更新又は第2のデータプロセッサで実行されるアプリケーションを追加／更新する場合のタイミングチャートである。

15 第10図は図3のデータプロセッサを構成するマルチチップモジュールの断面図である。

発明を実施するための最良の形態

第1図に本発明に係るデータ処理システムの一例を示す。本システム
20 は第1の外部バス103に接続された第1のデータプロセッサ100と、第2の外部バス105に接続された第2のデータプロセッサ101で構成される。第1の外部バス103にはRAM、ROM、フラッシュメモリ(FLASH)等の複数の外部デバイス102が接続される。第2の外部バス105には、RAM、ROM、FLASH、液晶ディスプレイ(LCD)コントローラ等の外部デバイス104が接続されている。第2のデータプロセッサ101は、第1の外部バス103上のデバイス

の 1 つとして第 1 の外部インターフェース回路 119 を介して第 1 の外部バス 103 に接続されている。

第 2 のデータプロセッサ 101 は、内部高速バス 108 と内部低速バス 115 を有する。前記内部高速バス 108 には、CPU 109、キャッシュメモリ 110、デジタル信号処理プロセッサ (DSP) 111、内部高速バス 108 と内部低速バス 115 との間のバスブリッジ回路としてのブリッジ回路 112、第 1 の外部インターフェース回路 119、第 2 の外部インターフェース回路 113、及び RAM 107 が接続されている。前記内部低速バス 115 にはシリアルインターフェース回路 (SC 10 I)、USB (ユニバーサル・シリアル・バス)、タイマ、メモリカードインターフェース回路 (MCIF)、I/O ポートのような汎用入出力ポート (IOP)、クロックパルスジェネレータ (CPG)、フラッシュメモリ等の周辺回路 116 が接続されている。第 1 図においてクロックパルスジェネレータ (CPG) には参照符号 116a が付され、汎用入出力ポート (IOP) には参照符号 116b が付されている。

データ処理システムは、特に制限されないが、携帯電話システムとされる。このとき、第 1 のデータプロセッサ 100 はベースバンド処理を行なう。第 2 のデータプロセッサ 101 は液晶ディスプレイコントローラのような外部デバイス 104 に対して画像表示制御の為の制御と圧縮伸張などの信号処理を行なう。液晶ディスプレイコントローラを介する時刻表示などの制御は、特に制限されないが、第 1 のデータプロセッサ 100 が第 2 のデータプロセッサ 101 を経由して行なう。

前記第 1 の外部インターフェース回路 119 は、前記第 1 のデータプロセッサ 100 が第 2 のデータプロセッサ 101 の内部バス例えば内部高速バス 108 のバス権を獲得することを可能にするものであり、内部バス 108 のバス権を獲得した第 1 のデータプロセッサ 100 による

前記内部バス 108 に接続された入出力回路のアクセスを可能にする。入出力回路とは、DSP111 のレジスタ等を意味する。要するに、第 1 のデータプロセッサ 100 は内部高速バス 108 のバスマスターとして動作することが可能にされる。そのようなバスマスターとしての動作制御は内部バス制御部 106 が行なう。

また、前記第 1 の外部インターフェース回路 119 は前記 RAM を CPU 109 と第 1 のデータプロセッサ 100 との共有メモリもしくは共有バッファとして動作制御する。即ち、CPU 109 からの RAM 107 へのアクセス要求と第 1 のデータプロセッサ 100 から RAM 107 へのアクセス要求とに排他的に応答して RAM 107 を動作させる。この RAM 107 に対する共有バッファ機能により、第 1 のデータプロセッサ 100 と第 2 のデータプロセッサ 101 との間のデータ転送を実現できる。このデータ転送には、例えば割込み信号 117 を用いたハンドシェーク制御を採用してよい。具体的には、第 1 のデータプロセッサ 100 から RAM 107 にデータが格納されると、CPU 109 の割込み信号 117 が与えられ、この割込みに応ずる割り込み処理にて CPU 109 が RAM 107 のデータを取りこむ。逆の場合には外部インターフェース回路 119 は第 1 のデータプロセッサ 100 に向けて割込み要求を発行する。

前記第 2 の外部インターフェース回路 113 は外部バス 105 に接続される外部デバイスとのインターフェースを実現する為のインターフェース仕様を有する。例えば、外部デバイス 104 として FLASH、液晶ディスプレイ (LCD) コントローラが接続することを想定している場合、第 2 の外部インターフェース回路 113 は、フラッシュメモリインターフェース回路、LCDインターフェース回路としてのインターフェース機能を有する。

第1図の構成において、前記領域118には、第2のデータプロセッサ101の待機状態において、前記第2の外部インターフェース回路113における外部バス105との接続端の代わりに、前記第1の外部インターフェース回路における外部バス103との接続端を、前記外部バス105に接続する切換え回路114が設けられている。即ち、前記切換え回路114は、第2のデータプロセッサ101の待機時に、第2の外部インターフェース回路113に代えて第1の外部バス103を第2の外部バス105へ接続する接続態様を選択する。これにより、第1のデータプロセッサ100は切換制御部114を介して、第2の外部バス105上のデバイスをアクセスすることが可能になる。例えば、第1のデータプロセッサ100は切換え回路114を介して外部バス105上の外部デバイス104として液晶ディスプレイコントローラを制御可能である。ここで第1図の中の領域118の回路は第2のデータプロセッサ101の待機時にも動作する領域である。

前記第2のデータプロセッサ101の待機状態は、当該第2のデータプロセッサ101に含まれるCPU109、DSP111、シリアルインターフェース回路、タイマ等のクロック同期回路へのクロック信号の供給が停止される状態である。例えば、CPU109がクロックパルスジェネレータ116aの待機状態レジスタに待機状態イネーブルビットをセットすることにより、クロックパルスジェネレータ116aはクロック信号CLKの出力動作もしくは発振動作を停止して、クロック信号の供給を抑止する。

第1図において120で示される回路は電源回路である。前記第2のデータプロセッサ101において前記切換え回路114の動作電源Vdd1とその他の回路の動作電源Vdd2とは分離可能とされる。例えば、動作電源Vdd1の外部電源端子及び電源配線と、動作電源Vdd2の外部電源端子及び電源配線とは、物理的に分離される。電源回路120は動作電

源 v d d 1、v d d 2 を対応する電源端子に供給する。前記汎用入出力ポート 116 b は電源回路 120 に対する電源制御回路として利用される。汎用入出力ポート 116 b は前記第 2 のデータプロセッサ 101 の待機状態への遷移過程において前記その他の回路の全部又は一部への動作電源 v d d 2 の供給を停止させる。前記切換え回路 114 には第 2 のデータプロセッサ 101 が動作可能なときは動作電源 v d d 1 が常時供給される。待機状態から抜けるのに割込みを利用する場合には割込み制御回路には動作電源が供給されている。電源制御回路 116 b は、待機状態への遷移過程において電源回路 120 の電源制御レジスタを電源供給停止指示状態にセットする。これにより、動作電源 v d d 2 の供給が停止される。電源制御レジスタに対する電源供給指示状態へのリセット動作は、待機状態から動作状態への復帰処理過程で行われればよい。

第 2 図に第 1 図の第 2 のデータプロセッサ 101 の領域 118 の詳細図が例示される。更にこの例では、第 1 の外部インターフェース回路 119 が内部低速バス 115 のバスマスターとして信号線 200 で接続されている。第 2 図の信号線 200 が示す通り、第 1 の外部インターフェース回路 119 がバスマスターとなる内部バスは高速バス 108 に限定されず、低速バスであてもよい。

データプロセッサ 1 において領域 118 に構成される回路を第 2 の回路、その他の領域に構成される CPU 109 などの回路を第 1 の回路と称する。領域 118 には、第 1 外部端子 210、第 1 の外部端子と第 1 の回路を接続する第 1 バス 211、第 1 の回路と第 2 の回路を接続する第 2 バス 212、第 1 外部端子と第 2 の内部回路を接続する第 3 バス 213、第 2 外部端子 215、第 2 外部端子と第 2 の回路を接続する第 4 バス 216、前記第 2 バス 212 と第 3 バス 213 の何れを第 4 バスに接続するかを選択するセレクタ 217、バスドライバ 218、及び第

5 バス 219 を有する。セレクタ 217 は待機状態への遷移過程で第 1 バス 211 を第 4 バス 216 に接続する接続形態を選択する。C P U 109 の状態に着目すると、待機状態は第 1 の回路による命令実行が抑止される状態（第 1 の状態）であり、動作状態は第 1 の回路が命令を実行可能な状態（第 2 の状態）である。第 2 のデータプロセッサ 101 は、待機状態において、第 1 の外部バス 103 を第 2 の外部バス 105 に直接接続することが可能となる。この例では、第 2 のデータプロセッサ 101 の待機状態において第 1 の外部バス 103 のデータを第 2 の外部バス 105 に無条件に伝達するように構成されているが、第 1 の外部バス 103 と第 2 の外部バス 105 を入出力バッファ（図示せず）を介して接続することも可能である。こうすれば第 1 の外部バス 103 から第 2 の外部バス 105 の入出力を制御することが可能となる。

10 第 1 図及び第 2 図において第 2 のデータプロセッサ 101 は 1 個の半導体基板上に構成された、所謂シングルチップのデータプロセッサとして構成される。

15 第 3 図にはマルチチップモジュールで第 2 のデータプロセッサ 300 を構成した場合の例が示される。第 2 のデータプロセッサ 300 は第 1 の外部インターフェース回路 119 及び切換え回路 114 の機能を内蔵したチップ 301 とそれ以外の機能を内蔵したチップ 302 で構成される。チップ 302 は内部高速バス 108 への接続部 303 を第 1 の外部インターフェース回路 119 とのインターフェース部としており、この接続部 303 に接続するチップ 301 が内部高速バス 108 のバスマスターになることが可能となる。第 2 のデータプロセッサ 300 の待機状態においてチップ 301だけを動作させることにより、第 1 の外部バス 103 を第 2 の外部バス 105 へ接続することが可能になる。

20 第 4 図には第 2 のデータプロセッサ 101 が備える第 1 の外部イン

タフェース 119 の具体的な一例を示す。第 1 の外部インタフェース回路 119 は外部バスアクセス制御部 401、バス変換調停部 402、内部バスアクセス制御部 403、RAM アクセス制御部 404、リセット／割り込み制御部 405 から構成される。

5 第 1 の外部バス 103 からのアクセス情報は外部バスアクセス制御部 401 に入力され、入力情報が同期化されてバス変換調停部 402 へ転送される。バス変換調停部は当該アクセスが RAM 107 へのアクセスか内部バス 108 へのアクセスかを判定し、内部バス 108 へのアクセスであった場合には内部バスアクセス制御部 403 へアクセス要求を出して内部バス 108 のバスアクセス仕様にしたがったバスアクセス動作を起動する。要するに、アドレス信号、バスアクセス制御信号、データを内部バス 108 のバスアクセス仕様に準拠してバス 108 に供給し、また、データをバス 108 から受取る。RAM 107 へのアクセス要求である場合には RAM アクセス制御部 404 にメモリアクセス要求を出して RAM 107 のアクセス仕様に準拠してアクセス動作を起動する。要するに、アドレス信号、メモリ制御信号、データをメモリアクセス仕様にしたがって RAM 107 に供給し、また、データを RAM 107 から受取る。

10

15

CPU 109 への割り込み／リセットの発行や、CPU 109 からの割り込みはリセット／割り込み制御部 405 で処理され、外部バスアクセス制御部 401 が第 1 の外部バス 103 上のデバイスに対して対応する要求を発行する。また、第 1 の外部バス 103 上のデバイスからの要求や RAM アクセス制御部 404 からの動作要求は外部バスアクセス制御部 401 が対応する割込み要求としてリセット／割り込み制御部 405 に与える。

20

25

第 5 図には第 2 のデータプロセッサ 101 が備える第 1 の外部イン

タフェース 119 の更に具体的な別の例を示す。同図には、バス 103 との間のインターフェース、バス 115 との間のインターフェース、RAM 107 との間のインターフェースとを実現する為の具体例を示す。第 1 の外部インターフェース回路 119 は、制御回路 410、インデックスレジ 5 スタ IDX、アドレスフラグ FG を有する。制御回路 410 はアドレスレジスタ ADR、データレジスタ DAT、コマンドレジスタ CMD、アクセス制御レジスタ ACS、ステータスレジスタ STS などの制御回路内蔵レジスタを有する。アドレスフラグ FG は、論理値 “1” が設定されると、インデックスレジスタ IDX の選択を指定し、論理値 “0” が設定されると制御回路内蔵レジスタの選択を指定する。論理値 “0” が設定されたとき、制御回路内蔵レジスタの内のどのレジスタを選択するかはインデックスレジスタ IDX の値で決まる。インデックスレジスタ IDX 及びアドレスフラグ FG は第 1 の外部バス 103 を介してアクセスされる。バス 103 はデータバス 103D、アドレスバス 103A 15 及びコントロールバス 103C から成る。インデックスレジスタ IDX の値にしたがって制御回路内蔵レジスタが選択されて、対応するレジスタにデータバス 103D 経由でアドレス情報、データ情報、バスアクセス制御情報、コマンド情報がロードされ、ロードされたコマンド情報に従って、RAM 107 に対するアクセス、バス 115 に対するアクセス 20 が起動される。この時のアクセスには前記レジスタの設定値が用いられ、アクセスタイミングはアクセス制御情報が決定する。外部バス 103 を介して RAM 107 に書き込まれたデータは CPU 109 が内部バス 108 を経由してアクセスすることができる。バス 108 はデータバス 108D、アドレスバス 108A 及びコントロールバス 108C から成る。バス 115 はデータバス 115D、アドレスバス 115A 及びコン 25 ロールバス 115C から成る。

第 6 図には本発明に係るデータ処理システムにおけるデータプロセッサのブートプログラムの初期的書き込みに関する例を示す。第 6 図の例では、C P U 1 0 9 の内部バス 1 1 5 にメモリ 5 0 2 が配置され、また、第 2 の外部バス 1 0 5 にメモリ 5 0 1 が配置される。この例では、
5 特に制限されないが、前記メモリ 5 0 1, 5 0 2 はユーザプログラム格納領域として利用されることになる。その場合には、第 2 のデータプロセッサ 1 0 1 がリセット直後に実行するブートプログラムは、前記メモリ 5 0 1 又は 5 0 2 に通常格納される。第 6 図では内部メモリ 5 0 2 を内部低速バス 1 1 5 に接続しているが、内部高速バス 1 0 8 に接続してもよい。
10 第 2 のデータプロセッサの内部メモリ 5 0 2 はフラッシュメモリ等のような電気的に書き換え可能な不揮発性メモリであり、C P U 1 0 9 等と同じ半導体基板上に形成してもよく、或は異なる半導体基板上にそれぞれを形成し、1 のパッケージに封入するものであってもよい。
異なる半導体基板上に形成して 1 のパッケージに封入する場合、第 2 の
15 データプロセッサ 1 0 1 の内部バス 1 0 8, 1 1 5 に接続するのではなく、パッケージ内部において第 2 の外部バス 1 0 5 に接続するようにしてもよい。ここでは、電気的に書き換え可能な不揮発性メモリ 5 0 1, 5 0 2 をプログラムメモリとして利用する。

前記電気的に書き込み可能な不揮発性メモリ 5 0 1, 5 0 2 に対するプログラムの初期的な書き込みはデータプロセッサ 1 0 1 などの半導体集積回路の製造過程において E P R O M ライタのような書き込み装置を用いて行なうことが従来から行われてきた。図 6 の例では、データプロセッサ 1 0 1 がデータ処理システム上に実装された初期的な段階では不揮発性メモリ 5 0 1, 5 0 2 にブートプログラムが初期書き込みされていない状態を想定する。図 6
20 のデータ処理システムはそのような状態からブートプログラムを初期的に書きこみ可能とするものである。要するに、第 2 のデータプロセッサ 1 0 1 の
25

ブートをRAM107から行える仕組みを第2のデータプロセッサ101に内蔵させる。即ち、第1のデータプロセッサ100から第1の外部バス103を経由して第2のデータプロセッサ101のブートプログラムをRAM107に書き込み、書き込み後に第2のデータプロセッサ101にRAM105のプログラムを実行させる。そのためには、第2のデータプロセッサ101をRAM107のプログラム実行により起動するかメモリ501又は502のプログラム実行により起動するかを切り替える必要がある。この切り替えは、リセット信号(RES)504によるリセット動作の指示に際してとブートモード信号(BT)503のレベルを用いて行なう。例えばリセット信号504がローレベルの間に、ブートモード信号503がハイレベルの時はRAM107のプログラム実行から起動し、ブートモード信号503がローレベルの時はメモリ501、502のプログラム実行から起動する。

ブートプログラムの初期的書き込みの為の構成を詳述する。前記第2のデータプロセッサ101において、前記RAM107は、リセット信号504によるリセット動作解除後の第1動作モードにおいて前記第1のデータプロセッサ100により書き込み可能にされる。前記第1動作モードは、例えばリセット信号504がローレベルされるリセット期間に、ブートモード信号503がハイレベルにされていて、リセット信号504がハイレベルにネゲートされてリセット動作が解除された動作状態である。このとき、CPU109は命令フェッチが抑制される。要するに、CPU109に対するスタートベクタの供給が抑制されている。このときのRAM107に対するアクセスは前述の通り、第1のデータプロセッサ100が第1の外部インターフェース回路106に対して行なえばよい。データプロセッサ100によるRAM107への書き込みが終了すると、データプロセッサ100から第1の外部インターフェース回路119に与え

られるコマンドにより、或はブートモード信号 503 のハイレベルからローレベルへの変化に応答して、C P U 1 0 9 に R A M 1 0 7 の先頭アドレスを指定するスタートベクタが供給される。これによて C P U 1 0 9 は R A M 1 0 7 に格納されたプログラムを実行する。ここでは、ユーザプログラムの初期的な書き込みという操作に着目しているのであるから、R A M 1 0 7 に格納される前記プログラムは少なくともユーザプログラムの書き込み制御プログラムであればよい。ユーザプログラム自身も前記プログラムと一緒に R A M 1 0 7 に予め転送されていてよい。或は、R A M 1 0 7 に転送された書き込み制御プログラムの実行により、ユーザプログラムをシリアルインタフェース回路 116 等から取り込んでメモリ 502 などに初期的に書き込むようにしてもよい。

リセット動作解除後の第 2 動作モードでは C P U 1 0 9 による命令フェッチの対象は、前記メモリ 501 又は 502 である。前記第 2 動作モードは、例えばリセット信号 504 がローレベルにされるリセット期間に、ブートモード信号 503 がローレベルにされて、リセット信号 504 がハイレベルにネゲートされてリセット動作が解除された動作状態である。これにより、C P U 1 0 9 は前記第 1 動作モードを介して前記メモリ 501 又は 502 に初期的に格納されたユーザプログラムを実行する。

前記第 1 のデータプロセッサ 100 から R A M 1 0 7 へブートプログラムとしての前記書き込み制御用プログラムを格納する動作を説明する。

先ず、第 2 のデータプロセッサ 101 をブートする前に、第 1 のデータプロセッサ 100 に接続しているメモリ 505 もしくはメモリカード 506 などの外部記憶もしくは図示を省略するシリアルインタフェースなどから入力したブートプログラムを第 1 のデータプロセッサ 100 が第 2 のデータプロセッサ 101 の R A M 1 0 7 に書き込む。

R A M 1 0 7 に転送するブートプログラムはアプリケーションまでを含んだものでも構わないが、次のような処理を含んでいれば短いブートプログラムで対応可能となる。例えば、R A M 1 0 7 上のプログラムには、第 1 のデータプロセッサ 1 0 0 から第 1 の外部インターフェイス回路 1 1 9 を介してプログラムの転送を行なってメモリ 5 0 1 又は 5 0 2 に書き込むプログラムが格納されている。或は、第 2 のデータプロセッサの周辺デバイス 1 1 6 のシリアル、U S B 、メモリカードを用いて、プログラムをメモリ 5 0 1 、 5 0 2 に転送して書き込むプログラムが格納される。

上記より、第 2 のデータプロセッサ 1 0 1 のブート用メモリ 5 0 1 、 5 0 2 がフラッシュメモリであった場合に、システム組み立ての後工程において本来ならフラッシュメモリを初期化する仕組みが必要であったが、R A M 1 0 7 からブートするモードでフラッシュメモリの初期化を行うことができるようになるため、データプロセッサ 1 0 1 の量産コストを低減することが可能になる。

第 7 図には第 6 図のデータ処理システムにおけるブート動作のタイミングチャートが例示される。

第 1 のデータプロセッサ 1 0 0 はブートモード信号 5 0 3 とリセット信号 5 0 4 を供給し、第 2 のデータプロセッサ 1 0 1 の起動を制御する。

第 1 のデータプロセッサはブートモード信号 5 0 3 をハイレベルにしてリセットを解除（リセット信号をローレベルからハイレベルに遷移）することで、R A M 1 0 7 からブートするモードで第 2 のデータプロセッサを起動し、第 1 の外部バス 1 0 3 を介して R A M 1 0 7 にブートプログラムを転送する。第 2 のデータプロセッサの C P U 1 0 9 は、ブートモード信号がハイレベルであることを検出し、第 1 の外部インタ

一フェイス回路 119 を介して RAM107 からブートプログラムを
フェッチする。CPU109 は、ブートプログラムの転送中には命令フ
エッチが抑止されるため、ブートプログラムの供給が行われず、ウェイ
トした状態におかれる。ブートプログラムの転送終了にあわせて第 1 の
5 データプロセッサ 100 は転送終了コマンドを第 1 の外部インターフ
ェイス回路 119 に転送し、第 1 の外部インターフェイス回路 119 は
CPU109 にブートプログラムのフェッチを指示することで、第 2 の
データプロセッサ 101 は RAM107 のプログラムで起動する。CP
U109 は RAM107 内のブートプログラムを実行し、内部高速バス
108 を経由して、メモリ 501, 502 にブートプログラムを書き込
む処理を行なう。メモリ 501, 502 へのブートプログラムの書き込み
が終了した段階で再度第 2 のデータプロセッサ 101 をリセットし(リ
セット信号 (RES) 504 をハイレベルからローレベルに遷移)、次
はブートモード信号 (BT) 503 をローレベルにした状態でリセット
10 を解除し、第 2 のデータプロセッサ 101 を起動する。これにより CP
U109 は、メモリ 501, 502 からブートプログラムをフェッチし、
これを実行することにより、第 2 のデータプロセッサのデータ処理動作
が起動される。

第 7 図の例は、第 1 の外部バス 103 を介して、第 1 のデータプロセ
20 ッサ 100 に接続しているメモリ 505 若しくはメモリカード 506
からメモリ 501, 502 にブートプログラムを供給する動作タイミング
を示している。

第 8 図には第 6 図のデータ処理システムにおけるブート動作の別の
タイミングチャートが例示される。同図に示されるタイミングは、第 2
25 のデータプロセッサ 101 にあるシリアルや USB116 等を介して
メモリ 501, 502 に格納するブートプログラムを供給する場合を想

定している。その他の点は第7図と同じである。

第9図にはメモリ501又は502にブートプログラムが格納されている状態において、ブートプログラムの更新又は第2のデータプロセッサ101で実行されるアプリケーションを追加／更新する場合のタ

5 イミングチャートが例示される。

第1のデータプロセッサ100はブートモード信号503をローレベルにしてリセットを解除することで、第2のデータプロセッサ101はメモリ501, 502からブートプログラムをフェッチし起動を開始する。メモリ501, 502には予めブートプログラムの更新又はプロセッサ2で実行されるアプリケーションを追加／更新するための転送プログラムが格納されており、第1のデータプロセッサ100からの起動指示等により転送プログラムが起動される。例えば第1のデータプロセッサ100に接続されるアンテナを介して、無線通信により追加のアプリケーションを受信する場合、第1のプロセッサ100は受信した追加のアプリケーションを外部バス103を介してRAM107に転送する。第2のデータプロセッサ101はRAM107に格納された追加のアプリケーションを第1の外部インターフェイス回路119を介して内部バス108に取り込み、メモリ501又は502に転送して書き込む。

20 第10図には第3図のデータプロセッサ300を構成するマルチチップモジュールの断面図が例示される。高密度実装基板510の一面には、ガラスエポキシ基板で成るようなプリント配線基板の実装面に接続されるバンプ電極511が多数配列され、他方の面には前記バンプ電極511に接続されたマイクロバンプ電極512及びパッド電極513が多数配置される。マイクロバンプ電極512の一部には前記半導体チップ302のボンディングパッドがフェースダウンで実装される。前記

半導体チップ302の上に別の半導体チップ301が積層配置され、この半導体チップ301のボンディングパッドはボンディングワイヤ515にて対応する前記パッド電極513に接続される。ボンディングワイヤ515及び半導体チップ301, 302の全体は樹脂516でモールドされる。

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えばデータプロセッサが内蔵する周辺回路やその他の回路モジュールは第1図などに基づいて説明した回路に限定されず適宜変更することが可能である。データプロセッサの内部バスは高速バスと低速バスに別れていなくてもよい。また、第1の回路部と第2の回路部に対する動作電源系統は外部電源端子から別々にしなくとも、スイッチ回路で電源供給の停止を制御できるようにしてもよい。また、データプロセッサをマルチチップモジュールとして構成するとき、登載する半導体集積回路の種類は上記の例に限定されず、フラッシュメモリ502のような半導体チップと、その他CPU109などのプロセッサコアチップ、及び半導体チップ301のようなインターフェースチップを合計3枚登載してもよい。フラッシュメモリチップはマルチチップモジュールに複数チップ登載してもよい。

20

産業上の利用可能性

本発明は、携帯電話システム、更には表示制御システム、プリンタシステム、その他の携帯情報端末等、複数のデータプロセッサを用いて処理負担の分散を企図したデータ処理システム、そしてそのようなデータ処理システムを利用するデータプロセッサに広く適用することができる。

請求の範囲

1. 第1のデータプロセッサ及び第2のデータプロセッサを含むデータ処理システムであって、前記第2のデータプロセッサは、前記第1のデータプロセッサが前記第2のデータプロセッサの内部バスのバス権を獲得することを可能とするインターフェース手段を内蔵し、前記インターフェース手段は、前記内部バスのバス権を獲得した第1のデータプロセッサによる前記内部バスに接続された入出力回路のアクセスを可能にするものである、ことを特徴とするデータ処理システム。
5
10
2. 前記入出力回路は、SDRAMに接続可能なSDRAMインターフェース回路、液晶ディスプレイ装置に接続可能なLCDインターフェース回路、メモリカードに接続可能なメモリカードインターフェース回路、シリアルインターフェース回路、揮発性メモリ、電気的に書き換え可能な不揮発性メモリ、及び汎用入出力ポート回路の中から選ばれた単数若しくは複数の回路であることを特徴とする請求の範囲第1項記載のデータ処理システム。
15
3. 前記インターフェース手段は、第2のデータプロセッサ内部からのアクセスと前記第1のデータプロセッサからのアクセスとに排他的に応答して動作可能とするバッファRAMを含むことを特徴とする請求の範囲第2項記載のデータ処理システム。
20
4. 第1のデータプロセッサ、前記第1のデータプロセッサに接続される第1のバス、前記第1のバスに接続される第2のデータプロセッサ、及び前記第2のデータプロセッサに接続される第2のバスを含むデータ処理システムであって、
25
前記第2のデータプロセッサは、前記第1のバスに一方が接続され内

部バスに他方が接続される第1の外部インターフェース回路と、前記第2のバスに一方が接続され内部バスに他方が接続される第2の外部インターフェース回路と、第2のデータプロセッサの待機状態において前記第2の外部インターフェース回路の前記一方の代わりに前記第1のインターフェース回路の前記一方を前記第2のバスに接続する切換え回路と、を含んで成るものであることを特徴とするデータ処理システム。

5. 前記第2のデータプロセッサの待機状態は、前記第2のデータプロセッサに含まれるクロック同期回路へのクロック信号の供給が停止される状態であることを特徴とする請求の範囲第4項記載のデータ処理システム。

6. 前記第2のデータプロセッサにおいて前記切換え回路の動作電源とその他の回路の動作電源とを分離可能とし、前記第2のデータプロセッサの待機状態に応答して前記その他の回路の全部又は一部への動作電源の供給を停止させる電源制御回路を更に含んで成るものであることを特徴とする請求の範囲第5項記載のデータ処理システム。

7. 前記第2の外部インターフェース回路は液晶ディスプレイコントローラに接続可能なLCDインターフェース回路を含み、
前記第2のバスには液晶ディスプレイコントローラが接続され、
前記第1のデータプロセッサは前記切換え回路を介して前記液晶ディスプレイコントローラを制御可能であることを特徴とする請求の範囲第6項記載のデータ処理システム。

8. 第1のデータプロセッサ及び第2のデータプロセッサを含むデータ処理システムであって、
前記第2のデータプロセッサは、リセット動作解除後の第1動作モードにおいて前記第1のデータプロセッサにより書き込み可能にされ

る揮発性メモリと、

前記第1動作モードによる書き込み後における命令フェッチの対象を前記揮発性メモリとするC P Uと、

リセット動作解除後の第2動作モードにおいてC P Uによる命令フェッチの対象とされる電気的に書換え可能な不揮発性メモリとを含み、
5

前記第1のデータプロセッサは、第2のデータプロセッサに第1動作モードを指定し、前記揮発性メモリに、前記不揮発性メモリに対する書き込み制御用プログラムを格納して、前記C P Uに命令フェッチを
10 許可する、ことを特徴とするデータ処理システム。

9. 第1のデータプロセッサ、第2のデータプロセッサ及び電気的に書換え可能な不揮発性メモリを含むデータ処理システムであって、

前記第2のデータプロセッサは、リセット動作解除後の第1動作モードにおいて前記第1のデータプロセッサにより書き込み可能にされる揮発性メモリと、
15

前記第1動作モードによる書き込み後における命令フェッチの対象を前記揮発性メモリとするC P Uと、を含み、

前記不揮発性メモリは、リセット動作解除後の第2動作モードにおいて前記C P Uによる命令フェッチの対象とされ、

前記第1のデータプロセッサは、第2のデータプロセッサに第1動作モードを指定し、前記揮発性メモリに、前記不揮発性メモリに対する書き込み制御用プログラムを格納して、前記C P Uに命令フェッチを許可する、ことを特徴とするデータ処理システム。
20

10. C P Uと、前記C P Uに接続する内部バスと、前記内部バスに接続する周辺回路と、第1の外部端子に一方が接続され前記内部バスに他方が接続される第1の外部インターフェース回路と、第2の外部端
25

子に一方が接続され前記内部バスに他方が接続される第2の外部インターフェース回路とを含み、

前記第1の外部インターフェース回路は外部からのアクセス要求に応答して、内部バスのバス権を獲得し、内部バスに接続された前記周辺回路のアクセスを可能にする、ものであることを特徴とするデータプロセッサ。
5

11. C P Uの待機状態において前記第2の外部インターフェース回路の一方の代わりに前記第1の外部端子を前記第2の外部端子に接続する切換え回路を更に含んで成る、ものであることを特徴とする請求の範囲第10項記載のデータプロセッサ。
10

12. リセット動作解除後の第1動作モードにおいて前記第1の外部インターフェース回路を介し外部から書き込み可能にされる揮発性メモリと、プログラムメモリとを更に含み、

前記C P Uは、前記第1動作モードによる書き込み後に前記不揮発性メモリから命令をフェッチして実行可能であり、また、C P Uは、リセット動作解除後の第2動作モードにおいて前記プログラムメモリから命令をフェッチして実行可能であることを特徴とする請求の範囲第1.1項記載のデータプロセッサ。
15

13. 前記プログラムメモリは電気的に書き換え可能な不揮発性メモリであることを特徴とする請求の範囲第12項記載のデータプロセッサ。
20

14. 前記C P U、前記内部バス、前記第1の外部インターフェース回路、前記第2の外部インターフェース回路、前記切換え回路、前記揮発性メモリ、及び前記プログラムメモリが1個の半導体基板上に形成されて成るものであることを特徴とする請求の範囲第13項記載のデータプロセッサ。
25

15. 前記C P U、前記内部バス、前記第1の外部インターフェース回路、前記第2の外部インターフェース回路、前記切換え回路、及び前記揮発性メモリは第1の半導体基板上に形成され、前記プログラムメモリは第2の半導体基板上に形成され、前記第1の半導体基板と第2の半導体基板は1個のパッケージに封入されて成るものであることを特徴とする請求の範囲第13項記載のデータプロセッサ。

16. 第1のバスに接続される第1の端子と、第2のバスに接続される第2の端子と、第1の状態又は第2の状態を選択的に採り得る第1の内部回路と、第2の内部回路と、前記第1の端子から前記第1の内部回路と前記第2の内部回路を介して前記第2の端子に接続される第1の信号経路と、前記第1の端子から前記第2の内部回路を介して前記第2の端子に接続される第2の信号経路とを含み、前記第2の内部回路は、前記第1の内部回路の状態に応じて、前記第1の信号経路と前記第2の信号経路の何れかの信号経路を選択することを特徴とするデータプロセッサ。

17. 前記第1の状態は前記第1の内部回路が命令を実行可能な動作状態であり、前記第2の状態は命令の実行が抑止される待機状態であり、前記第2の内部回路は、動作状態において前記第1の経路を選択し、待機状態において第2の経路を選択することを特徴とする請求項1記載のデータプロセッサ。

18. 前記第1の内部回路に対する第1の電源の供給と前記第2の内部回路に対する第2の電源の供給とを制御する電源制御回路を有し、前記電源制御回路は、前記第2の内部回路に前記第2の信号経路が選択される場合に第1の内部回路の全部又は一部への第1の電源の供給を停止することを特徴とする請求項16記載のデータプロセッサ。

19. 前記第1の内部回路、第2の内部回路、及び電源制御回路は1

個の半導体基板上に形成されて成ることを特徴とする請求項 1 8 記載のデータプロセッサ。

20. 前記第 1 の内部回路及び前記電源制御回路は第 1 の半導体基板上に形成され、前記第 2 の内部回路は第 2 の半導体基板上に形成され、
5 前記第 1 の半導体基板と第 2 の半導体基板は 1 個のパッケージに封入されて成ることを特徴とする請求項 1 8 記載のデータプロセッサ。

21. 前記第 1 の内部回路に同期動作用のクロック信号を供給するクロック制御回路を有し、
前記クロック制御回路は、前記第 2 の内部回路に前記第 2 の信号経路
10 が選択される場合に前記第 1 の内部回路へのクロック信号の供給を停止することを特徴とする請求項 1 6 記載のデータプロセッサ。

22. 前記第 1 の内部回路に対する第 1 の電源の供給と前記第 2 の内部回路に対する第 2 の電源の供給とを制御する電源制御回路を有し、
前記電源制御回路は、前記第 1 の内部回路へのクロック信号の供給が
15 停止されるとき、前記第 1 の内部回路の全部又は一部への電源供給を停止することを特徴とする請求項 2 1 記載のデータプロセッサ。

23. 前記第 1 の内部回路、第 2 の内部回路、クロック制御回路、及び電源制御回路は 1 個の半導体基板上に形成されて成ることを特徴とする請求項 2 2 記載のデータプロセッサ。

20 24. 前記第 1 の内部回路、クロック制御回路及び電源制御回路は第 1 の半導体基板上に形成され、前記第 2 の内部回路は第 2 の半導体基板上に形成され、前記第 1 の半導体基板と第 2 の半導体基板は 1 個のパッケージに封入されて成ることを特徴とする請求項 2 2 記載のデータプロセッサ。

25 25. 第 1 のバスに接続される第 1 端子と、第 2 のバスに接続される第 2 端子と、第 1 の内部回路と、第 2 の内部回路と、前記第 1 端子と

前記第1の内部回路とを接続する第1信号配線と、前記第1の内部回路と第2の内部回路とを接続する第2信号配線と、前記第1端子と前記第2の内部回路とを接続する第3信号配線と、前記第2の内部回路と前記第2端子とを接続する第4信号配線とを有し、

5 前記第2の内部回路は、前記第2信号配線と第3信号配線のどちらの信号配線を第4信号配線に接続するかを選択する選択手段を有して成ることを特徴とするデータプロセッサ。

26. 第1のバスと、第2のバスと、前記第1のバス及び第2のバスに接続されるデータプロセッサとを有し、

10 前記データプロセッサは、第1動作態様と第2動作態様を有し、前記第1動作態様において前記データプロセッサは、前記第1のバスから供給された情報を処理し、前記第2のバスに所定の情報を供給可能とし、

15 前記第2動作態様において前記データプロセッサは、前記第1のバスから供給された情報をそのまま前記第2のバスに供給することを特徴とする情報処理システム。

27. 第1乃至第3の半導体集積回路、前記第1の半導体集積回路と第2の半導体集積回路とを接続する第1のバス、及び前記第2の半導体集積回路と第3の半導体集積回路とを接続する第2のバスを有し、前記第2の半導体集積回路は、第1の動作態様と第2の動作態様を有し、

前記第1の動作態様は、前記第2の半導体集積回路が前記第1の半導体集積回路から供給される情報に基づいて所定の処理を行い、前記第3の半導体集積回路に処理結果を供給する動作態様であり、

25 前記第2の動作態様は、前記第2の半導体集積回路が前記第1の半導体集積回路から供給される情報をそのまま前記第3の半導体集積回

路に供給する動作態様である、ことを特徴とする携帯電話システム。

28. 前記第2の半導体集積回路が前記第1又は第2の動作態様の何
れの動作態様に遷移すべきかを制御する制御信号を、前記第1の半導
体集積回路が供給することを特徴とする請求項27記載の携帯電話
5 システム。

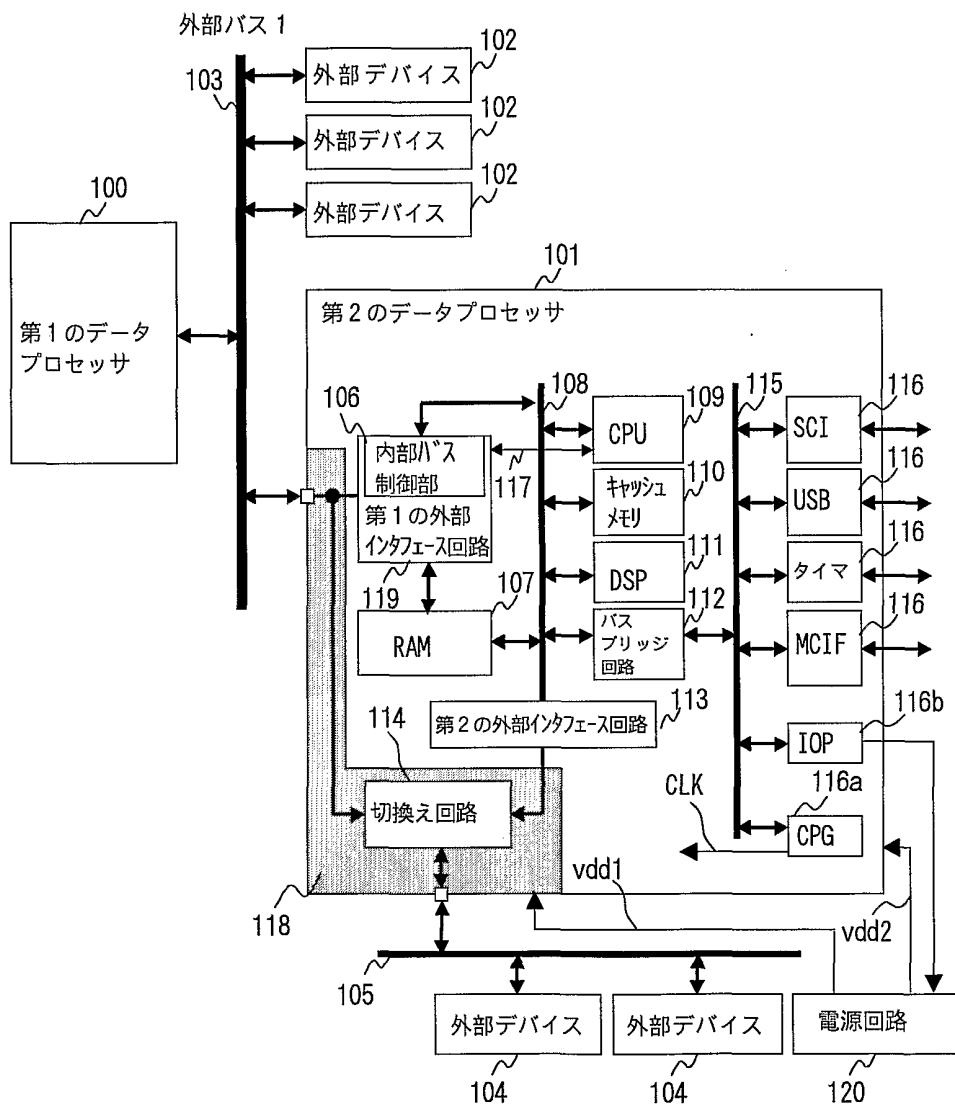
29. 前記第1の半導体集積回路は、ベースバンド処理用であり、前
記第3の半導体集積回路は表示制御用であることを特徴とする請求
項28記載の携帯電話システム。

30. 前記所定の処理は、少なくとも画像を取り扱うための信号処理
10 であることを特徴とする請求項29記載の携帯電話システム。

31. 前記第2のバスに記憶装置が接続され、前記記憶装置は、前記
第2の半導体集積回路で行う処理を規定した処理プログラムを格納
することを特徴とする請求項30記載の携帯電話システム。

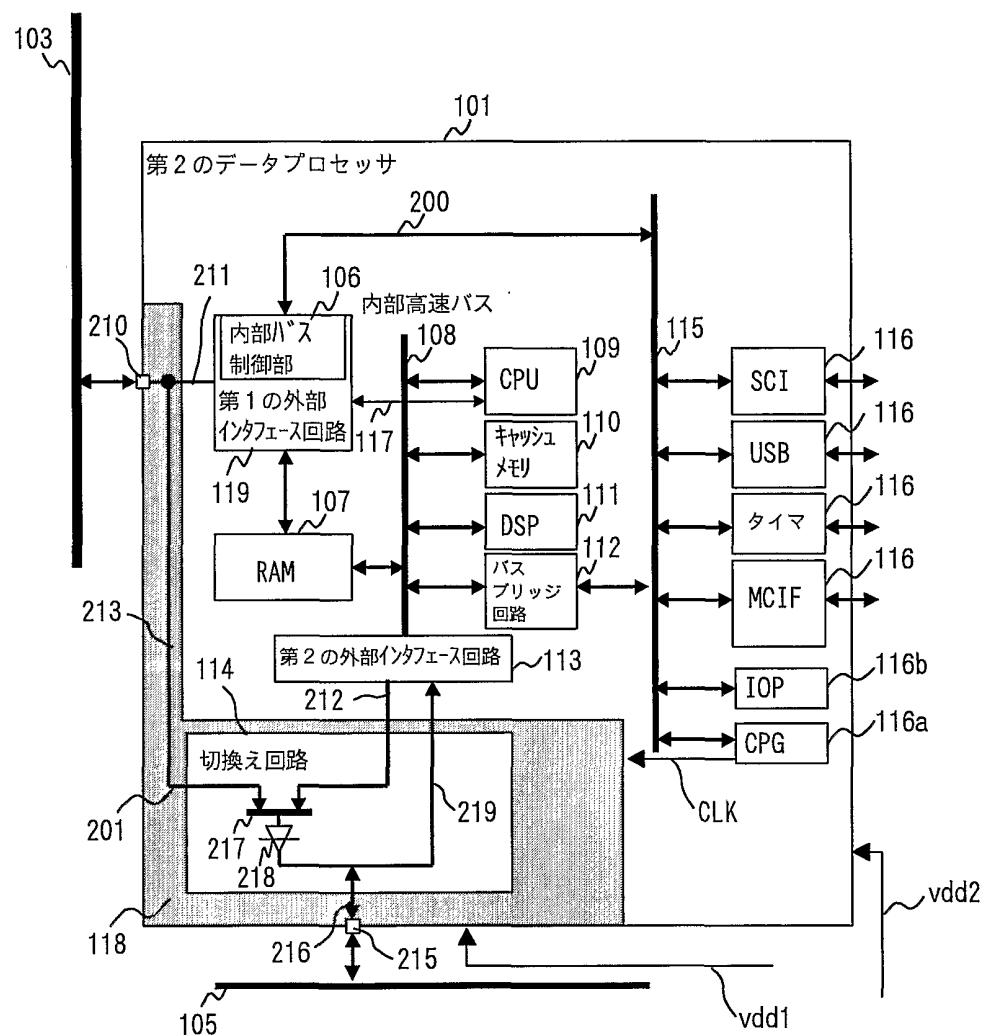
1 / 10

第1図



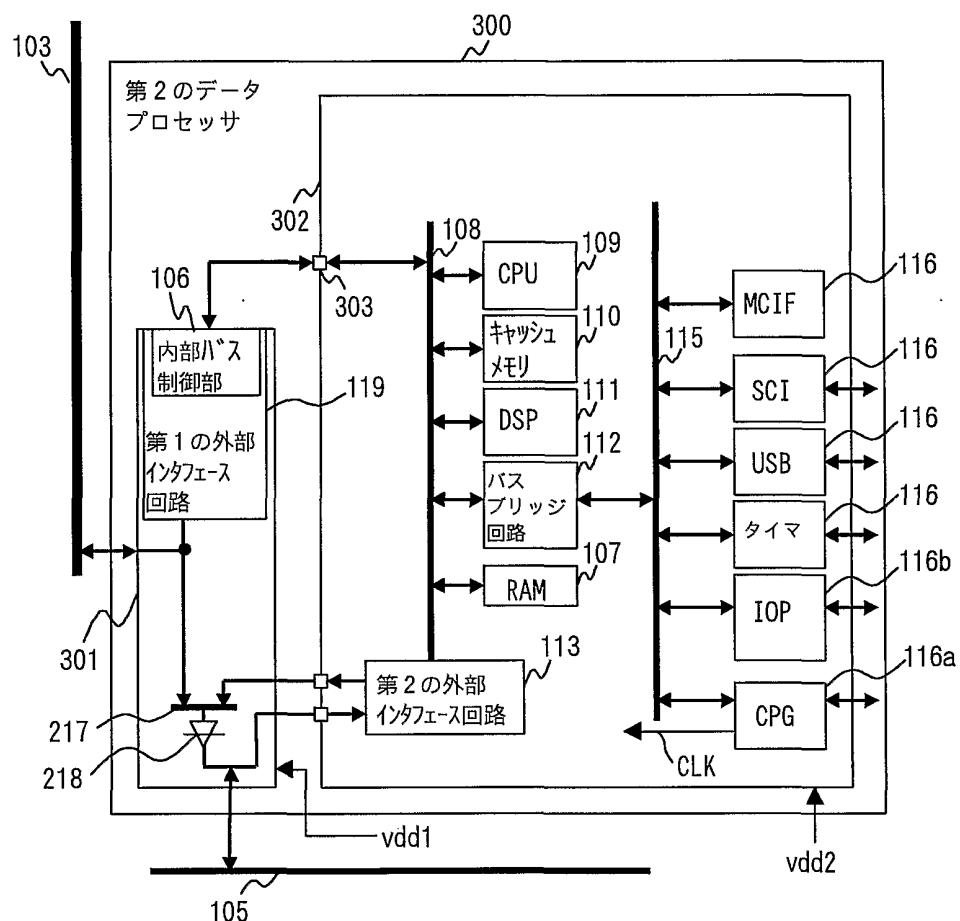
2 / 10

第2図



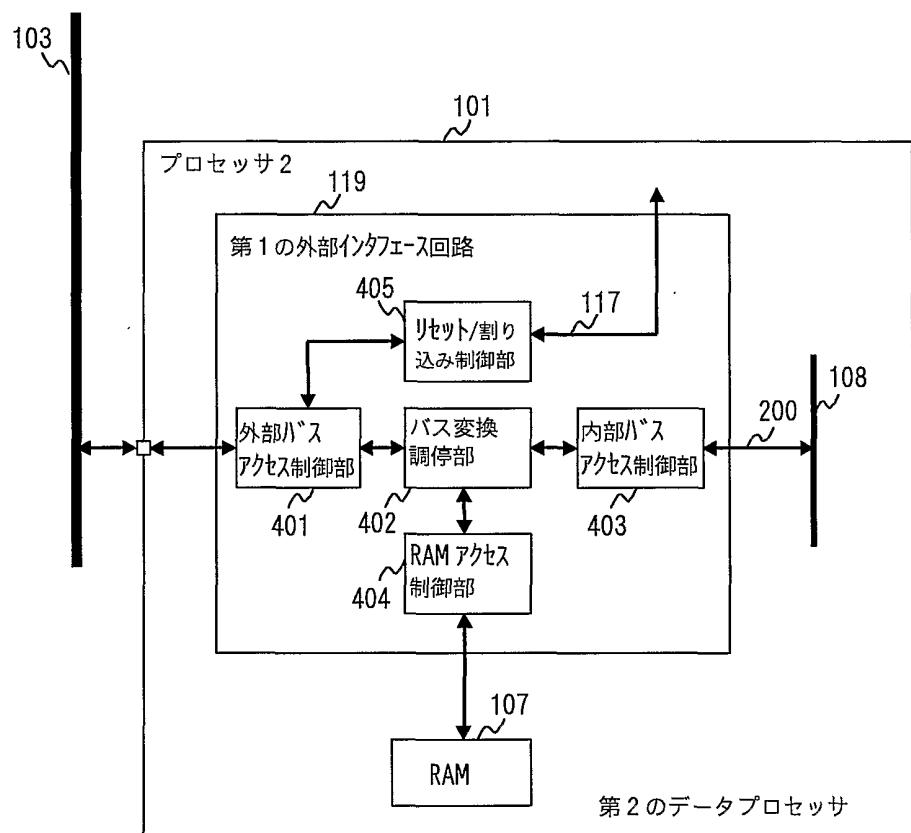
3 / 10

第3図



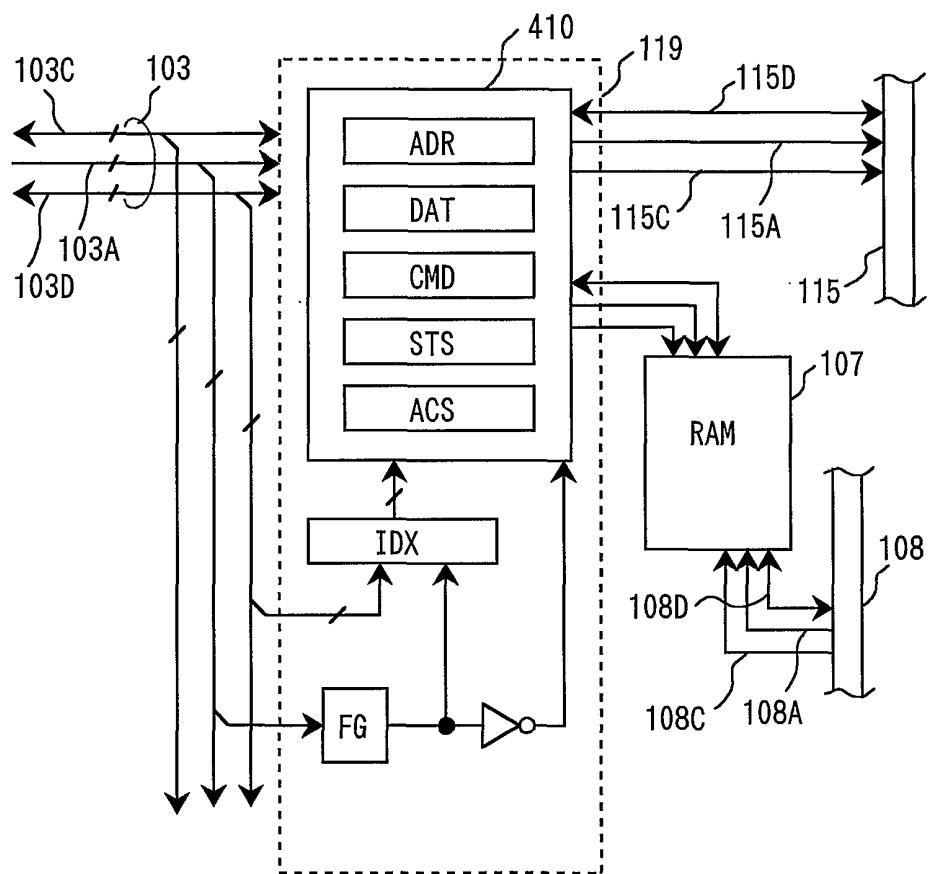
4 / 10

第4図



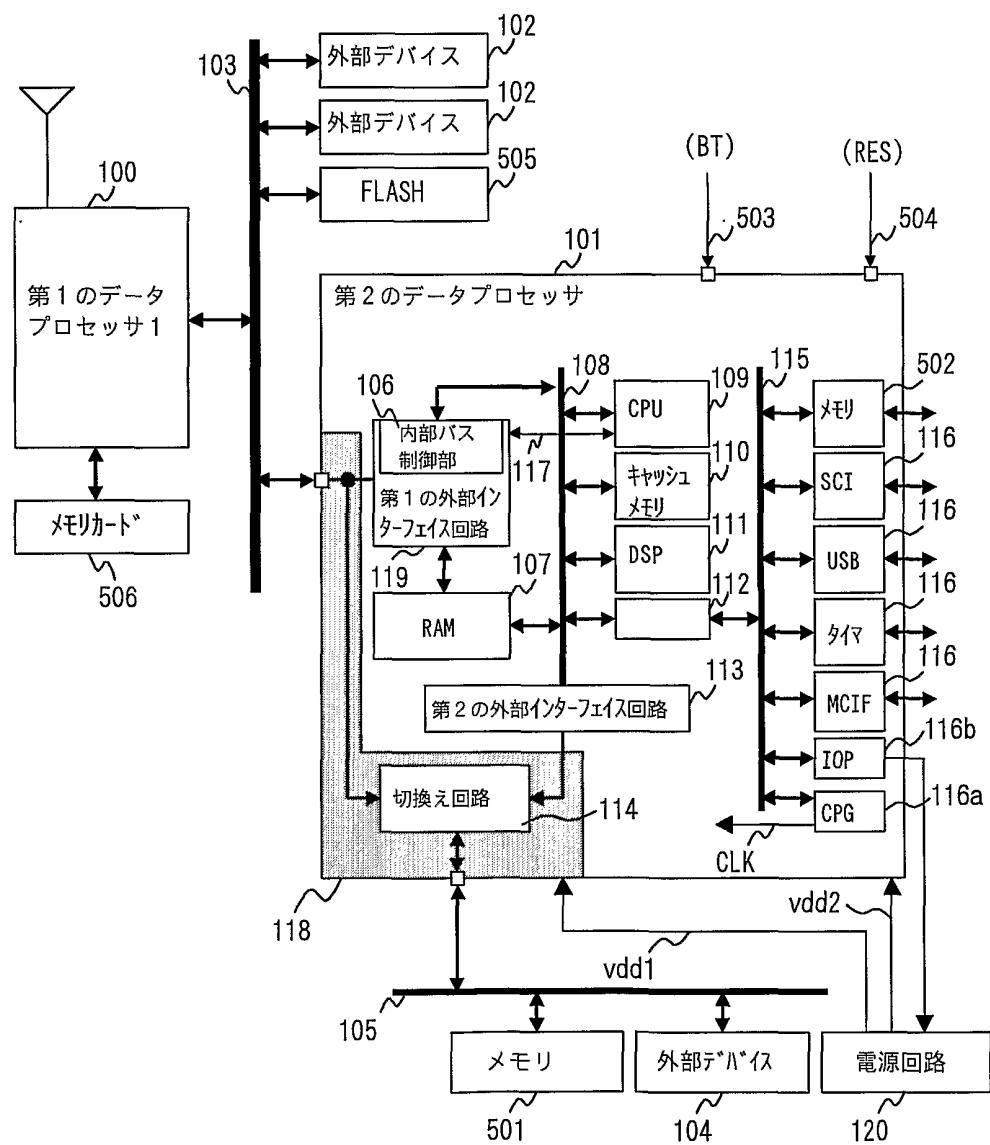
5 / 10

第5図



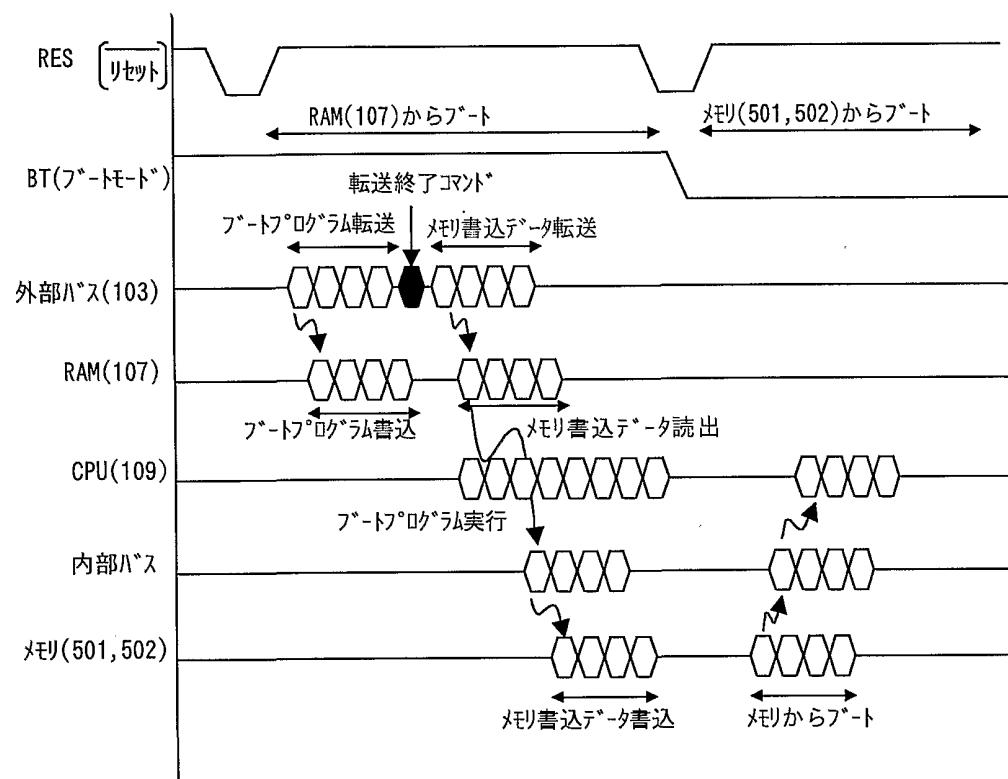
6 / 10

第6図



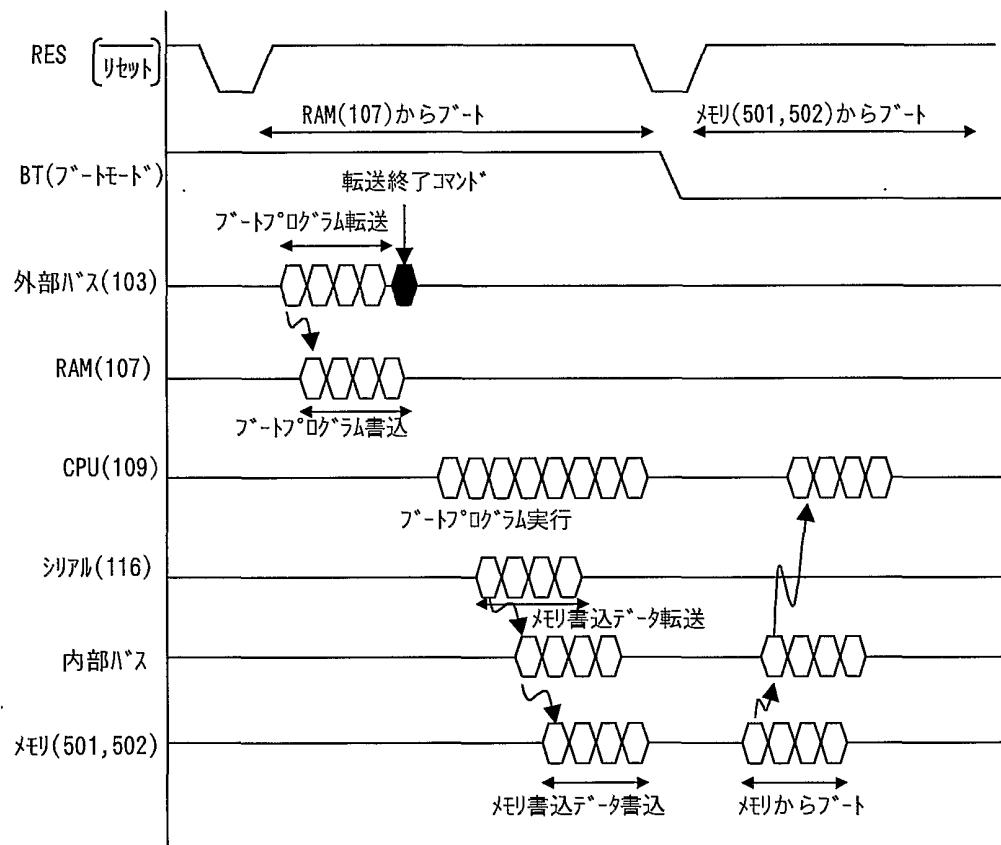
7 / 10

第7回



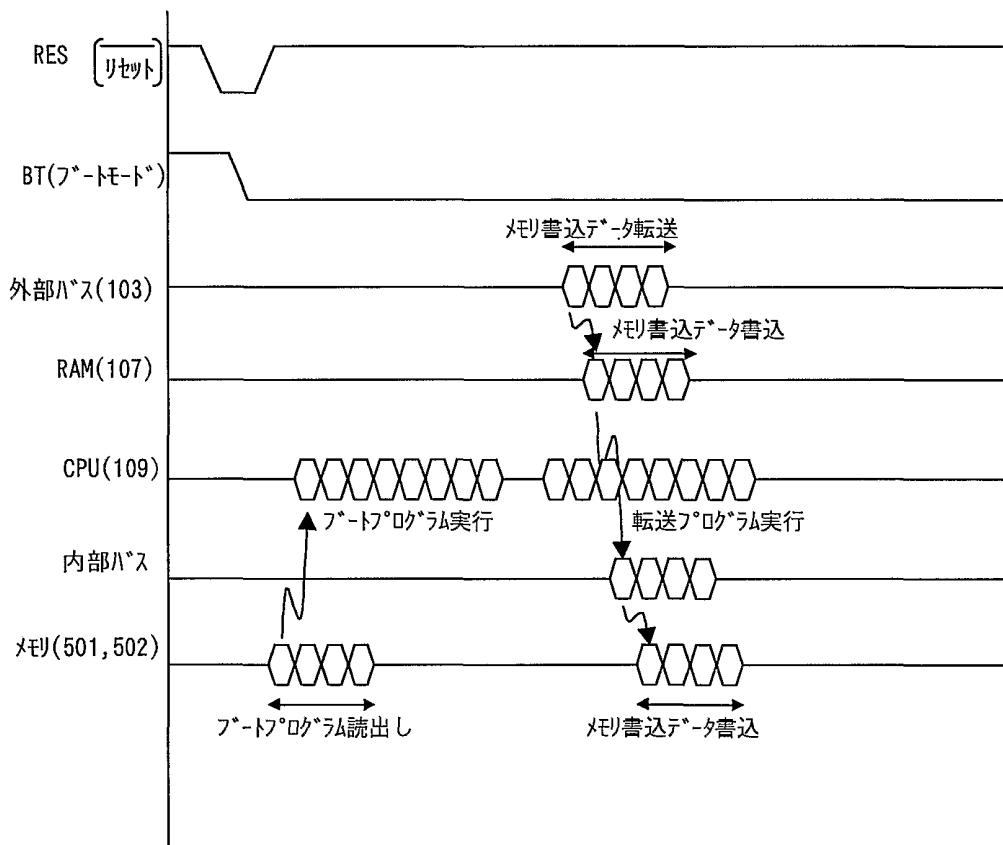
8 / 10

第8図



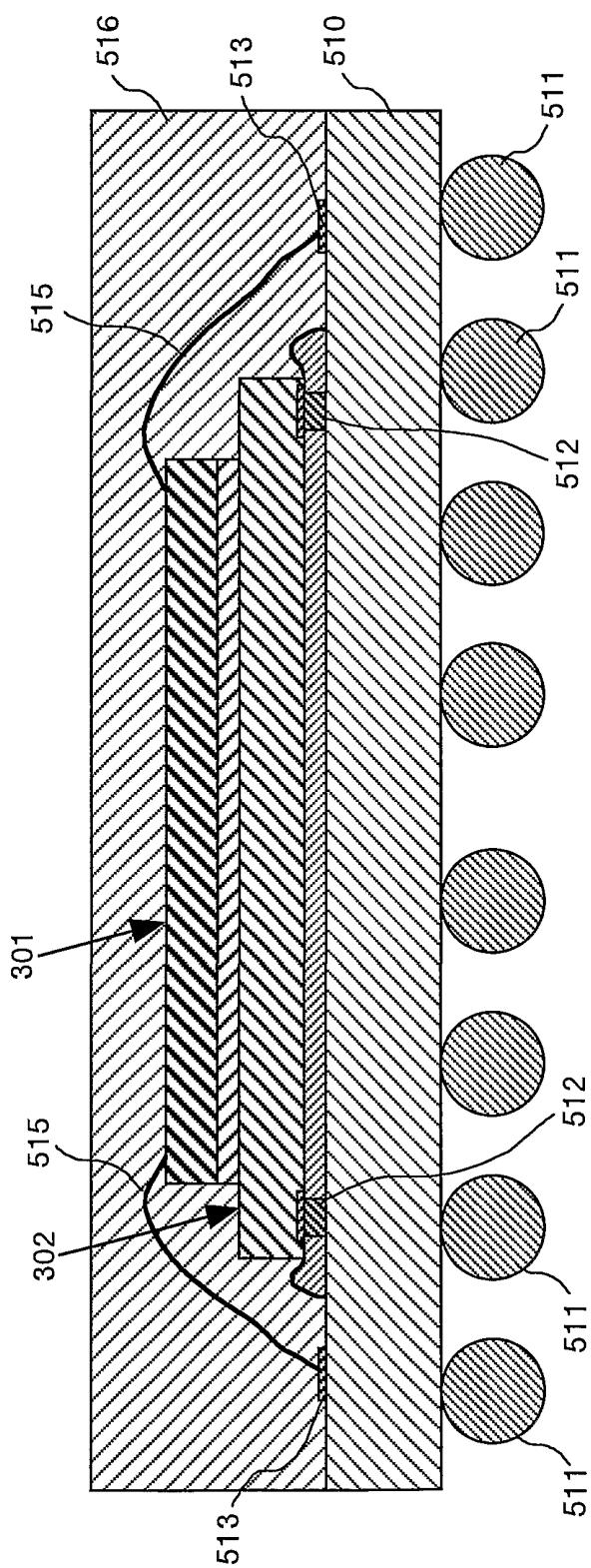
9 / 10

第9図



10 / 10

第10図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09322

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F 13/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F 13/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2002
Kokai Jitsuyo Shinan Koho 1971-2002 Jitsuyo Shinan Toroku Koho 1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-134484 A (Sony Corporation), 21 May, 1999 (21.05.1999), Par. Nos.[0009]-[0012]; Figs. 1 to 2	1-2 10 26
Y	Par. Nos.[0009]-[0012]; Figs. 1 to 2 (Family: none)	3-9 11-25 27-31
Y	JP 7-36704 A (NEC Corporation), 07 February, 1995 (07.02.1995), Par. Nos.[0005]-[0008] (Family: none)	3 8-9 12-15
Y	JP 3-63868 A (Hitachi, Ltd.), 19 March, 1991 (19.03.1991), Full text; Figs. 1 to 9 (Family: none)	4-7 11-25
Y	DE 19950255 A1 (Fujitsu Ltd.), 15 June, 2000 (15.06.2000), Column 3, lines 48 to 65; Fig. 1 & JP 2000-163312 A	5-7 21-24

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier document but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 January, 2002 (24.01.02)	Date of mailing of the international search report 05 February, 2002 (05.02.02)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09322

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 5-151075 A (Oki Electric Industry Co., Ltd.), 18 June, 1993 (18.06.1993), Full text; Figs. 1 to 4 (Family: none)	6-7 18-20 22-24
Y	JP 2000-10702 A (Pioneer Electronic Corporation), 14 January, 2000 (14.01.2000), Full text; Fig. 2 (Family: none)	7 27-31
Y	GB 2344217 A (NEC Corporation), 31 May, 2000 (31.05.2000), Full text; Figs. 1 to 6 & JP 2000-164796 A	14-15 19-20 23-24 27-31

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/09322

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

Claims 1-7, 10-31 relate to a technology of using the internal function or external circuit of a data processor from another data processor or device connected with the interface of the first data processor.

Claims 8-9 relate to a technology of initially writing a program to be run by a data processor into a nonvolatile memory.

1. As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest The additional search fees were accompanied by the applicant's protest.
 No protest accompanied the payment of additional search fees.

国際調査報告

国際出願番号 PCT/JP01/09322

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. C17 G06F 13/36

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. C17 G06F 13/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国登録実用新案公報	1994-2002年
日本国実用新案登録公報	1996-2002年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 11-134484 A (ソニー株式会社) 1999.05.21, 段落番号【0009】-【0012】，第1-2図	1-2 10 26
Y	段落番号【0009】-【0012】，第1-2図 (ファミリーなし)	3-9 11-25 27-31

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願目前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願目前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

24.01.02

国際調査報告の発送日

05.02.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

藤井 浩

印

5R 2950

電話番号 03-3581-1101 内線 3565

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
Y	J P 7-36704 A (日本電気株式会社) 1995. 02. 07, 段落番号【0005】-【0008】(ファミリーなし)	3 8-9 12-15
Y	J P 3-63868 A (株式会社日立製作所) 1991. 03. 19, 全文, 第1-9図 (ファミリーなし)	4-7 11-25
Y	DE 19950255 A1 (F u j i t s u L t d.) 2000. 06. 15, 第3欄 第48-65行, 第1図 & J P 2000-163312 A	5-7 21-24
Y	J P 5-151075 A (沖電気工業株式会社) 1993. 06. 18, 全文, 第1-4図 (ファミリーなし)	6-7 18-20 22-24
Y	J P 2000-10702 A (パイオニア株式会社) 2000. 01. 14, 全文, 第2図 (ファミリーなし)	7 27-31
Y	GB 2344217 A (NEC Corporation) 2000. 05. 31, 全文, 第1-6図 & J P 2000-164796 A	14-15 19-20 23-24 27-31

第I欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第II欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-7, 10-31は、データプロセッサのインターフェースに接続している別のデータプロセッサ又はデバイスから、当該データプロセッサの内部機能又は外付け回路を利用する技術に関するものである。

請求の範囲8-9は、データプロセッサが実行すべきプログラムを不揮発性メモリに初期的に書き込む技術に関するものである。

1. 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかつたので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. 出願人が必要な追加調査手数料を期間内に納付しなかつたので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがなかつた。