



(21)申請案號：101126610

(22)申請日：中華民國 101 (2012) 年 07 月 24 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L27/115 (2006.01)

(30)優先權：2011/08/31 中國大陸

201110289174.0

2012/07/16 世界智慧財產權組織

PCT/US12/46947

(71)申請人：超捷公司(美國) SILICON STORAGE TECHNOLOGY, INC. (US)
美國

(72)發明人：王春明 WANG, CHUNMING (CN)；喬保衛 QIAO, BAOWEI (CN)；張祖發 ZHANG, ZUFA (CN)；章儀 ZHANG, YI (CN)；王序倫 WANG, SHIUH LUEN (US)；呂文瑞 LU, WEN-JUEI (US)

(74)代理人：惲軼群；陳文郎

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 24 頁

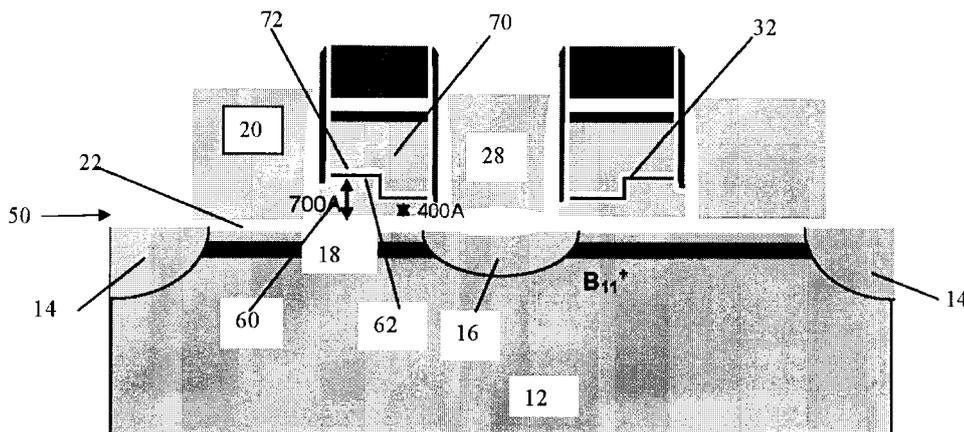
(54)名稱

具有帶改進耦合比的浮閘和耦合閘的非易失性記憶體胞元

A NON-VOLATILE MEMORY CELL HAVING A FLOATING GATE AND A COUPLING GATE WITH IMPROVED COUPLING RATIO THEREBETWEEN

(57)摘要

非易失性記憶體胞元具有帶頂面的第一導電類型的半導體襯底。第二導電類型的第二區域沿頂面處於襯底中。第二導電類型的第二區域沿頂面處於襯底中，與第一區域間隔開。溝道區處於第一區域與第二區域之間。字線閘定位在溝道區的第一部分之上，與第一區域緊鄰。字線閘通過第一絕緣層與溝道區間隔開。浮閘定位在溝道區的另一部分之上。浮閘具有通過第二絕緣層與溝道區分隔的下表面以及與下表面相對的上表面。浮閘還具有與字線閘相鄰但分隔開的第一側壁以及與第一側壁相對的第二側壁。浮閘的上表面在從第一側壁到第二側壁具有非平坦輪廓。耦合閘定位在浮閘的上表面之上，並且通過第三絕緣層與其絕緣。耦合閘具有下表面，其輪廓沿用浮閘的上表面的輪廓。擦除閘定位成與浮閘的第二側壁相鄰。擦除閘定位在第二區域之上，並且與其絕緣。還公開前面所述記憶體胞元的陣列以及製作前面所述記憶體胞元的方法。



12：半導體襯底

14：第一區域

16：第二區域

18：溝道區

20：字線

22：氧化矽層

28：擦除閘

32：絕緣層

50：記憶體胞元

60：浮閘

62：上表面

70：耦合閘

72：下表面



(21)申請案號：101126610

(22)申請日：中華民國 101 (2012) 年 07 月 24 日

(51)Int. Cl. : H01L21/8247(2006.01)

H01L27/115 (2006.01)

(30)優先權：2011/08/31 中國大陸

201110289174.0

2012/07/16 世界智慧財產權組織

PCT/US12/46947

(71)申請人：超捷公司(美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72)發明人：王春明 WANG, CHUNMING (CN) ; 喬保衛 QIAO, BAOWEI (CN) ; 張祖發

ZHANG, ZUFA (CN) ; 章儀 ZHANG, YI (CN) ; 王序倫 WANG, SHIUH LUEN

(US) ; 呂文瑞 LU, WEN-JUEI (US)

(74)代理人：惲軼群；陳文郎

申請實體審查：有 申請專利範圍項數：20 項 圖式數：5 共 24 頁

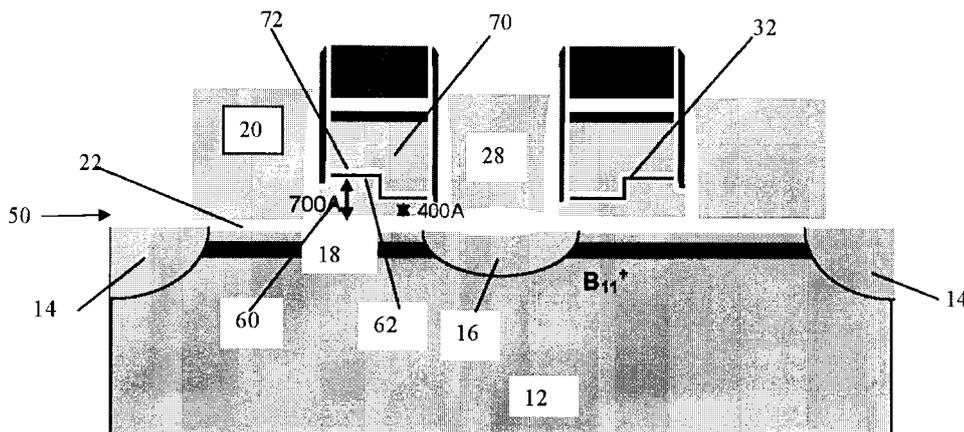
(54)名稱

具有帶改進耦合比的浮閘和耦合閘的非易失性記憶體胞元

A NON-VOLATILE MEMORY CELL HAVING A FLOATING GATE AND A COUPLING GATE WITH IMPROVED COUPLING RATIO THEREBETWEEN

(57)摘要

非易失性記憶體胞元具有帶頂面的第一導電類型的半導體襯底。第二導電類型的第二區域沿頂面處於襯底中。第二導電類型的第二區域沿頂面處於襯底中，與第一區域間隔開。溝道區處於第一區域與第二區域之間。字線閘定位在溝道區的第一部分之上，與第一區域緊鄰。字線閘通過第一絕緣層與溝道區間隔開。浮閘定位在溝道區的另一部分之上。浮閘具有通過第二絕緣層與溝道區分隔的下表面以及與下表面相對的上表面。浮閘還具有與字線閘相鄰但分隔開的第一側壁以及與第一側壁相對的第二側壁。浮閘的上表面在從第一側壁到第二側壁具有非平坦輪廓。耦合閘定位在浮閘的上表面之上，並且通過第三絕緣層與其絕緣。耦合閘具有下表面，其輪廓沿用浮閘的上表面的輪廓。擦除閘定位成與浮閘的第二側壁相鄰。擦除閘定位在第二區域之上，並且與其絕緣。還公開前面所述記憶體胞元的陣列以及製作前面所述記憶體胞元的方法。



12：半導體襯底

14：第一區域

16：第二區域

18：溝道區

20：字線

22：氧化矽層

28：擦除閘

32：絕緣層

50：記憶體胞元

60：浮閘

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：101126610

※ 申請日：101.7.24

※IPC 分類：

H01L 21/8247 (2006.01)

H01L 27/115 (2006.01)

一、發明名稱：(中文/英文)

具有帶改進耦合比的浮閘和耦合閘的非易失性記憶體胞元
 A NON-VOLATILE MEMORY CELL HAVING A FLOATING GATE AND A COUPLING GATE WITH IMPROVED COUPLING RATIO THEREBETWEEN

二、中文發明摘要：

非易失性記憶體胞元具有帶頂面的第一導電類型的半導體襯底。第二導電類型的第二區域沿頂面處於襯底中。第二導電類型的第二區域沿頂面處於襯底中，與第一區域間隔開。溝道區處於第一區域與第二區域之間。字線閘定位在溝道區的第一部分之上，與第一區域緊鄰。字線閘通過第一絕緣層與溝道區間隔開。浮閘定位在溝道區的另一部分之上。浮閘具有通過第二絕緣層與溝道區分隔的下表面以及與下表面相對的上表面。浮閘還具有與字線閘相鄰但分隔開的第一側壁以及與第一側壁相對的第二側壁。浮閘的上表面在從第一側壁到第二側壁具有非平坦輪廓。耦合閘定位在浮閘的上表面之上，並且通過第三絕緣層與其絕緣。耦合閘具有下表面，其輪廓沿用浮閘的上表面的輪廓。擦除閘定位成與浮閘的第二側壁相鄰。擦除閘定位在第二區域之上，並且與其絕緣。還公開前面所述記憶體胞元的陣列以及製作前面所述記憶體胞元的方法。

三、英文發明摘要：

A non-volatile memory cell has a semiconductor substrate of a first conductivity type with a top surface. A first region of a second conductivity type is in the substrate along the top surface. A second region of the second conductivity type is in the substrate along the top surface, spaced apart from the first region. A channel region is between the first region and the second region. A word line gate is positioned over a first portion of the channel region, immediately adjacent to the first region. The word line gate is spaced apart from the channel region by a first insulating layer. A floating gate is positioned over another portion of the channel region. The floating gate has a lower surface separated from the channel region by a second insulating layer, and an upper surface opposite the lower surface. The floating gate also has a first side wall adjacent to but separated from the word line gate; and a second side wall opposite the first side wall. The upper surface of the floating gate has a non-planar contour from the first side wall to the second side wall. A coupling gate is positioned over the upper surface of the floating gate and is insulated therefrom by a third insulating layer. The coupling gate has a lower surface that has a contour that follows the contour of the upper surface of the floating gate. An erase gate is positioned adjacent to the second side wall of the floating gate. The erase gate is positioned over the second region and is insulated therefrom. An array of the foregoing described memory cells and a method of making the foregoing described memory cell are also disclosed.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

12...半導體襯底

14...第一區域

16...第二區域

18...溝道區

20...字線

22...氧化矽層

28...擦除閘

32...絕緣層

50...記憶體胞元

60...浮閘

62...上表面

70...耦合閘

72...下表面

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

發明領域

本發明涉及具有浮閘和耦合閘的非易失性記憶體胞元，其中浮閘與耦合閘之間的耦合比增加。

【先前技術】

發明背景

具有其上存儲電荷的浮閘的非易失性記憶體胞元是本領域眾所周知的。參照第1圖，示出現有技術的非易失性記憶體胞元10的截面圖。記憶體胞元10包括第一導電類型、如P型的半導體襯底12。在襯底12的表面處或附近是第二導電類型、如N型的第一區域14。與第一區域14間隔開的是也為第二導電類型的第二區域16。在第一區域14與第二區域16之間是溝道區18。由多晶矽製成的字線20定位在溝道區18的第一部分之上。字線20通過(二)氧化矽層22與溝道區18間隔開。與字線20緊鄰但間隔開的是浮閘24，浮閘24也由多晶矽製成，並且定位在溝道區18的另一部分之上。浮閘24通過通常也為(二)氧化矽的另一個絕緣層30與溝道區18分隔。也由多晶矽製成的耦合閘26定位在浮閘24之上，並且通過另一個絕緣層32與其絕緣。在浮閘24的另一側並且與其間隔開的是也由多晶矽製成的擦除閘28。擦除閘28定位在第二區域16之上，並且與其絕緣。擦除閘28也與耦合閘26緊鄰但與其間隔開以及與耦合閘26的另一側緊鄰。擦除閘28在浮閘24之上具有小突出端。在記憶體胞元10的操

作中，浮閘24上存儲的電荷(或者浮閘24上不存在電荷)控制第一區域14與第二區域16之間的電流流動。在浮閘24上具有電荷的情況下，規劃浮閘24。在浮閘24上沒有電荷的情況下，擦除浮閘24。在USP 7868375和USP 6747310中全面公開記憶體胞元10，通過引用將其公開完整地結合到本文中。

記憶體胞元10操作如下。在規劃操作期間，當電荷存儲在浮閘24上時，將脈衝形式的第一正電壓施加到字線20，從而使字線20之下的溝道區18的部分導電。將也採取脈衝形式的第二正電壓施加到耦合閘26。將也採取脈衝形式的第三正電壓施加到擦除閘28。將也採取脈衝形式的電壓差分(voltage differential)施加在第一區域14與第二區域16之間。第一正電壓、第二正電壓、第三正電壓和電壓差分全部實質同時施加，並且實質同時終止。來自第一區域14的電子被吸引到第二區域16處的正電壓。隨著它們接近浮閘24，它們遭遇由施加到耦合閘26和擦除閘28的電壓所引起的電場的突增，從而使電荷注入到浮閘24上。因此，規劃係透過熱電子注入的機制來進行。

在擦除操作期間，在從浮閘24去除電荷時，將高正電壓施加到擦除閘28。能夠將地電壓施加到耦合閘26和/或字線20。通過經由浮閘24與擦除閘28之間的絕緣層的隧穿，浮閘24上的電荷被吸引到擦除閘28。具體來說，浮閘24可採用面向擦除閘28的銳尖來形成，由此便於電子通過尖以及通過浮閘24與擦除閘28之間的絕緣層從浮閘24到擦除閘

28上的福勒-諾德海姆隧穿。如USP 7868375和USP 6747310中所公開，可能有利的是在浮閘24的側壁與浮閘24的頂面之間具有銳邊或尖，使得電子可更易於在擦除操作期間從浮閘24隧穿到擦除閘28。

在讀操作期間，將第一正電壓施加到字線20，以便使字線20之下的溝道區18的部分導通。將第二正電壓施加到耦合閘26。將電壓差分施加到第一區域14和第二區域16。如果對浮閘24規劃，即，浮閘24存儲電子，則施加到耦合閘26的第二正電壓無法勝過(overcome)浮閘24上存儲的負電子，並且浮閘24之下的溝道區18的部分仍保持未導電。因此，沒有電流或最小電流量會在第一區域14與第二區域16之間流動。但是，如果沒有對浮閘24規劃，即，浮閘24保持為中性或者也許甚至存儲部分空穴，則施加到耦合閘26的第二正電壓能夠使浮閘24之下的溝道區18的部分導電。因此，電流會在第一區域14與第二區域16之間流動。

從前面的操作能夠看到，重要參數之一是耦合閘26與浮閘24之間的耦合比。例如，在規劃操作期間，將一規劃脈衝施加到與浮閘電容耦合的耦合閘26。在第1圖所示的現有技術記憶體胞元10中，浮閘24的上表面具有平坦輪廓，其中耦合閘26的下表面具有相同平坦輪廓。當縮放記憶體胞元10、即縮小其幾何尺寸時，耦合閘26與浮閘24之間的電容耦合的範圍減小。因此，為了繼續具有有效操作，希望增加耦合閘26與浮閘24之間的耦合比，而沒有增加浮閘24或耦合閘26的尺寸。

【發明內容】

發明概要

相應地，在本發明中，非易失性記憶體胞元具有帶頂面的第一導電類型的半導體襯底。第二導電類型的第一區域沿頂面處於襯底中。第二導電類型的第二區域沿頂面處於襯底中，與第一區域間隔開。溝道區處於第一區域與第二區域之間。字線閘定位在溝道區的第一部分之上，與第一區域緊鄰。字線閘通過第一絕緣層與溝道區間隔開。浮閘定位在溝道區的另一部分之上。浮閘具有通過第二絕緣層與溝道區分隔的下表面以及與下表面相對的上表面。浮閘還具有與字線閘相鄰但分隔的第一側壁以及與第一側壁相對的第二側壁。浮閘的上表面在從第一側壁到第二側壁具有非平坦輪廓。耦合閘定位在浮閘的上表面之上，並且通過第三絕緣層與其絕緣。耦合閘具有下表面，該下表面的輪廓沿用浮閘的上表面的輪廓。擦除閘定位成與浮閘的第二側壁相鄰。擦除閘定位在第二區域之上，並且與其絕緣。

本發明還涉及前面所述記憶體胞元的陣列以及製作前面所述記憶體胞元的方法。

圖式簡單說明

第1圖是具有其上存儲電荷的浮閘以及獨立耦合閘的現有技術的非易失性記憶體胞元的截面圖。

第2圖是具有帶改進耦合比的浮閘與獨立耦合閘的本發明的一個實施例的記憶體胞元的截面圖。

第3圖是具有帶改進耦合比的浮閘與獨立耦合閘的本發明的另一個實施例的記憶體胞元的截面圖。

第4a-b圖是製作本發明的記憶體胞元中具有改進耦合比的浮閘和耦合閘的過程步驟的截面圖。

第5圖是具有本發明的記憶體胞元的本發明的陣列的頂視圖。

【實施方式】

具體實施方式

參照第2圖，示出本發明的非易失性記憶體胞元50的第一實施例的截面圖。記憶體胞元50與第1圖所示的記憶體胞元10相似。因此，相似部分將採用相似標號來表示。

在第一導電類型、如P型的半導體襯底12中形成記憶體胞元50。用於形成P型的典型注入物是硼B11，它被注入到襯底12中大約2000埃的深度。在襯底12的表面處或附近是第二導電類型、如N型的第一區域14。與第一區域14間隔開的是也為第二導電類型的第二區域16。在第一區域14與第二區域16之間是溝道區18。由多晶矽製成的字線20定位在溝道區18的第一部分之上。字線20通過(二)氧化矽層22與溝道區18間隔開。與字線20緊鄰但間隔開的是浮閘60，浮閘60也由多晶矽製成，並且定位在溝道區18的另一部分之上。浮閘60通過通常也為(二)氧化矽的另一個絕緣層30與溝道區18分隔。浮閘60具有建立在絕緣層30上的下表面。浮閘60具有與下表面相對的上表面62。在浮閘60的相對側是第一側壁和側壁，其中第一側壁最靠近字線閘20。浮閘的

上表面62具有不是平坦的表面輪廓。上表面62的輪廓的非平坦性可從第一壁到第二壁，或者能夠沿與其垂直的方向、即進出頁面的方向。也由多晶矽製成的耦合閘70定位在浮閘60之上，並且通過另一個絕緣層32與其絕緣。耦合閘70具有下表面72。絕緣層32的厚度實質上是均勻的，其中下表面72與絕緣層32緊鄰。因此，下表面72還具有非平坦輪廓，其中下表面72的輪廓沿用浮閘60的上表面62的輪廓。在一個優選實施例中，浮閘60的上表面62和耦合閘70的下表面72中的每個的輪廓為臺階形狀。

在浮閘60的另一側並且與其間隔開的是也由多晶矽製成的擦除閘28。擦除閘28定位在第二區域16之上，並且與其絕緣。擦除閘28也與耦合閘70緊鄰但與其間隔開以及與耦合閘70的另一側緊鄰。擦除閘28與浮閘60的第二側壁相鄰，並且在浮閘60之上具有小突出端。在記憶體胞元50的操作中，浮閘60上存儲的電荷(或者浮閘60上不存在電荷)控制第一區域14與第二區域16之間的電流流動。在浮閘60上具有電荷的情況下，對浮閘60規劃。在浮閘60上沒有電荷的情況下，擦除浮閘60。

在第2圖所示的實施例中，記憶體胞元50的浮閘60具有其第一側壁，該第一側壁與字線閘20相鄰，並且厚度為大約700Å。與擦除閘28相鄰的第二側壁的厚度大約為400Å。因此，第一側壁比第二側壁要厚。

參照第3圖，示出本發明的非易失性記憶體胞元100的第二實施例的截面圖。記憶體胞元100與第2圖所示的記憶

體胞元50相似。因此，相似部分將採用相似標號來表示。

在第一導電類型、如P型的半導體襯底12中形成記憶體胞元100。用於形成P型的典型注入物是硼B11，它被注入到襯底12中大約2000埃的深度。在襯底12的表面處或附近是第二導電類型、如N型的第一區域14。與第一區域14間隔開的是也為第二導電類型的第二區域16。在第一區域14與第二區域16之間是溝道區18。由多晶矽製成的字線20定位在溝道區18的第一部分之上。字線20通過(二)氧化矽層22與溝道區18間隔開。與字線20緊鄰但間隔開的是浮閘60，浮閘60也由多晶矽製成，並且定位在溝道區18的另一部分之上。浮閘60通過通常也為(二)氧化矽的另一個絕緣層30與溝道區18分隔。浮閘60具有建立在絕緣層30上的下表面。浮閘60具有與下表面相對的上表面62。在浮閘60的相對側是第一側壁和側壁，其中第一側壁最靠近字線閘20。浮閘的上表面62具有不是平坦的表面輪廓。上表面62的輪廓的非平坦性可從第一壁到第二壁，或者能夠沿與其垂直的方向、即進出頁面的方向。也由多晶矽製成的耦合閘70定位在浮閘60之上，並且通過另一個絕緣層32與其絕緣。耦合閘70具有下表面72。絕緣層32的厚度實質上是均勻的，其中下表面72與絕緣層32緊鄰。因此，下表面72還具有非平坦輪廓，其中下表面72的輪廓沿用浮閘60的上表面62的輪廓。在一個優選實施例中，浮閘60的上表面62和耦合閘70的下表面72中的每個的輪廓為臺階形狀。

在浮閘60的另一側並且與其間隔開的是也由多晶矽製

成的擦除閘28。擦除閘28定位在第二區域16之上，並且與其絕緣。擦除閘28也與耦合閘70緊鄰但與其間隔開以及與耦合閘70的另一側緊鄰。擦除閘28與浮閘60的第二壁相鄰，並且在浮閘60之上具有小突出端。在記憶體胞元100的操作中，浮閘60上存儲的電荷(或者浮閘60上不存在電荷)控制第一區域14與第二區域16之間的電流流動。在浮閘60上具有電荷的情況下，對浮閘60規劃。在浮閘60上沒有電荷的情況下，擦除浮閘60。

第3圖所示的實施例與第2圖所示的實施例之間的僅有差別在於，在第3圖所示的實施例中，記憶體胞元50的浮閘60具有其第一側壁，第一側壁與字線閘20相鄰，並且比與擦除閘28相鄰的其第二側壁要短。因此，記憶體胞元50的浮閘60具有其第一側壁，該第一側壁與字線閘20相鄰，並且厚度為大約400Å。與擦除閘28相鄰的第二側壁的厚度大約為700Å。

參照第5圖，示出使用本發明的記憶體胞元50(第2圖所示)或記憶體胞元100(第3圖所示)的記憶體胞元的陣列150的頂視圖。多個記憶體胞元50或100設置成使得由第一區域14及其關聯第二區域16所定義的各記憶體胞元50或100以及它們之間的溝道區18沿列方向延伸。此外，各字線20沿行方向延伸，連接不同列中的多個記憶體胞元50或100。另外，各耦合閘70還沿行方向延伸，連接不同列中的多個記憶體胞元50或100。耦合閘70疊在各列的浮閘60上，其中耦合閘70的下表面沿用浮閘60的上表面的非平坦輪廓。此

外，擦除閘28沿行方向延伸，並且由各列中的一對記憶體胞元50或100共用。最後，在擦除閘28之下的第二區域16沿行方向延伸，連接不同列中的多個記憶體胞元50或100。

參照第4a圖，示出製作本發明的記憶體胞元50或100的方法中的第一步驟。記憶體胞元50或100與第1圖所示的記憶體10極為相似。如前面所述，僅有差別是浮閘60的上表面的輪廓形狀。因此，在形成最終形成浮閘60的多晶矽中的所有步驟均與形成第1圖所示浮閘24中使用的步驟相同。在形成多晶矽60之後，在氧化物層30上，它具有平坦形狀的上表面62。然後，上表面62經過掩蔽步驟，並且然後蝕刻上表面62，從而創建上表面62中的臺階，這產生上表面62中的非平坦形狀輪廓。在上表面62中創建的臺階能夠具有第3圖所示的形狀，這最終形成最靠近字線閘20的其第一側壁高於最靠近擦除閘28的第二側壁的浮閘60，從而產生記憶體胞元50。備選地，在上表面62中創建的臺階能夠具有與第3圖所示相反的形狀，這最終形成最靠近字線閘20的其第一側壁比最靠近擦除閘28的第二側壁要短的浮閘60，從而產生記憶體胞元100。

在蝕刻浮閘60的上表面62以形成非平坦上表面62之後，則沉積絕緣材料層32。絕緣材料32的厚度是使得它一致地沿用浮閘60的上表面62的非平坦輪廓形狀。所產生結構如第4a圖所示。

此後，沉積多晶矽層70，這最終形成耦合閘70。層70具有下表面，該下表面與絕緣層32緊鄰，並且沿用浮閘的

上表面62的非平坦輪廓形狀。所產生結構如第4b圖所示。

然後，在沉積耦合閘多晶矽之後，按照用於製作浮閘10的相同處理步驟來處理該結構。然後形成所產生記憶體胞元50或100。

從前面所述能夠看到，由於浮閘的上表面62具有非平坦輪廓，並且耦合閘72的下表面沿用那個非平坦輪廓形狀，所以產生浮閘60與耦合閘70之間的耦合比的增加，而沒有增加浮閘60和耦合閘70的線尺寸。

【圖式簡單說明】

第1圖是具有其上存儲電荷的浮閘以及獨立耦合閘的現有技術的非易失性記憶體胞元的截面圖。

第2圖是具有帶改進耦合比的浮閘與獨立耦合閘的本發明的一個實施例的記憶體胞元的截面圖。

第3圖是具有帶改進耦合比的浮閘與獨立耦合閘的本發明的另一個實施例的記憶體胞元的截面圖。

第4a-b圖是製作本發明的記憶體胞元中具有改進耦合比的浮閘和耦合閘的過程步驟的截面圖。

第5圖是具有本發明的記憶體胞元的本發明的陣列的頂視圖。

【主要元件符號說明】

10、50、100...記憶體胞元	18...溝道區
12...半導體襯底	20...字線
14...第一區域	22...(二)氧化矽層
16...第二區域	24、60...浮閘

26、70...耦合閘

28...擦除閘

30、32...絕緣層

62...上表面

72...下表面

150...陣列

B11...硼

七、申請專利範圍：

1. 一種非易失性記憶體胞元，包括：

具有頂面的第一導電類型的半導體襯底；

所述襯底中沿所述頂面的第二導電類型的第一區域；

所述襯底中沿所述頂面的所述第二導電類型的第二區域，與所述第一區域間隔開；

所述第一區域與所述第二區域之間的溝道區；

字線閘，定位在所述溝道區的第一部分之上，與所述第一區域緊鄰，所述字線閘通過第一絕緣層與所述溝道區間隔開；

定位在所述溝道區的另一部分之上的浮閘，所述浮閘具有通過第二絕緣層與所述溝道區分隔的下表面以及與所述下表面相對的上表面；所述浮閘具有與所述字線閘相鄰但分隔的第一側壁以及與所述第一側壁相對的第二側壁，其中所述上表面具有從所述第一側壁到所述第二側壁的非平坦輪廓；

定位在所述浮閘的上表面之上並且通過第三絕緣層與其絕緣的耦合閘，所述耦合閘具有下表面，所述下表面的輪廓沿用所述浮閘的所述上表面的輪廓；以及

定位成與所述浮閘的第二側壁相鄰的擦除閘，所述擦除閘定位在所述第二區域之上並且與其絕緣。

2. 如申請專利範圍第1項所述的記憶體胞元，其中，所述浮閘的所述上表面具有類似臺階的非平坦輪廓。

3. 如申請專利範圍第2項所述的記憶體胞元，其中，所述擦除閘在所述浮閘的一部分之上突出。
4. 如申請專利範圍第2項所述的記憶體胞元，其中，所述第一側壁比所述第二側壁要高。
5. 如申請專利範圍第2項所述的記憶體胞元，其中，所述第二側壁比所述第一側壁要高。
6. 一種非易失性記憶體胞元陣列，包括：

具有頂面的第一導電類型的半導體襯底；

以具有多行和多列的陣列所設置的多個記憶體胞元，所述記憶體胞元的每個包括：所述襯底中沿所述頂面的第二導電類型的第一區域；所述襯底中沿所述頂面的第二導電類型的第二區域，在列方向與所述第一區域間隔開，在所述第一區域與所述第二區域之間具有溝道區，所述溝道區的每個具有第一部分和第二部分，其中所述第一部分與所述第一區域緊鄰；

字線閘，沿垂直於所述列方向的行方向延伸，定位在多個溝道區的所述第一部分之上，所述字線閘通過第一絕緣層與各溝道區間隔開；

定位在各溝道區的所述第二部分之上的浮閘，所述浮閘具有通過第二絕緣層與所述溝道區分隔的下表面以及與所述下表面相對的上表面；所述浮閘具有與所述字線閘相鄰但分隔的第一側壁以及與所述第一側壁相對的第二側壁，其中所述上表面具有從所述第一側壁到所述第二側壁的非平坦輪廓；

耦合閘，沿所述行方向延伸，定位在多個浮閘的所述上表面之上並且通過第三絕緣層與其絕緣，所述耦合閘具有下表面，所述下表面的輪廓沿用所述浮閘的所述上表面的輪廓；以及

擦除閘，沿所述行方向延伸於多列，並且定位成與多個浮閘的所述第二側壁相鄰，所述擦除閘定位在所述第二區域之上並且與其絕緣。

7. 如申請專利範圍第5項所述的陣列，其中，所述第二區域沿所述行方向延伸於多列。
8. 如申請專利範圍第7項所述的陣列，其中，所述浮閘的每個的所述上表面具有類似臺階的非平坦輪廓。
9. 如申請專利範圍第8項所述的陣列，其中，所述擦除閘在所述多個浮閘中的每個的一部分之上突出。
10. 如申請專利範圍第8項所述的陣列，其中，各浮閘的所述第一側壁比所述浮閘中的每個的所述第二側壁要高。
11. 如申請專利範圍第8項所述的陣列，其中，各浮閘的所述第二側壁比各浮閘的所述第一側壁要高。
12. 一種非易失性記憶體胞元，包括：

具有頂面的第一導電類型的半導體襯底；

所述襯底中沿所述頂面的第二導電類型的第一區域；

所述襯底中沿所述頂面的所述第二導電類型的第二區域，與所述第一區域間隔開；

所述第一區域與所述第二區域之間的溝道區；

字線閘，定位在所述溝道區的第一部分之上，與所述第一區域緊鄰，所述字線閘通過第一絕緣層與所述溝道區間隔開；

定位在所述溝道區的另一部分之上的浮閘，所述浮閘具有通過第二絕緣層與所述溝道區分隔的下表面以及與所述下表面相對的上表面；所述浮閘具有與所述字線閘相鄰但分隔開的第一側壁以及與所述第一側壁相對的第二側壁，其中所述上表面具有從所述第一側壁到所述第二側壁的非平坦輪廓；

所述浮閘的所述上表面上的第三絕緣層，所述第三絕緣層具有從所述第一側壁延伸到所述第二側壁的均勻厚度；

定位在所述第三絕緣層之上的耦合閘；以及

定位成與所述浮閘的第二側壁相鄰的擦除閘，所述擦除閘定位在所述第二區域之上並且與其絕緣。

13. 如申請專利範圍第12項所述的記憶體胞元，其中，所述浮閘的所述上表面具有類似臺階的非平坦輪廓。
14. 如申請專利範圍第13項所述的記憶體胞元，其中，所述擦除閘在所述浮閘的一部分之上突出。
15. 如申請專利範圍第14項所述的記憶體胞元，其中，所述第一側壁比所述第二側壁要高。
16. 如申請專利範圍第14項所述的記憶體胞元，其中，所述第二側壁比所述第一側壁要高。
17. 一種製造非易失性記憶體胞元的方法，所述方法包括：

在半導體襯底的第一絕緣層上形成第一多晶矽層，所述第一多晶矽層具有平坦輪廓的頂面；

蝕刻所述第一多晶矽層的頂面，以便產生非平坦輪廓；

在所述第一多晶矽層的所述頂面上形成第二絕緣層，其中所述第二絕緣層的厚度在所述頂面之上實質均勻；

在所述第二絕緣層上形成第二多晶矽層，所述第二多晶矽層具有底面，所述底面的輪廓實質上沿用所述第一多晶矽層的所述頂面的非平坦輪廓；

掩蔽和切割所述第二多晶矽層、所述第二絕緣層和所述第一多晶矽層，以便分別形成耦合閘和浮閘；

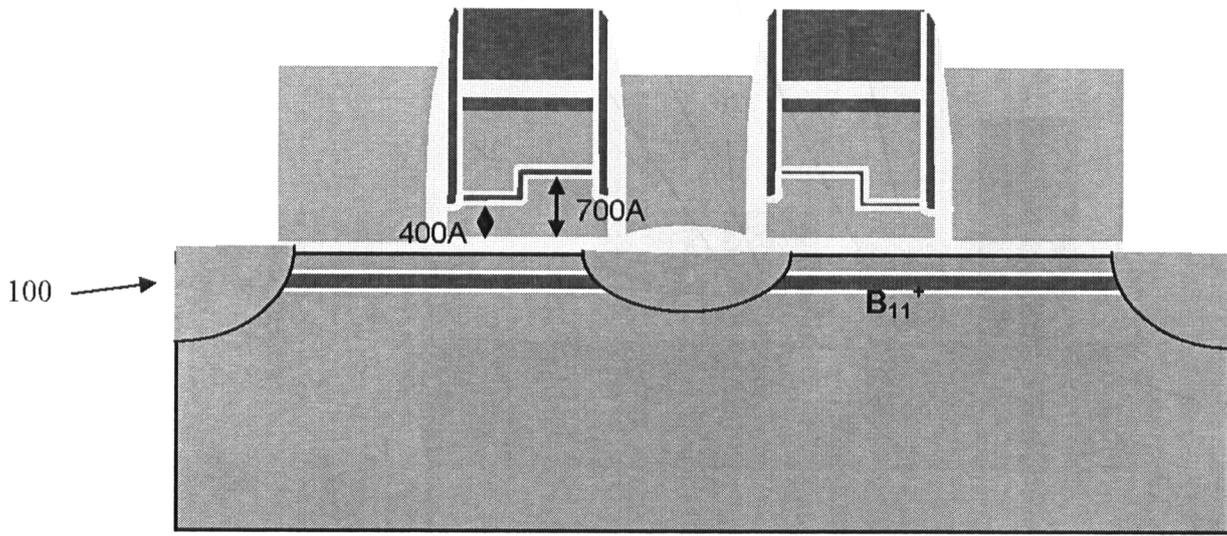
在所述耦合閘和所述浮閘的相鄰但相應相對側形成字線閘和擦除閘；

在所述襯底中形成源區和漏區。

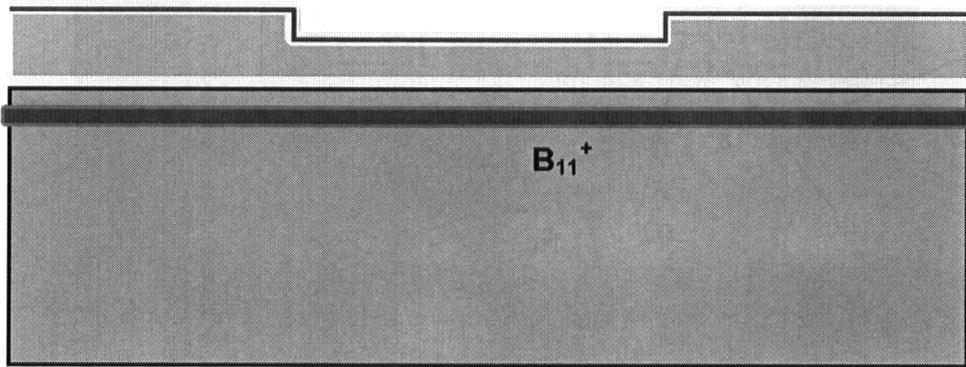
18. 如申請專利範圍第17項所述的方法，其中，所述第一多晶矽層的所述頂面的所述非平坦輪廓具有臺階。

19. 如申請專利範圍第18項所述的方法，其中，所述源在所述擦除閘之下形成。

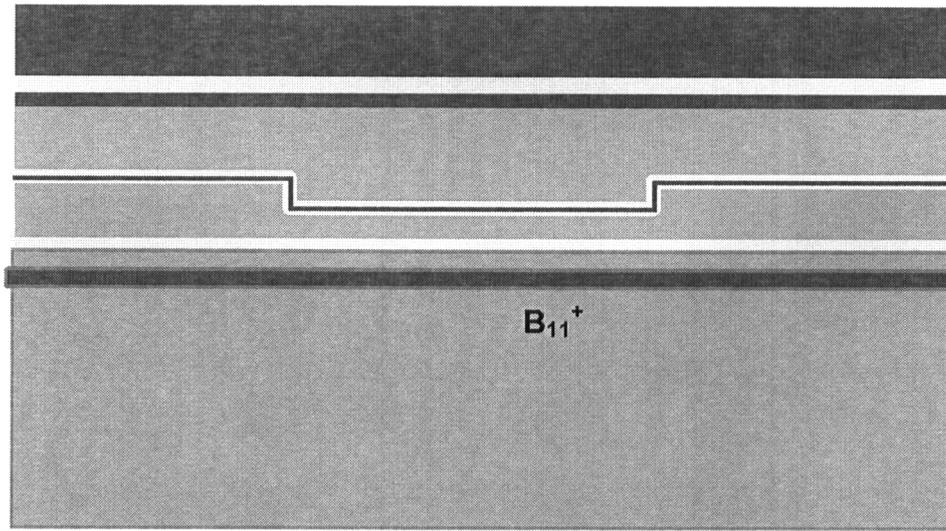
20. 如申請專利範圍第18項所述的方法，其中，所述漏與所述字線閘相鄰地形成。



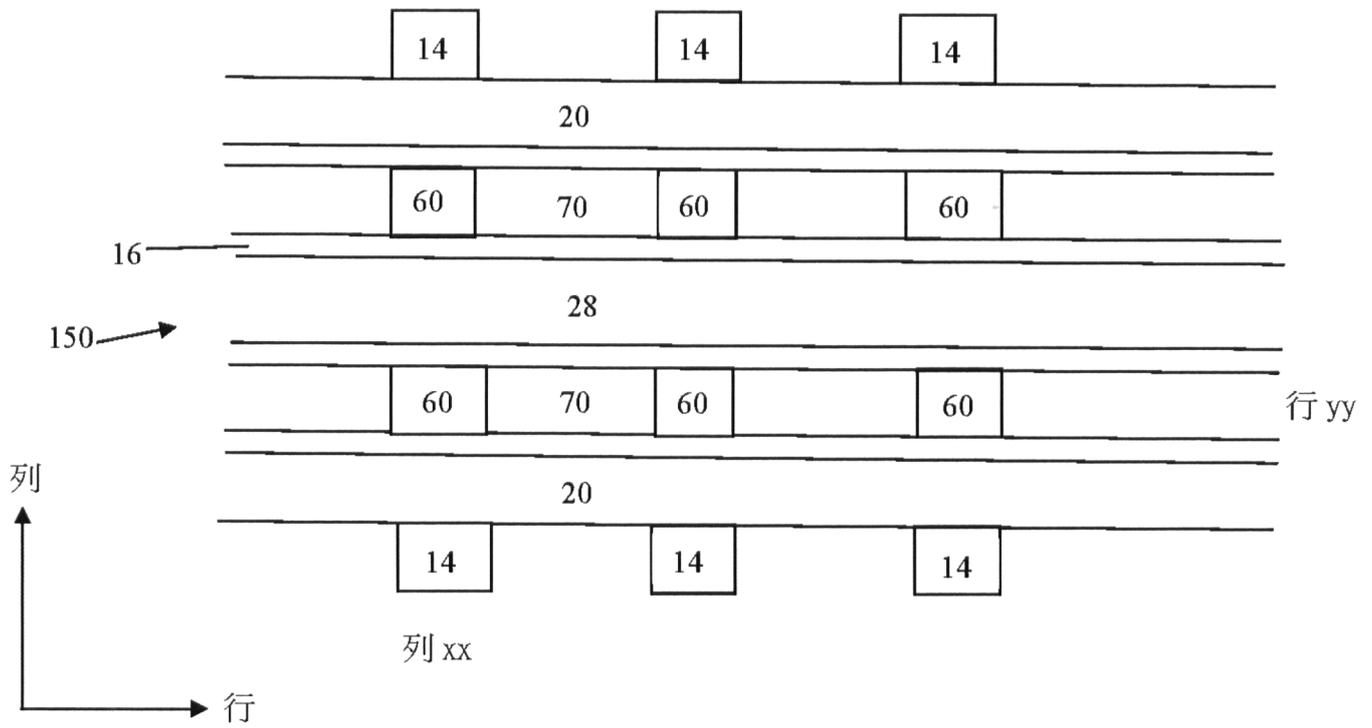
第3圖



第4a圖



第 4b 圖



第 5 圖