

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5807724号  
(P5807724)

(45) 発行日 平成27年11月10日 (2015.11.10)

(24) 登録日 平成27年9月18日 (2015.9.18)

(51) Int.Cl.

F I

H O 1 L 29/739 (2006.01)

H O 1 L 29/78 6 5 5 F

H O 1 L 29/78 (2006.01)

H O 1 L 29/78 6 5 5 B

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 5 8 A

H O 1 L 21/265 (2006.01)

H O 1 L 21/265 W

H O 1 L 21/265 Z

請求項の数 16 (全 31 頁) 最終頁に続く

(21) 出願番号 特願2014-535298 (P2014-535298)  
 (86) (22) 出願日 平成24年9月13日 (2012.9.13)  
 (86) 国際出願番号 PCT/JP2012/073439  
 (87) 国際公開番号 W02014/041652  
 (87) 国際公開日 平成26年3月20日 (2014.3.20)  
 審査請求日 平成26年11月11日 (2014.11.11)

(73) 特許権者 000005234  
 富士電機株式会社  
 神奈川県川崎市川崎区田辺新田1番1号  
 100104190  
 (74) 代理人 弁理士 酒井 昭徳  
 (72) 発明者 ルー ホンフェイ  
 神奈川県川崎市川崎区田辺新田1番1号  
 富士電機株式会社内

審査官 須原 宏光

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1の第1導電型半導体領域と、第2の第1導電型半導体領域と、前記第1の第1導電型半導体領域と前記第2の第1導電型半導体領域との間に設けられた、前記第2の第1導電型半導体領域よりも抵抗率が低い第3の第1導電型半導体領域と、からなる第1導電型チップと、

前記第1の第1導電型半導体領域を貫通して前記第3の第1導電型半導体領域に達する溝と、

前記溝により前記第1導電型チップの外周部よりも厚さが薄くなった内周部に設けられた活性領域と、

前記第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、

前記第3の第1導電型半導体領域および前記第1の第1導電型半導体領域に接する第2導電型半導体領域と、

前記第2導電型半導体領域に接する出力電極と、

を備え、

前記出力電極と前記第3の第1導電型半導体領域との前記第1導電型チップの厚さ方向の距離は、前記活性領域よりも前記終端構造部で広がっていることを特徴とする半導体装置。

【請求項2】

第1の第1導電型半導体領域と、第2の第1導電型半導体領域と、前記第1の第1導電

型半導体領域と前記第2の第1導電型半導体領域との間に設けられた、前記第2の第1導電型半導体領域よりも抵抗率が低い第3の第1導電型半導体領域と、からなる第1導電型チップと、

前記第1導電型チップの前記第1の第1導電型半導体領域側の面から前記第1の第1導電型半導体領域の厚さよりも浅い深さで設けられた溝と、

前記溝により前記第1導電型チップの外周部よりも厚さが薄くなった内周部に設けられた活性領域と、

前記第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、

前記第1の第1導電型半導体領域に接する第2導電型半導体領域と、

前記第2導電型半導体領域に接する出力電極と、

を備え、

前記第2導電型半導体領域と前記第3の第1導電型半導体領域との前記第1導電型チップの厚さ方向の距離は、前記活性領域よりも前記終端構造部で広がっていることを特徴とする半導体装置。

【請求項3】

前記第3の第1導電型半導体領域の厚さは、 $1.5\mu\text{m}$ 以上 $10.0\mu\text{m}$ 以下であることを特徴とする請求項2に記載の半導体装置。

【請求項4】

前記第3の第1導電型半導体領域の平均不純物濃度は、 $3.0 \times 10^{15}\text{cm}^{-3} \sim 2.0 \times 10^{16}\text{cm}^{-3}$ であることを特徴とする請求項1に記載の半導体装置。

【請求項5】

前記第2の第1導電型半導体領域は、前記第3の第1導電型半導体領域上に堆積されたエピタキシャル成長層であることを特徴とする請求項1に記載の半導体装置。

【請求項6】

前記第3の第1導電型半導体領域は、前記第1導電型チップに導入されたプロトンがドナー化されてなる領域であることを特徴とする請求項1に記載の半導体装置。

【請求項7】

前記第2の第1導電型半導体領域の抵抗率は、前記第1の第1導電型半導体領域の抵抗率と等しいことを特徴とする請求項1に記載の半導体装置。

【請求項8】

前記第1導電型チップの外周部の厚さは $80\mu\text{m}$ よりも大きいことを特徴とする請求項1～7のいずれか一つに記載の半導体装置。

【請求項9】

第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、前記第1導電型チップの外周部よりも厚さが薄い内周部に設けられた活性領域と、を備えた半導体装置の製造方法であって、

第1導電型ウエハの所定の深さに、前記第1導電型ウエハよりも抵抗率が低い第1導電型半導体領域を形成する第1工程と、

前記第1導電型ウエハの裏面から前記第1導電型半導体領域に達する溝を形成し、前記第1導電型チップとなる領域の内周部の厚さを外周部の厚さよりも薄くする第2工程と、

前記第1導電型ウエハの裏面および前記溝の内壁に沿って第2導電型半導体領域を形成する第3工程と、

前記第1導電型ウエハの厚さ方向における前記第1導電型半導体領域との距離が前記活性領域よりも前記終端構造部で広がるように、前記第2導電型半導体領域上に出力電極を形成する第4工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項10】

第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、前記第1導電型チップの外周部よりも厚さが薄い内周部に設けられた活性領域と、を備えた半導体装置の製造方法であって、

第1導電型ウエハの所定の深さに、前記第1導電型ウエハよりも抵抗率が低い第1導電型半導体領域を形成する第1工程と、

前記第1導電型ウエハの裏面から前記第1導電型半導体領域までの前記第1導電型ウエハの深さ方向の厚さよりも浅い深さで前記第1導電型ウエハの裏面に溝を形成し、前記第1導電型チップとなる領域の内周部の厚さを外周部の厚さよりも薄くする第2工程と、

前記第1導電型半導体領域との前記第1導電型ウエハの厚さ方向の距離が前記活性領域よりも前記終端構造部で広くなるように、前記第1導電型ウエハの裏面および前記溝の内壁に沿って第2導電型半導体領域を形成する第3工程と、

前記第2導電型半導体領域上に出力電極を形成する第4工程と、

を含むことを特徴とする半導体装置の製造方法。

10

#### 【請求項11】

前記第1工程は、

前記第1導電型ウエハの裏面からプロトンを入力する第1注入工程と、

前記第1導電型ウエハに注入されたプロトンを熱アニールにより活性化させ、前記第1導電型ウエハの所定の深さに前記第1導電型半導体領域を形成する第1熱アニール工程と、を含むことを特徴とする請求項9または10に記載の半導体装置の製造方法。

#### 【請求項12】

前記第1注入工程前に、前記第1導電型ウエハの裏面を研削して前記第1導電型ウエハの厚さを薄くする薄板化工程をさらに含み、

前記第1注入工程では、加速エネルギーを $1.6\text{ MeV} \sim 2.5\text{ MeV}$ の範囲とし、前記第1導電型半導体領域の総ドーズ量が $5.0 \times 10^{13} \text{ cm}^{-2} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$ の範囲となるようにプロトンを注入することを特徴とする請求項11に記載の半導体装置の製造方法。

20

#### 【請求項13】

前記第1注入工程後に、前記第1導電型ウエハの裏面を研削して前記第1導電型ウエハの厚さを薄くする薄板化工程をさらに含み、

前記第1注入工程では、加速エネルギーを $7.0\text{ MeV} \sim 8.0\text{ MeV}$ の範囲とし、前記第1導電型半導体領域の総ドーズ量が $5.0 \times 10^{13} \text{ cm}^{-2} \sim 5.0 \times 10^{14} \text{ cm}^{-2}$ の範囲となるようにプロトンを注入することを特徴とする請求項11に記載の半導体装置の製造方法。

30

#### 【請求項14】

第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、前記第1導電型チップの外周部よりも厚さが薄い内周部に設けられた活性領域と、を備えた半導体装置の製造方法であって、

第1導電型支持ウエハのおもて面に、前記第1導電型支持ウエハよりも抵抗率が低い前記第1導電型半導体領域を形成し、前記第1導電型半導体領域上に、前記第1導電型半導体領域よりも抵抗率が高い第1導電型エピタキシャル成長層を堆積させて、第1導電型ウエハを形成する第1工程と、

前記第1導電型ウエハの裏面から前記第1導電型半導体領域に達する溝を形成し、前記第1導電型チップとなる領域の内周部の厚さを外周部の厚さよりも薄くする第2工程と、

40

前記第1導電型ウエハの裏面および前記溝の内壁に沿って第2導電型半導体領域を形成する第3工程と、

前記第1導電型ウエハの厚さ方向における前記第1導電型半導体領域との距離が前記活性領域よりも前記終端構造部で広くなるように、前記第2導電型半導体領域上に出力電極を形成する第4工程と、

を含むことを特徴とする半導体装置の製造方法。

#### 【請求項15】

第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、前記第1導電型チップの外周部よりも厚さが薄い内周部に設けられた活性領域と、を備えた半導体装置の製造方法であって、

50

第1導電型支持ウエハのおもて面に、前記第1導電型支持ウエハよりも抵抗率が低い前記第1導電型半導体領域を形成し、前記第1導電型半導体領域上に、前記第1導電型半導体領域よりも抵抗率が高い第1導電型エピタキシャル成長層を堆積させて、第1導電型ウエハを形成する第1工程と、

前記第1導電型ウエハの裏面から前記第1導電型半導体領域までの前記第1導電型ウエハの深さ方向の厚さよりも浅い深さで前記第1導電型ウエハの裏面に溝を形成し、前記第1導電型チップとなる領域の内周部の厚さを外周部の厚さよりも薄くする第2工程と、

前記第1導電型半導体領域との前記第1導電型ウエハの厚さ方向の距離が前記活性領域よりも前記終端構造部で広くなるように、前記第1導電型ウエハの裏面および前記溝の内壁に沿って第2導電型半導体領域を形成する第3工程と、

前記第2導電型半導体領域上に出力電極を形成する第4工程と、  
を含むことを特徴とする半導体装置の製造方法。

10

#### 【請求項16】

前記第2工程では、湿式エッチングによって前記溝を形成することを特徴とする請求項9～15のいずれか一つに記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

#### 【背景技術】

20

#### 【0002】

高耐圧ディスクリットパワーデバイスとは、電力変換装置において中心的な役割を果たしている。従来、電力変換装置に用いられる高耐圧ディスクリットパワーデバイスに適した素子として、例えば、絶縁ゲート型バイポーラトランジスタ（IGBT：Insulated Gate Bipolar Transistor）や、金属－酸化物－半導体構造を有する絶縁ゲート型電界効果トランジスタ（MOSFET：Metal Oxide Semiconductor Field Effect Transistor）などが公知である。

#### 【0003】

高電圧用の電力変換装置では、導電度変調が生じることによってオン電圧を低くすることができるIGBTが多用されている。そのため、IGBTの導通損失およびスイッチング損失を低減することは、電力変換装置の損失を低減するための重要な課題の1つとなっている。従来のIGBTについて、プレーナゲート構造のnチャネルIGBTを例に説明する。図26は、従来のIGBTの構成を示す断面図である。図26は、従来のIGBTを作製（製造）するために用いたp<sup>+</sup>型ウエハがチップ化された後の状態を示している（図27、28においても同様）。

30

#### 【0004】

図26に示す従来のIGBTにおいて、p<sup>+</sup>コレクタ領域101となるp<sup>+</sup>型チップのおもて面には、nバッファ層103およびn<sup>-</sup>ドリフト領域102が順に積層されている。n<sup>-</sup>ドリフト領域102の、p<sup>+</sup>コレクタ領域101側に対して反対側の表面層には、pベース領域104が選択的に設けられている。pベース領域104の内部には、n<sup>+</sup>エミッタ領域105が選択的に設けられている。n<sup>+</sup>エミッタ領域105は、pベース領域104の、n<sup>-</sup>ドリフト領域102に接していない部分の表面に露出されている。

40

#### 【0005】

pベース領域104の、n<sup>+</sup>エミッタ領域105とn<sup>-</sup>ドリフト領域102とに挟まれた部分の表面を介してゲート絶縁膜107上にゲート電極108が設けられている。エミッタ電極109は、n<sup>+</sup>エミッタ領域105およびpベース領域104に接する。エミッタ電極109は、図示省略する層間絶縁膜によってゲート電極108と絶縁されている。コレクタ電極（不図示）は、p<sup>+</sup>コレクタ領域101となるp<sup>+</sup>型チップの裏面に接する。

#### 【0006】

50

近年、ウエハを薄くして素子特性を向上させる技術が発達しており、ウエハを薄くする技術は I G B T にも適用されている。ウエハを薄くする技術を適用して、図 2 6 に示す従来の I G B T を作製する方法として、 $p^+$ コレクタ領域 1 0 1 となる  $p^+$ 型ウエハを用いずに、フローティングゾーン (F Z : F l o a t i n g   Z o n e) 法で作られた、 $n^-$ ドリフト領域 1 0 2 となる  $n^-$ 型ウエハ (以下、 $n^-$ 型 F Z ウエハとする) を用いる方法が公知である。

#### 【0 0 0 7】

具体的には、ウエハを薄くする技術を用いた従来の I G B T の製造方法として、次の方法が主流となりつつある。ウエハを薄くする技術を用いた従来の I G B T の製造方法について、図 2 6 を参照して説明する。まず、 $n^-$ ドリフト領域 1 0 2 となる  $n^-$ 型 F Z ウエハのおもて面側に、 $p$ ベース領域 1 0 4、 $n^+$ エミッタ領域 1 0 5、ゲート絶縁膜 1 0 7 およびゲート電極 1 0 8 からなる M O S ゲート (金属-酸化膜-半導体からなる絶縁ゲート) 構造を形成する。次に、 $n^-$ 型 F Z ウエハの裏面を研削して  $n^-$ 型 F Z ウエハの厚さを薄くする。

#### 【0 0 0 8】

次に、 $n^-$ 型 F Z ウエハの研削された裏面の表面層に  $n$ バッファ層 1 0 3 および  $p^+$ コレクタ領域 (図 2 6 の  $p^+$ コレクタ領域に相当する領域: 不図示) を形成する。その後、 $n^-$ 型 F Z ウエハをダイシングしチップ化することにより、図 2 6 に示すような構成を備えた従来の I G B T が完成する。このように  $n^-$ ドリフト領域 1 0 2 となる  $n^-$ 型 F Z ウエハを用いて I G B T を作製することで、 $p^+$ コレクタ領域の厚さは  $2 \mu m$  以下となる。この場合、 $p^+$ コレクタ領域は、I G B T の機械強度を維持する支持体として機能しない。

#### 【0 0 0 9】

また、従来の I G B T として、逆方向耐圧を確保するための終端構造を備えた逆阻止型 I G B T (R B - I G B T : R e v e r s e   B l o c k i n g   I G B T) が公知である。R B - I G B T は、コレクタ領域とドリフト領域とからなる  $p n$  接合にかかる逆バイアス電圧に対して高い逆耐圧特性を有する。従来の R B - I G B T の断面構造について説明する。図 2 7 は、従来の R B - I G B T の構成を示す断面図である。

#### 【0 0 1 0】

図 2 7 に示す従来の R B - I G B T は、活性領域において、 $n^-$ ドリフト領域 1 0 2 となる  $n^-$ 型チップのおもて面に、図 2 6 に示す従来の I G B T と同様に  $p$ ベース領域 1 0 4、 $n^+$ エミッタ領域 1 0 5、ゲート絶縁膜 1 0 7、ゲート電極 1 0 8 およびエミッタ電極 1 0 9 を備える。活性領域とは、オン時に電流が流れる領域である。符号 1 0 6、1 1 0、1 1 3 は、 $p^+$ ベースコンタクト領域、 $n$ ホールバリア領域および層間絶縁膜である。

#### 【0 0 1 1】

活性領域の外側には、活性領域を囲むように終端構造部が設けられている。終端構造部は、活性領域の周辺部の  $p n$  接合に集中する電界を緩和し、高い耐圧を維持する機能を有する。終端構造部において、 $n^-$ 型チップのおもて面の表面層には、フローティングの  $p$ 領域 (フィールドリミットリング: F L R) 1 1 4 が選択的に設けられている。フローティングのフィールドプレート (F P) 1 1 6 は、F L R 1 1 4 の内部に設けられた  $p^+$ 高濃度領域を介して F L R 1 1 4 に接する。

#### 【0 0 1 2】

$n^-$ 型チップの裏面全面に、 $p$ コレクタ領域 1 1 1 が設けられている。コレクタ電極 1 1 2 は、 $p$ コレクタ領域 1 1 1 に接する。 $n^-$ 型チップの外周部には、終端構造部を囲み、かつ  $n^-$ 型チップのおもて面から  $p$ コレクタ領域 1 1 1 に達する  $p$ 分離領域 1 2 1 が設けられている。 $p$ 分離領域 1 2 1 は、逆方向耐圧を確保する機能を有する。F P 1 1 7 は、 $p$ 分離領域 1 2 1 の内部に設けられた  $p^+$ 高濃度領域を介して  $p$ 分離領域 1 2 1 に接する。F P 1 1 6、1 1 7 は、それぞれ層間絶縁膜 1 1 3 によって絶縁されている。

#### 【0 0 1 3】

このような従来の I G B T において、 $n^-$ ドリフト領域 1 0 2 の厚さ、すなわち  $n^-$ 型チ

10

20

30

40

50

ップの厚さを薄くすることは導通損失およびスイッチング損失の低減に有効である。また、近年、 $n^-$ ドリフト領域102となる $n^-$ 型チップの裏面側に設けた $n$ バッファ層103の $n$ 型不純物濃度を最適化することで、 $n^-$ ドリフト領域102の厚さを所望の素子耐圧に必要な最小限の厚さとしたフィールドストップ型IGBT（以下、FS-IGBTとする）が主流となっている。

#### 【0014】

$n^-$ ドリフト領域内に $n^-$ ドリフト領域よりも不純物濃度が高い $n$ バッファ層を形成する方法として、プロトン（ $H^+$ ）注入および熱アニール処理により $n$ バッファ層を形成する方法が提案されている（例えば、下記特許文献1，2参照。）。プロトン注入および低温アニールによりシリコン（Si）ウエハの所定の領域が $n$ 型にドーピングされることは公知であり、例えば350℃の温度で30分間の熱アニール処理を行った場合のプロトンのドーズ量と導入されたドナー濃度との関係について開示されている（例えば、下記非特許文献1参照。）。 10

#### 【0015】

下記特許文献1，2に示す従来のIGBTの断面構造と、このIGBTにおける各領域の不純物濃度とについて説明する。図28は、従来のIGBTの別の構成を示す断面図である。図29は、図28のIGBTの不純物濃度分布を示す特性図である。図28に示す従来のIGBTが図26に示す従来のIGBTと異なる点は、 $p^+$ コレクタ領域となる低抵抗な $p^+$ 型ウエハに代えて $n^-$ ドリフト領域102となる $n^-$ 型ウエハを用い、この $n^-$ 型ウエハの裏面の表面層に $n$ バッファ層103および $p^-$ コレクタ領域131を設けた点である。すなわち、図28に示す従来のIGBTは、ウエハを薄くする技術を適用して作製された図26に示す従来のIGBTに相当する。 20

#### 【0016】

下記特許文献1，2において、 $n$ バッファ層103は、 $n^-$ 型ウエハの研削された裏面に、500keV以上の加速エネルギーで1回または複数回のプロトン注入を行った後、300℃～400℃程度の温度で30分間～60分間の熱アニール処理を行うことで形成される。このようにプロトン注入および熱アニールを行うことにより、図29に示すように、 $n^-$ ドリフト領域102内の所定の領域の $n$ 型不純物濃度が高くなり $n$ バッファ層103が形成される。 $n$ バッファ層103を形成するために必要なプロトンのドーズ量や熱アニール条件は、例えば下記非特許文献1に開示されている。 30

#### 【0017】

ウエハを薄くする際のウエハの厚さの限界値（以下、限界厚さとする）は、製造装置や製造方法にも依存するが、シリコンでは製造性の面で80μm程度である。その理由は、ウエハの厚さを80μm以下に薄くした場合、機械強度が低下し、歩留まりが著しく低下するからである。一方、素子耐圧は $n^-$ ドリフト領域102の厚さに依存するため、低耐圧であるほど、所望の耐圧を実現するために設計上必要とされる $n^-$ ドリフト領域102の設計上の厚さの理想値（耐圧100Vに対して約10μmであり、以下、理想厚さとする）は薄くなる。しかしながら、ウエハの厚さは製造性の面で限界厚さ以下にすることができないため、耐圧クラス600V以下のIGBTの $n^-$ ドリフト領域102の厚さは、一般的に理想厚さである60μm以上の厚さとなる。このため、耐圧クラス600V以下のIGBTには、ウエハのさらなる薄板化による性能向上の余地が大きく残されている。 40

#### 【0018】

耐圧クラス600V以下のIGBTは、例えば、次のような様々な用途で用いられる。耐圧クラス400VのIGBTは、プラズマディスプレイパネル（PDP：Plasma Display Panel）やストロボ（Strobe）等のパルス電源に広く使用されている。また、パワー電力変換装置への入力電圧が220V（AC：交流）である場合、整流後のDC（直流）リンク電圧が300Vとなるため、パワー電力変換装置のインバータ部のメインのスイッチング素子に耐圧クラス600VのIGBTが用いられる。

#### 【0019】

さらに、耐圧クラス400VのIGBTは、インバータ部を構成するスイッチング素子 50

やメイン素子として用いられる。具体的には、パワー電力変換装置のインバータ部の出力電圧レベル制御を従来の2レベル制御から3レベル制御に変更することで、パワー電力変換装置の電力変換効率が向上することが公知である（例えば、下記非特許文献2（第10図）参照。）。パワー電力変換装置のインバータ部の出力電圧レベル制御を3レベル制御とする場合、インバータ部の出力電圧を3レベルに変換する3レベル変換部の中間のスイッチング素子として耐圧クラス400VのIGBTが用いられる。また、3レベル変換部の中間のスイッチング素子として、従来のIGBTとダイオードとを直列に接続した場合と同様の機能を備える耐圧クラス400VのRB-IGBTを用いることも提案されている（例えば、下記非特許文献3（第1図）参照。）。

#### 【0020】

10

また、電気自動車（EV：Electric Vehicle）では、パワー電力変換装置を通して駆動用バッテリーから動力源であるモータに電力が供給されるため、パワー電力変換装置の電力変換効率向上が重要視されている。例えば駆動用バッテリーからモータへの供給電力が80kW以下である場合、パワー電力変換装置のDCリンク電圧が100V～250V程度であることが適切であるため、パワー電力変換装置のインバータ部のメインのスイッチング素子として耐圧クラス400VのIGBTが用いられる。

#### 【0021】

このように様々な用途で用いられる耐圧クラス400VのIGBTにおいて、n<sup>-</sup>ドリフト領域102の理想厚さは40μm程度であり、製造性の面で実現可能なウエハの限界厚さよりも薄い。したがって、耐圧クラス400VのIGBTを作製するにあたって、n<sup>-</sup>ドリフト領域102の厚さを理想厚さである40μm程度にまで薄くすることは、ウエハの機械強度の低下につながる。

20

#### 【0022】

薄型ウエハの機械強度を確保する方法として、ウエハの外周部を所定の幅で厚く残し（以下、リブ部とする）、ウエハ裏面の中央部のみを薄くする方法が提案されている（例えば、下記非特許文献4および下記特許文献3参照。）。下記非特許文献4の技術について説明する。図30、31は、従来の半導体装置の製造途中のウエハ断面を示す断面図である。まず、図30に示すように、ウエハ200のおもて面側にMOSゲート構造やFLR、FPなどのおもて面素子構造201を形成した後、このおもて面を保護レジスト膜211で覆う。

30

#### 【0023】

次に、ウエハ200の保護レジスト膜211で覆われたおもて面にバックグラインド（BG：Back Grind）テープ212を貼り付ける。次に、図31に示すように、ウエハ200の外周部にリブ部200-1が残るように、ウエハ200裏面の中央部200-2のみを研磨する。ウエハ200外周部にリブ部200-1を残すことで、ウエハ200の裏面全体を一様に研磨する場合に比べてウエハ200の外周部への応力集中が解消され、ウエハ200の機械強度が向上する。これにより、ウエハ200の反りが低減され、チップングや割れなどが低減される。

#### 【0024】

また、下記特許文献3の技術について説明する。図32は、従来の半導体装置の製造途中のウエハ断面を示す断面図である。図32に示すように、まず、おもて面側素子構造部が作製されたウエハ200のおもて面および裏面に耐エッチング保護膜である酸化膜221を形成する。次に、ウエハ200の裏面に、ウエハ200外周端部から内周側に所定の幅で酸化膜221を覆うレジストマスク222を形成する。次に、レジストマスク222をマスクとして、ウエハ200の裏面に形成された酸化膜221をウエハ200の外周端部から所定の幅を残して除去する。そして、ウエハ200の裏面を所定の深さまでエッチングした後、ウエハ200のおもて面と裏面の外周端部に残る酸化膜221を除去する。

40

#### 【0025】

また、薄型ウエハの機械強度を確保する別の方法として、次の方法が提案されている。半導体ウエハの内部を該半導体ウエハの互いに対向する第一、第二の主面に抜けるように

50

第一、第二電極間で主たる電流を流す半導体素子を加工するときに必要な機械強度は、当該素子を作り込む半導体ウエハの厚みにより確保する。素子を作り込む前に、半導体ウエハの一主面に凹部を設けることで厚みの薄い領域部分を形成し、ここに半導体素子を作り込む（例えば、下記特許文献4参照。）。

【0026】

また、機械強度が確保された装置として、半導体基板が、一方の主面側の中央部に、少なくとも耐圧に必要な厚さをもち、炭化珪素または窒化ガリウムからなる半導体層を備え、他方の主面側に、前記中央部に対向する位置に凹部と、該凹部の底部を取り囲み、凹部の側面をなす支持部とを有する装置が形成されている（例えば、下記特許文献5参照。）。

10

【先行技術文献】

【特許文献】

【0027】

【特許文献1】米国特許第6482681号明細書

【特許文献2】特許第4128777号公報

【特許文献3】特開2007-335659号公報

【特許文献4】特開2002-016266号公報

【特許文献5】特開2007-243080号公報

【非特許文献】

【0028】

20

【非特許文献1】ディー・シルバー (D. Silber)、外3名、インプルーブド ダイナミック プロパティーズ オブ GTO-サイリスター アンド ダイオード バイプロトン インプランテーション (Improved Dynamic Properties of GTO-Thyristors and Diodes by Proton Implantation)、アイ・トリプル・イー インターナショナル エレクトロン デバイス ミーティング、テクニカル ダイジェスト: IEDM'85 (IEEE International Electron Device Meeting, Technical Digest: IEDM'85)、(米国)、1985年、第31巻、p. 162-165

【非特許文献2】エー・ナバエ (A. Nabae)、外2名、ア ニュー ニュートラルーポイントークランプトゥ PWM インバータ (A New Neutral-Point-Clamped PWM Inverter)、アイ・トリプル・イー トランザクションズ オン インダストリー アプリケーションズ (IEEE Transactions on Industry Applications)、1981年、第1A巻～第17巻、第5号、p. 518-523

30

【非特許文献3】エム・ヤツ (M. Yatsu)、外6名、ア スタディ オブ ハイ エフィシェンシー UPS ユージング アドヴァンスト スリーレベル トポロジー (A Study of High Efficiency UPS Using Advanced Three-level Topology)、プレリミナリー カンファレンス プログラム PCIM ヨーロッパ 2010 (Preliminary Conference Program PCIM Europe 2010)、(ニュルンベルク)、2010年5月、p. 550-555

40

【非特許文献4】株式会社ディスコ、“TAIKOプロセス”、[online]、平成13年～平成24年、インターネット、[平成24年8月3日検索]、<URL: <http://www.disco.co.jp/jp/solution/library/taiko.html>>

【発明の概要】

【発明が解決しようとする課題】

【0029】

しかしながら、上述した図30～32に示す従来技術では、ウエハ200の外周部のリ

50

ブ部200-1だけでウエハ200を補強している。このため、 $n^-$ ドリフト領域102の厚さを理想厚さとするためにウエハ200の中央部200-2を薄くするほど、また、ウエハ200を大口径化するほど、ウエハ200の機械強度が著しく低下し、ウエハ200が割れやすくなるという問題が生じる。したがって、ウエハ200の厚さを、製造性の面での問題が生じない限界厚さである $80\mu\text{m}$ よりも薄くすることができず、理想的な設計条件で耐圧クラス600V以下の低耐圧IGBTを作製することができない。

#### 【0030】

また、上述した図30～32に示す従来技術では、ウエハ200をダイシングしてチップ化する前にウエハ200に対して行う電気特性試験において、ウエハ200を載置する支持台にウエハ200裏面のコレクタ電極などが接触してしまう。このため、従来のIGBTでは、ウエハ200の裏面に生じる付着物（パーティクル）や擦れなどにより、pコレクタ領域111やnバッファ層103が損傷し、耐圧が低下したり漏れ電流が増大したりする虞がある。また、従来のRB-IGBTでは、ウエハ200の裏面に生じる付着物や擦れなどにより、pコレクタ領域111が損傷し、逆耐圧特性が劣化したり逆耐圧特性が得られなかったりする虞がある。

10

#### 【0031】

この発明は、上述した従来技術による問題点を解消するため、機械強度が高い半導体装置および半導体装置の製造方法を提供することを目的とする。また、この発明は、上述した従来技術による問題点を解消するため、設計上得られる最適な電気的特性を有する半導体装置および半導体装置の製造方法を提供することを目的とする。

20

#### 【課題を解決するための手段】

#### 【0032】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型チップは、第1の第1導電型半導体領域と、第2の第1導電型半導体領域と、前記第1の第1導電型半導体領域と前記第2の第1導電型半導体領域との間に設けられた、前記第2の第1導電型半導体領域よりも抵抗率が低い第3の第1導電型半導体領域と、からなる。前記第1の第1導電型半導体領域を貫通して前記第3の第1導電型半導体領域に達する溝が設けられている。前記溝により前記第1導電型チップの外周部よりも厚さが薄くなった内周部に、活性領域が設けられている。前記第1導電型チップの外周部に、耐圧を保持する終端構造部が設けられている。前記第3の第1導電型半導体領域および前記第1の第1導電型半導体領域に接する第2導電型半導体領域が設けられている。前記第2導電型半導体領域に接する出力電極が設けられている。前記出力電極と前記第3の第1導電型半導体領域との前記第1導電型チップの厚さ方向の距離は、前記活性領域よりも前記終端構造部で広がっている。

30

#### 【0033】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第1導電型チップは、第1の第1導電型半導体領域と、第2の第1導電型半導体領域と、前記第1の第1導電型半導体領域と前記第2の第1導電型半導体領域との間に設けられた、前記第2の第1導電型半導体領域よりも抵抗率が低い第3の第1導電型半導体領域と、からなる。前記第1導電型チップの前記第1の第1導電型半導体領域側の面から前記第1の第1導電型半導体領域の厚さよりも浅い深さで溝が設けられている。前記溝により前記第1導電型チップの外周部よりも厚さが薄くなった内周部に、活性領域が設けられている。前記第1導電型チップの外周部に、耐圧を保持する終端構造部が設けられている。前記第1の第1導電型半導体領域に接する第2導電型半導体領域が設けられている。前記第2導電型半導体領域に接する出力電極が設けられている。前記第2導電型半導体領域と前記第3の第1導電型半導体領域との前記第1導電型チップの厚さ方向の距離は、前記活性領域よりも前記終端構造部で広がっている。

40

#### 【0034】

また、この発明にかかる半導体装置は、上述した発明において、前記第3の第1導電型半導体領域の厚さは、 $1.5\mu\text{m}$ 以上 $10.0\mu\text{m}$ 以下であることを特徴とする。

50

## 【0035】

また、この発明にかかる半導体装置は、上述した発明において、前記第3の第1導電型半導体領域の平均不純物濃度は、 $3.0 \times 10^{15} \text{ cm}^{-3} \sim 2.0 \times 10^{16} \text{ cm}^{-3}$ であることを特徴とする。

## 【0036】

また、この発明にかかる半導体装置は、上述した発明において、前記第2の第1導電型半導体領域は、前記第3の第1導電型半導体領域上に堆積されたエピタキシャル成長層であることを特徴とする。

## 【0037】

また、この発明にかかる半導体装置は、上述した発明において、前記第3の第1導電型半導体領域は、前記第1導電型チップに導入されたプロトンがドナー化されてなる領域であることを特徴とする。

10

## 【0038】

また、この発明にかかる半導体装置は、上述した発明において、前記第2の第1導電型半導体領域の抵抗率は、前記第1の第1導電型半導体領域の抵抗率と等しいことを特徴とする。

## 【0039】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型チップの外周部の厚さは80  $\mu\text{m}$ よりも大きいことを特徴とする。

## 【0040】

20

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、前記第1導電型チップの外周部よりも厚さが薄い内周部に設けられた活性領域と、を備えた半導体装置の製造方法であって、次の特徴を有する。まず、第1導電型ウエハの所定の深さに、前記第1導電型ウエハよりも抵抗率が低い第1導電型半導体領域を形成する第1工程を行う。次に、前記第1導電型ウエハの裏面から前記第1導電型半導体領域に達する溝を形成し、前記第1導電型チップとなる領域の内周部の厚さを外周部の厚さよりも薄くする第2工程を行う。次に、前記第1導電型ウエハの裏面および前記溝の内壁に沿って第2導電型半導体領域を形成する第3工程を行う。次に、前記第1導電型ウエハの厚さ方向における前記第1導電型半導体領域との距離が前記活性領域よりも前記終端構造部で広くなるように、前記第2導電型半導体領域上に出力電極を形成する第4工程を行う。

30

## 【0041】

また、上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、第1導電型チップの外周部に設けられた耐圧を保持する終端構造部と、前記第1導電型チップの外周部よりも厚さが薄い内周部に設けられた活性領域と、を備えた半導体装置の製造方法であって、次の特徴を有する。まず、第1導電型ウエハの所定の深さに、前記第1導電型ウエハよりも抵抗率が低い第1導電型半導体領域を形成する第1工程を行う。次に、前記第1導電型ウエハの裏面から前記第1導電型半導体領域までの前記第1導電型ウエハの深さ方向の厚さよりも浅い深さで前記第1導電型ウエハの裏面に溝を形成し、前記第1導電型チップとなる領域の内周部の厚さを外周部の厚さよりも薄くする第2工程を行う。次に、前記第1導電型半導体領域との前記第1導電型ウエハの厚さ方向の距離が前記活性領域よりも前記終端構造部で広くなるように、前記第1導電型ウエハの裏面および前記溝の内壁に沿って第2導電型半導体領域を形成する第3工程を行う。次に、前記第2導電型半導体領域上に出力電極を形成する第4工程を行う。

40

## 【0042】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1工程では、第1導電型支持ウエハのおもて面に、前記第1導電型支持ウエハよりも抵抗率が低い前記第1導電型半導体領域を形成する第1形成工程と、前記第1導電型半導体領域上に、前記第1導電型半導体領域よりも抵抗率が高い第1導電型エピタキシャル成長層を堆積させる第2形成工程と、により前記第1導電型ウエハを形成することを特徴とする。

50

## 【0043】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1工程は、まず、前記第1導電型ウエハの裏面からプロトンを注入する第1注入工程を行う。次に、第1注入工程後の所定のタイミングで、前記第1導電型ウエハに注入されたプロトンを熱アニールにより活性化させ、前記第1導電型ウエハの所定の深さに前記第1導電型半導体領域を形成する第1熱アニール工程を行うことを特徴とする。

## 【0044】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1注入工程前に、前記第1導電型ウエハの裏面を研削して前記第1導電型ウエハの厚さを薄くする薄板化工程をさらに含む。そして、前記第1注入工程では、加速エネルギーを1.6 MeV～2.5 MeVの範囲とし、前記第1導電型半導体領域の総ドーズ量が $5.0 \times 10^{13} \text{ cm}^{-2}$ ～ $5.0 \times 10^{14} \text{ cm}^{-2}$ の範囲となるようにプロトンを注入することを特徴とする。

10

## 【0045】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1注入工程後に、前記第1導電型ウエハの裏面を研削して前記第1導電型ウエハの厚さを薄くする薄板化工程をさらに含む。そして、前記第1注入工程では、加速エネルギーを7.0 MeV～8.0 MeVの範囲とし、前記第1導電型半導体領域の総ドーズ量が $5.0 \times 10^{13} \text{ cm}^{-2}$ ～ $5.0 \times 10^{14} \text{ cm}^{-2}$ の範囲となるようにプロトンを注入することを特徴とする。

20

## 【0046】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第2工程では、湿式エッチングによって前記溝を形成することを特徴とする。

## 【0047】

上述した発明によれば、ウエハ上のチップとなる領域ごとにチップ外周部の厚さをチップ内周部の厚さよりも厚く残すことにより、ウエハへの応力集中を分散させることができる。また、チップ外周部の厚さをチップ内周部の厚さよりも厚く残し、コレクタ電極とフィールドストップ領域とのチップ厚さ方向の距離を活性領域よりも終端構造部で広くすることにより、終端構造部から活性領域にわたってチップ厚さが均一な半導体装置よりも終端構造部におけるコレクタ領域からのキャリア注入量を少なくすることができる。このため、大電流が遮断される際に、終端構造部が破壊に至る危険性が一段と低くなり、素子の逆バイアス安全動作領域(RBSOA: Reverse Biased Safe Operating Area)の確保が容易となる。

30

## 【0048】

また、上述した発明によれば、ウエハの裏面に溝を形成してチップとなる領域ごとにチップ外周部の厚さをチップ内周部の厚さよりも厚く残すことで、ウエハ外周部のみをウエハ中央部よりも厚く残した従来のリブウエハよりも、活性領域におけるチップ厚さを薄くすることができる。また、ウエハの裏面からフィールドストップ領域に達する深い溝を形成することにより、チップ内周部の厚さをさらに薄くすることができる。これにより、例えば耐圧クラス600V以下の低耐圧IGBTを作製する際に、ドリフト領域の厚さを所望の耐圧を実現するために設計上必要とされる理想厚さとすることができる。

40

## 【0049】

また、上述した発明によれば、チップとなる領域ごとにチップ外周部の厚さをチップ内周部の厚さよりも厚く残すことで、例えばダイシング前にウエハに対して行う電気特性試験において、活性領域に設けられたコレクタ領域やコレクタ電極などがウエハを載置する支持台に接触しない。これにより、コレクタ領域やフィールドストップ領域が損傷して耐圧が低下したり漏れ電流が増大したりする問題や、コレクタ領域が損傷し逆耐圧特性が劣化するまたは逆耐圧特性が得られないという問題が生じることを防止することができる。

## 【発明の効果】

## 【0050】

50

本発明にかかる半導体装置および半導体装置の製造方法によれば、機械強度を向上させることができるという効果を奏する。また、本発明にかかる半導体装置および半導体装置の製造方法によれば、最適な電気的特性を有する半導体装置および半導体装置の製造方法を提供することができるという効果を奏する。

【図面の簡単な説明】

【0051】

【図1】図1は、実施の形態1にかかる半導体装置の構成を示す断面図である。

【図2】図2は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

。【図3】図3は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である 10

。【図4】図4は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図5】図5は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図6】図6は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図7】図7は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図8】図8は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である 20

。【図9】図9は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図10】図10は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図11】図11は、実施の形態1にかかる半導体装置の製造途中の状態を示す断面図である。

【図12】図12は、実施の形態2にかかる半導体装置の構成を示す断面図である。

【図13】図13は、実施の形態2にかかる半導体装置の製造途中の状態を示す断面図である。 30

【図14】図14は、実施の形態2にかかる半導体装置の製造途中の状態を示す断面図である。

【図15】図15は、実施の形態3にかかる半導体装置の製造途中の状態を示す断面図である。

【図16】図16は、実施の形態3にかかる半導体装置の製造途中の状態を示す断面図である。

【図17】図17は、実施の形態4にかかる半導体装置の製造途中の状態を示す断面図である。

【図18】図18は、実施の形態4にかかる半導体装置の製造途中の状態を示す断面図である。 40

【図19】図19は、実施の形態4にかかる半導体装置の製造途中の状態を示す断面図である。

【図20】図20は、実施の形態4にかかる半導体装置の製造途中の状態を示す断面図である。

【図21】図21は、実施の形態4にかかる半導体装置の製造途中の状態を示す断面図である。

【図22】図22は、実施の形態5にかかる半導体装置の製造途中の状態を示す断面図である。

【図23】図23は、実施の形態5にかかる半導体装置の製造途中の状態を示す断面図である。 50

【図 2 4】図 2 4 は、実施の形態 5 にかかる半導体装置の製造途中の状態を示す断面図である。

【図 2 5】図 2 5 は、実施の形態 5 にかかる半導体装置の製造途中の状態を示す断面図である。

【図 2 6】図 2 6 は、従来の I G B T の構成を示す断面図である。

【図 2 7】図 2 7 は、従来の R B - I G B T の構成を示す断面図である。

【図 2 8】図 2 8 は、従来の I G B T の別の構成を示す断面図である。

【図 2 9】図 2 9 は、図 2 8 の I G B T の不純物濃度分布を示す特性図である。

【図 3 0】図 3 0 は、従来の半導体装置の製造途中のウエハ断面を示す断面図である。

【図 3 1】図 3 1 は、従来の半導体装置の製造途中のウエハ断面を示す断面図である。

【図 3 2】図 3 2 は、従来の半導体装置の製造途中のウエハ断面を示す断面図である。

【発明を実施するための形態】

【0052】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、 $n$ または $p$ を冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、 $n$ や $p$ に付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0053】

(実施の形態 1)

実施の形態 1 にかかる半導体装置の構成について、図 1 に示すプレーナゲート構造のフィールドストップ型 I G B T ( F S - I G B T ) を例に説明する。図 1 は、実施の形態 1 にかかる半導体装置の構成を示す断面図である。図 1 に示すように、実施の形態 1 にかかる半導体装置は、 $n^-$ 型ウエハに、 $n^-$ ドリフト領域 2 にかかる電界を緩和し耐圧を保持する終端構造部 2 6 と、半導体装置のオン時に電流が流れる活性領域 2 7 と、を備える。

【0054】

$n^-$ 型ウエハは、例えば、裏面側から $n^-$ 型 F Z ウエハ ( 第 1 の第 1 導電型半導体領域 ) 1、 $n$  フィールドストップ領域 ( 第 3 の第 1 導電型半導体領域 ) 3 および $n^-$ ドリフト領域 ( 第 2 の第 1 導電型半導体領域 ) 2 が順に積層されてなる。図 1 には、 $n^-$ 型ウエハをダイシングしチップ化された後の、活性領域 2 7 の一部からチップ外周部にまでわたる断面構造を示す ( 図 1 2 においても同様 ) 。 $n$  フィールドストップ領域 3 は、 $n^-$ 型 F Z ウエハ 1 と $n^-$ ドリフト領域 2 との間に、活性領域 2 7 から終端構造部 2 6 にわたって設けられている。 $n$  フィールドストップ領域 3 の平均不純物濃度は、 $3.0 \times 10^{15} \text{ cm}^{-3} \sim 2.0 \times 10^{16} \text{ cm}^{-3}$ であるのが好ましい。

【0055】

活性領域 2 7 は、チップ外周部 B 内側のチップ外周部 B よりも厚さの薄いチップ内周部 A に設けられている。終端構造部 2 6 は、活性領域 2 7 の外側に設けられ、活性領域 2 7 を囲む。終端構造部 2 6 は、チップ外周部 B からチップ外周部 B よりも厚さの薄いチップ内周部 A にわたって設けられていてもよいし、チップ外周部 B のみに設けられていてもよい。 $n^-$ 型チップの裏面 ( $n^-$ 型 F Z ウエハ 1 の裏面) には $n^-$ 型チップ裏面から $n^-$ 型 F Z ウエハ 1 を貫通して $n$  フィールドストップ領域 3 に達する溝 2 5 が設けられている。この溝 2 5 により、チップ内周部 A には、 $n^-$ 型 F Z ウエハ 1 は設けられていない。

【0056】

チップ内周部 A の厚さ  $t_a$  は、 $n^-$ ドリフト領域 2 の厚さ  $t_2$  と、チップ内周部 A における $n$  フィールドストップ領域 3 の厚さ  $t_{3a}$  と、後述する  $p$  コレクタ領域 ( 第 2 導電型半導体領域 ) 1 1 の厚さ  $t_{11}$  とを総和した厚さであり、チップ外周部 B の厚さ  $t_b$  よりも薄い。チップ内周部 A における $n$  フィールドストップ領域 3 の厚さ  $t_{3a}$  は、例えば  $1.5 \mu\text{m} \sim 10.0 \mu\text{m}$  であるのが好ましい。 $n$  フィールドストップ領域 3 の形成のために砒素またはアンチモンを用いると  $1.5 \mu\text{m} \sim 3.0 \mu\text{m}$  の $n$  フィールドストップ領域

10

20

30

40

50

3となるが、リンを用いた場合は $1.5\ \mu\text{m}\sim 8.0\ \mu\text{m}$ のnフィールドストップ領域3となるためである。チップ外周部Bの厚さ $t_b$ は、n<sup>-</sup>ドリフト領域2の厚さ $t_2$ と、チップ外周部Bにおけるnフィールドストップ領域3の厚さ $t_{3b}$ と、n<sup>-</sup>型FZウエハ1の厚さ $t_1$ と、後述するpコレクタ領域11の厚さ $t_{11}$ とを総和した厚さである。

【0057】

チップ外周部Bの厚さ $t_b$ は、例えば $80\ \mu\text{m}$ よりも大きいことが好ましい。その理由は、FS-IGBTの機械強度を維持する支持体として機能させることができるからである。溝25の深さは、n<sup>-</sup>型FZウエハ1の厚さ $t_1$ よりも深くてもよい。チップ内周部Aにおけるnフィールドストップ領域3の厚さ $t_{3a}$ は $1.5\ \mu\text{m}\sim 10.0\ \mu\text{m}$ の厚さが確保されていれば、チップ外周部Bにおけるnフィールドストップ領域3の厚さ $t_{3b}$ よりも薄くてもよい。

10

【0058】

また、溝25により、n<sup>-</sup>型チップの裏面には、チップ内周部Aにおいてnフィールドストップ領域3が露出され、チップ外周部Bにおいてn<sup>-</sup>型FZウエハ1が露出される。pコレクタ領域11は、n<sup>-</sup>型チップの裏面に露出されたnフィールドストップ領域3およびn<sup>-</sup>型FZウエハ1に接するようにn<sup>-</sup>型チップ裏面全体に設けられている。コレクタ電極（出力電極）12は、pコレクタ領域11に接する。

【0059】

チップ外周部Bにおけるコレクタ電極12とnフィールドストップ領域3とのチップ厚さ方向の第2距離 $x_{1b}$ は、チップ内周部Aにおけるコレクタ電極12とnフィールドストップ領域3とのチップ厚さ方向の第1距離 $x_{1a}$ よりも広がっている。これにより、オフ時に終端構造部26においてpコレクタ領域11からn<sup>-</sup>ドリフト領域2へ注入されるキャリアの注入量を低減することができる。第1距離 $x_{1a}$ は、pコレクタ領域11の厚さ $t_{11}$ である。第2距離 $x_{1b}$ は、n<sup>-</sup>型FZウエハ1の厚さ $t_1$ と、pコレクタ領域11の厚さ $t_{11}$ との総和である。

20

【0060】

チップ外周部Bは、終端構造部26からチップ外周のダイシングライン（不図示）にわたって設けられている。すなわち、実施の形態1にかかる半導体装置のおもて面素子構造は、チップ内周部Aからチップ外周部Bにわたって設けられている。おもて面素子構造とは、活性領域27においてn<sup>-</sup>型チップのおもて面（n<sup>-</sup>ドリフト領域2側の面）に設けられたFS-IGBTの素子構造、および、終端構造部26においてn<sup>-</sup>型チップのおもて面に設けられたFS-IGBTの耐圧構造である。

30

【0061】

活性領域27において、n<sup>-</sup>型チップのおもて面には、pベース領域4、n<sup>+</sup>エミッタ領域5、p<sup>+</sup>ベースコンタクト領域6、nホールバリア領域10、ゲート絶縁膜7、ゲート電極8からなるMOSゲート構造およびエミッタ電極9などからなるFS-IGBTの素子構造が設けられている。MOSゲート構造、エミッタ電極9、n<sup>-</sup>ドリフト領域2、nフィールドストップ領域3、pコレクタ領域11およびコレクタ電極12で活性領域27の単位セルが構成される。

【0062】

40

具体的には、n<sup>-</sup>型チップのおもて面側（n<sup>-</sup>ドリフト領域2側の面側）の表面層には、pベース領域4およびnホールバリア領域10が選択的に設けられている。nホールバリア領域10は、pベース領域4に接し、pベース領域4のnフィールドストップ領域3側を覆う。pベース領域4の内部には、n<sup>+</sup>エミッタ領域5およびp<sup>+</sup>ベースコンタクト領域6が選択的に設けられている。n<sup>+</sup>エミッタ領域5およびp<sup>+</sup>ベースコンタクト領域6は、n<sup>-</sup>型チップのおもて面に露出されている。

【0063】

p<sup>+</sup>ベースコンタクト領域6は、n<sup>+</sup>エミッタ領域5に接し、n<sup>+</sup>エミッタ領域5のnフィールドストップ領域3側を覆う。pベース領域4の、n<sup>-</sup>ドリフト領域2とn<sup>+</sup>エミッタ領域5とに挟まれた部分の表面上には、ゲート絶縁膜7を介してゲート電極8が設けられ

50

ている。エミッタ電極 9 は、 $n^-$ 型チップのおもて面側で p ベース領域 4 および  $n^+$  エミッタ領域 5 に接し、p ベース領域 4 と  $n^+$  エミッタ領域 5 とを短絡する。エミッタ電極 9 は、層間絶縁膜 13 によってゲート電極 8 と電氣的に絶縁されている。

#### 【0064】

終端構造部 26 において、 $n^-$ 型チップのおもて面には、フローティングの p 領域（フィールドリミットングリング：FLR）14、 $n^+$ 型領域 15、およびフローティングのフィールドプレート（FP）16、17 からなる FS-IGBT の耐压構造が設けられている。具体的には、 $n^-$ 型チップのおもて面側（ $n^-$ ドリフト領域 2 側）の表面層には、複数の FLR 14 と、 $n^+$ 型領域 15 とが選択的に設けられている。

#### 【0065】

$n^+$ 型領域 15 は、チップ外周端部に FLR 14 と離れて設けられている。 $n^-$ 型チップのおもて面には、複数の FP 16 が設けられている。各 FP 16 は、それぞれ、FLR 14 の内部に設けられた  $p^+$  高濃度領域を介して FLR 14 に接する。また、 $n^-$ 型チップのおもて面には、 $n^+$ 型領域 15 に接する FP 17 が設けられている。FP 16、17 は、それぞれ層間絶縁膜 13 によって絶縁されている。

#### 【0066】

次に、実施の形態 1 にかかる半導体装置の製造方法について、例えば耐压クラス 400 V の FS-IGBT を作製する場合を例に説明する。図 2～11 は、実施の形態 1 にかかる半導体装置の製造途中の状態を示す断面図である。図 2～11 には、 $n^-$ 型ウエハに作製される複数の素子のうちの 1 つの素子の活性領域 27 の一部から終端構造部 26 にまでわたる断面構造を示す（以下、図 13～25 においても同様）。まず、図 2 に示すように、例えばフローティングゾーン（FZ）法で作られた  $n^-$ 型 FZ ウエハ 1 を用意する。

#### 【0067】

次に、熱酸化法により、 $n^-$ 型 FZ ウエハ 1 のおもて面にスクリーン酸化膜 21 を例えば 30 nm の厚さで形成する。次に、 $n^-$ 型 FZ ウエハ 1 のおもて面に、スクリーン酸化膜 21 を介して例えば砒素（As：Arsenic）イオンまたはアンチモン（Sb：Antimony）イオンなどの  $n$  型不純物イオンを注入する。このイオン注入は、例えば、ドーズ量を  $1.0 \times 10^{12} \text{ cm}^{-2} \sim 3.0 \times 10^{12} \text{ cm}^{-2}$  とし、加速エネルギーを 100 keV としてもよい。

#### 【0068】

次に、図 3 に示すように、例えば窒素（N）雰囲気下において 900℃ の温度で 30 分間の熱アニール処理（熱拡散処理）を行い、 $n^-$ 型 FZ ウエハ 1 のおもて面の表面層に  $n$  フィールドストップ領域 3 を形成する。 $n$  フィールドストップ領域 3 を形成するための熱アニール処理によって、 $n^-$ 型 FZ ウエハ 1 表面の表面モフォロジー（morphology）が悪化することを防止することができる。次に、スクリーン酸化膜 21 を除去する。

#### 【0069】

次に、図 4 に示すように、 $n$  フィールドストップ領域 3 上に、例えばリン（P）などの  $n$  型不純物がドーピングされてなる  $n^-$ 型エピタキシャル成長層を堆積する。この  $n^-$ 型エピタキシャル成長層が  $n^-$ ドリフト領域 2 となる。 $n^-$ ドリフト領域 2 は、例えば、厚さ  $t_2$  が 45  $\mu\text{m}$  程度で、抵抗率が  $13 \Omega \cdot \text{cm} \sim 20 \Omega \cdot \text{cm}$  となるように形成される。

#### 【0070】

$n$  フィールドストップ領域 3 上に  $n^-$ ドリフト領域 2 を堆積することにより、 $n^-$ 型 FZ ウエハ 1、 $n$  フィールドストップ領域 3 および  $n^-$ ドリフト領域 2 がこの順に積層された  $n^-$ 型ウエハが作製される。 $n^-$ ドリフト領域 2 が形成される過程において、 $n$  フィールドストップ領域 3 はさらに熱拡散（ドライブイン）される。これにより、 $n$  フィールドストップ領域 3 の拡散深さは  $n^-$ ドリフト領域 2 の形成前よりも深くなる。

#### 【0071】

次に、図 5 に示すように、一般的な方法により、 $n^-$ 型ウエハのおもて面（ $n^-$ ドリフト領域 2 の  $n$  フィールドストップ領域 3 側に対して反対側の面）に、FS-IGBT のおも

10

20

30

40

50

て面素子構造を形成する。F S - I G B Tのおもて面素子構造とは、活性領域27に形成されるpベース領域4、 $n^+$ エミッタ領域5、 $p^+$ ベースコンタクト領域6、 $n$ ホールバリア領域10、ゲート絶縁膜7、ゲート電極8からなるM O Sゲート構造やエミッタ電極9からなる素子構造、および、終端構造部26に形成されるF L R 14、 $n^+$ 型領域15、F P 16、17からなる耐压構造である。

#### 【0072】

F S - I G B Tのおもて面素子構造を形成する際の熱バジェット（熱履歴）により、 $n$ フィールドストップ領域3はさらに熱拡散される。これにより、 $n$ フィールドストップ領域3の厚さは、例えば、F S - I G B T完成後のチップ外周部Bにおける $n$ フィールドストップ領域3の厚さ $t_{3b}$ となる。図5には、おもて面が下側を向いた状態で $n^-$ 型ウエハを図示しているが、 $n^-$ 型ウエハの主面の向きは製造工程に合わせて種々変更可能である。

10

#### 【0073】

次に、 $n^-$ 型ウエハのおもて面に、エミッタ電極9およびF P 17を覆うように、ポリイミド膜または窒化膜からなるパッシベーション層（不図示）を形成する。次に、エッチングによりF S - I G B Tの電極領域が露出されるようにパッシベーション層を開口し、電極パッド領域（不図示）を形成する。次に、図6に示すように、 $n^-$ 型ウエハのおもて面全面に保護レジストを塗布し、この保護レジストを改質し硬化させることでF S - I G B Tのおもて面素子構造を保護する保護レジスト層22を形成する。次に、 $n^-$ 型ウエハの保護レジスト層22で覆われたおもて面にバックグラインドテープ（B Gテープ）23を貼り付ける。

20

#### 【0074】

次に、図7に示すように、 $n^-$ 型ウエハの厚さが例えば $120\mu\text{m}$ 程度になるまで $n^-$ 型ウエハの裏面（ $n^-$ 型F Zウエハ1の裏面）を一様に研磨した後、さらに $n^-$ 型ウエハの裏面を接触研磨（touch polish）して鏡面加工する。次に、図8に示すように、B Gテープ23を剥離し、 $n^-$ 型ウエハを洗浄する。次に、 $n^-$ 型ウエハの裏面をエッチングし、 $n^-$ 型ウエハの厚さを例えば $5\mu\text{m}\sim 20\mu\text{m}$ 程度薄くする。これにより $n^-$ 型ウエハの厚さは、F S - I G B T完成後のチップ外周部Bの厚さ $t_b$ となる。次に、 $n^-$ 型ウエハの裏面に、終端構造部26の一部から活性領域27にわたって $n^-$ 型ウエハの裏面を露出させる開口部を有するレジストマスク24を形成する。

30

#### 【0075】

次に、図9に示すように、レジストマスク24をマスクとして例えば湿式の異方性エッチングを行い、 $n^-$ 型F Zウエハ1を貫通して $n$ フィールドストップ領域3に達する溝25を形成する。溝25の断面形状は、例えば、底部の幅が開口側の幅よりも狭い台形状となる。溝25を形成するためのエッチングに用いる溶液は、例えば、水酸化テトラメチルアンモニウム（TMAH）溶液を主成分としてもよい。この溝25により、 $n^-$ 型ウエハの裏面に、 $n^-$ 型F Zウエハ1と $n$ フィールドストップ領域3とが露出された状態となる。

#### 【0076】

また、溝25により、レジストマスク24の開口部に露出された部分の $n$ フィールドストップ領域3の厚さ $t_{3a}$ は、レジストマスク24に覆われた部分の $n$ フィールドストップ領域3の厚さ $t_{3b}$ よりも薄い $1.5\mu\text{m}\sim 10.0\mu\text{m}$ となる。レジストマスク24の開口部に露出された部分の $n^-$ 型ウエハの厚さは、F S - I G B T完成後のチップ内周部Aの厚さ $t_a$ となる。これにより、 $n^-$ 型ウエハの、F S - I G B T完成後に $n^-$ 型チップとなる領域ごとにチップ外周部Bよりも厚さが薄いチップ内周部Aが形成される。

40

#### 【0077】

次に、レジストマスク24を除去し、 $n^-$ 型ウエハの裏面を洗浄する。次に、図10に示すように、 $n^-$ 型ウエハの裏面全面、すなわち $n^-$ 型ウエハの裏面および溝25の側壁に露出する $n^-$ 型F Zウエハ1の表面と、溝25の側壁および底面に露出する $n$ フィールドストップ領域3の表面とに、硼素（B：Boron）イオンなどのp型不純物イオンを注

50

入する。このイオン注入は、例えば、ドーズ量を  $5.0 \times 10^{12} \text{ cm}^{-2} \sim 1.5 \times 10^{13} \text{ cm}^{-2}$  とし、加速エネルギーを  $30 \text{ keV} \sim 60 \text{ keV}$  としてもよい。

#### 【0078】

次に、レーザーアニール処理により、 $n^+$ 型ウエハの裏面全面にイオン注入された  $p$  型不純物を活性化させ、 $n^+$ 型ウエハの裏面に露出する  $n^+$ 型 FZ ウエハ 1 の表面層および  $n$  フィールドストップ領域 3 の表面層に  $p$  コレクタ領域 11 を形成する。このレーザーアニール処理は、例えば、波長  $532 \text{ nm}$  の YAG レーザーにより、 $1.0 \text{ J/cm}^2 \sim 2.0 \text{ J/cm}^2$  のエネルギー密度で行ってもよい。次に、 $n^+$ 型ウエハのおもて面に形成された保護レジスト層 22 を剥離した後、 $n^+$ 型ウエハの裏面全面に金属電極材料を堆積する。

10

#### 【0079】

次に、例えば水素 (H) 雰囲気において  $180^\circ\text{C} \sim 330^\circ\text{C}$  の温度で、 $n^+$ 型ウエハの裏面全面に堆積した金属電極材料をメタルアニールし、コレクタ電極 12 を形成する。コレクタ電極 12 は、コレクタ電極 12 と  $n$  フィールドストップ領域 3 とのチップ厚さ方向の距離が FS-IGBT 完成後のチップ内周部 A よりもチップ外周部 B で広くなるように形成される (第 2 距離  $x1b >$  第 1 距離  $x1a$ )。その後、図 11 に示すように  $n^+$ 型ウエハをダイシングライン 29 に沿ってダイシングし、FS-IGBT のおもて面素子構造 28 が形成された個々のチップに切断し個片化する。これにより、図 1 に示す FS-IGBT が完成する。

#### 【0080】

20

以上、説明したように、実施の形態 1 によれば、 $n^+$ 型 FZ ウエハの  $n$  フィールドストップ領域が形成されたおもて面上に  $n^-$ ドリフト領域を堆積し、 $n^+$ 型チップとなる領域ごとに  $n^+$ 型 FZ ウエハ側から溝を形成することで、 $n^+$ 型チップとなる領域ごとにチップ外周部の厚さをチップ内周部の厚さよりも厚く残すことができる。これにより、 $n^+$ 型ウエハへの応力集中を分散させることができ、 $n^+$ 型ウエハの機械強度を保持することができる。また、チップ外周部の厚さをチップ内周部の厚さよりも厚く残し、コレクタ電極と  $n$  フィールドストップ領域とのチップ厚さ方向の距離を活性領域よりも終端構造部で広くすることにより、終端構造部から活性領域にわたってチップ厚さが均一な半導体装置よりも終端構造部における  $p$  コレクタ領域からのキャリア注入量を少なくすることができる。このため、大電流が遮断される際に、終端構造部が破壊に至る危険性が一段と低くなり、素子の逆バイアス安全動作領域 (RBSOA) の確保が容易となる。

30

#### 【0081】

また、実施の形態 1 によれば、 $n^+$ 型ウエハの裏面 ( $n^+$ 型 FZ ウエハ側の面) に溝を形成して  $n^+$ 型チップとなる領域ごとにチップ外周部の厚さをチップ内周部の厚さよりも厚く残すことで、ウエハ外周部のみをウエハ中央部よりも厚く残した従来のリブウエハよりも、活性領域におけるチップ厚さを薄くすることができる。また、 $n^+$ 型ウエハの裏面から  $n$  フィールドストップ領域に達する深い溝を形成することで、チップ内周部の厚さをさらに薄くすることができる。これにより、例えば耐圧クラス  $600 \text{ V}$  以下の低耐圧 IGBT を作製する際に、 $n^-$ ドリフト領域の厚さを所望の耐圧を実現するために設計上必要とされる理想厚さとすることができる。したがって、設計上得られる最適な電気的特性を有する半導体装置および半導体装置の製造方法を提供することができる。

40

#### 【0082】

また、実施の形態 1 によれば、 $n^+$ 型チップとなる領域ごとにチップ外周部の厚さをチップ内周部の厚さよりも厚く残すことで、例えばダイシング前に  $n^+$ 型ウエハに対して行う電気特性試験において、活性領域に設けられた  $p$  コレクタ領域やコレクタ電極などが  $n^+$ 型ウエハを載置する支持台に接触しない。これにより、素子耐圧の低下や、漏れ電流の増大、RB-IGBT の場合には逆耐圧特性の劣化を防止することができる。

#### 【0083】

また、実施の形態 1 によれば、活性領域におけるチップ厚さを所望の耐圧を実現するために設計上必要とされる理想厚さまで薄くすることができるため、素子の導通損失とスイ

50

ッチング損失のトレードオフ関係を改善することができる。これにより、導通損失およびスイッチング損失を低減させることができる。

【0084】

(実施の形態2)

実施の形態2にかかる半導体装置について説明する。図12は、実施の形態2にかかる半導体装置の構成を示す断面図である。実施の形態2にかかる半導体装置が実施の形態1にかかる半導体装置と異なる点は、 $n^-$ 型ウエハの裏面に設けられた溝35が $n$ フィールドストップ領域3に達しないように設けられた点である。すなわち、 $p$ コレクタ領域11は終端構造部26から活性領域27にわたって $n^-$ 型FZウエハ1のみに接する。

【0085】

チップ内周部Aにおける $p$ コレクタ領域11と $n$ フィールドストップ領域3とのチップ厚さ方向の第3距離 $x2a$ は、チップ外周部Bにおける $p$ コレクタ領域11と $n$ フィールドストップ領域3とのチップ厚さ方向の第4距離 $x2b$ よりも狭い。第3距離 $x2a$ は、エッチングする工程能力に応じて任意の厚さでよいが、例えば $1.0\mu m$ 以上であるのが好ましい。これにより、終端構造部26から活性領域27にわたって $n^-$ 型チップの厚さが均一なFS-IGBTよりも、オフ時に終端構造部26において $p$ コレクタ領域11から $n^-$ ドリフト領域2へ注入されるキャリアの注入量を低減することができる。また、エッチングが $n$ フィールドストップ領域3に達しないので、 $n$ フィールドストップ領域3の厚さや不純物濃度を実施の形態1よりさらに正確に制御することができる。

【0086】

第3距離 $x2a$ は、チップ内周部Aにおける $n^-$ 型FZウエハ1の厚さ $t1a$ である。第4距離 $x2b$ は、チップ外周部Bにおける $n^-$ 型FZウエハ1の厚さ $t1$ である。チップ内周部Aの厚さ $t a$ は、 $n^-$ ドリフト領域2の厚さ $t2$ と、 $n$ フィールドストップ領域3の厚さ $t3$ と、チップ内周部Aにおける $n^-$ 型FZウエハ1の厚さ $t1a$ と、 $p$ コレクタ領域11の厚さ $t11$ とを総和した厚さとなる。実施の形態2にかかる半導体装置の溝35以外の構成は、実施の形態1にかかる半導体装置と同様である。

【0087】

次に、実施の形態2にかかる半導体装置の製造方法について、例えば耐圧クラス400VのFS-IGBTを作製する場合を例に説明する。図13、14は、実施の形態2にかかる半導体装置の製造途中の状態を示す断面図である。まず、図2～8に示すように、実施の形態1と同様に、 $n^-$ 型ウエハを作製し、FS-IGBTのおもて面素子構造の形成工程から、FS-IGBT完成後のチップ外周部Bの厚さ $t b$ になるまで $n^-$ 型ウエハの厚さを全体的に薄くする（薄板化）工程まで行う。但し、図3の $n$ フィールドストップ領域3の形成は、実施の形態1よりも薄く形成され、図4の工程後で $1.5\mu m \sim 3.0\mu m$ となってもよい。

【0088】

次に、図13に示すように、実施の形態1と同様にレジストマスク24をマスクとしてエッチングを行い、 $n^-$ 型FZウエハ1の厚さよりも浅い深さで溝35を形成する。これにより、FS-IGBT完成後に $n^-$ 型チップとなる領域ごとにチップ外周部Bよりも厚さが薄いチップ内周部Aが形成される。また、チップ内周部Aにおける $n^-$ 型FZウエハ1の厚さ $t1a$ が、チップ外周部Bにおける $n^-$ 型FZウエハ1の厚さ $t1$ よりも薄くなる。溝35を形成するためのエッチング条件は、実施の形態1と同様である。次に、レジストマスク24を除去し、 $n^-$ 型ウエハの裏面を洗浄する。

【0089】

次に、図14に示すように、 $n^-$ 型ウエハの裏面全面、すなわち $n^-$ 型ウエハの裏面、溝35の側壁および底面に露出する $n^-$ 型FZウエハ1の表面に、硼素イオンなどの $p$ 型不純物イオンを注入する。このイオン注入条件は、実施の形態1と同様である。次に、 $n^-$ 型ウエハの裏面全面にレーザーアニール処理を行い、 $n^-$ 型FZウエハ1に接する $p$ コレクタ領域11を形成する。このレーザーアニール処理条件は、実施の形態1と同様である。その後、実施の形態1と同様にコレクタ電極12を形成する工程以降の工程を行うこと

10

20

30

40

50

により、図12に示すFS-IGBTが完成する。

#### 【0090】

以上、説明したように、実施の形態2によれば、実施の形態1と同様の効果を得ることができる。また、実施の形態2によれば、 $n^-$ 型ウエハの裏面に $n$ フィールドストップ領域に達しない溝を形成することにより、溝を形成する際のプロセスばらつきにより活性領域における $n$ フィールドストップ領域の厚さや、 $n$ フィールドストップ領域の総ドーズ量（ $n$ フィールドストップ領域のドーズ量を厚さ方向に積分したドーズ量）のばらつきを低減することができる。これにより、 $n$ フィールドストップ領域を形成する際の制御精度を向上させることができる。したがって、素子の電気特性を許容変動範囲内とすることができ、フィールドストップ効果やコレクタ注入効率の変動を低減することができる。

10

#### 【0091】

（実施の形態3）

実施の形態3にかかる半導体装置の製造方法について、耐圧クラス400VのFS-IGBTを作製する場合を例に説明する。図15、16は、実施の形態3にかかる半導体装置の製造途中の状態を示す断面図である。実施の形態3にかかる半導体装置の製造方法が実施の形態1にかかる半導体装置の製造方法と異なる点は、実施の形態1よりも厚さが厚い $n^-$ 型FZウエハ41を用い、プロトン（ $H^+$ ）注入43およびプロトンをドナー化するための熱アニール処理によって $n$ フィールドストップ領域3を形成する点である。

#### 【0092】

具体的には、まず、図15に示すように、例えば、FS-IGBT完成後のチップ外周部Bの厚さ $t_b$ よりも厚さが厚い $n^-$ 型FZウエハ41を用意する。具体的には、 $n^-$ 型FZウエハ41の厚さは、例えば500 $\mu m$ 程度であってもよい。 $n^-$ 型FZウエハ41の抵抗率は、例えば13 $\Omega \cdot cm \sim 20 \Omega \cdot cm$ であってもよい。 $n^-$ 型FZウエハ41の直径は、例えば6インチであってもよい。次に、図16に示すように、一般的な方法により、 $n^-$ 型FZウエハ41のおもて面に、FS-IGBTのおもて面素子構造を形成する。次に、実施の形態1と同様に、 $n^-$ 型ウエハのおもて面にパッシベーション層（不図示）を形成し、パッシベーション層を開口して電極パッド領域（不図示）を形成する。

20

#### 【0093】

次に、 $n^-$ 型FZウエハ41の裏面からプロトンを注入（プロトン注入43）し、 $n^-$ 型FZウエハ41の所定の深さにプロトンによる不純物準位を有する領域42（図16において×で示す。図17～21、25においても同様）を形成する。このプロトン注入43は、 $n^-$ ドリフト領域2と $n$ フィールドストップ領域3との境界が $n^-$ 型FZウエハ41のおもて面から40 $\mu m$ 程度の深さに位置するように行うのが好ましい。また、このプロトン注入43は、例えば、 $n^-$ 型FZウエハ41の所定の深さにおけるプロトンの総ドーズ量を $5.0 \times 10^{13} cm^{-2} \sim 5.0 \times 10^{14} cm^{-2}$ とし、加速エネルギーを7MeV $\sim$ 8MeVとしてもよい。また、プロトン注入43は、上記範囲内の加速エネルギーで1回または複数回を行い、 $n^-$ 型FZウエハ41の所定の深さにおけるプロトンの総ドーズ量が上記範囲内となるように行う。

30

#### 【0094】

次に、例えば水素雰囲気下において330 $^{\circ}C \sim 370^{\circ}C$ の温度で30分間 $\sim$ 60分間の熱アニール処理を行い、 $n^-$ 型FZウエハ41の内部に形成されたプロトンを活性化（ドナー化）させる。これにより、 $n^-$ 型FZウエハ41の所定の深さに10 $\mu m$ 程度の厚さで、プロトンがドナー化されてなる $n$ フィールドストップ領域3が形成される。そして、 $n$ フィールドストップ領域3により $n^-$ 型FZウエハ41が分割され、図6に示すように、実施の形態1と同様に、 $n$ フィールドストップ領域3を挟むように2つの $n^-$ 型領域が形成される。 $n$ フィールドストップ領域3の平均不純物濃度は、 $1.0 \times 10^{15} cm^{-3} \sim 1.0 \times 10^{16} cm^{-3}$ であるのが好ましい。

40

#### 【0095】

$n$ フィールドストップ領域3を挟むように形成された2つの $n^-$ 型領域のうち、FS-IGBTのおもて面素子構造が形成された $n^-$ 型領域が $n^-$ ドリフト領域2である。次に、

50

図6～11に示すように、実施の形態1と同様に、 $n^+$ 型FZウエハ41のおもて面全面に保護レジスト層22を形成してBGテープ23を貼り付けた後、 $n^+$ 型FZウエハ41の薄板化工程以降の工程を行うことにより、図1に示すFS-IGBTが完成する。図1, 6～11では、 $n^+$ 型FZウエハ41を符号1で示す（以下、図12～14についても同様）。

#### 【0096】

また、溝25の形成に代えて実施の形態2と同様に溝35を形成することにより、図12に示すFS-IGBTを作製することができる。

#### 【0097】

以上、説明したように、実施の形態3によれば、実施の形態1, 2と同様の効果を得ることができる。また、実施の形態3によれば、プロトンを活性化させるために必要な熱アニール温度が350℃前後と低いため、プロトンを活性化させるための熱アニール処理を行うよりも前に形成されるおもて面素子構造のメタル電極に悪影響が及ぶことを防止することができる。また、実施の形態3によれば、 $n^+$ 型FZウエハの厚さを全体的にまたは選択的に薄くする前に $n^+$ 型FZウエハにプロトン注入して $n$ フィールドストップ領域を形成するため、 $n^+$ 型FZウエハが割れるリスクを軽減することができる。また、実施の形態3によれば、プロトンを活性化（ドナー化）させる熱アニール処理を他の熱アニール処理と異なるタイミングで行うため、プロトンの活性化に最適な条件でプロトンを活性化させるための熱アニール処理を行うことができる。

#### 【0098】

また、実施の形態3によれば、チップ内周部に $n^+$ 型FZウエハが残るように溝を形成することで、チップ内周部においても、pコレクタ領域を形成するためのウエハ裏面へのレーザーアニールによる $n^+$ 型FZウエハのシリコン溶解深さが $n$ フィールドストップ領域に到達しない。このため、プロトンがドナー化されてなる $n$ フィールドストップ領域の完全結晶化を防止することができる。したがって、 $n$ フィールドストップ領域を所望の $n$ 型不純物濃度とすることができる。

#### 【0099】

（実施の形態4）

実施の形態4にかかる半導体装置の製造方法について、耐圧クラス400VのFS-IGBTを作製する場合を例に説明する。図17～21は、実施の形態4にかかる半導体装置の製造途中の状態を示す断面図である。実施の形態4にかかる半導体装置の製造方法が実施の形態3にかかる半導体装置の製造方法と異なる点は、1回の熱アニール処理によりpコレクタ領域11および $n$ フィールドストップ領域3を形成する点である。

#### 【0100】

具体的には、まず、図15, 16に示すように、実施の形態3と同様に、 $n^+$ 型FZウエハ41を用意し、FS-IGBTのおもて面素子構造の形成工程およびプロトン注入43工程を順に行う。次に、図17～21に示すように、 $n^+$ 型ウエハの保護レジスト層22で覆われたおもて面にBGテープ23を貼り付ける工程、 $n^+$ 型FZウエハ41の薄板化工程、溝25の形成工程、pコレクタ領域11を形成するためのp型不純物イオンの注入工程を順に行う。図17～21に示すこれらの工程は、例えば、実施の形態1の同工程（図6～10）と同様の方法で行う。

#### 【0101】

次に、 $n^+$ 型ウエハのおもて面に形成された保護レジスト層22を剥離し、 $n^+$ 型FZウエハ41を洗浄する。次に、 $n^+$ 型FZウエハ41に注入されたプロトンおよびp型不純物を活性化させるための熱アニール処理を行う。この熱アニール処理条件は、例えば実施の形態3においてプロトンを活性化させるために行う熱アニール処理と同様である。この1回の熱アニール処理により、 $n$ フィールドストップ領域3およびpコレクタ領域11が同時に形成される。次に、実施の形態1と同様にコレクタ電極12を形成する工程以降の工程を行うことにより、図1に示すFS-IGBTが完成する。

#### 【0102】

10

20

30

40

50

また、溝 2 5 の形成に代えて実施の形態 2 と同様に溝 3 5 を形成することにより、図 1 2 に示す F S - I G B T を作製することができる。

#### 【0103】

以上、説明したように、実施の形態 4 によれば、実施の形態 3 と同様の効果を得ることができる。また、実施の形態 4 によれば、1 回の熱アニール処理により p コレクタ領域と n フィールドストップ領域とを形成することができるため、製造工程を簡略化することができる。

#### 【0104】

(実施の形態 5)

実施の形態 5 にかかる半導体装置の製造方法について、耐圧クラス 400 V の F S - I G B T を作製する場合を例に説明する。図 2 2 ~ 2 5 は、実施の形態 5 にかかる半導体装置の製造途中の状態を示す断面図である。実施の形態 5 にかかる半導体装置の製造方法が実施の形態 4 にかかる半導体装置の製造方法と異なる点は、n<sup>-</sup>型 F Z ウエハ 4 1 の薄板化後に、n フィールドストップ領域 3 を形成するためプロトン注入 4 4 を行う点である。

#### 【0105】

具体的には、まず、図 2 2 に示すように、実施の形態 3 と同様に n<sup>-</sup>型 F Z ウエハ 4 1 を用意し、n<sup>-</sup>型 F Z ウエハ 4 1 のおもて面に F S - I G B T のおもて面素子構造を形成する。次に、図 2 3 に示すように、n<sup>-</sup>型 F Z ウエハ 4 1 のおもて面全面に保護レジスト層 2 2 を形成し、n<sup>-</sup>型 F Z ウエハ 4 1 の保護レジスト層 2 2 で覆われたおもて面に B G テープ 2 3 を貼り付ける。次に、図 2 4 に示すように、n<sup>-</sup>型 F Z ウエハ 4 1 の裏面を研削して n<sup>-</sup>型 F Z ウエハ 4 1 を薄板化する。図 2 2 ~ 2 4 に示す工程は、例えば、実施の形態 1 の同工程 (図 5 ~ 7) と同様の方法で行う。

#### 【0106】

次に、図 2 5 に示すように、n<sup>-</sup>型 F Z ウエハ 4 1 の裏面からプロトンを注入 (プロトン注入 4 4) し、n<sup>-</sup>型 F Z ウエハ 4 1 の所定の深さにプロトンによる不純物準位を有する領域 4 2 を形成する。プロトン注入 4 4 により n<sup>-</sup>型 F Z ウエハ 4 1 の所定の深さに注入されるプロトンの総ドーズ量は、例えば、実施の形態 3 と同様である。また、プロトン注入 4 4 の加速エネルギーは、実施の形態 3 のプロトン注入 4 3 よりも低くてよく、例えば 1.6 MeV ~ 2.5 MeV としてもよい。

#### 【0107】

プロトン注入 4 4 の加速エネルギーが実施の形態 3 のプロトン注入 4 3 の加速エネルギーよりも低くてよい理由は、薄板化によって実施の形態 3 にかかる半導体装置の製造方法の n<sup>-</sup>型 F Z ウエハよりも厚さが薄くなった n<sup>-</sup>型 F Z ウエハ 4 1 にプロトン注入 4 4 を行うからである。プロトン注入 4 4 は、上記範囲内の加速エネルギーで 1 回または複数回を行い、n<sup>-</sup>型 F Z ウエハ 4 1 の所定の深さにおけるプロトンの総ドーズ量が上記範囲内となるように行う。n フィールドストップ領域 3 の厚さは 3.0 μm 程度である。n フィールドストップ領域 3 の平均不純物濃度は、 $1.0 \times 10^{15} \text{ cm}^{-3} \sim 1.0 \times 10^{16} \text{ cm}^{-3}$  であるのが好ましい。

#### 【0108】

次に、図 1 9 ~ 2 1 に示すように、実施の形態 4 と同様に、溝 2 5 の形成工程、p コレクタ領域 1 1 を形成するための p 型不純物イオンの注入工程、n<sup>-</sup>型 F Z ウエハ 4 1 に注入されたプロトンおよび p 型不純物を同時に活性化させるための熱アニール処理工程を行う。これにより、n フィールドストップ領域 3 および p コレクタ領域 1 1 が形成される。その後、実施の形態 1 と同様にコレクタ電極 1 2 を形成する工程以降を行うことにより、図 1 に示す F S - I G B T が完成する。

#### 【0109】

また、溝 2 5 の形成に代えて実施の形態 2 と同様に溝 3 5 を形成することにより、図 1 2 に示す F S - I G B T を作製することができる。

#### 【0110】

以上、説明したように、実施の形態 5 によれば、実施の形態 3, 4 と同様の効果を得る

10

20

30

40

50

ことができる。また、実施の形態5によれば、薄板化後に $n^+$ 型FZウエハにプロトン注入することにより、薄板化前の $n^+$ 型FZウエハにプロトン注入する場合よりもプロトン注入の加速エネルギーを低くすることができる。このため、プロトン注入により $n^+$ 型FZウエハ内に残る残留欠陥を少なくすることができる。また、実施の形態5によれば、薄板化により $n^+$ 型FZウエハ裏面の起伏を低減させた後に $n^+$ 型FZウエハ裏面にプロトン注入することができる。このため、均一な厚さで $n$ フィールドストップ領域を形成することができる。

#### 【0111】

(実施の形態6)

実施の形態6にかかる半導体装置の製造方法について、耐圧クラス400VのFS-IGBTを作製する場合を例に説明する。実施の形態6にかかる半導体装置の製造方法が実施の形態5にかかる半導体装置の製造方法と異なる点は、プロトンを活性化させる熱アニール処理を他の熱アニール処理と異なるタイミングで行う点である。

#### 【0112】

具体的には、 $n^+$ 型FZウエハ41を用意し、実施の形態5と同様に、FS-IGBTのおもて面素子構造の形成工程から、 $p$ コレクタ領域11を形成するための $p$ 型不純物イオンの注入工程までを順に行う。次に、実施の形態1と同様に、レーザーアニール処理により、 $n^+$ 型FZウエハ41の裏面および溝25の側壁および底面にイオン注入された $p$ 型不純物を活性化させ $p$ コレクタ領域11を形成する。

#### 【0113】

次に、 $n^+$ 型FZウエハ41のおもて面に形成された保護レジスト層22を剥離し、 $n^+$ 型FZウエハ41を洗浄する。次に、実施の形態3と同様に、 $n^+$ 型FZウエハ41に注入されたプロトンを活性化させるための熱アニール処理を行い、 $n$ フィールドストップ領域3を形成する。その後、実施の形態1と同様にコレクタ電極12を形成する工程以降を行うことにより、図1に示すFS-IGBTが完成する。

#### 【0114】

また、溝25の形成に代えて実施の形態2と同様に溝35を形成することにより、図12に示すFS-IGBTを作製することができる。また、実施の形態6にかかる半導体装置の製造方法を実施の形態4にかかる半導体装置の製造方法に適用してもよい。

#### 【0115】

以上、説明したように、実施の形態6によれば、実施の形態5と同様の効果を得ることができる。また、実施の形態6によれば、プロトンを活性化させる熱アニール処理を他の熱アニール処理と異なるタイミングで行うため、最適な条件でプロトンを活性化させるための熱アニール処理を行うことができる。また、実施の形態6によれば、 $n^+$ 型FZウエハの薄板化後に、プロトンを活性化させる熱アニール処理を行うことにより、 $n^+$ 型FZウエハに残る熱履歴を低減させることができる。このため、 $n^+$ 型FZウエハの薄板化前にプロトンを活性化させる熱アニール処理を行う場合よりも、 $n^+$ 型FZウエハの反りを低減することができる。プロトンで $n$ フィールドストップ領域を形成する場合、容易に $3.0\mu\text{m}\sim 10.0\mu\text{m}$ の厚さとすることができる。

#### 【0116】

以上において本発明では、上述した実施の形態に限らず、様々な素子構造の半導体装置に適用することが可能である。具体的には、各実施の形態ではプレーナゲート構造のIGBTを例に説明しているが、例えばトレンチゲート構造の半導体装置に適用してもよい。また、各実施の形態では第1導電型を $p$ 型とし、第2導電型を $n$ 型としたが、本発明は第1導電型を $n$ 型とし、第2導電型を $p$ 型としても同様に成り立つ。

#### 【産業上の利用可能性】

#### 【0117】

以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、薄板化したウエハに形成される低耐圧の半導体装置に有効である。具体的には、例えば、本発明にかかる半導体装置および半導体装置の製造方法は、PDPやストロボ等のパルス電源に用い

10

20

30

40

50

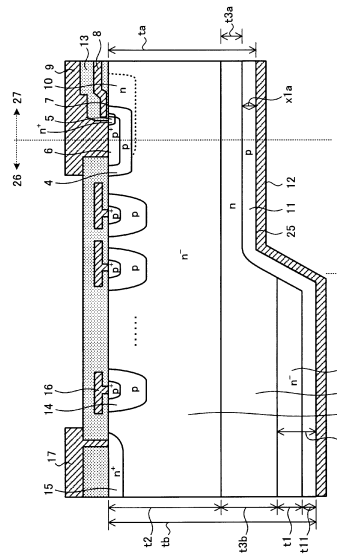
る耐圧クラス 600 V 以下の低耐圧の半導体装置や、AC 入力電圧が 200 V の産業用パワーコンバータを高効率化するのに有用である。さらに、本発明にかかる半導体装置および半導体装置の製造方法は、電気自動車におけるモータを駆動するインバータを高効率化するのに有用である。

【符号の説明】

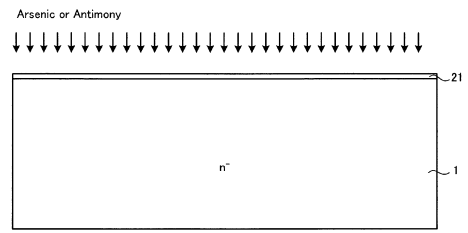
【0118】

- 1     $n^-$ 型 FZUEH
- 2     $n^-$ ドリフト領域
- 3    n フィールドストップ領域
- 4    p ベース領域 10
- 5     $n^+$ エミッタ領域
- 6     $p^+$ ベースコンタクト領域
- 7    ゲート絶縁膜
- 8    ゲート電極
- 9    エミッタ電極
- 10    n ホールバリア領域
- 11    p コレクタ領域
- 12    コレクタ電極
- 13    層間絶縁膜
- 14    フィールドリミットリング (FLR) 20
- 15     $n^+$ 型領域
- 16, 17    フィールドプレート (FP)
- 26    終端構造部
- 27    活性領域
- A    チップ内周部
- B    チップ外周部
- x1a    チップ内周部におけるコレクタ電極と n フィールドストップ領域との第 1 距離
- x1b    チップ外周部におけるコレクタ電極と n フィールドストップ領域との第 2 距離
- t1     $n^-$ 型 FZUEH の厚さ
- t2     $n^-$ ドリフト領域の厚さ 30
- t3a    チップ内周部における n フィールドストップ領域の厚さ
- t3b    チップ外周部における n フィールドストップ領域の厚さ
- t11    p コレクタ領域の厚さ

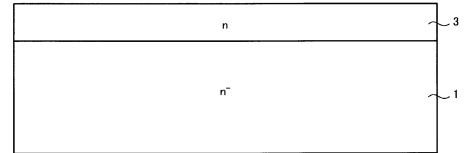
【図 1】



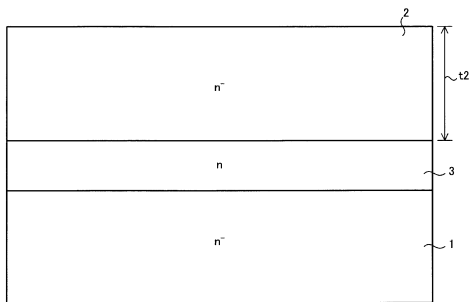
【図 2】



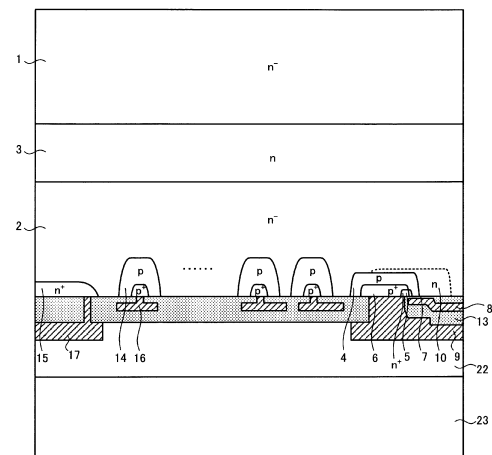
【図 3】



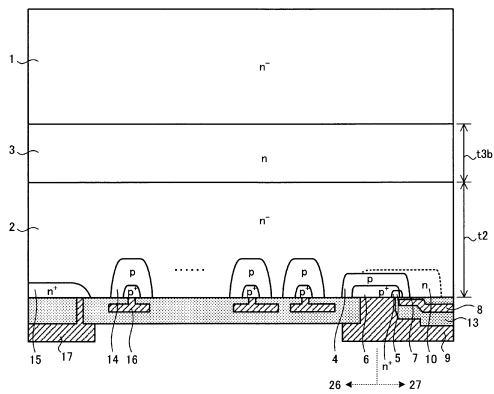
【図 4】



【図 6】

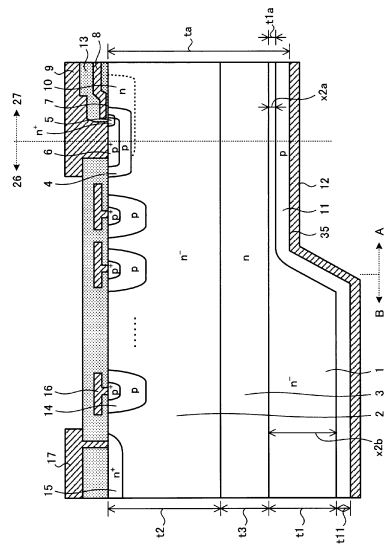


【図 5】

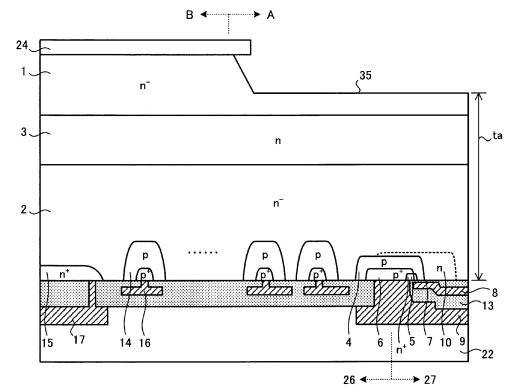




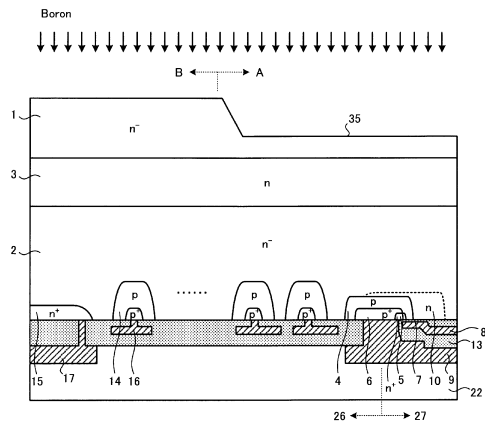
【図 1 2】



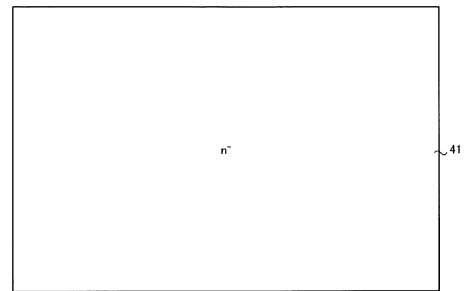
【図 1 3】



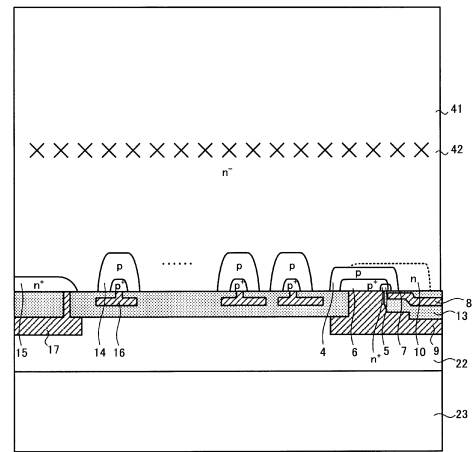
【図 1 4】



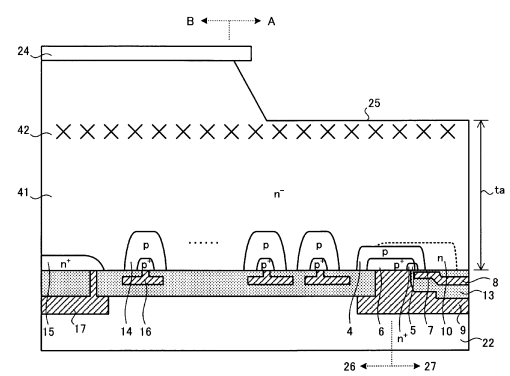
【図 1 5】



【図 17】

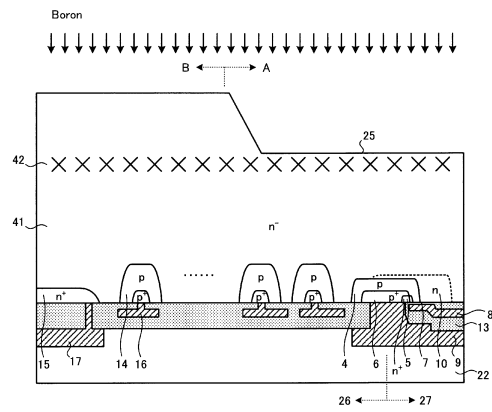


【図 20】

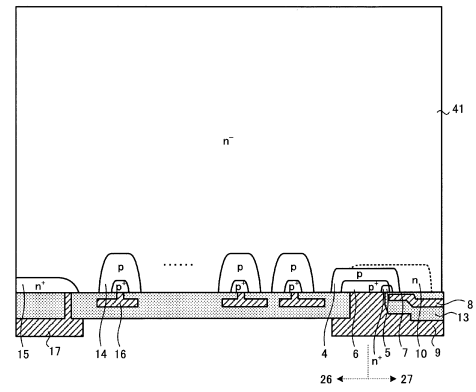


This diagram shows a cross-sectional view of a semiconductor device. A top layer, labeled 24, is positioned above a main body. The main body consists of a large n-type region, labeled  $n^-$  and 41, which contains a series of p-type regions, labeled p and 42. These p-type regions are separated by n-type regions, labeled  $n^+$  and 43. The p-type regions are connected to a common p-type region, labeled p and 44. The n-type regions are connected to a common n-type region, labeled  $n^+$  and 45. The device is shown in a cross-sectional view, with the top surface and the bottom surface. The top surface is labeled 26 and the bottom surface is labeled 27. The device is shown in a cross-sectional view, with the top surface and the bottom surface. The top surface is labeled 26 and the bottom surface is labeled 27.

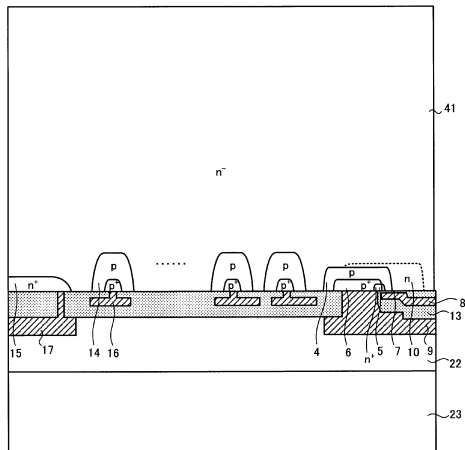
【図 2 1】



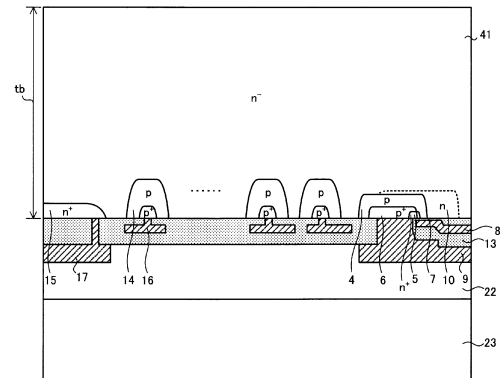
【図 2 2】



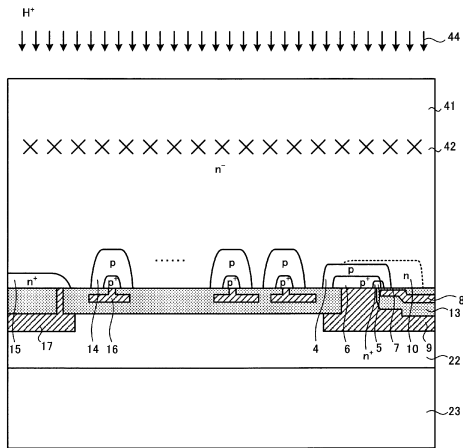
【図 2 3】



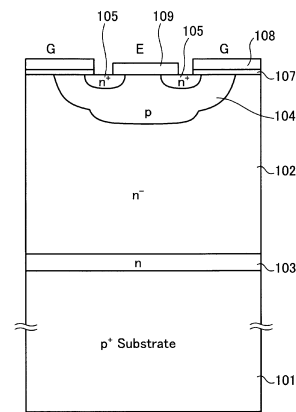
【図 2 4】



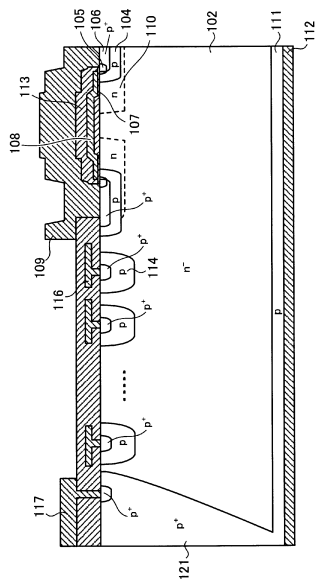
【図 25】



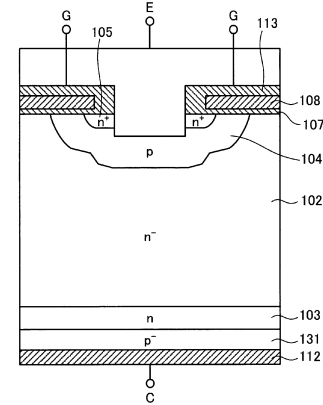
【図 26】



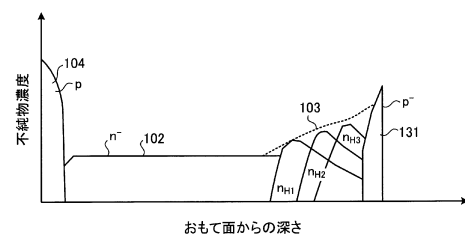
【図 27】



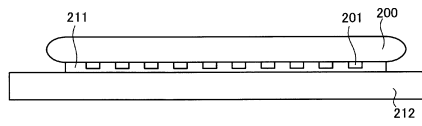
【図 28】



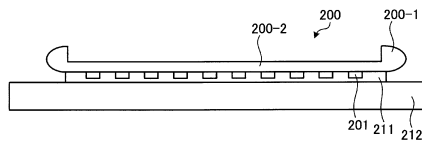
【図 29】



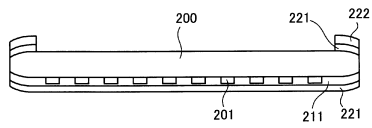
【図 3 0】



【図 3 1】



【図 3 2】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/265 6 0 2 A  
H 0 1 L 29/78 6 5 2 L

(56)参考文献 特開 2 0 1 0 - 1 3 5 5 7 3 (J P, A)  
国際公開第 2 0 0 4 / 0 6 6 3 9 4 (W O, A 1)  
特開 2 0 0 9 - 1 5 8 9 2 2 (J P, A)

(58)調査した分野(Int.Cl., D B名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 9 / 0 6