



(12)发明专利

(10)授权公告号 CN 103416110 B

(45)授权公告日 2017.06.09

(21)申请号 201180068548.4

(22)申请日 2011.12.23

(65)同一申请的已公布的文献号

申请公布号 CN 103416110 A

(43)申请公布日 2013.11.27

(30)优先权数据

10-2010-0134485 2010.12.24 KR

10-2010-0134486 2010.12.24 KR

(85)PCT国际申请进入国家阶段日

2013.08.26

(86)PCT国际申请的申请数据

PCT/KR2011/010025 2011.12.23

(87)PCT国际申请的公布数据

W02012/087059 EN 2012.06.28

(73)专利权人 LG伊诺特有限公司

地址 韩国首尔

(72)发明人 李尚铭 尹星云 李赫洙 李诚远
全起道

(74)专利代理机构 北京鸿元知识产权代理有限公司 11327

代理人 许向彤 陈英俊

(51)Int.Cl.

H05K 3/40(2006.01)

H05K 3/46(2006.01)

(56)对比文件

JP 特开2005-64203 A, 2005.03.10,
JP 特开2005-64203 A, 2005.03.10,
JP 特开2001-177240 A, 2001.06.29,
JP 特开2004-265930 A, 2004.09.24,
TW 201039704 A1, 2010.11.01,

审查员 刘红艳

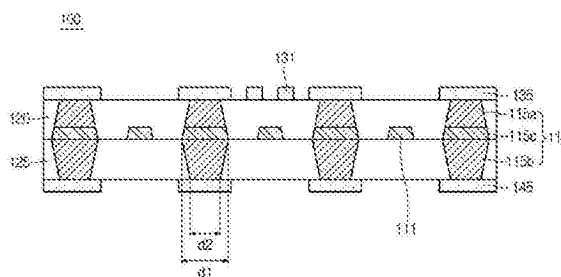
权利要求书2页 说明书13页 附图8页

(54)发明名称

印刷电路板及其制造方法

(57)摘要

本发明公开了一种印刷电路板及其制造方法。所述印刷电路板包括：芯部绝缘层、至少一个穿过所述芯部绝缘层形成的通孔线、埋入所述芯部绝缘层中的内部电路层、以及位于所述芯部绝缘层顶面或底面上的外部电路层。所述通孔线包括第一部、位于第一部之下的第二部以及位于第一部与第二部之间的第三部，并且该第三部包括与第一部和第二部不同的金属。所述内部电路层和所述通孔线同时形成，因此减少了工序步骤。由于提供了奇数个电路层，因此，所述印刷电路板具有轻薄结构。



1. 一种印刷电路板,包括:

芯部绝缘层;

至少一个穿过所述芯部绝缘层形成的通孔线;

埋入所述芯部绝缘层中的内部电路层;以及

位于所述芯部绝缘层的顶面或底面上的外部电路层,

其中,所述通孔线包括第一部、位于该第一部之下的第二部、以及位于该第一部与该第二部之间的第三部,并且所述第三部包括与所述第一部 and 所述第二部不同的金属,并且

其中,所述第三部相对于所述第一部 and 所述第二部具有刻蚀选择性,并且所述第三部与所述第一部 and 所述第二部连接,

其中,所述外部电路层填充在形成在所述芯部绝缘层的顶面或底面上的图案凹槽中,所述图案凹槽具有U形截面形状。

2. 根据权利要求1所述的印刷电路板,其中,所述芯部绝缘层包括:用于埋入所述通孔线的第一部和第三部的第一绝缘层;以及位于该第一绝缘层之下用于埋入所述通孔线的第二部的第二绝缘层。

3. 根据权利要求2所述的印刷电路板,其中,所述内部电路层利用与所述通孔线的第三部相同的材料形成。

4. 根据权利要求1所述的印刷电路板,其中,所述通孔线的第一部和第二部利用相同的材料形成。

5. 根据权利要求1所述的印刷电路板,其中,所述内部电路层具有矩形截面形状。

6. 根据权利要求2所述的印刷电路板,其中,所述内部电路层埋入所述第一绝缘层中。

7. 根据权利要求1所述的印刷电路板,其中,所述印刷电路板包括电路层,所述电路层包括所述内部电路层 and 所述外部电路层,并且所述电路层的数量为 $2n+1$,其中, n 为正整数。

8. 根据权利要求1所述的印刷电路板,其中,所述通孔线具有六边形截面形状。

9. 一种制造印刷电路板的方法,所述方法包括:

制备具有层叠结构的金属衬底,所述层叠结构包括第一金属层、第二金属层 and 第三金属层;

通过刻蚀所述金属衬底的第一金属层形成通孔线的第一部;

通过刻蚀所述金属衬底的第二金属层在所述通孔线的第一部之下形成连接部和内部电路层;

通过刻蚀所述金属衬底的第三金属层在所述连接部之下形成所述通孔线的第二部;

形成绝缘层以掩埋所述通孔线;以及

在所述绝缘层的顶面或底面形成外部电路层,

其中,所述第二金属层相对于所述第一金属层 and 所述第三金属层具有刻蚀选择性,并且所述连接部与所述第一部 and 所述第二部连接,

其中,形成所述外部电路层包括:

在所述绝缘层的顶面或底面形成图案凹槽;以及

通过镀导电材料填充所述图案凹槽来形成所述外部电路层,

其中,所述图案凹槽具有U形截面形状。

10. 根据权利要求9所述的方法,其中,形成所述绝缘层包括:

形成第一绝缘层以埋入所述通孔线的第一部、所述连接部以及所述内部电路层;以及形成第二绝缘层以埋入所述通孔线的第二部。

11. 根据权利要求9所述的方法,其中,形成所述外部电路层包括:

在所述绝缘层上和下形成铜箔层;

在所述铜箔层上形成光刻胶图案;以及

利用所述光刻胶图案作为掩模刻蚀所述铜箔层,从而形成所述外部电路层。

12. 根据权利要求9所述的方法,其中,所述通孔线的第二部与第三部之间的边界的宽度大于所述通孔线与所述绝缘层之间的边界的宽度。

13. 根据权利要求9所述的方法,其中,形成所述通孔线的第二部包括湿法刻蚀所述金属衬底的第三金属层以形成所述通孔线的第二部,并且同时形成所述内部电路层的下部。

14. 根据权利要求9所述的方法,其中,所述内部电路层的宽度为50 μm 或更小。

15. 根据权利要求9所述的方法,其中,利用含铜合金形成所述第一金属层和所述第三金属层,并且利用含镍合金形成所述第二金属层。

16. 根据权利要求9所述的方法,其中,形成所述外部电路层包括:

利用激光器在所述绝缘层的顶面或底面形成图案凹槽;

沿着所述图案凹槽的表面实施化学镀工序,从而形成种层;以及

在所述种层上电镀导电材料,从而用所述导电材料填充所述图案凹槽。

17. 根据权利要求16所述的方法,其中,形成所述图案凹槽包括:

利用准分子激光器在所述绝缘层表面上形成所述图案凹槽。

18. 根据权利要求16所述的方法,其中,形成所述图案凹槽包括:

利用UV-YAG激光器在所述绝缘层表面上形成所述图案凹槽。

印刷电路板及其制造方法

技术领域

[0001] 印刷电路板是利用诸如铜等导电材料在绝缘衬底上印刷电路图案而形成的。所述印刷电路板是指还未在其上安装电子部件的板子。也就是说,所述印刷电路板是指这样一种电路板,其中,在平板上限制了安装位置以安装各种类型的电子器件,并且在该平板上固定印刷了电路图案以使所述电子器件相互连接。

背景技术

[0002] 所述印刷电路板 (PCB) 可以分成单层PCB和多层PCB,例如积层板。

[0003] 积层板(即多层PCB)是一层接一层地制造出的,并对多层PCB的质量进行评估以提高多层PCB的产率。此外,使互联线精确连接以制造出高密度和小尺寸的PCB。根据积层工序,通过层中形成的通孔在层间形成互联线以使各层相互连接。取代机械钻孔,采用激光工艺来形成微尺寸的通孔。

[0004] 图1是截面图,示出了根据现有技术的多层PCB。

[0005] 参照图1,根据现有技术的多层PCB 10包括芯部绝缘层1、形成在芯部绝缘层1的上和下的内部电路图案层3和4、将内部电路图案层3和4掩埋的上部和下部绝缘层5和6、以及分别形成在上部和下部绝缘层5和6上的外部电路图案层7和8。

[0006] 在芯部绝缘层1以及上部和下部绝缘层5和6中形成导电通孔线2和导电通孔,从而使内部电路图案层3和4与外部电路图案层7和8电连接。

[0007] 通过形成偶数个电路图案层(图1示出了四层),能够制造出具有上述现有技术结构的多层PCB 10。在设置了绝缘层之后,通过钻孔或激光工艺使作为外层的两层相互电连接。然而,因为电路图案层的数量限为偶数个,所以衬底厚度会增加,使得多层PCB 10不适用于便携式电子设备或者具有轻薄结构的衬底,例如半导体芯片。

发明内容

[0008] 技术问题

[0009] 本实施例提供了一种具有新结构的印刷电路板及其制造方法。

[0010] 本实施例提供了一种包括奇数个电路层的印刷电路板及其制造方法。

[0011] 技术方案

[0012] 根据所述实施例的印刷电路板包括:芯部绝缘层、至少一个穿过芯部绝缘层形成的通孔线、埋入芯部绝缘层中的内部电路层、以及位于芯部绝缘层顶面或底面上的外部电路层,其中,所述通孔线包括第一部、位于第一部之下的第二部以及位于第一部与第二部之间的第三部,该第三部包括与第一部和第二部不同的金属。

[0013] 根据该实施例的制造印刷电路板的方法包括以下步骤:制备具有层叠结构的金属衬底,该层叠结构包括第一金属层、第二金属层和第三金属层;通过刻蚀所述金属衬底的第一金属层形成通孔线的第一部;通过所述刻蚀金属衬底的第二金属层在所述通孔线的第一部之下形成连接部和内部电路层;通过刻蚀所述金属衬底的第三金属层在所述连接部之下

形成所述通孔线的第二部;形成绝缘层以埋入所述通孔线;以及在所述绝缘层的顶面或底面形成外部电路层。

[0014] 有益效果

[0015] 根据该实施例,内部电路层和通孔线是同时形成的,使得工序步骤可以减少。此外,因为所述印刷电路板包括奇数个电路层,所以所述印刷电路板可以具有轻薄的结构。

[0016] 此外,通孔线被埋入多层印刷电路板的绝缘层中,使得散热功能得到改善。因为没有采用电镀方法来形成所述通孔线,所以制造成本能够降低。

[0017] 此外,利用包括不同类型金属层的金属衬底来形成通孔线,因此能够防止金属衬底在制造过程中弯曲。

附图说明

[0018] 图1是截面图,示出了根据现有技术的印刷电路板;

[0019] 图2是截面图,示出了根据第一实施例的印刷电路板;

[0020] 图3-15是截面图,说明了图2所示的印刷电路板的制造过程;

[0021] 图16是截面图,示出了根据第二实施例的印刷电路板;

[0022] 图17是截面图,示出了根据第三实施例的印刷电路板;

[0023] 图18-30是截面图,说明了图17所示的印刷电路板的制造过程;以及

[0024] 图31是截面图,示出了根据第四实施例的印刷电路板。

具体实施方式

[0025] 公开了一种印刷电路板及其制造方法。该印刷电路板包括芯部绝缘层、穿过芯部绝缘层形成的至少一个通孔线、埋入芯部绝缘层中的内部电路层、以及位于芯部绝缘层顶面或底面上的外部电路层。所述通孔线包括第一部、位于第一部之下的第二部以及位于第一部与第二部之间的第三部,并且该第三部包括与第一部和第二部的金属不同的金属。所述内部电路层和通孔线同时形成,使得工序步骤减少。因为提供奇数个电路层,所以该印刷电路板具有轻、薄的结构。

[0026] 下文中,将参照附图具体描述各个实施例,使得本发明所属领域技术人员能够容易地实现各个实施例。然而,所述实施例可以具有各种修改而不受限制。

[0027] 在以下描述中,当一个部分被称作包括某个部件时,除非文中明确指出,否则该部分不排除其他部件的存在,可能进一步包括另一部件。

[0028] 为了方便或清楚,附图中所示的各层的厚度和尺寸可以被放大、省略或示意画出。此外,元件尺寸并不完全反映真实尺寸。在以下的描述中,类似的部件用类似的附图标记表示。

[0029] 在实施例的说明中,可以理解,当某层(或膜)、某区域或某板被称作是位于另一层(或膜)、另一区域或另一板之上或之下时,其可以直接或间接地位于另一层(或膜)、区域或板之上,或者也可以存在一个或多个中间层。

[0030] 根据实施例,通过刻蚀工序同时形成通孔线和内部电路层,使得能够在不使用电镀方法的情况下形成包括奇数个电路层的多层印刷电路板(PCB)。

[0031] 下文中,将参照图2-15描述根据实施例的PCB。

[0032] 图2是截面图,示出了根据第一实施例的PCB。

[0033] 参照图2,根据本实施例的PCB 100包括形成第一绝缘层120和第二绝缘层125的芯部绝缘层、形成在芯部绝缘层中的通孔线115、形成在芯部绝缘层中的内部电路层111以及分别形成在第一和第二绝缘层120和125上的第一和第二外部电路层131、135和145。

[0034] 第一绝缘层120形成在第二绝缘层125上,并且在第一绝缘层120和第二绝缘层125之间可以存在附加的绝缘层(未示出)。

[0035] 第一绝缘层120和第二绝缘层125可以包括热固性聚合物衬底、热塑性聚合物衬底、陶瓷衬底或者有机/无机复合衬底。第一绝缘层120和第二绝缘层125可以包括聚合物树脂,例如环氧绝缘树脂,或者聚酰亚胺树脂。此外,可以利用包含固体成分(例如玻璃纤维)的树脂来形成第一绝缘层120和第二绝缘层125。

[0036] 可以利用相同材料来形成第一绝缘层120和第二绝缘层125。

[0037] 第一绝缘层120和第二绝缘层125的厚度分别可以在 $30\mu\text{m}$ 至 $80\mu\text{m}$ 的范围内。

[0038] 具有第一绝缘层120和第二绝缘层125的层叠结构的芯部绝缘层的厚度在 $60\mu\text{m}$ 至 $160\mu\text{m}$ 范围内,优选的是,在 $60\mu\text{m}$ 至 $140\mu\text{m}$ 范围内。通孔线115和内部电路层111形成在芯部绝缘层中。

[0039] 通孔线115是穿过第一绝缘层120和第二绝缘层125形成的导电通孔线。通孔线115在第一绝缘层120与第二绝缘层125之间的边界处具有最大宽度 d_1 。每个通孔线115的宽度随着其接近第一绝缘层120和第二绝缘层125的顶面而逐渐变窄。因此,每个通孔线115的与第一绝缘层120和第二绝缘层125顶面相交的部分具有最小宽度 d_2 ,使得通孔线115具有六边形截面形状。

[0040] 通孔线115的宽度 d_1 和 d_2 在大约 $20\mu\text{m}$ 至大约 $100\mu\text{m}$ 的范围内。

[0041] 通孔线115是导电通孔线并且可以利用含Cu合金形成。

[0042] 通孔线115包括埋入第一绝缘层120中并且由含Cu合金形成的第一部115a、在第一部115a下方埋入第二绝缘层125中并且由与第一部115a相同的合金形成的第二部115b、以及介于第一部115a与第二部115b之间并且由不同于第一部115a和第二部115b的合金形成的第三部115c。

[0043] 第三部115c形成在通孔线115的中心处,并且第三部115c的底面或者第二阻挡层115e的底面可以具有通孔线115的最大宽度 d_1 。可以利用含Ni、Fe、Co、Mo或Cr的合金来形成第三部115c。第三部115c相对于第一部115a和第二部115b具有刻蚀选择性。

[0044] 第一部115a和第二部115b的厚度在 $20\mu\text{m}$ 至 $70\mu\text{m}$ 的范围内,第三部115c的厚度在 $5\mu\text{m}$ 至 $70\mu\text{m}$ 的范围内。

[0045] 内部电路层111形成在第二绝缘层125上。内部电路层111的电路图案的厚度在 $5\mu\text{m}$ 至 $30\mu\text{m}$ 的范围内,而宽度约为 $50\mu\text{m}$ 或更小,优选为 $30\mu\text{m}$,使得能够形成微图案。

[0046] 内部电路层111具有矩形截面形状。

[0047] 内部电路层111利用与通孔线115的第三部115c相同的材料形成。

[0048] 包括与通孔线115相连的通孔垫135和145以及电路图案131的外部电路层131、135和145分别形成在第一绝缘层120和第二绝缘层125的顶面和底面上。

[0049] 外部电路层131、135和145分为形成在芯部绝缘层上的第一外部电路层131和135以及形成在芯部绝缘层下方的第二外部电路层145。

[0050] 外部电路层131、135和145可以形成线/间为30/30的微图案。为此,沉积厚度在6 μm 至30 μm 范围内的铜层,然后刻蚀该铜层以形成外部电路层131、135和145。

[0051] 尽管已经描述了外部电路层131、135和145以单层形式形成在芯部绝缘层之上和之下,但本实施例不限于此。例如,在形成用于掩埋第一绝缘层120和第二绝缘层125上的外部电路层131、135和145的上部绝缘层之后,可以在该上部绝缘层上形成电路层,以形成多层PCB。

[0052] 如上所述,因为内部电路层111掩埋在本实施例所述的PCB 100的芯部绝缘层中,所以可以形成 $2n+1$ (n 为正整数)个电路层。此外,在芯部绝缘层的基础上,绝缘层的数量与电路层的数量相同,使得PCB能够防止在一个方向上弯曲。

[0053] 因此,可以在不增加绝缘层数量的情况下形成奇数个电路层。此外,因为包括导电材料的通孔线115形成在芯部绝缘层中,所以可以改善散热效率。

[0054] 下文中,将参照图3—15描述制造图2的PCB的方法。

[0055] 首先,如图3所示制备导电金属衬底110。

[0056] 可以利用轧制箔或电解箔形式的含Cu合金来形成导电金属衬底110。根据产品规格,导电金属衬底110可以具有不同的厚度。导电金属衬底110具有第一金属层110a、第二金属层110b和第三金属层110c的层叠结构。

[0057] 可以利用含Cu合金形成第一金属层110a和第三金属层110c,并且可以利用相对于第一金属层110a和第三金属层110c具有刻蚀选择性的金属形成位于第一金属层110a和第三金属层110c之间的第二金属层110b。

[0058] 可以利用含Ni、Fe、Co、Mo或Cr的合金形成第二金属层110b。此外,第一金属层110a和第三金属层110c的厚度可以在20 μm 至70 μm 的范围内,第二金属层110b的厚度可以在5 μm 至70 μm 的范围内。

[0059] 根据本实施例,金属衬底110的厚度优选在80 μm 至170 μm 范围内。可以通过诸如酸洗或冲洗等表面处理工艺来处理金属衬底110的表面。

[0060] 然后,如图4所示,将光刻胶膜116附着于金属衬底110的顶面上。

[0061] 光刻胶膜116形成刻蚀图案以刻蚀金属衬底110。光刻胶膜116的厚度可在15 μm 至30 μm 范围内变化,并且可以采用UV曝光型光刻胶膜以及LDI曝光型光刻胶膜。

[0062] 此后,如图5所示,对光刻胶膜116进行曝光和显影工序,以形成光刻胶图案(未示出),并且利用该光刻胶图案作为掩模刻蚀金属衬底110,由此形成通孔线115的第一部115a。

[0063] 然后,利用诸如氯化铜和氯化铁等湿法刻蚀溶液来湿法刻蚀一部分金属衬底110,以形成通孔线115的第一部115a。由于第一金属层110a与第二金属层110b之间的刻蚀选择性,当形成第一部115a时仅刻蚀第一金属层110a。

[0064] 如图5所示,在刻蚀了通孔线115的第一部115a之后,利用NaOH稀溶液使光刻胶图案剥离。

[0065] 接着,如图6所示,在第一部115a以及第二金属层110b的露出的前表面上形成光刻胶膜117。

[0066] 为了利用第二金属层110b形成内部电路层111,对形成在第二金属层110b上的一部分光刻胶膜117进行曝光和显影工序,以形成如图7所示的光刻胶图案118,并且利用光刻

胶膜118作为掩模选择性刻蚀第二金属层110b,由此形成内部电路层111以及通孔线115的第三部115c。

[0067] 由于第一金属层110a与第二金属层110b之间的刻蚀选择性,当形成通孔线的第三部115c时,第一部115a可以用作刻蚀掩模。

[0068] 当第二金属层110b之下的第三金属层110c露出时,停止刻蚀工序并且形成内部电路层111。内部电路层111具有矩形截面形状。

[0069] 此后,如图8所示,形成该第一绝缘层120,使得通孔线115的第一部115a和第三部115c以及内部电路层111能够埋入第一绝缘层120。

[0070] 可以利用具有固体成分(诸如玻璃纤维)或者不具有固体成分的热固性树脂或热塑性树脂来形成第一绝缘层120。第一绝缘层120的厚度可以在大约30 μm 至大约80 μm 范围内。

[0071] 然后,在第一绝缘层120上形成铜箔层130。

[0072] 铜箔层130是用作第一外部电路层131和135的基体的金属层,并且其厚度在6 μm 至30 μm 范围内,使得能够形成30/30 μm 的线/间。优选的是,铜箔层130的厚度在6 μm 至20 μm 范围内,使得能够形成15/15 μm 或更小的线/间。

[0073] 可以利用CCL(覆铜板)形成第一绝缘层120和铜箔层130。

[0074] 然后,如图9所示,分别在铜箔层130上和金属衬底110下形成光刻胶膜136。

[0075] 在金属衬底110下方形成的光刻胶膜136用作基体,以形成用于形成通孔线115的第二部115b以及内部电路层111的光刻胶图案。此外,在铜箔层130上形成的光刻胶膜136用作基体,以在金属衬底110下形成光刻胶图案,以及用作保护膜,以在金属衬底110的刻蚀工序中保护铜箔层130。

[0076] 因此,可以用保护膜或者保护性有机层来取代形成在铜箔层130上的光刻胶膜136,并可以省略掉该光刻胶膜。

[0077] 此后,如图10所示,对金属衬底110下形成的光刻胶膜136显影,以形成光刻胶图案,并且利用该光刻胶图案作为掩模刻蚀金属衬底110,由此在通孔线115的第一部115a下形成第二部115b。

[0078] 按照这种方式,通过刻蚀工序将通孔线115的上部和下部分成第一到第三部115a、115b和115c,使得通孔线115具有六边形截面,其中通孔线115的中心具有最大宽度d1,并且宽度从通孔线115的中心向外部变窄。

[0079] 当形成了通孔线115的第二部115b时,将光刻胶图案剥离。然后,如图11所示,沉积第二绝缘层125,使得通孔线115的第一部115a能够埋入第二绝缘层125中,并且在第二绝缘层125上沉积铜箔层140。

[0080] 第二绝缘层125和铜箔层140的材料和厚度可以与第一绝缘层120和形成在第一绝缘层120上的铜箔层130相同。

[0081] 然后,如图12所示,将光刻胶膜146分别附着于铜箔层130和140上。

[0082] 光刻胶膜146可以具有在15 μm 至30 μm 范围内变化的厚度,并且可以采用UV曝光型光刻胶膜和LDI曝光型光刻胶膜。

[0083] 然后,如图13所示,对光刻胶膜146进行曝光和显影工序,使得在铜箔层130和140上分别形成光刻胶图案148。此后,利用光刻胶图案148作为掩模刻蚀铜箔层130和140,由此

形成如图14所示的垫135和145以及电路图案131。

[0084] 垫135和145以及电路图案131可以构成形成在第一绝缘层120上的第一外部电路层131和135以及第二外部电路层145。第一外部电路层131和135包括与通孔线115的第一部115a相连的上部垫135以及包括与上部垫135的铜箔层130为同一铜箔层130的上部电路图案131。第二外部电路层145包括与通孔线115的第二部115b相连的下部垫145以及包括与下部垫145的铜箔层140为同一铜箔层140的下部电路图案(未示出)。

[0085] 最终,如图15所示,将外部电路层131、135和145的电路图案131掩埋,并且形成覆盖层150以使垫135和145露出。

[0086] 按照这种方式,与通过在绝缘层钻孔形成通孔以及通过掩埋通孔形成通孔线的现有技术不同,本实施例在刻蚀金属衬底110形成通孔线115之后形成掩埋通孔线115的绝缘层120和125,从而减少制造成本。此外,因为利用与通孔线115相同的金属衬底来形成内部电路层111,所以能够减少制造步骤。

[0087] 尽管已经描述了通过刻蚀铜箔层形成外部电路层131、135和145,但是本实施例不限于此。例如,可以通过相对于光刻胶实施电镀工序来形成外部电路层131、135和145。

[0088] 下文中,将参照图16描述根据第二实施例的PCB。

[0089] 参照图16,根据第二实施例的PCB 200包括形成第一绝缘层120和第二绝缘层125的芯部绝缘层、形成在芯部绝缘层中的通孔线115、形成在芯部绝缘层中的内部电路层112、以及分别形成在第一绝缘层120和第二绝缘层125上的第一和第二外部电路层131、135和145。

[0090] 第一绝缘层120形成在第二绝缘层125上,并且在第一绝缘层120与第二绝缘层125之间可能存在其他绝缘层。

[0091] 可以利用包括固体成分(诸如玻璃纤维)的树脂形成第一绝缘层120和第二绝缘层125。可以利用相同材料形成第一绝缘层120和第二绝缘层125。

[0092] 第一绝缘层120和第二绝缘层125具有层叠结构以形成芯部绝缘层。该芯部绝缘层的厚度可以在大约60 μm 至大约140 μm 的范围内。通孔线115和内部电路层112形成在芯部绝缘层中。

[0093] 通孔线115是穿过第一绝缘层120和第二绝缘层125形成的导电通孔线。通孔线115在第一绝缘层120与第二绝缘层125之间的边界处具有最大宽度d1。每个通孔线115的宽度随着其接近第一绝缘层120和第二绝缘层125的顶面而逐渐变窄。因此,通孔线115具有六边形截面形状。

[0094] 通孔线115的宽度d1和d2在大约20 μm 至大约100 μm 的范围内。

[0095] 通孔线115是导电通孔线并且可以利用含Cu合金形成。

[0096] 通孔线115包括埋入第一绝缘层120中并且由含Cu合金形成的第一部115a、在第一部115a下方埋入第二绝缘层125中并且由与第一部115a相同的合金形成的第二部115b、以及介于第一部115a与第二部115b之间且由不同于第一部115a和第二部115b的合金形成的第三部115c。

[0097] 第三部115c形成在通孔线115的中心处,并且第三部115c的底面可以具有通孔线115的最大宽度d1。第三部115c可以利用含Ni、Fe、Co、Mo或Cr的合金来形成,并且可以相对于第一部115a和第二部115b具有刻蚀选择性。

[0098] 第一部115a和第二部115b的厚度在20 μm 至70 μm 的范围内,第三部115c的厚度在5 μm 至70 μm 的范围内。

[0099] 内部电路层112具有矩形截面形状或者六边形截面形状。内部电路层112的宽度为大约60 μm 或更小,优选为50 μm ,使得能够形成微图案。

[0100] 利用与通孔线115的第三部115c相同的材料形成内部电路层112。

[0101] 包括与通孔线115相连的通孔线垫135和145以及电路图案131的外部电路层131、135和145分别形成在第一绝缘层120和第二绝缘层125的顶面和底面上。

[0102] 外部电路层131、135和145形成在第一绝缘层120和第二绝缘层125的表面上,以及内部电路层112形成在第二绝缘层125上。

[0103] 可以通过沉积铜箔层,然后刻蚀该铜箔层来形成外部电路层131、135和145。

[0104] 在图16所示的PCB 200中,内部电路层112的电路图案具有矩形截面形状,其相对于第一绝缘层120与第二绝缘层125之间的边界对称形成,类似于通孔线115。埋入第一绝缘层120中的区域包括与通孔线115的第三部115c相同的材料,并且埋入第二绝缘层125中的区域包括与通孔线115的第三部115c相同的材料。

[0105] 可以利用图3-15中所示的制造方法来形成图16所示的内部电路层112。在图9和10所示的工序中,当形成通孔线115的第二部115b时,可以同时形成内部电路层112的要埋入第二绝缘层125中的区域。

[0106] 如上所述,由于内部电路层112埋在本实施例所述的PCB 200的芯部绝缘层中,所以可以形成 $2n+1$ (n 为正整数)个电路层。此外,在芯部绝缘层的基础上,绝缘层的数量与电路层的数量相同,使得可以防止PCB在一个方向上弯曲。

[0107] 因此,可以在不增加绝缘层数量的情况下形成奇数个电路层。此外,因为包括导电材料的通孔线115形成在芯部绝缘层中,所以能够改善散热效率。

[0108] 此外,利用异质金属(hetero metal)形成金属衬底的中间层,使得能够防止金属衬底在制造过程中弯曲。

[0109] 下文中,将参照图17-30描述根据第三实施例的PCB。

[0110] 图17是截面图,示出了根据第三实施例的PCB。

[0111] 参照图17,根据本实施例的PCB 300包括形成第一绝缘层320和第二绝缘层325的芯部绝缘层、形成在该芯部绝缘层中的通孔线315、形成在该芯部绝缘层中的内部电路层311、以及分别形成在第一绝缘层320和第二绝缘层325上的第一和第二外部电路层331、335和345。

[0112] 第一绝缘层320形成在第二绝缘层325上,并且在第一绝缘层320与第二绝缘层325之间可以存在其他绝缘层(未示出)。

[0113] 第一绝缘层320和第二绝缘层325可以包括热固性聚合物衬底、热塑性聚合物衬底、陶瓷衬底或者有机/无机复合衬底。第一绝缘层320和第二绝缘层325可以包括聚合物树脂,例如环氧绝缘树脂,或者聚酰亚胺树脂。此外,可以利用包括固体成分(诸如玻璃纤维)的树脂形成第一绝缘层320和第二绝缘层325。

[0114] 可以利用相同材料形成第一绝缘层320和第二绝缘层325。

[0115] 第一绝缘层320和第二绝缘层325的厚度可以分别在大约30 μm 至大约80 μm 的范围内。

[0116] 具有第一绝缘层320和第二绝缘层325的层叠结构的芯部绝缘层的厚度在大约60 μ m至大约160 μ m的范围内,优选的是在大约60 μ m至大约140 μ m的范围内。通孔线315和内部电路层311形成在芯部绝缘层中。

[0117] 通孔线315是穿过第一绝缘层320和第二绝缘层325形成的导电通孔线。通孔线315在第一绝缘层320与第二绝缘层325之间的边界处具有最大宽度d1。每个通孔线315的宽度随着其接近第一绝缘层320和第二绝缘层325的顶面而逐渐变窄。因此,每个通孔线315的与第一绝缘层320和第二绝缘层325顶面相交的部分具有最小的宽度d2,使得通孔线315具有六边形截面形状。

[0118] 通孔线315的宽度d1和d2在大约20 μ m至大约300 μ m的范围内。

[0119] 通孔线315是导电通孔线并且可以利用含Cu合金形成。

[0120] 通孔线315包括埋入第一绝缘层320中并且由含Cu合金形成的第一部315a、在第一部315a下方埋入第二绝缘层325中并且由与第一部315a相同的合金形成的第二部315b、以及介于第一部315a与第二部315b之间并且由不同于第一部315a和第二部315b的合金形成的第三部315c。

[0121] 第三部315c形成在通孔线315的中心处,并且第三部315c的底面可以具有通孔线315的最大宽度d1。第三部315c可以利用含Ni、Fe、Co、Mo或Cr的合金来形成,并且相对于第一部315a和第二部315b具有刻蚀选择性。

[0122] 第一部315a和第二部315b的厚度在20 μ m至70 μ m的范围内,第三部315c的厚度在5 μ m至70 μ m的范围内。

[0123] 内部电路层311形成在第二绝缘层325上。内部电路层311的电路图案的厚度在6 μ m至30 μ m范围内,其宽度为大约50 μ m或更小,优选的是30 μ m,使得能够形成微图案。

[0124] 内部电路层311具有矩形截面形状。

[0125] 利用与通孔线315的第三部315c相同的材料形成内部电路层311。

[0126] 与通孔线315相连的通孔线垫335和345以及用于形成电路图案331的图案凹槽321和326分别形成在第一绝缘层320和第二绝缘层325的顶面和底面上。

[0127] 在填充图案凹槽321和326的同时能够形成外部电路层331、335和345。

[0128] 外部电路层331、335和345分为第一外部电路层331和335以及第二外部电路层345,第一外部电路层331和335用于填充在第一绝缘层320(其为芯部绝缘层的上层)上形成的图案凹槽321和326,第二外部电路层345用于填充在第二绝缘层325(其为芯部绝缘层的下层)底面上形成的图案凹槽321和326。

[0129] 外部电路层331、335和345可以制备为如图2所示的单层。此外,外部电路层331、335和345可以制备为包括下种层(lower seed layer)和上镀层(upper plating layer)的多层。通过化学镀、溅射等方法沿着图案凹槽321和326的侧面和底面浅浅地形成所述种层。

[0130] 此外,可以利用含Cu、Ni、Pd或Cr的合金形成所述种层。

[0131] 通过电镀工序在所述种层上形成镀层。利用含Cu、Ag、Au、Ni或Pd的合金形成该镀层,并且使其填充在图案凹槽321和326中。

[0132] 形成在第一绝缘层320和第二绝缘层325中的图案凹槽321和326根据其制造方法可以具有矩形截面形状或者弯曲的截面形状。优选的是,图案凹槽321和326具有U形截面形状。

[0133] 尽管描述了在芯部绝缘层上和下形成单层形式的外部电路层331、335和345,但是本实施例不限于此。例如,在第一绝缘层320和第二绝缘层325上分别形成了覆盖外部电路层331、335和345的上绝缘层之后,可以在该上绝缘层上形成电路层,以形成多层PCB。

[0134] 如上所述,因为内部电路层311掩埋在本实施例所述的PCB 300的芯部绝缘层中,所以可以形成 $2n+1$ (n 为正整数)个电路层。此外,在芯部绝缘层的基础上,绝缘层的数量与电路层的数量相同,使得能够防止PCB在一个方向上弯曲。

[0135] 因此,能够在不增加绝缘层数量的情况下形成奇数个电路层。此外,因为包括导电材料的通孔线315形成在芯部绝缘层中,所以能够改善散热效率。

[0136] 此外,在绝缘层中形成凹槽之后可以通过镀工序形成外部电路层。在这种情况下,能够形成微图案。

[0137] 下文中,将参照图18-30描述制造图17的PCB的方法。

[0138] 首先,如图18所示,制备导电金属衬底310。

[0139] 可以利用轧制箔或电解箔形式的含Cu合金来形成导电金属衬底310。根据产品规格,导电金属衬底310可以具有不同的厚度。导电金属衬底310具有第一金属层310a、第二金属层310b和第三金属层310c的层叠结构。

[0140] 可以利用含Cu合金形成第一金属层310a和第三金属层310c。可以利用相对于第一金属层310a和第三金属层310c具有刻蚀选择性的金属形成位于第一金属层310a与第三金属层310c之间的第二金属层310b。

[0141] 可以利用含Ni、Fe、Co、Mo或Cr的合金形成第二金属层310b。第一金属层310a和第二金属层310b的厚度可以在 $20\mu\text{m}$ 至 $70\mu\text{m}$ 的范围内,第二金属层310b的厚度可以在 $5\mu\text{m}$ 至 $70\mu\text{m}$ 的范围内。

[0142] 根据本实施例,金属衬底310的厚度优选在 $80\mu\text{m}$ 至 $170\mu\text{m}$ 范围内。可以通过诸如酸洗或冲洗等表面处理工序来处理金属衬底310的表面。

[0143] 然后,如图19所示,将光刻胶膜316附着于金属衬底310的顶面上。

[0144] 光刻胶膜316形成刻蚀图案以刻蚀金属衬底310。光刻胶膜316的厚度可在 $15\mu\text{m}$ 至 $30\mu\text{m}$ 范围内变化,并且可以采用UV曝光型光刻胶膜以及LDI曝光型光刻胶膜。

[0145] 此后,如图20所示,对光刻胶膜316进行曝光和显影工序,以形成光刻胶图案(未示出),并且利用该光刻胶图案作为掩模刻蚀金属衬底310,由此形成通孔线315的第一部315a。

[0146] 然后,利用诸如氯化铜和氯化铁等湿法刻蚀溶液湿法刻蚀一部分金属衬底310,以形成通孔线315的第一部315a。由于第一金属层310a与第二金属层310b之间的刻蚀选择性,当形成第一部315a时仅刻蚀第一金属层310a。

[0147] 在刻蚀了通孔线315的第一部315a以及内部电路层311之后,利用NaOH稀溶液使光刻胶图案剥离。

[0148] 接着,如图21所示,在第一部315a以及第二金属层310b的露出的前表面上形成光刻胶膜317。

[0149] 为了利用第二金属层310b形成内部电路层311,对形成在第二金属层310b上的一部分光刻胶膜317进行曝光和显影工序,以形成如图22所示的光刻胶图案318,并且利用光刻胶膜318作为掩模选择性刻蚀第二金属层310b,由此形成内部电路层311以及通孔线315

的第三部。

[0150] 由于第一金属层310a与第二金属层310b之间的刻蚀选择性,通孔线315的第一部315a可以用作第三部315c的刻蚀掩模。

[0151] 当形成在第二金属层310b下的第三金属层310c露出时,停止刻蚀工序并且内部电路层311形成。内部电路层311具有矩形截面形状。

[0152] 此后,如图23所示,形成第一绝缘层320,使得通孔线315的第一部315a和第三部315c以及内部电路层311可以埋入第一绝缘层320中。

[0153] 可以利用具有固体成分(诸如玻璃纤维)或者不具有固体成分的热固性树脂或热塑性树脂来形成第一绝缘层320。第一绝缘层320的厚度可以在大约30 μ m至大约80 μ m范围内。

[0154] 然后,如图24所示,分别在第一绝缘层320上和金属衬底310下形成光刻胶膜336。

[0155] 形成在金属衬底310下的光刻胶膜336用作基体,以形成用于形成通孔线315的第二部315b和内部电路层311的光刻胶图案。此外,形成在第一绝缘层320上的光刻胶膜336用作在金属衬底310下形成光刻胶图案的基体以及在金属衬底310的刻蚀工序中保护上层的保护膜。

[0156] 因此,可以省略掉形成在第一绝缘层320上的光刻胶膜336。

[0157] 此后,如图25所示,对金属衬底310下形成的光刻胶膜336显影以形成光刻胶图案,并且利用该光刻胶图案作为掩模来刻蚀金属衬底310,从而在通孔线315的第一部315a下形成第二部315b。

[0158] 按照这种方式,通过刻蚀工序将通孔线315的上部和下部分成第一部315a、第二部315b和第三部315c,使得通孔线315具有六边形截面形状,其中通孔线315的中心具有最大宽度d1,并且宽度从通孔线315的中心向外部变窄。

[0159] 当形成了通孔线315的第二部315b时,使光刻胶图案剥离。然后,如图26所示,沉积第二绝缘层325,使得通孔线315的第二部315b能被埋入第二绝缘层325中。

[0160] 然后,如图27所示,在第一绝缘层和第二绝缘层的表面上形成图案凹槽321和326。

[0161] 图案凹槽321和326可以包括用于露出通孔线的通孔线垫凹槽和用于埋入电路图案的电路图案凹槽。

[0162] 为了在第一绝缘层和第二绝缘层中形成图案凹槽321和326,可以使用需要使用图案掩模的准分子激光器或者无需使用图案掩模的UV-YAG激光器。

[0163] 如果使用准分子激光器,则可以利用XeCl(308nm)、Krf(248nm)和ArF(193nm)之一。如果在第一绝缘层和第二绝缘层中形成图案凹槽321和326,则图案凹槽321和326根据电路的线/间以及振动深度具有V形截面形状或者矩形截面形状。

[0164] 相反,如果使用UV-YAG激光器,则图案凹槽321和326具有弯曲的截面形状。优选的是,图案凹槽321和326具有U形截面形状。

[0165] 此后,如图28所示,形成镀层330和340以填充图案凹槽321和326。

[0166] 具体而言,通过化学镀工序在第一绝缘层320和第二绝缘层325的整个表面上形成种层。在利用Cu通过化学镀工序形成种层之前,可以实施预处理工序,例如清洗工序、软刻蚀工序、预催化工序、催化处理工序或者加速工序。

[0167] 同时,可以实施溅射工序来取代化学镀工序。根据溅射工序,由等离子体产生的气

体的离子颗粒(例如Ar⁺)与铜靶撞击,从而在绝缘层320和325上形成铜金属层。

[0168] 此外,可以利用Ni-Pd合金或者Ni-Cr合金取代铜,通过化学镀工序或者溅射工序形成种层。

[0169] 然后,在种层上实施电镀工序,以在第一绝缘层320和第二绝缘层325的整个区域上形成导电镀层330和340,使得图案凹槽321和326可以填充有镀层330和340。

[0170] 可以利用含Cu、Ag、Au、Ni或Pd的合金来形成镀层330和340。优选的是,镀含铜合金。

[0171] 为了形成镀层330和340,将衬底浸没在Cu镀槽中,并且利用直流整流器或者脉冲整流器来实施电镀工序。根据电镀工序,计算电镀面积,并且将电流施加到直流整流器或者脉冲整流器以萃取金属。

[0172] 如上所述,通过化学镀工序或者电镀工序可以获得图28所示的镀层330和340。相反,可以通过相对于导电金属实施无电极电镀工序来填充图案凹槽321和326。

[0173] 然后,如图29所示,完全去除镀层330和340以及种层,直到第一绝缘层320和第二绝缘层325的表面露出为止。

[0174] 因此,仅在图案凹槽321和326中形成了外部电路层331、335和345。通过闪蚀(flash etching)工序可以去除镀层330和340。如果所要去除的镀层330和340的厚度过大,则可以在闪蚀工序之前实施半刻蚀工序。

[0175] 最后,如图30所示,埋入外部电路层331、335和345的电路图案331,并且形成覆盖层350以露出垫335和345。

[0176] 按照这种方式,与通过在绝缘层钻孔来形成通孔并且通过掩埋该通孔来形成通孔线的现有技术不同,本实施例通过刻蚀金属衬底310形成通孔线315之后形成掩埋通孔线315的绝缘层320和325,由此降低了制造成本。此外,因为利用与通孔线315相同的金属衬底来形成内部电路层311,所以能够减少制造步骤。

[0177] 下文中,将参照图31描述根据第四实施例的PCB。

[0178] 参照图31,根据第四实施例的PCB 400包括形成第一绝缘层420和第二绝缘层425的芯部绝缘层、形成在该芯部绝缘层中的通孔线415、形成在该芯部绝缘层中的内部电路层412、以及分别形成在第一绝缘层420和第二绝缘层425上的第一和第二外部电路层431、435和445。

[0179] 第一绝缘层420形成在第二绝缘层425上,并且在第一绝缘层420与第二绝缘层425之间可以存在其他绝缘层。

[0180] 可以利用包括诸如玻璃纤维等固体成分的树脂形成第一绝缘层420和第二绝缘层425。可以利用相同材料形成第一绝缘层420和第二绝缘层425。

[0181] 第一绝缘层420和第二绝缘层425具有层叠结构以形成芯部绝缘层。芯部绝缘层的厚度可以在大约60 μ m至大约140 μ m的范围内。在芯部绝缘层中形成通孔线415和内部电路层412。

[0182] 通孔线415是穿过第一绝缘层420和第二绝缘层425形成的导电通孔线。通孔线415在第一绝缘层420与第二绝缘层425之间的边界处具有最大宽度。每个通孔线415的宽度随着其接近第一绝缘层420和第二绝缘层425的顶面而逐渐变窄。因此,通孔线415具有六边形截面形状。

[0183] 通孔线415的宽度d1和d2在大约20 μ m至大约100 μ m的范围内。

[0184] 通孔线415是导电通孔线并且可以利用含Cu合金形成。

[0185] 通孔线415包括埋入第一绝缘层420中并且由含Cu合金形成的第一部415a、在第一部415a下方埋入第二绝缘层425中并且由与第一部415a相同的合金形成的第二部415b、以及介于第一部415a与第二部415b之间且由不同于第一部415a和第二部415b的合金形成的第三部415c。

[0186] 第三部415c形成在通孔线415的中心处,并且第三部415c的底面可以具有通孔线415的最大宽度d1。第三部415c可以利用含Ni、Fe、Co、Mo或Cr的合金来形成,并且相对于第一部415a和第二部415b可以具有刻蚀选择性。

[0187] 第一部415a和第二部415b的厚度在20 μ m至70 μ m的范围内,第三部415c的厚度在5 μ m至70 μ m的范围内。

[0188] 内部电路层412具有矩形截面形状。内部电路层412的宽度为大约60 μ m或更小,优选为50 μ m或更小,使得能够形成微图案。

[0189] 利用与通孔线415的第三部415c相同的材料形成内部电路层412。

[0190] 在第一绝缘层420和第二绝缘层425的顶面和底面上分别形成与通孔线415相连的通孔线垫435和445以及用来形成电路图案431的图案凹槽421和426。

[0191] 在填充图案凹槽421和426的同时可以形成外部电路层431、435和445。

[0192] 外部电路层431、435和445可以分为第一外部电路层431和435以及第二外部电路层445,第一外部电路层431和435用于填充在第一绝缘层420(其为芯部绝缘层的上层)上形成的图案凹槽421和426,第二外部电路层445用于填充在第二绝缘层425(其为芯部绝缘层的下层)的底面上形成的图案凹槽421和426。

[0193] 外部电路层431、435和445可以制备为如图2所示的单层。此外,外部电路层431、435和445可以制备为包括下种层和上镀层的多层。通过化学镀、溅射等方法沿着图案凹槽421和426的侧面和底面浅浅地形成种层。

[0194] 此外,可以利用含Cu、Ni、Pd或Cr的合金形成该种层。

[0195] 通过电镀工序在种层上形成镀层。利用含Cu、Ag、Au、Ni或Pd的合金形成该镀层,并且使其填充在图案凹槽421和426中。

[0196] 形成在第一绝缘层420和第二绝缘层425中的图案凹槽421和426根据其制造方法可以具有矩形截面形状或者弯曲的截面形状。优选的是,图案凹槽421和426具有U形截面形状。

[0197] 在图31所示的PCB 400中,内部电路层412的电路图案具有多边形截面形状,其相对于第一绝缘层420与第二绝缘层425之间的边界对称形成,类似于通孔线415。优选的是,内部电路层412的电路图案具有矩形截面形状或者六边形截面形状。具体而言,内部电路层412的一部分被埋入第一绝缘层420中,并且内部电路层412的其他部分被埋入第二绝缘层425中。

[0198] 通过图18-30所示的制造方法,可以形成图31所示的内部电路层412。

[0199] 如上所述,因为内部电路层412被埋入本实施例所述的PCB 400的芯部绝缘层中,所以可以形成 $2n+1$ (n 为正整数)个电路层。此外,在芯部绝缘层的基础上,绝缘层的数量与电路层的数量相同,使得能够防止PCB在一个方向上弯曲。

[0200] 因此,可以在不增加绝缘层数量的情况下形成奇数个电路层。此外,因为包括导电材料的通孔线415形成在芯部绝缘层中,所以能够改善散热效率。

[0201] 此外,利用异质金属形成金属衬底的中间层,于是,能够防止金属衬底在制造过程中弯曲。

[0202] 尽管参照多个示例性实施例描述了具体的实施方式,但是应当理解,本领域技术人员可以设计出许多其他的落入本发明原理的精神和范围内的修改和实施例。更特别的是,在本说明书、附图和所附权利要求书的范围内可以对组成部件和/或主题组合设置进行各种变化和修改。除了组成部件和/或设置的变化和修改之外,替换使用对于本领域技术人员也是显而易见的。

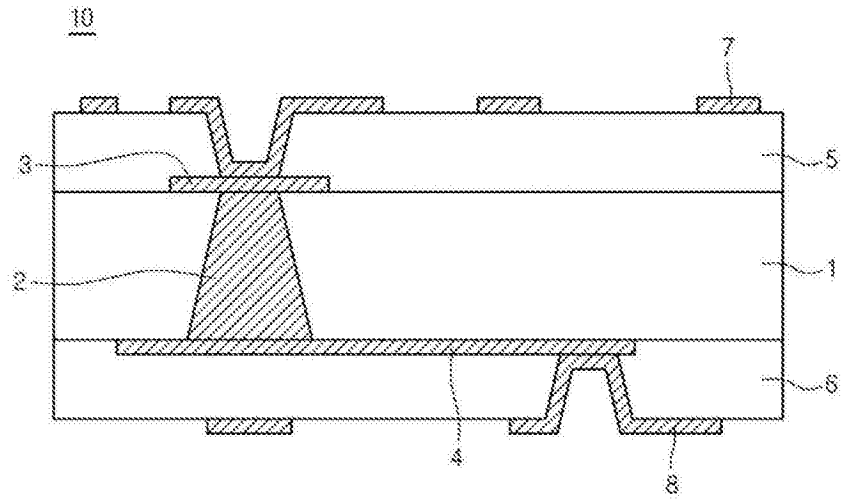


图1

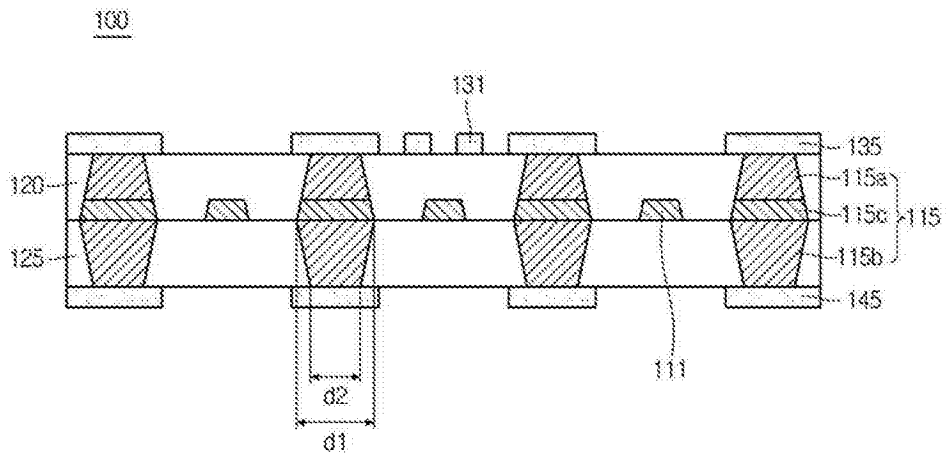


图2

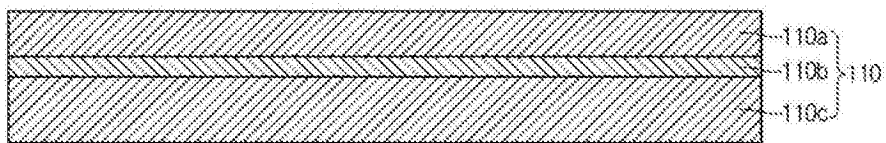


图3

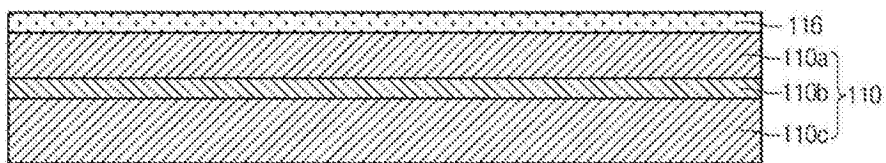


图4

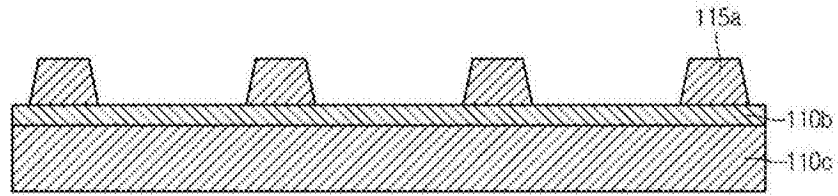


图5

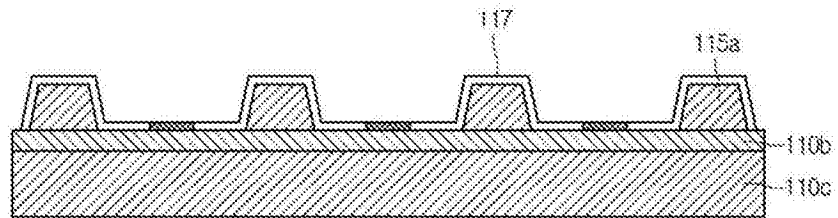


图6

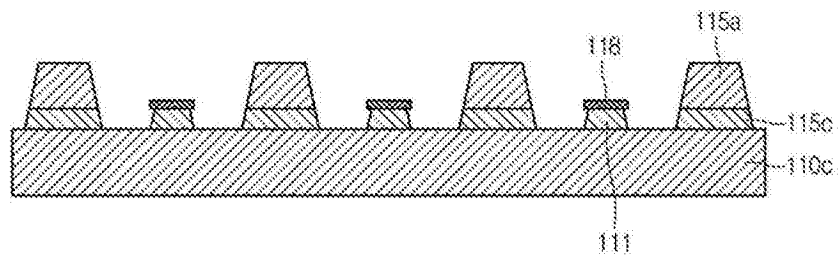


图7

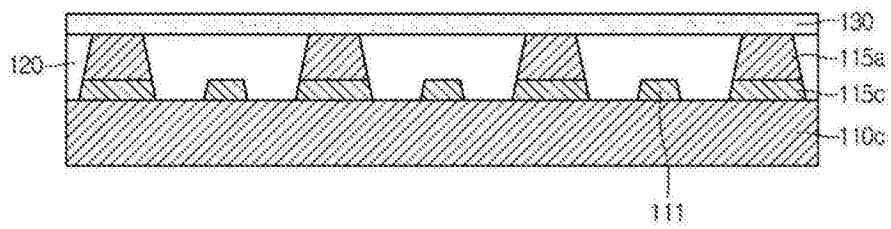


图8

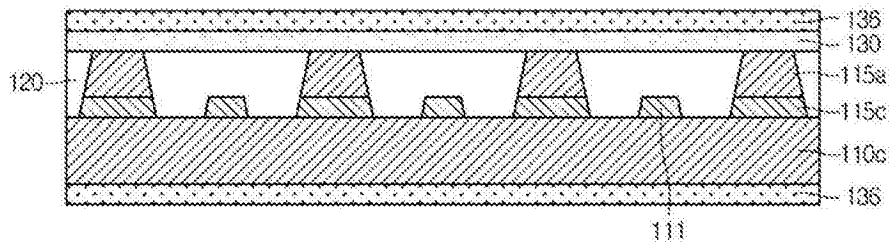


图9

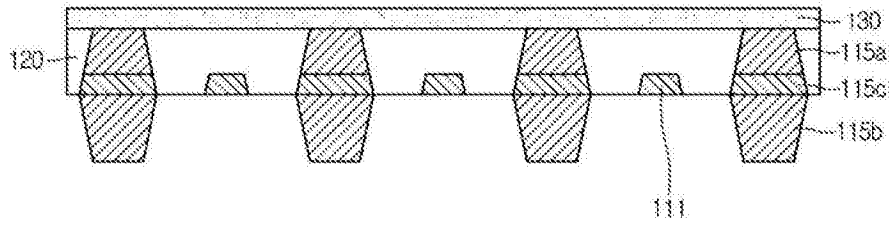


图10

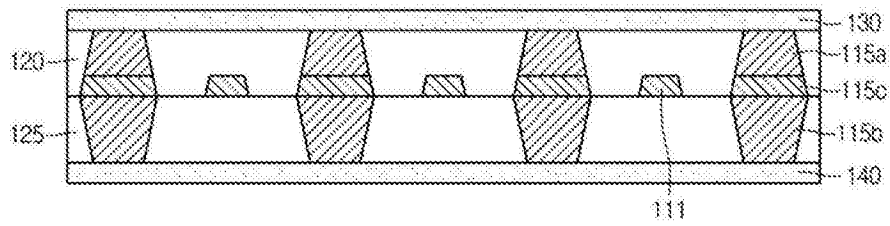


图11

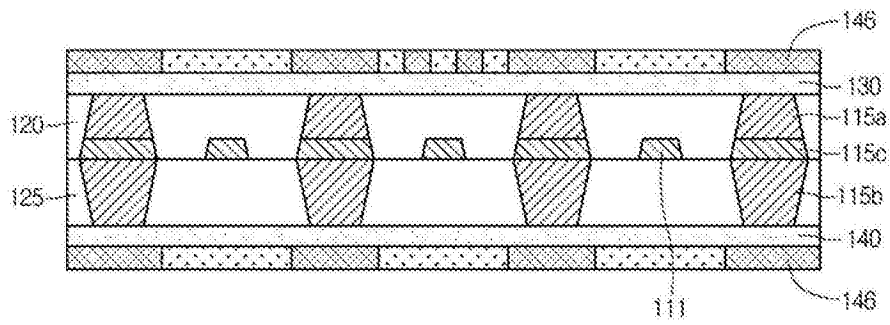


图12

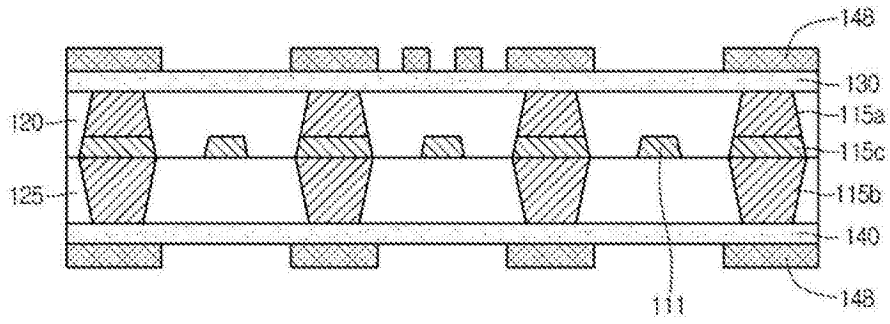


图13

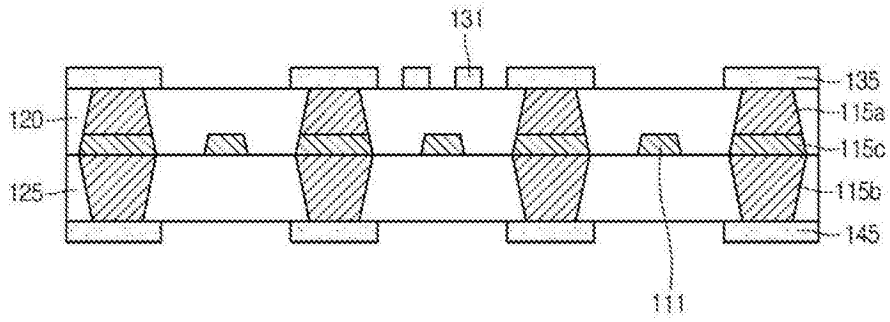


图14

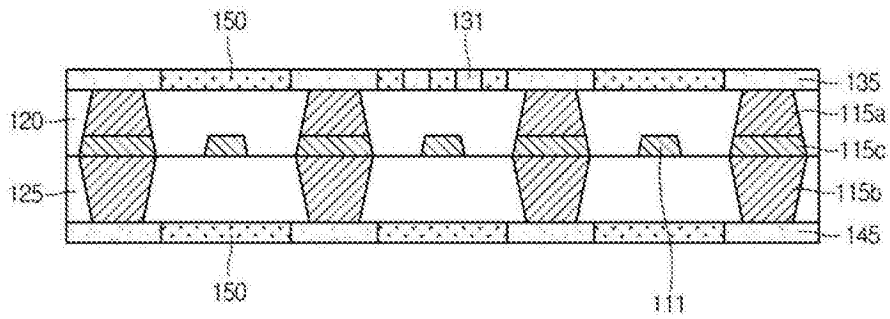


图15

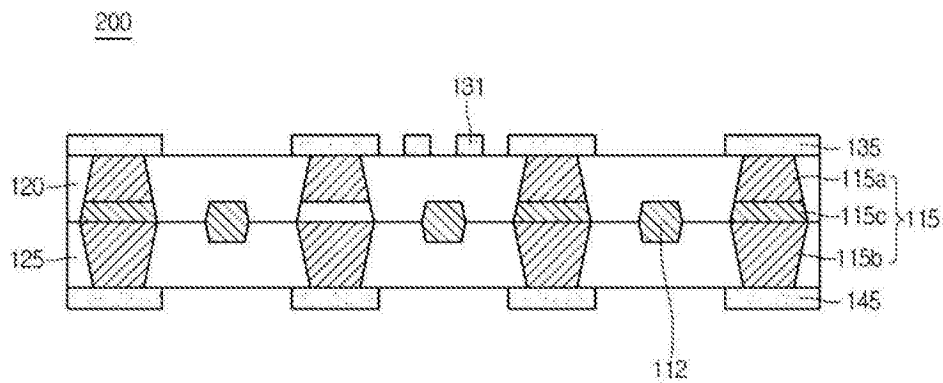


图16

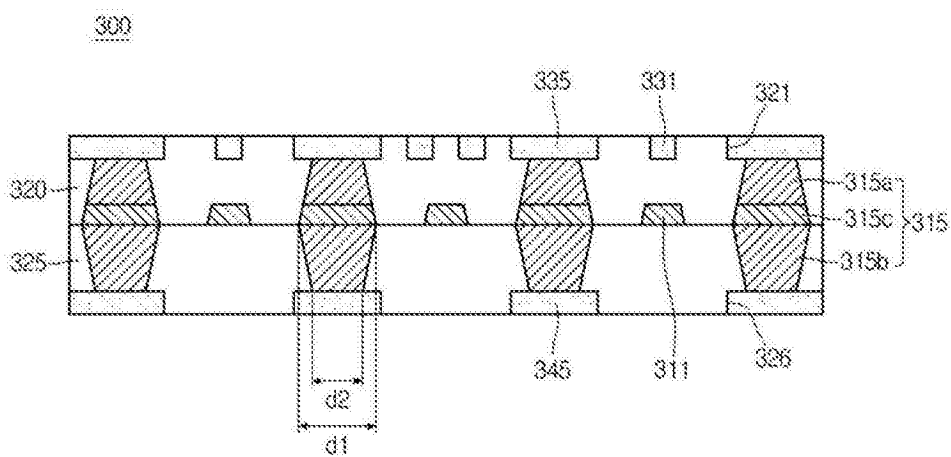


图17

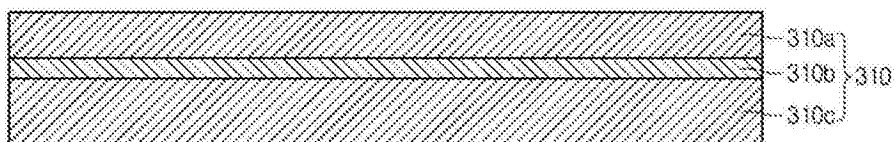


图18

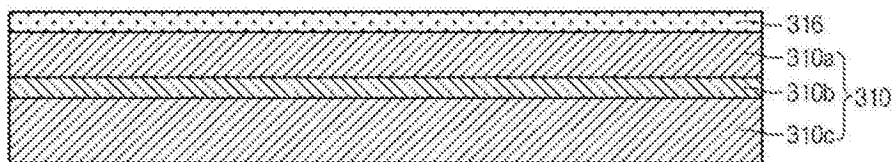


图19

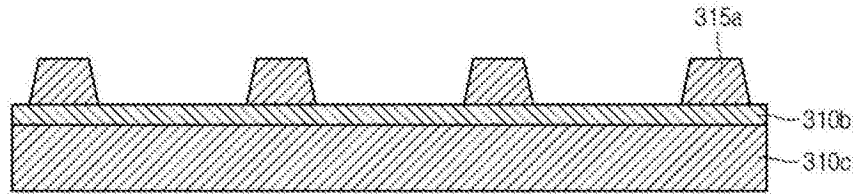


图20

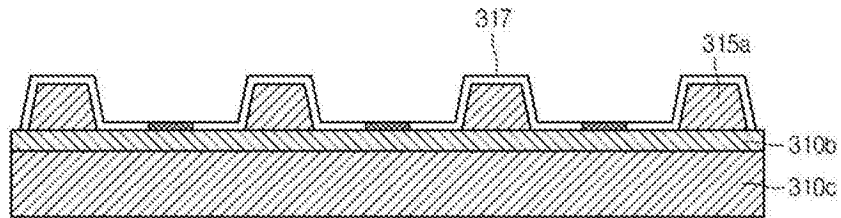


图21

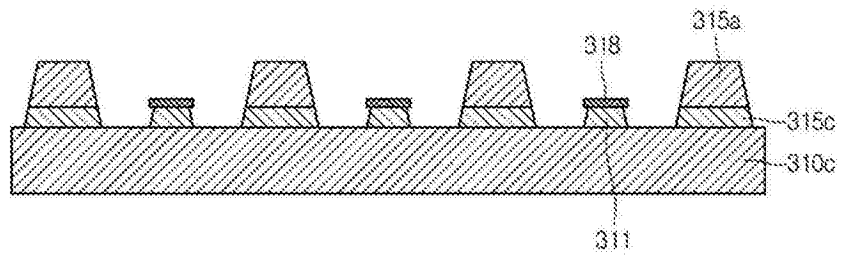


图22

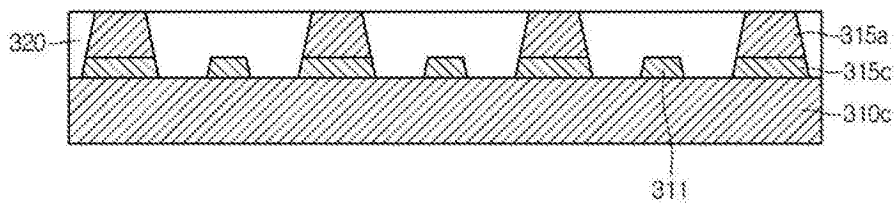


图23

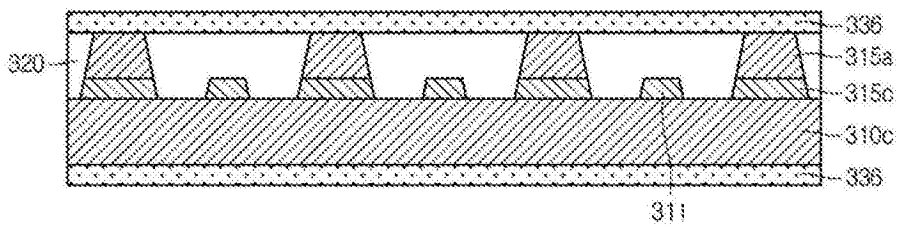


图24

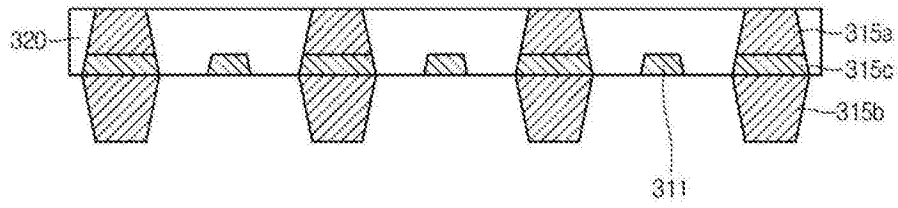


图25

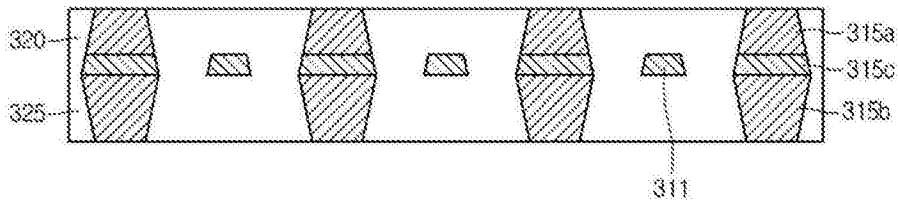


图26

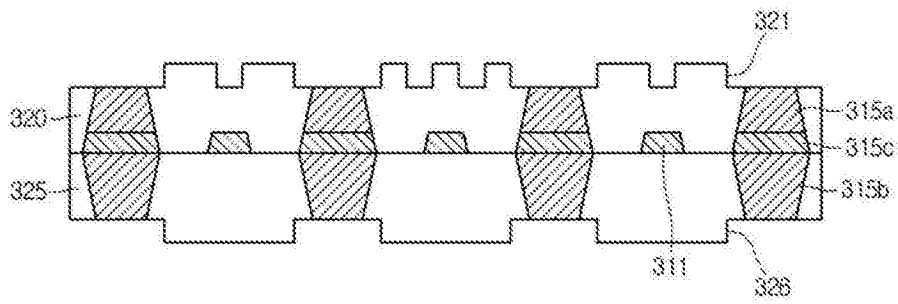


图27

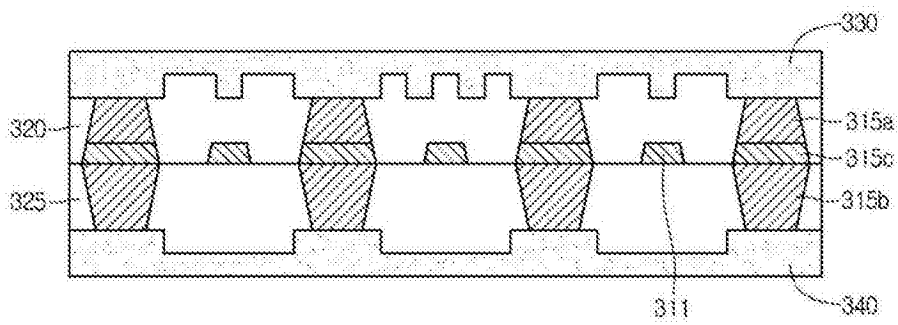


图28

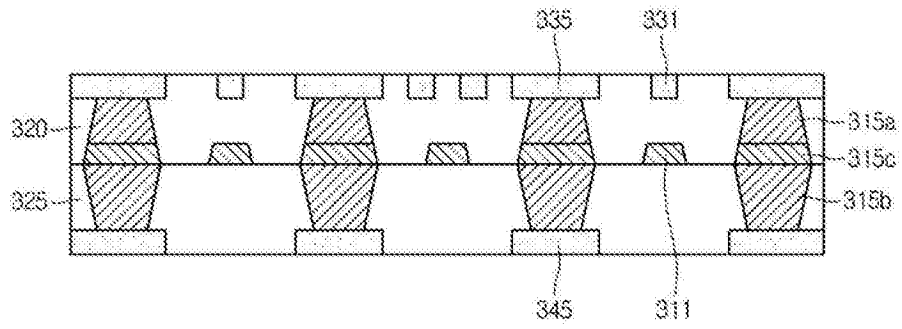


图29

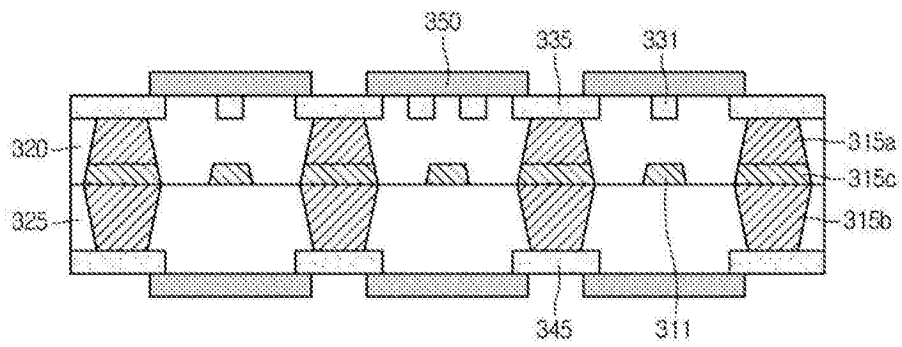


图30

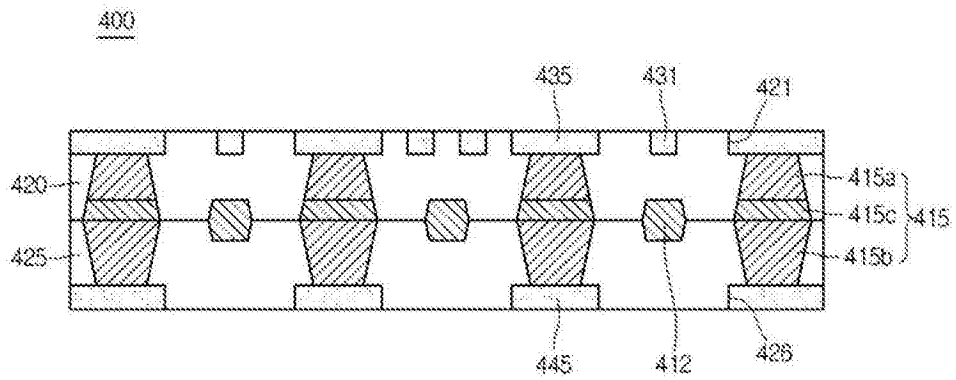


图31