

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 27 年 6 月 18 日 (2015.6.18)

【公表番号】特表 2014-517509 (P2014-517509A)

【公表日】平成 26 年 7 月 17 日 (2014.7.17)

【年通号数】公開・登録公報 2014-038

【出願番号】特願 2014-508559 (P2014-508559)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 29/78 6 2 6 C

H 0 1 L 29/78 6 1 6 A

【手続補正書】

【提出日】平成 27 年 4 月 21 日 (2015.4.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

D M O S トランジスタであって、
シリコンオンインシュレータ (S O I) 構造であって、
前記 S O I 構造が、上面を有するバルク領域と、前記バルク領域の前記上面に接し、上面と底面とを有する絶縁層と、前記絶縁層の前記上面に接する単結晶半導体領域とを有し、
前記単結晶半導体領域が、前記絶縁層に接する第 1 の導電型のドープ領域と、前記絶縁層に接する第 2 の導電型のドリフト領域とを有する、前記 S O I 構造と、
前記絶縁層の前記底面の一部を露出させる、前記バルク領域内のキャビティであって、前記絶縁層の前記底面の前記一部が、前記ドリフト領域の直下に位置する、前記キャビティと、
を含む、D M O S トランジスタ。

【請求項 2】

請求項 1 に記載の D M O S トランジスタであって、
前記単結晶半導体領域が、前記ドリフト領域に接し且つ前記ドープ領域から離間して位置する前記第 2 の導電型のドレイン領域と、前記ドープ領域に接し且つ前記ドリフト領域から離間して位置する前記第 2 の導電型のソース領域とを更に有し、
前記ドリフト領域と前記ソース領域との間に水平に位置し且つそれらに接する前記ドープ領域のチャンネル領域を更に含む、D M O S トランジスタ。

【請求項 3】

請求項 2 に記載の D M O S トランジスタであって、
前記ドープ領域が、
前記絶縁層に接するウェル領域と、
前記ウェル領域より高いドーパント濃度を有し、前記ウェル領域に接し、前記チャンネル領域を含む、ボディ領域と、
前記ボディ領域より高いドーパント濃度を有し、前記ボディ領域に接するコンタクト領域と、

を含む、D M O S トランジスタ。

【請求項 4】

請求項 2 に記載の D M O S トランジスタであって、
前記チャンネル領域に接し、その上に位置する非導電層と、
前記非導電層に接し、前記チャンネル領域の上に位置するゲートと、
を更に含む、D M O S トランジスタ。

【請求項 5】

請求項 4 に記載の D M O S トランジスタであって、
前記ドリフト領域が前記ドープ領域に接する、D M O S トランジスタ。

【請求項 6】

請求項 4 に記載の D M O S トランジスタであって、
前記ドープ領域が前記ドリフト領域と前記絶縁層との間に垂直に位置する、D M O S トランジスタ。

【請求項 7】

請求項 4 に記載の D M O S トランジスタであって、
前記キャビティが前記ゲートの一部の直下に位置する、D M O S トランジスタ。

【請求項 8】

請求項 4 に記載の D M O S トランジスタであって、
前記キャビティのいかなる部分も、前記ゲートの任意の部分の直下に位置しない、D M O S トランジスタ。

【請求項 9】

請求項 8 に記載の D M O S トランジスタであって、
前記ゲートの最も近くに位置する前記キャビティのエッジが、前記キャビティの最も近くに位置する前記ゲートのエッジに一致して位置する垂直ラインから水平に離間する、D M O S トランジスタ

【請求項 10】

D M O S トランジスタを形成する方法であって、
上面を有するバルク領域と、前記バルク領域の上面に接する絶縁層であって、上面と底面とを有する、前記絶縁層と、前記絶縁層の上面に接する単結晶半導体領域とを含む、シリコンオンインシュレータ (S O I) 構造を提供することと、

前記絶縁層に接する第 1 導電型のドープボディ領域と、前記絶縁層に接する第 2 導電型のドリフト領域とを形成することと、

前記単結晶半導体領域の複数の隔離された領域を形成するために、前記単結晶半導体領域を通して前記絶縁層に延びるトレンチ隔離構造を形成することと、

前記単結晶半導体領域の上にパッド酸化物層を堆積することであって、続いて、前記パッド酸化物層の上にシリコン窒化物層を堆積する、前記パッド酸化物層を堆積することと

、前記シリコン窒化物層上に露出された領域を形成するために前記シリコン窒化物層の上面にパターニングされたフォトリソ層を形成することと、

前記パターニングされたフォトリソ層をマスクとして用いてハードマスクを形成することであって、前記シリコン窒化物層と前記パッド酸化物層との上の前記露出された領域をエッチングして前記単結晶半導体領域の表面上に露出された領域を結果として形成する、前記ハードマスクを形成することと、

前記単結晶半導体領域と前記絶縁層とを通ずる複数の開口を形成するために前記ハードマスクを用いて前記単結晶半導体領域の表面上の前記露出された領域を選択的にエッチングすることであって、それにより、前記シリコンオンインシュレータ (S O I) 構造のバルク領域の上面上に対応する複数の領域を露出させ、前記複数の開口が複数の側壁を有する、前記露出された領域を選択的にエッチングすることと、

前記複数の開口の前記複数の側壁に接する複数の側壁スペーサを形成することと、

前記複数の開口の各々の下に位置する単一のキャビティを形成するように、前記複数の

開口を介して前記バルク領域をウェットエッチングすることであって、前記単一のキャビティが前記絶縁層の底面の一部を露出し、前記絶縁層のウェットエッチングすることと、
前記複数の開口を覆うが前記複数の開口を充填しないキャップ酸化物層を形成することと、

前記単結晶半導体領域の上面が露出されるまで前記パッド酸化物層と前記キャップ酸化物層の一部を除去するように前記SOI構造の上面を平坦化することと、
を含む、方法。

【請求項 11】

請求項 10 に記載の方法であって、
前記複数の開口を塞ぐ複数の非導電プラグを形成することを更に含む、方法。

【請求項 12】

請求項 10 に記載の方法であって、
前記ドリフト領域が前記ドープボディ領域に接する、方法。

【請求項 13】

請求項 12 に記載の方法であって、
前記キャビティが前記ドリフト領域の全ての直下に位置する、方法。

【請求項 14】

請求項 12 に記載の方法であって、
前記キャビティが前記ドリフト領域の全てより少ない部分の直下に位置する、方法。

【請求項 15】

請求項 12 に記載の方法であって、
前記第2の導電型のソース及びドレイン領域を形成することを更に含み、前記ソース領域が前記ドープ領域に接し且つ前記ドリフト領域から離間し、前記ドレイン領域が前記ドリフト領域に接し且つ前記ドープ領域から離間する、方法。