



(12) 发明专利

(10) 授权公告号 CN 101322231 B

(45) 授权公告日 2011.11.23

(21) 申请号 200680045630.4

(51) Int. Cl.

(22) 申请日 2006.11.01

H01L 21/48(2006.01)

(30) 优先权数据

H01L 23/538(2006.01)

11/264, 889 2005.11.02 US

H01L 25/065(2006.01)

(85) PCT申请进入国家阶段日

H01L 25/10(2006.01)

2008.06.04

H01L 21/66(2006.01)

(86) PCT申请的申请数据

(56) 对比文件

PCT/US2006/042664 2006.11.01

US 5028986 A, 1991.07.02, 说明书第5栏第42行 - 第13栏第24行、图1-23。

(87) PCT申请的公布数据

US 4982265 A, 全文。

WO2007/056013 EN 2007.05.18

US 5434745 A, 1995.07.18, 全文。

(73) 专利权人 桑迪士克股份有限公司

EP 0383296 A2, 1990.08.22, 全文。

地址 美国加利福尼亚州

WO 2005/101491 A2, 2005.10.27, 全文。

(72) 发明人 奇门·于 廖智清 赫姆·塔克亚尔

TW 540004 B, 2003.07.01, 说明书第4页第7行 - 第14行, 第13页第5行 - 第22行, 第37页第16行 - 第24行。

(74) 专利代理机构 北京律盟知识产权代理有限公司

审查员 杨丽丽

责任公司 11287

代理人 刘国伟

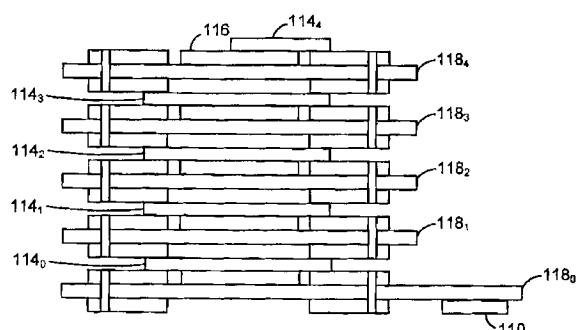
权利要求书 3 页 说明书 7 页 附图 6 页

(54) 发明名称

高密度三维半导体晶片封装

(57) 摘要

本发明揭示一种半导体封装，其包含安装于堆叠及接合衬底层上的多个半导体晶片，所述衬底层例如为在卷带自动接合过程中使用的聚酰亚胺卷带。所述卷带可具有形成于其上的多个重复的迹线图案和接触垫。所述迹线各自包含位于所述衬底的各自顶部及底部表面上的经对准的互连垫，以用于在已从所述衬底单个化、对准及堆叠所述图案后将一个图案的迹线接合到另一图案的迹线。半导体晶片（例如快闪存储器）和控制器晶片均安装在所述衬底的各自图案的迹线上。为了使所述控制器晶片唯一地寻址所述堆叠内的特定快闪存储器晶片，将支撑所述存储器晶片的每一衬底上的一群组迹线用作地址引脚并相对于其它衬底的迹线的布局冲压成唯一布局。通过给衬底上的每一快闪存储器半导体晶片提供唯一地址迹线布局，所述控制器晶片可有选择地寻址每一存储器晶片。



1. 一种半导体封装,其包括 :

多个堆叠衬底层,所述多个堆叠衬底层各自包含电迹线图案;以及
多个半导体晶片,其附加到所述多个堆叠衬底层;

其中通过有选择地切断给定堆叠衬底层上的所述电迹线中的一个或一个以上电迹线,
可相对于其它堆叠衬底层上的其它半导体晶片而唯一地寻址所述给定堆叠衬底层上的半
导体晶片。

2. 如权利要求 1 所述的半导体封装,其中所述给定堆叠衬底层上的所述一个或一个以
上电迹线是通过穿过所述给定衬底层冲压一个或一个以上孔来切断的,所述一个或一个以
上孔切断所述一个或一个以上电迹线。

3. 如权利要求 1 所述的半导体封装,其中所述多个半导体晶片包括快闪存储器半
导体晶片。

4. 如权利要求 1 所述的半导体封装,其中所述多个堆叠衬底层是从卷带自动接合过程
中使用的单个卷轴的卷带单个化的。

5. 如权利要求 1 所述的半导体封装,其中多个堆叠衬底层是四个堆叠衬底层且所述多
个半导体晶片是四个半导体晶片。

6. 一种半导体封装,其包括 :

多个堆叠衬底层,所述多个堆叠衬底层中的一衬底层包含电迹线图案;

多个半导体晶片,所述多个半导体晶片中的一晶片安装于所述衬底层上,所述衬底层
上的所述电迹线图案接合到所述晶片上的接合垫;以及

所述电迹线图案的一群组迹线具有通过有选择地切断给定堆叠衬底层上的所述电迹
线中的一个或一个以上电迹线以从一个或一个以上接合垫切断而相对于所述半导体晶片
中的其它半导体晶片向所述晶片提供唯一地址的布局。

7. 如权利要求 6 所述的半导体封装,其中所述给定堆叠衬底层上的所述一个或一个以
上电迹线是通过在所述衬底中冲压一个或一个以上孔以从所述一个或一个以上接合垫切
断所述群组迹线的一个或一个以上迹线来切断的。

8. 如权利要求 6 所述的半导体封装,其中所述多个堆叠衬底层是从卷带自动接合过程
中使用的单个卷轴的卷带单个化的。

9. 一种半导体封装,其包括 :

多个堆叠衬底层,所述多个堆叠衬底层的每一衬底层包含电迹线图案,所述电迹线图
案的电迹线与每一其它堆叠衬底层中的对应迹线对准,每一堆叠衬底层中的所述对应电
迹线电耦合在一起;

多个半导体晶片,所述多个半导体晶片中的一个晶片安装于所述多个衬底层的每一衬
底层上,给定堆叠衬底层上的所述电迹线图案接合到所述给定堆叠衬底层上的所述半导
体晶片上的接合垫;以及

每一衬底层中的所述电迹线图案的一群组 n 个迹线,其中 n 大于或等于所述多个半导
体晶片中的半导体晶片的数目,每一衬底层内的每一群组 n 个迹线具有由有选择地切断的
一个或一个以上迹线界定的布局,所述一个或一个以上迹线的所述布局对于每一衬底层中的
每一群组 n 个迹线而言均不同。

10. 如权利要求 9 所述的半导体封装,其中所述电迹线中的所述一个或一个以上电迹

线是通过穿过每一衬底层冲压一个或一个以上孔来切断的,所述一个或一个以上孔切断所述一个或一个以上电迹线。

11. 如权利要求 9 所述的半导体封装,其中所述多个堆叠衬底层是四个堆叠衬底层且所述多个半导体晶片是四个快闪存储器半导体晶片。

12. 如权利要求 11 所述的半导体封装,其进一步包括第五衬底层,所述第五衬底层包含用于控制所述四个快闪存储器半导体晶片的操作的控制器半导体晶片。

13. 如权利要求 11 所述的半导体封装,其中 n 等于四。

14. 如权利要求 13 所述的半导体封装,其中所述四个堆叠衬底层的每一者中的所述群组的四个迹线具有与所述接合垫电隔绝的所述四个迹线中的三个。

15. 如权利要求 13 所述的半导体封装,其中所述群组的四个迹线包含第一、第二、第三及第四迹线,所述四个堆叠衬底层的第一者中的所述一个或一个以上迹线的所述布局是所述第一迹线与接合垫之间的电连接,且接合垫与所述第二、第三及第四迹线之间没有电连接。

16. 如权利要求 15 所述的半导体封装,其中所述四个堆叠衬底层的第二者中的所述一个或一个以上迹线的所述布局是所述第二迹线与接合垫之间的电连接,且接合垫与所述第一、第三及第四迹线之间没有电连接。

17. 如权利要求 16 所述的半导体封装,其中所述四个堆叠衬底层的第三者中的所述一个或一个以上迹线的所述布局是所述第三迹线与接合垫之间的电连接,且接合垫与所述第一、第二及第四迹线之间没有电连接。

18. 如权利要求 17 所述的半导体封装,其中所述四个堆叠衬底层的第四者中的所述一个或一个以上迹线的所述布局是所述第四迹线与接合垫之间的电连接,且接合垫与所述第一、第二及第三迹线之间没有电连接。

19. 如权利要求 9 所述的半导体封装,其中所述多个堆叠衬底层是从卷带自动接合过程中使用的单个卷轴的卷带单个化的。

20. 如权利要求 19 所述的半导体封装,其中所述经单个化的衬底层中的一者经单个化以包含用于所述半导体封装与外部装置之间通信的接触垫。

21. 一种快闪存储器封装,其包括:

多个快闪存储器半导体晶片;

多个堆叠卷带衬底层,每一堆叠卷带衬底层包含所述多个半导体晶片的快闪存储器半导体晶片,所述多个堆叠卷带衬底层包含电迹线图案,一卷带衬底层中的电迹线图案的电迹线与每一其它卷带衬底层中的对应迹线对准,每一堆叠卷带衬底层中的所述对应电迹线电耦合;以及

每一卷带衬底层中的所述电迹线图案的一群组 n 个迹线,其中 n 大于或等于所述多个快闪存储器半导体晶片中的快闪存储器半导体晶片的数目,每一卷带衬底层中的每一群组 n 个迹线具有由沿其长度切断的一个或一个以上迹线界定的布局,所述一个或一个以上迹线的所述布局对于每一卷带衬底层中的每一群组 n 个迹线而言均不同。

22. 如权利要求 21 所述的快闪存储器封装,所述多个快闪存储器装置包括四个快闪存储器装置。

23. 如权利要求 21 所述的快闪存储器封装,其进一步包括安装在额外卷带衬底层上的

控制器半导体晶片，所述额外卷带衬底层堆叠于所述多个堆叠卷带衬底层上。

24. 如权利要求 23 所述的快闪存储器封装，支撑所述快闪存储器晶片的所述多个卷带衬底层来自第一卷轴的衬底，且所述额外卷带衬底层来自第二卷轴的衬底。

25. 如权利要求 21 所述的快闪存储器封装，其中所述一个或一个以上电迹线通过穿过每一卷带衬底层冲压一个或一个以上孔而沿其长度被切断。

26. 一种快闪存储器卡，其包括：

快闪存储器封装，其包含：

多个堆叠衬底层，所述多个堆叠衬底层各自包含电迹线图案，

多个快闪存储器半导体晶片，其附加到所述多个堆叠衬底层的一堆叠衬底层，以及控制器半导体晶片，其附加到所述多个堆叠衬底层的一堆叠衬底层；

其中通过有选择地切断给定堆叠衬底层上的所述电迹线中的一个或一个以上电迹线，可相对于其它堆叠衬底层上的其它快闪存储器半导体晶片而唯一地寻址所述给定堆叠衬底层上的快闪存储器半导体晶片；以及

盖子，其中装有所述快闪存储器封装。

27. 如权利要求 26 所述的快闪存储器卡，所述快闪存储器卡包括安全数字 (SD) 卡。

28. 如权利要求 26 所述的快闪存储器卡，所述快闪存储器卡包括小型快闪、智能媒体、微型 SD 卡、MMC、xD 卡、Transf1ash 存储器卡及存储器棒中的一者。

29. 如权利要求 26 所述的快闪存储器卡，其中所述给定堆叠衬底层上的所述电迹线中的所述一个或一个以上电迹线是通过穿过所述给定衬底层冲压一个或一个以上孔而切断的，所述一个或一个以上孔切断所述一个或一个以上电迹线。

30. 如权利要求 26 所述的快闪存储器卡，其中支撑所述快闪存储器半导体晶片的所述多个堆叠衬底层是从卷带自动接合过程中使用的第一卷轴的卷带单个化的。

31. 如权利要求 30 所述的快闪存储器卡，其中支撑所述控制器半导体晶片的所述堆叠衬底层是从卷带自动接合过程中使用的第二卷轴的卷带单个化的。

32. 如权利要求 26 所述的快闪存储器卡，其中多个堆叠衬底层是五个堆叠衬底层且所述多个快闪存储器半导体晶片是四个半导体晶片。

高密度三维半导体晶片封装

技术领域

[0001] 本发明的实施例涉及一种由以三维布置堆叠於衬底层上的多个半导体晶片形成的半导体封装。

背景技术

[0002] 对便携式消费者电子装置的需求的强劲增长正在推动着对高容量存储装置的需要。非易失性半导体存储器装置,例如快闪存储器存储卡,正变得广泛地用于满足对数字信息存储及交换的不断增长的需求。其便携性、通用性及坚固的设计,连同其较高的可靠性及大容量,使得此类存储器装置成为用于各种电子装置的理想选择。例如,所述装置包含数码音乐播放器、蜂窝式电话、手持 PC、数码相机、数码视频摄录机、智能电话、汽车导航系统及电子书。

[0003] 快闪存储器存储卡采用许多不同配置,但一般包含容纳于标准大小及形状外壳内的半导体封装。所述标准外壳包含 SD(安全数字)卡、小型快闪、智能媒体、微型 SD 卡、MMC、xD 卡、Transflash 存储器卡或存储器棒。用于此类存储器装置的半导体封装包含集成电路,其通常具有无源组件、一个或一个以上存储器芯片且在某些配置中具有安装于衬底上并电连接到衬底的控制器芯片。其上可形成有集成电路的衬底包含印刷电路板、引线框架及聚酰亚胺卷带。一旦形成于衬底上,所述集成电路便囊封于模制化合物中,所述模制化合物保护集成电路并从所述封装移除热。

[0004] 在一旦存储器装置包含多个离散半导体封装,而每一半导体封装操纵不同功能的情况下,当前可将多个集成电路组件封装在一起以在单个封装中提供完整的电子系统。例如,多芯片模块("MCM")通常包含多个芯片,所述芯片并排安装在衬底上且随后加以封装。另一实例是系统封装("SiP"),其中可在衬底上堆叠多个芯片且随后加以封装。

[0005] 由于当前使用的多数标准存储器卡的形式因数是固定的,因此通常仅存在以下两种方式来增加卡内的存储器密度:使用较高密度的存储器芯片,及在单个封装中堆叠更多存储器晶片。由于存储器卡空间有限,因此在封装中堆叠更多存储器芯片的方法正变得越来越困难且昂贵。

[0006] 关于在封装中制作堆叠存储器晶片的另一顾虑是在囊封过程期间堆叠晶片所遭受的应力。囊封设备可输出大约 0.8 吨的注射力以将模制化合物驱入模腔中。对于具有大约 4.5mm 乘 2.5mm 的焊盘的晶片,此注射力可产生向下作用于晶片上的大约 1.2kgf/mm² 的压力。在过去,半导体晶片能够更好地承受在模制过程期间产生的应力。

[0007] 然而,晶片厚度已减小到大约 2 密耳到 13 密耳的范围。在所述厚度下,晶片经常无法承受囊封过程期间产生的应力,且可能发生一个或一个以上晶片中的破裂(称为晶片龟裂)。

[0008] 堆叠存储器晶片的另一顾虑是在将晶片堆叠在一起并安装在衬底上之后对晶片进行测试。如果由于晶片龟裂或任何其它原因,所述晶片的一者最后证明有缺陷,那么必须丢弃整个晶片堆叠。

发明内容

[0009] 本发明的实施例涉及一种半导体封装，其包含安装在衬底的堆叠及接合层上的多个半导体晶片，所述衬底例如是卷带自动接合过程中使用的聚酰亚胺卷带。可从卷轴提供所述卷带，所述卷带具有多个重复的迹线图案及形成于其上的接触垫。所述迹线各自包含经对准的互连垫，所述互连垫位于所述衬底的各自顶部及底部表面上以用于在将所述图案单个化、对准并堆叠后，将一个图案的迹线接合到另一图案的迹线。

[0010] 尽管仍为所述卷轴的一部分，但可将多个半导体晶片安装在所述衬底的图案上。在实施例中，所述半导体晶片可包括快闪存储器阵列。可将控制器晶片（例如，ASIC）安装在来自第二卷轴卷带的图案上。所述卷轴卷带上的导电迹线图案形成于所述衬底中，使得所述导电迹线与半导体晶片上的每一晶片接合垫对准以允许将所述晶片直接接合到所述衬底。

[0011] 一旦将所述快闪存储器晶片安装在所述衬底上，便可将所述衬底单个化成多个层并堆叠在一起。然而，为了使所述控制器晶片唯一寻址所述堆叠中的特定快闪存储器晶片，将支撑存储器晶片的每一衬底上的一群组迹线用作地址引脚并相对于其它衬底上的迹线布局冲压成唯一布局。可跨越一个或一个以上地址迹线，穿过所述衬底冲压一孔以电隔绝选定的晶片接合垫。通过给衬底上的每一快闪存储器半导体晶片提供唯一地址迹线布局，所述控制器晶片可有选择地寻址每一存储器晶片。

[0012] 在单个化后，对准并堆叠所述衬底层。当将所述图案一个在另一个顶上地对准时，可使来自不同衬底层的对应迹线及互连垫彼此对准。然后，可将来自各自迹线的经对准互连垫接合在一起以形成集成半导体封装。可将完整的半导体封装安装于一对盖子内以形成成品快闪存储器卡或根据形成所述封装的半导体晶片的功能形成另一装置。可通过已知方法（包含超音波焊接）将所述盖子接合在一起。

附图说明

- [0013] 图 1 是根据本发明实施例制作快闪存储器卡的方法的流程图。
- [0014] 图 2 是根据本发明实施例用于支撑半导体晶片的一段衬底的俯视图。
- [0015] 图 3 是根据本发明实施例用于支撑半导体晶片的一段衬底的仰视图。
- [0016] 图 4 是根据本发明实施例用于支撑半导体晶片的一段衬底的侧视图。
- [0017] 图 5 是根据本发明实施例其上安装有半导体晶片的一段衬底的俯视图。
- [0018] 图 6 是穿过图 5 中的线 6-6 的截面图。
- [0019] 图 7 是具有根据本发明实施例冲压的选定电迹线的一段衬底的俯视图。
- [0020] 图 8 是根据本发明实施例从所述段衬底单个化的集成电路衬底层的俯视图。
- [0021] 图 9 是根据本发明实施例堆叠的经单个化集成电路衬底层的侧视图。
- [0022] 图 10 是根据本发明实施例接合在一起的堆叠集成电路衬底层的侧视图。
- [0023] 图 11 是根据本发明实施例位于盖子内的经接合集成电路堆叠的侧视图。

具体实施方式

[0024] 现在，将参照图 1 到 11 描述本发明的实施例。本发明的实施例涉及一种包含集成

电路衬底的堆叠及接合层的半导体封装。应了解,可以许多不同形式来体现本发明且本发明不应被视为局限于本文阐明的实施例。而使,提供这些实施例旨在使本揭示内容详尽且完整,并将向所属领域的技术人员全面传达本发明。实际上,本发明打算涵盖所述实施例的替代形式、修改及等同物,所述替代形式、修改及等同物包括于随附权利要求书定义的本发明的范围及精神内。此外,在本发明的以下详细说明中,阐明了众多特定细节,以便提供对本发明的详尽理解。然而,所属领域的技术人员应清楚,可在没有所述特定细节的情况下实践本发明。

[0025] 现在将参照图 1 的流程图来描述根据本发明的实施例用于形成快闪存储器卡的方法。所述制作过程以衬底 100 开始于步骤 50 中,例如分别在图 2 到 4 的俯视图、仰视图及端视图中显示一段衬底。在实施例中,衬底 100 可以是通常在卷带自动接合("TAB")过程中使用的卷带。传统上,此类卷带适用于卷轴到卷轴配置,且在实施例中可包含薄的挠性介电质核心 102,例如聚酰亚胺或其它介电质膜,在所述介电质核心的顶部及底部上形成有导电材料层 104 及 106。导电层 104、106 可电沉积于核心 102 上,或可使用粘合剂将导电层 104、106 的辊压片附接到核心 102。层 104、106 可以是铜或铜合金、合金 42(42Fe/58Ni)、镀铜钢、或用在 TAB 卷带上的其它已知金属及材料。层 104、106 可额外镀敷银、金、镍钯、铜或用于增强形成于层 104、106 上的迹线的接合特性的其它材料,如以下所解释。

[0026] 核心 102 可具有介于 50 到 100 微米(μm)且更明确地说 75 到 85 μm 之间的厚度。层 104、106 可以是 1/2 盎司铜,其厚度介于 50 到 100 μm 之间且更明确地说介于 60 到 80 μm 之间的范围内。应了解,在本发明的替代实施例中,所述核心及导电层的厚度可在上述范围以上或以下变化。

[0027] 可以已知工艺(例如化学蚀刻)在介电质核心 102 上的层 104、106 中形成电导图案。在化学蚀刻中,可将光致抗蚀剂膜施加到导电层 104、106。然后可在所述光致抗蚀剂膜上施加图案光罩,所述图案光罩含有将形成于层 104、106 中的导电迹线图案。然后,可曝光并显影所述光致抗蚀剂膜以从导电层上将被蚀刻的区域移除光致抗蚀剂。接着,使用蚀刻剂(例如,氯化铁或类似物)来蚀刻掉经曝光区域以在层 104、106 中界定导电迹线及所需图案。然后可移除所述光致抗蚀剂。可使用其它已知化学蚀刻工艺。形成于层 104、106 上的图案可包含如以下解释所使用的电迹线 108 及接触垫 110。

[0028] 在衬底 100 为 TAB 卷带的情况下,可从卷轴提供所述卷带,所述卷带具有多个重复的迹线 108 图案 112 及形成于其上的接触垫 110。本文所使用的图案 112 可指代图案中的全部迹线 108 或一子群组迹线 108。图案 112a 形成于衬底的顶部表面上而图案 112b 形成于底部表面上。图 2 到 4 中显示了图案 112 的两个实例,但一卷轴衬底 100 可具有大量的所述图案。衬底的顶部表面上的迹线 108(迹线 108a)通过经形成穿过核心 102 的经镀敷直插通孔 126(图 4)而电连接到衬底的底部表面上的对应迹线 108(迹线 108b)。迹线 108a、108b 各自包含经对准的互连垫,所述互连垫位于衬底 100 的各自顶部及底部表面上以用于在将所述图案单个化、对准并堆叠之后,将一个图案 112 的迹线接合到另一图案 112 的迹线,如下所解释。

[0029] 聚酰亚胺卷带衬底 100 可具有 35mm、48mm 或 70mm 的宽度,但应了解,在本发明的替代实施例中,聚酰亚胺卷带衬底 100 的宽度可能不同于所述尺寸。使用 TAB 卷带作为衬底 100 提供其上形成有导电迹线 108 的紧密间距的优点。已知可在 TAB 卷带上实现 45 μm 的

线间距。此允许高密度电路。然而,如以下所解释,应了解可针对替代实施例中的衬底 100 使用其它媒介,包含引线框架及印刷电路板。

[0030] 现在参照图 5,可沿衬底 100 的长度,在衬底 100 上安装多个半导体晶片 114,每图案 112 一个半导体晶片。在实施例中,半导体晶片 114 可包括快闪存储器阵列(例如 NOR、NAND 或其它类型的快闪存储器)。此类半导体晶片通常沿晶片的上部表面的相对侧包括一行晶片接合垫 122。导电迹线 108a 的图案形成于顶部层 104 中,以使得导电迹线与半导体晶片 114 的相对侧上的每一晶片接合垫 122 对准,以允许当半导体晶片 114 倒装于且接合到衬底 100 时,将晶片接合垫 122 接合到迹线,如以下所解释。出于简化起见,图 2 及 3 显示十个晶片接合垫 122 及导电迹线 108(每侧上 5 个)。然而,应了解,在替代实施例中,形成于衬底 100 的各自上部及下部表面上的每一晶片及图案可包含多于十个的迹线。例如,快闪存储器芯片通常可在晶片的两个相对侧的每一侧上包含十与十五个之间的晶片接合垫。在所述实施例中,衬底 100 将形成有同样数目的导电迹线 108。

[0031] 在实施例中,一卷轴衬底 100 中的图案 112 的每一实例可与来自所述卷轴的每一其它图案 112 相同。可针对特定半导体晶片 114(例如,给定快闪存储器芯片)来定制图案。因此,在实施例中,安装到图 2 到 4 中所示衬底 100 上的各自图案 112 的每一半导体晶片 114 可彼此相同。如以下所解释,半导体晶片 114 安装到衬底 100,经单个化及堆叠以形成封装。应了解,所述堆叠封装内可包含不同类型的半导体晶片。

[0032] 例如,在实施例中,所述堆叠封装还可包含如图 9 到 11 中所示的控制器芯片 114₄,其用于控制多个快闪存储器芯片的读取、写入及操作。例如,控制器芯片 114₄ 可是 ASIC。如此项技术中已知,此类控制器芯片通常将在芯片的上部表面上包含不同于快闪存储器芯片的晶片接合垫配置。例如,ASIC 芯片可在所述芯片的上部表面的边缘周围包括 40 与 80 之间的晶片接合垫。因此,将安装此控制器芯片的衬底 100 将来自单独的衬底卷轴,所述衬底具有针对所述控制器芯片接合垫配置定制的图案。在衬底 100 上用于附接到控制器芯片的图案在此项技术中已知。

[0033] 因此,在实施例中,可在第一过程中将多个快闪存储器芯片安装到图 2 到 4 中所示第一卷轴衬底 100 上的各自图案 112 实例,且可将多个控制器芯片安装到形成于第二卷轴(未显示)衬底 100 上的图案实例,并在接合到各自衬底之后将快闪存储器芯片及控制器芯片一起形成堆叠配置且单个化,如下所解释。应了解,在本发明的替代实施例中,可根据本发明的原理使用的半导体晶片类型不限于快闪存储器芯片或控制器。此外,尽管如上所述单个卷轴衬底可具有全部相同图案,但预期在替代实施例中单个卷轴衬底可包含不同图案以接受不同的半导体晶片。

[0034] 以下将解释用于在图 2 到 4 中所示衬底 100 上形成快闪存储器芯片的步骤。应了解,用于在衬底上形成控制器芯片的过程可类似于以下所述用于在衬底 100 上形成快闪存储器芯片的步骤。再次参照图 1 的流程图,在步骤 52 中,将晶片 114 附加到衬底 100 的上部表面。图 5 显示四个半导体晶片 114₀₋₃,其中晶片 114₁₋₃ 附加到衬底 100 上的各自图案 112 实例,而晶片 114₀ 准备倒装并附接到衬底 100。应了解,在替代实施例中,可将多于或少于四个的半导体晶片附加到衬底 100。如已知,衬底 100 可穿过晶片附接工具前进,所述晶片附接工具能够一次一个或一次批次处理一数目地将半导体晶片 114 附接到衬底 100。衬底 100 上的每一图案 112 可包含晶片附接粘合剂 116,其用于将晶片 114 附加到衬底 100。

粘合剂 116 可以系聚酰亚胺、环氧树脂及 / 或用于将半导体晶片安装到衬底（例如，TAB 卷带）的其它已知材料。

[0035] 如上所论述，将晶片安装到衬底 100 上的图案 112，以使得晶片 114 表面上的晶片接合垫 122 位于与各自迹线 108a 相邻处。一旦将半导体晶片 114 安装到图案 112 上的粘合剂，便可在步骤 54 中且如图 6 中所示将晶片接合垫接合到各自迹线 108。可以已知接合过程将晶片接合垫接合到迹线 108，例如以单点热超音波接合过程，其中使用施加到迹线 108 及其各自接合垫的热、时间、力及超音波来个别地接合每一接合垫位置。或者，可使用已知群接合过程，其使用热压缩将全部迹线同时接合到其各自接合垫。如上所示，迹线 108 可镀敷有金或其它材料，以增强迹线 108 与其各自晶片接合垫之间的接合。

[0036] 如以下所解释，将从衬底 100 单个化半导体及迹线组合件并加以堆叠，以使得一个层中的迹线与下一相邻层中的对应迹线对准。一旦对准，便将各自层中的对应迹线在其互连垫处接合在一起。在成品组合件中，为了使控制器晶片唯一寻址特定存储器晶片 114₀、114₁、114₂ 或 114₃，将每一图案 112 上的一群组迹线 108 用作地址引脚并在步骤 46 中相对于其它图案冲压成唯一布局。即，参照图 7，衬底 100 中接纳半导体晶片 114₀₋₃ 的四个图案 112 中的每一者可包含地址迹线 at₀、at₁、at₂ 及 at₃。应了解，在包含大于或少于四个半导体晶片 114 的实施例中，可能存在对应的更大或更少数目的地址迹线。

[0037] 如图 7 中所示，半导体晶片 114₀ 可具有经冲压的迹线 at₁、at₂ 及 at₃。即，可跨越迹线 at₁₋₃ 穿过衬底 100 冲压一孔 124，以在迹线 at₁₋₃ 处电隔绝晶片接合垫 122 并防止去到或来自所述晶片接合垫的信号传输。同样地，半导体 114₁ 可具有冲压的迹线 at₀ 及 at₂₋₃。半导体晶片 114₂ 可具有经冲压的迹线 at₀₋₁ 及 at₃ 而半导体晶片 114₃ 可具有经冲压的地址迹线 at₀₋₂。应了解，图 7 中所示的经冲压地址迹线的特定布局仅作为实例，且只要没有两个半导体晶片 114₀₋₃ 具有相同布局的经冲压迹线，便将了解其它布局的经冲压地址迹线。还预期，对于给定数目的半导体晶片（例如图 7 中所示的四个半导体晶片），可能存在多于四个的地址迹线。在此实施例中，应了解，只要每一半导体晶片相对于其它半导体晶片具有唯一经冲压迹线图案，经冲压迹线图案便可能变化。

[0038] 如上所述，一旦已经冲压衬底 100，便可在步骤 58 中测试各自半导体晶片。不同于常规堆叠半导体晶片，如果半导体晶片 114 中的一者有缺陷，那么可丢弃所述半导体晶片 114 而不需丢弃剩余的半导体晶片 114。可以已知工艺来执行测试以测试半导体晶片的电性能。还可在步骤 60 中执行老化以在所述晶片中的任一者在电及 / 或热应力下发生故障的情况下检测所述晶片。

[0039] 可在步骤 62 中且如图 8 中所示从衬底 100 单个化通过电测试及老化的半导体晶片 114。如所示，可以包含底部层 106 上的接触垫 110（如图 8 中幻影所示）的尺寸单个化将形成所述堆叠的底部层的衬底 100。接触垫 110 将用于成品封装与外部电子装置之间的通信。可将包含晶片 114₁₋₃ 的剩余经单个化层切成不包含接触垫 110 的较小大小。应了解，半导体晶片 114₀₋₃ 的任一者可以是所述堆叠中的最底层，且可经单个化以包含接触垫 110。此外，除最底层外的一层可能将是包含用于所述装置的外部连接的接触垫 110 的层。

[0040] 将所述各自图案单个化成携带半导体晶片 114₀₋₃ 的衬底层 118₀₋₃。然后在步骤 64 中且如图 9 的端视图中所示对准并堆叠衬底层 118₀₋₃。如所示，还将包含不同半导体晶片 114₄（其可能是上述的 ASIC 或其它控制器）的另一衬底层 118₄ 与层 118₀₋₃ 堆叠在一起。

[0041] 如上所示,来自单个卷轴衬底 100 的所有层具有相同的迹线图案。当将图案一个在另一个顶部上对准时,可使来自不同衬底层 118 的对应迹线及互连垫彼此对准。然后,在步骤 66 中将来自各自迹线的经对准互连垫接合在一起以形成集成封装 120,如图 10 中所示。

[0042] 明确地说,形成于第一衬底层顶部上述线 108a 上的互连垫对准并接合到下一相邻衬底层底部中的迹线 108b 上的互连垫。可使用已知接合技术(例如,超音波焊接或使用回流炉的软焊)来接合各自衬底层的互连垫。预期其它接合技术。

[0043] 一旦将各自衬底层 118 中的一列经对准的对应迹线接合在一起,便可电耦合各自层中的经对准的对应迹线。因此,发送到特定迹线的电流将被路由到封装 120 的每一层中的每一对应迹线。除非如上所述给定衬底层中的迹线已被冲压,情况便是如此。

[0044] 对于已穿出孔 124 的所述迹线,所述穿出的孔位于互连垫与迹线 108 与半导体晶片上的晶片接合垫 122 的接合地点之间。因此,经冲压的迹线将电信号传递到下一相邻层,但不会将所述电信号传递到其所接合的晶片垫。

[0045] 通过上述经接合及经冲压迹线的布置,可在控制器晶片 114₄ 与快闪存储器晶片 114₀₋₃ 之间既普遍又有选择地传递信号。例如,可沿着由对应的经接合互连垫建立的路径,将功率及接地电流普遍地传递到所有快闪存储器晶片的指定晶片接合垫或从其传递功率及接地电流。同样地,由于地址迹线 at₀₋₃ 上的穿出孔的区域 124 的图案,因此可通过控制器晶片 114₄ 将读取、写入及其它数据或指令有选择地寻址到存储器晶片 114₀₋₃ 中的任一者。

[0046] 例如,如果控制器晶片 114₄ 要用图 7 中所示的冲压图案来寻址所述存储器晶片中的一者,例如晶片 114₂,那么所述控制器晶片可沿着地址迹线 at₂ 发送信号。由于存储器晶片 114₀、114₁、114₃ 具有经冲压的地址迹线 at₂,因此所述信号将仅到达存储器晶片 114₂ 而不会到达其它任何晶片。如上所示,控制器晶片 114₄ 可具有比晶片 114₀₋₃ 及衬底层 118 更多的晶片接合垫及迹线。因此,控制器晶片 114₄ 可沿着独立于存储器晶片 114₀₋₃ 所使用的所述路径的路径来发送及接收信号。

[0047] 一旦经集成,便可在步骤 68 中且如图 11 中所示将封装 120 安装于盖子 128 内以形成一成品存储器卡 132。应了解,根据形成封装 120 的半导体晶片的功能,封装 120 及盖子 128 可形成其它装置。可通过已知方法(包含超音波焊接)将所述盖子接合在一起。底部盖子 128 包含如已知定义为开口的多个肋,外部电子装置可穿过所述开口接近接触垫 110 以提供封装 120 与所述装置之间的通信。当接合在一起时,由于不同衬底层 118 的边缘弯曲而接触垫 110 可凹陷于盖子 128 内,因此可提供导体 130 以允许接触垫 110 与外部导体之间的电连接。在实施例中,应了解,包含接触垫 110 的底部层 118₀ 可不向上弯曲到所述封装中,而接触垫 110 可驻留在与盖子 128 内的开口相邻处。在所述实施例中可省略导体 130。在将封装 120 安装在盖子 128 内之后,可在步骤 70 中测试且随后运输所得装置。

[0048] 如在背景技术中所论述,用于半导体封装的囊封过程可增加快闪存储器卡制造的成本及复杂性。所述囊封过程还使半导体晶片遭受高压缩及热应力影响,从而经常导致晶片龟裂及不良晶片。上述快闪存储器卡 132 可在没有囊封过程的情况下制作。晶片故障的另一常见原因是通常用于将晶片接合垫连接到衬底上的导电迹线的线接合断裂。通过在根据本发明的晶片接合垫与迹线之间提供直接连接,还可省略线接合过程。

[0049] 封装 120 的尺寸可视半导体晶片的数目及封装内所包含的衬底层而变化。然而,

对于包含四个快闪存储器半导体晶片及一个控制器晶片的封装 120，所述封装可具有 1.4 与 1.6mm 之间的整体高度。在此高度下，封装 120 可用于标准快闪存储器外壳，例如包含 SD 卡、小型快闪、智能媒体、微型 SD 卡、MMC 及 xD 卡或存储器棒。其它标准快闪存储器封装也是可能的。

[0050] 如上所示，在实施例中，衬底 100 可以是聚酰亚胺卷带。另外预期衬底 100 可以是引线框架或印刷电路板。在衬底 100 是引线框架的情况下，如上所述，可将延伸超出所安装半导体晶片的引线框架边缘捏合在一起并接合以形成如图 10 中所示的封装。尽管印刷电路板通常不是挠性的，但可使用其它方法来连接（例如）图 9 中所示封装的各自衬底层的对应互连垫以形成上述快闪存储器或其它装置。

[0051] 已出于图解及说明的目的呈现了本发明的以上详细说明。但并不打算包揽无遗或将本发明限于所揭示的精确形式。可根据以上教示进行许多修改及变更。挑选所述实施例旨在最好地解释本发明的原理及其实际应用，以由此使所属领域的技术人员能在各种实施例中最好地利用本发明并作出适合所预期特定使用的各种修改。本发明的范围打算由本文随附权利要求书来定义。

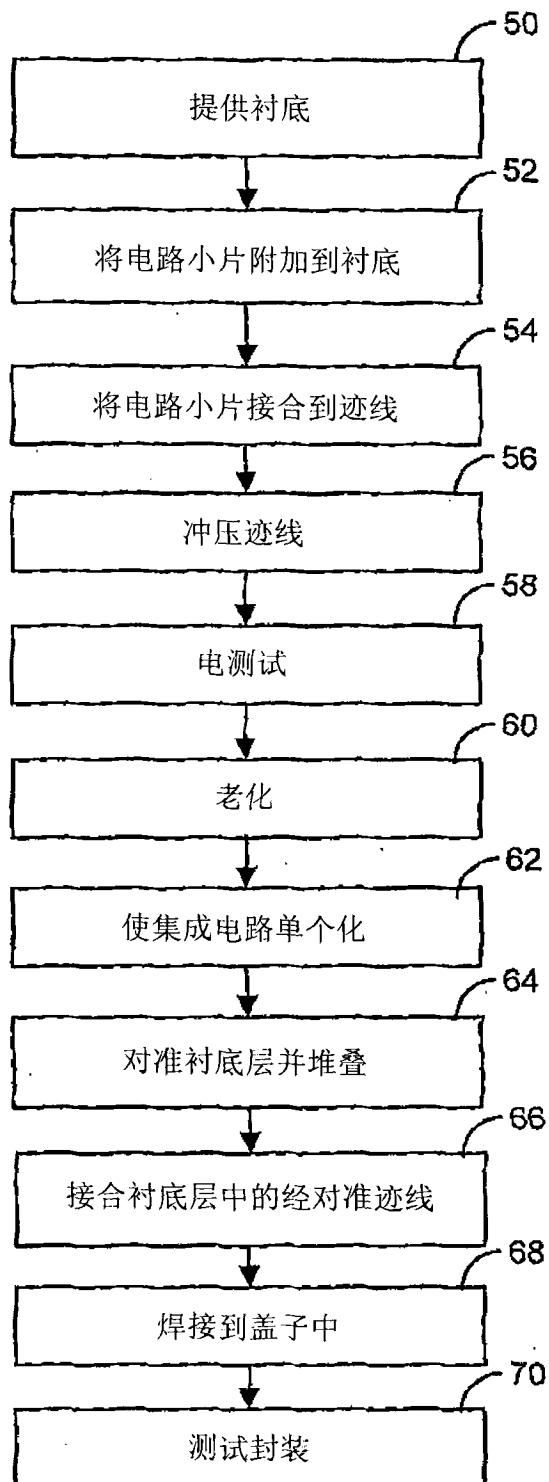


图 1

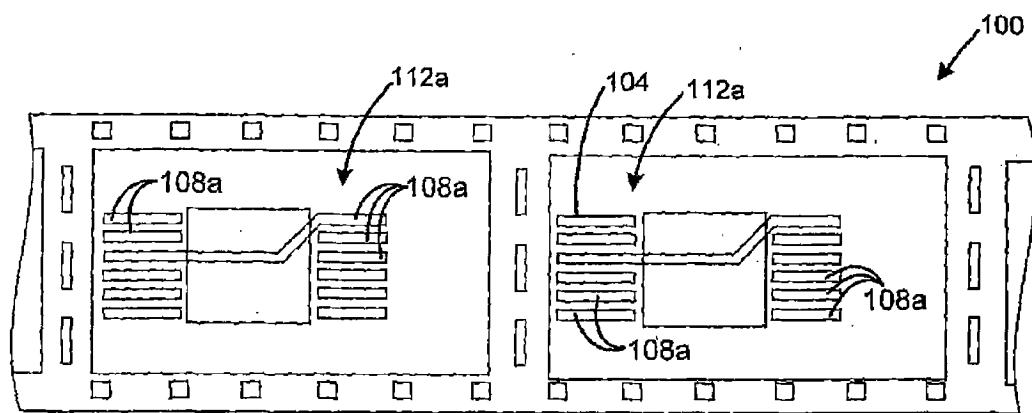


图 2

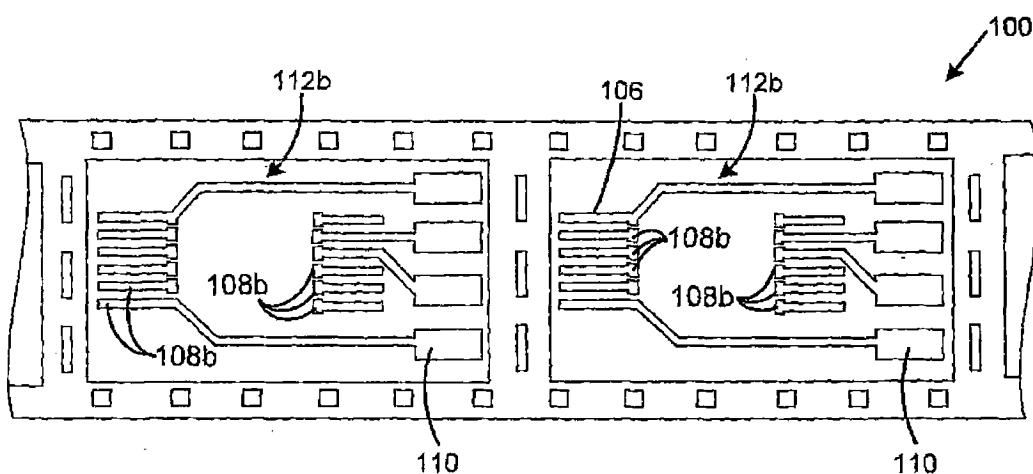


图 3

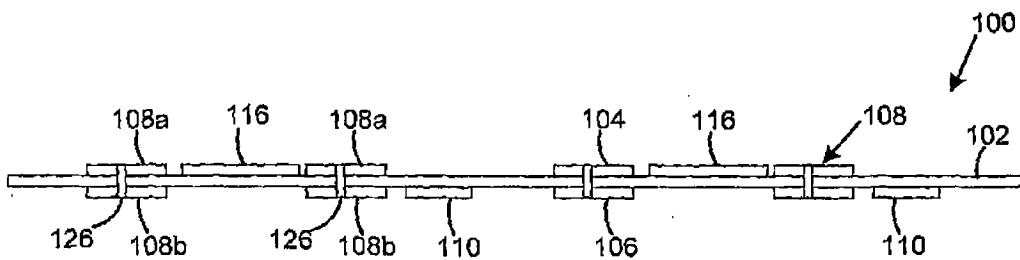


图 4

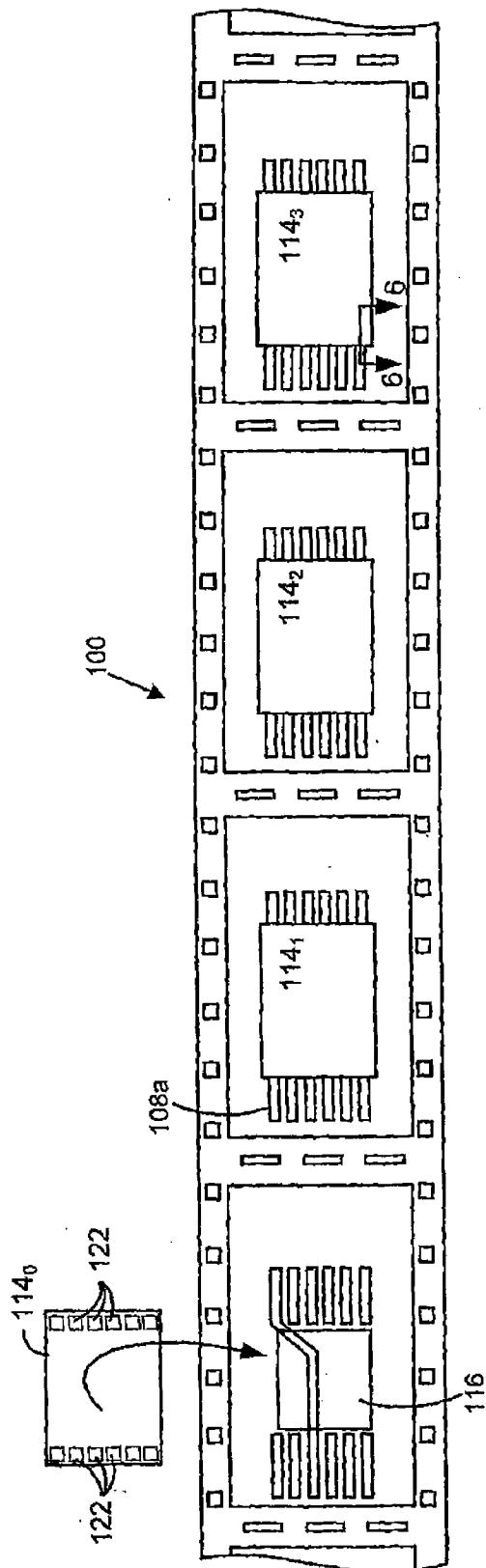


图 5

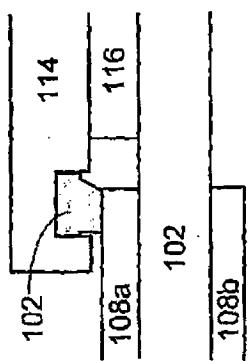


图 6

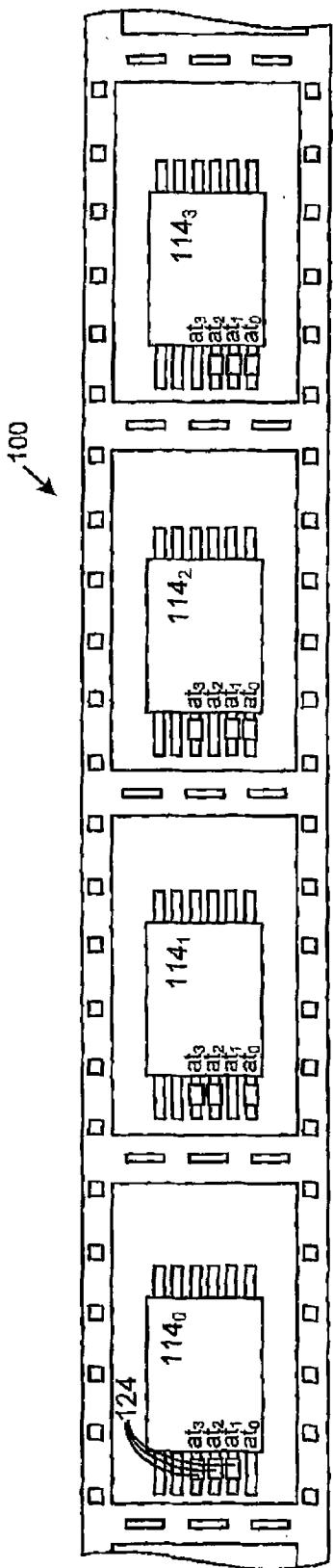


图 7

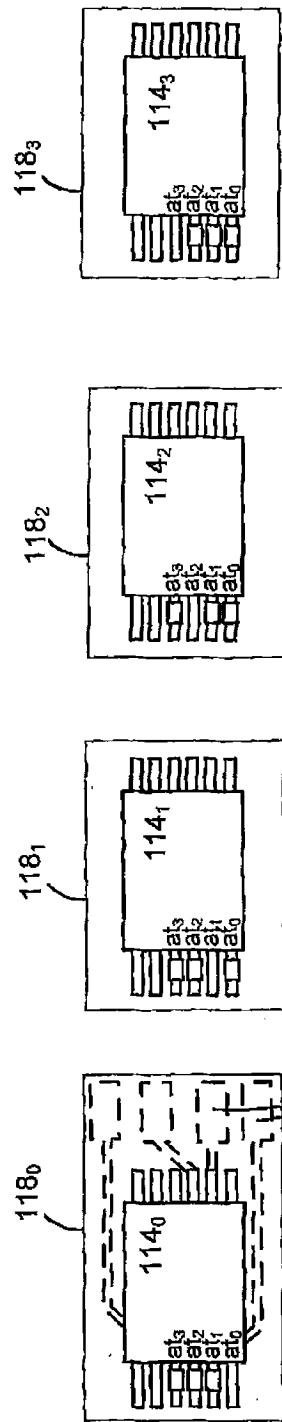


图 8

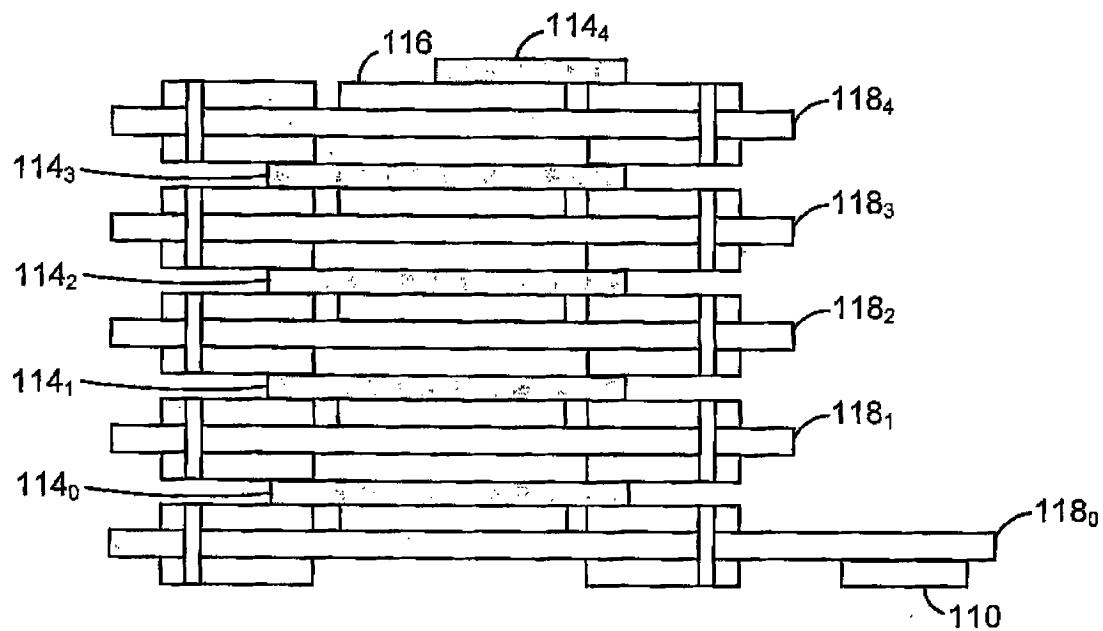


图 9

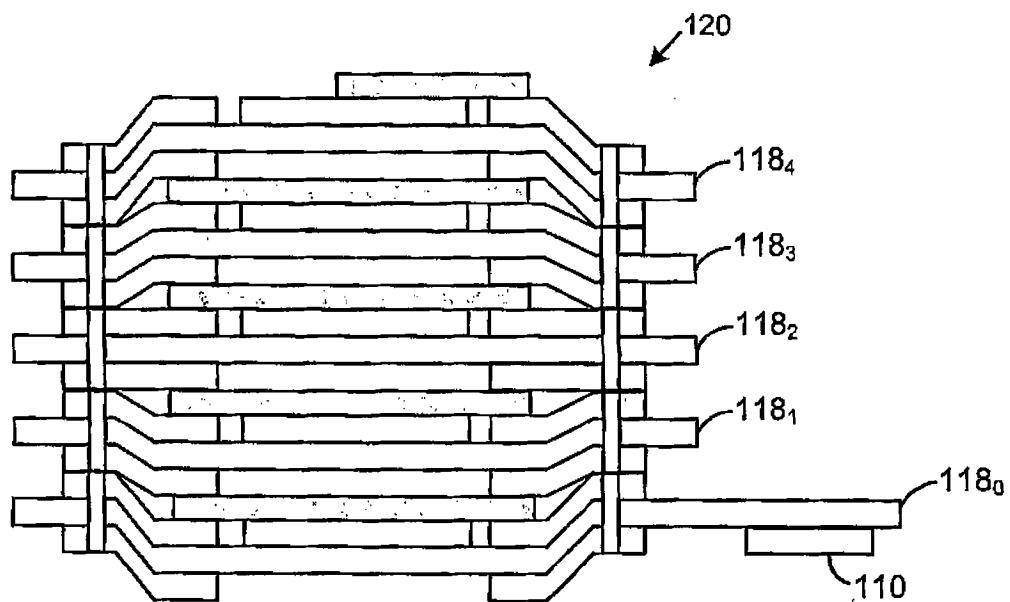


图 10

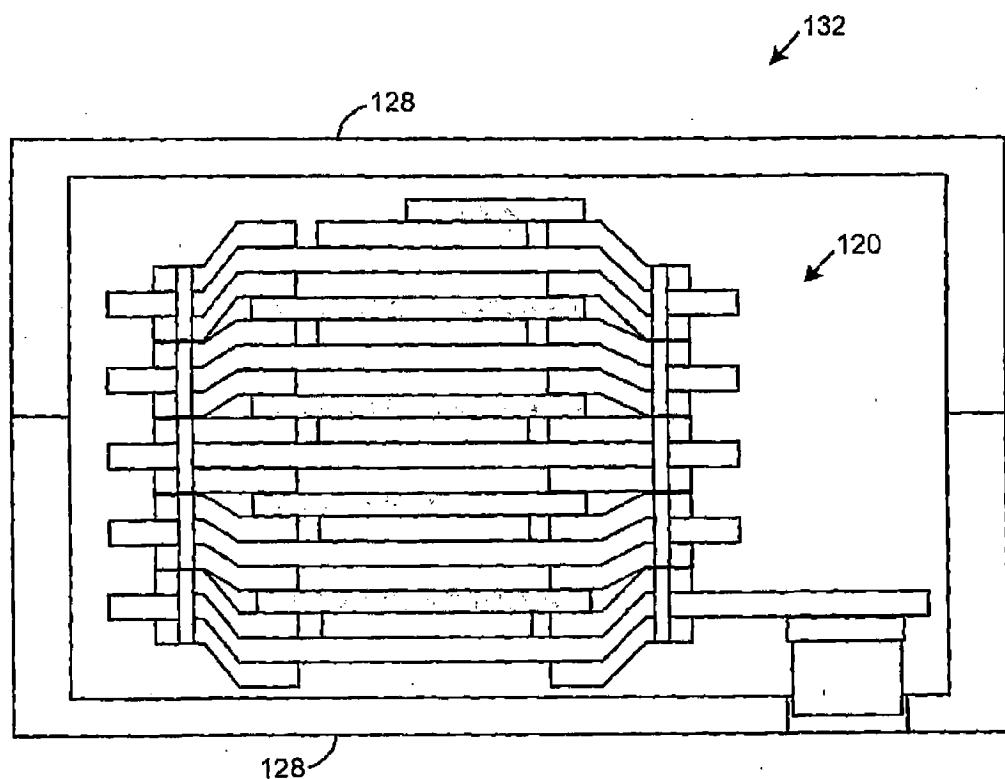


图 11