



(12) 发明专利

(10) 授权公告号 CN 1874199 B

(45) 授权公告日 2011.07.27

(21) 申请号 200610005798.4

EP 1271996 A2, 2003.01.02, 全文.

(22) 申请日 2006.01.16

审查员 张继文

(30) 优先权数据

158926/2005 2005.05.31 JP

(73) 专利权人 株式会社日立制作所

地址 日本东京都

(72) 发明人 菊池信彦

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 胡建新

(51) Int. Cl.

H04B 10/155(2006.01)

H04J 14/00 (2006.01)

(56) 对比文件

CN 1212538 A, 1999. 03. 31, 全文.

US 6885499 B1, 2005. 04. 26, 全文.

CN 1285666 A, 2001.02.28, 全文.

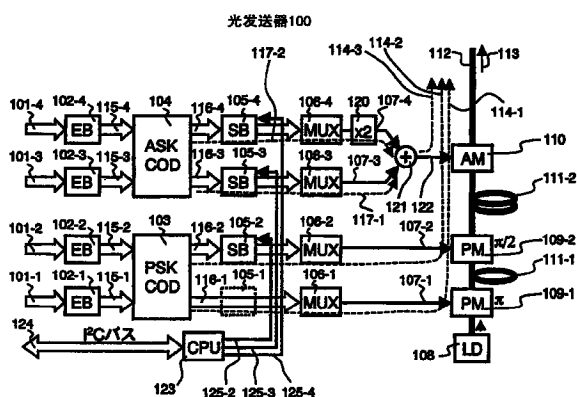
权利要求书 3 页 说明书 21 页 附图 21 页

(54) 发明名称

光传送装置及集成电路装置

(57) 摘要

本发明提供一种能够电气地调整与多值光调制部或解调部连接的多个数字信号路径的延迟时间差的光传送装置。该光传送装置在需要信号延迟的电气数字信号线路中具有延迟控制部,该延迟控制部以高速串行数字信号串的位周期单位控制N位并行的低速数字信号的延迟量,并通过对从上述多路复用电路输出的高速串行数字信号串的各位的输出定时控制,来微调高速串行数字信号串的1位周期以内的延迟量。



1. 一种光传送装置,具备包括与内部光传送线路耦合的多个光调制器的光调制部和产生应向上述光调制部供给的多个高速串行数字信号串的电气电路部,其特征在于,

上述电气电路部具有:多个并行信号线路,分别以N位并行传送低速数字信号,N为多个;

多个多路复用电路,分别将从上述并行信号线路中的1个以N位并行接收到的低速数字信号转换成应向上述光调制部供给的高速串行数字信号串并输出;以及

延迟控制缓存电路,插入到上述并行信号线路中的至少1个中;

上述延迟控制缓存电路对以N位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位或位周期的整数分之一的周期单位进行延迟控制,并输入到该并行信号线路中。

2. 如权利要求1所述的光传送装置,其特征在于,上述延迟控制缓存电路将以N位并行接收的低速数字信号,作为在逻辑上串行排列的数据暂时存储,将从根据预先指定的延迟控制量选择的位位置开始的N位数据作为低速数字信号输出到上述并行信号线路中。

3. 如权利要求1所述的光传送装置,其特征在于,上述延迟控制缓存电路具有:存储器,用来暂时存储N位数据;写入地址产生器,产生N位数据的写入地址;寄存器,存储预先指定的延迟控制量;读取地址产生器,根据从上述写入地址产生器输出的写入地址和存储在上述寄存器中的延迟控制量,生成应对上述并行信号线路输出的N位数据的读取地址。

4. 如权利要求1所述的光传送装置,其特征在于,上述电气电路部具有根据预先指定的时钟相位控制量调整供给到特定的多路复用电路中的时钟信号的相位的延迟量微调部,使上述特定的多路复用电路以与所供给的时钟信号对应的规定的定时输出高速串行数字信号串的各位。

5. 如权利要求1所述的光传送装置,其特征在于,上述并行信号线路中的多个并行信号线路具有上述延迟控制缓存电路;上述电气电路部具有与上述并行信号线路对应地存储延迟控制量的存储器和将存储在上述存储器中的延迟控制量设定在上述延迟控制缓存电路中的控制部。

6. 如权利要求4所述的光传送装置,其特征在于,上述电气电路部具有与上述并行信号线路对应地存储位单位的延迟控制量和时钟相位控制量的存储器和将存储在上述存储器中的位单位的延迟控制量和时钟相位控制量设定到上述延迟控制缓存电路和延迟量微调部中的控制部。

7. 如权利要求1所述的光传送装置,其特征在于,上述电气电路部具有信号合成电路,将从上述多个多路复用电路输出的高速串行数字信号串中的2个组合,并作为光调制用高速串行数字信号串输出。

8. 如权利要求1所述的光传送装置,其特征在于,上述电气电路部具有驱动电路和反转驱动电路,该驱动电路将从上述多个多路复用电路中相互成对的多路复用电路输出的2个高速串行数字信号串中的一个作为输入,该反转驱动电路将另一个作为输入;上述驱动电路的输出信号和来自上述反转驱动电路的输出信号被并行地供给到包含在上述光调制部中的1个光调制器中。

9. 如权利要求1所述的光传送装置,其特征在于,上述电气电路部具有对并行供给的多个低速数字信号进行编码并转换成N位并行的多组低速数字信号的编码器,由上述编码

器转换后的 N 位并行的低速数字信号被输出到上述并行信号线路中。

10. 如权利要求 1 所述的光传送装置,其特征在于,上述电气电路部具有分别对并行供给的多个低速数字信号进行编码并转换成 N 位并行的多组低速数字信号的多个编码器,由上述多个编码器转换后的 N 位并行的低速数字信号被输出到上述并行信号线路中。

11. 如权利要求 9 所述的光传送装置,其特征在于,

上述电气电路部具有对并行供给的多个低速数字信号进行编码并作为多组并行低速数字信号而输出的编码器和将从该编码器输出的并行低速数字信号分别分为 N 位并行的 2 组并行低速数字信号的第 1、第 2 分离器;

与从上述第 1 分离器输出 N 位并行的低速数字信号的并行信号线路连接的 2 个多路复用电路和与从上述第 2 分离器输出 N 位并行低速数字信号的并行信号线路连接的 2 个多路复用电路,分别成为上述 1 对多路复用电路。

12. 一种光传送装置,具有包括与内部光传送线路耦合的多个光调制器的光调制部和产生应向上述光调制部供给的多个高速串行数字信号串的电气电路部,其特征在于,

上述电气电路部具有:多个并行信号线路,分别以 N 位并行低速传送被编码器编码的低速数字信号, N 为多个;

多个多路复用电路,与上述各并行信号线路连接,分别将以 N 位并行接收到的上述低速数字信号转换成应向上述光调制部供给的高速串行数字信号串并输出;以及

延迟控制部,在上述并行信号线路中的至少 1 个中,对 N 位并行的上述低速数字信号的延迟量以高速串行数字信号串的位周期单位进行控制,通过从上述多路复用电路输出的高速串行数字信号串的各位的输出定时控制,来对高速串行数字信号串的 1 位周期以内的延迟量进行微调。

13. 一种光传送装置,具有将从外部光传送线路接收的多值调制光信号转换为电气的多个高速串行数字信号串并输出的光解调部和将从上述光解调部接收到的多个高速串行数字信号串转换成多个低速数字信号串并输出的电气电路部,其特征在于,

上述电气电路部具有:多个并行信号线路,分别以 N 位并行传送低速数字信号, N 为多个;

多个分离电路,分别将高速串行数字信号串转换成 N 位并行的低速数字信号,并输出到上述并行信号线路;

延迟控制缓存电路,在上述并行信号线路中的至少 1 个中,对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位、或位周期的整数分之一的周期单位进行延迟控制并输出;

至少 1 个译码器,将从上述并行信号线路接收到的 N 位并行的多个低速数字信号转换成编码形式不同的低速数字信号串。

14. 如权利要求 13 所述的光传送装置,其特征在于,上述延迟控制缓存电路将以 N 位并行接收的低速数字信号,作为在逻辑上串行排列的数据暂时存储,将从根据预先指定的延迟控制量选择的位位置开始的 N 位数据作为低速数字信号输出到上述并行信号线路中。

15. 如权利要求 14 所述的光传送装置,其特征在于,上述延迟控制缓存电路具有:存储器,用来暂时存储以 N 位数据;写入地址产生器,产生 N 位数据的写入地址;寄存器,存储预先指定的延迟控制量;读取地址产生器,根据从上述写入地址产生器输出的写入地址和

存储在上述寄存器中的延迟控制量,生成应对上述并行信号线路输出的 N 位数据的读取地址。

16. 如权利要求 13 所述的光传送装置,其特征在于,上述电气电路部具有相位调制用译码器、多值调制用译码器、篱栅译码器中的至少一个,作为上述译码器。

17. 一种光传送装置用的集成电路装置,其特征在于,具有:

编码器,以 N 位并行接收低速数字信号, N 为多个;

多个并行信号线路,传送从上述编码器输出的 N 位并行的低速数字信号;

多个多路复用电路,分别将从上述并行信号线路中的一个以 N 位并行接收到的低速数字信号转换成应供给到光调制部中的高速串行数字信号串并输出;

多个延迟控制缓存电路,分别插入到上述并行信号线路中的至少 1 个中,对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位或位周期的整数分之一的周期单位进行延迟控制并输出;以及

用来对上述各延迟控制缓存电路有选择地设定延迟控制量的机构。

18. 一种光传送装置用的集成电路装置,其特征在于,具有:

多个分离电路,分别接收高速串行数字信号串,并以 N 位并行转换成低速数字信号并输出, N 为多个;

多个并行信号线路,传送从上述分离电路输出的 N 位并行的低速数字信号;

多个延迟控制缓存电路,分别插入到上述并行信号线路中的至少 1 个中,对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位或位周期的整数分之一的周期单位进行延迟控制并输出;

译码器,与上述多个并行信号线路连接;以及

用来对上述各延迟控制缓存电路有选择地设定延迟控制量的机构。

光传送装置及集成电路装置

技术领域

[0001] 本发明涉及光传送装置及集成电路装置,更详细地讲,涉及具有包括多个光调制器的光调制部、或将从外部光传送线路接收到的多值调制光信号转换为电气的多个高速串行数字信号串并输出的光解调部的光传送装置以及在该光传送装置中采用的集成电路装置。

背景技术

[0002] 近年来,因多路复用波长数的增加和光信号调制速度的高速化,用一根光纤可传送的信息量(传送容量)逐渐增大。但是,光纤的传送容量在大致 10Tbit/s(万亿比特/秒)下感觉达到了界限,这几年持续停滞。其理由是在光传送中可使用的波段受光纤放大器的波段(将 C、L、S 段合计约 80nm = 10THz 相当)的制约而达到界限,不再有多路复用波长数增加的余地。根据这种状况,为了增大光传送容量,需要通过信号调制方式的研究来提高频段的利用效率,在有限的频段中装载更多的光信号。

[0003] 19 世纪 60 年代以后,在无线通信中,通过多值调制技术的应用,能够进行频率利用效率超过 10 的高效率的信号传送。在无线通信中有效的多值调制,在以光纤为媒体的信号传送中也被看作有前途的技术,所以一直有很多的研究。

[0004] 例如,在非专利文献 1 中,记载了进行 4 值相位调制的 QPSK(Quadrature Phase Shift Keying)方式,在非专利文献 2 中,记载了将 4 值振幅调制与 4 值相位调制组合的 16 值振幅·相位调制。此外,作为通过同时理想地调制光信号的相位与振幅而能够进行比以往更长距离的光传送的方式,提出了例如双二进制调制及 DPSK 调制等。

[0005] 图 23 表示以往的 2 值强度调制光发送器 140 的基本结构例。

[0006] 2 值强度调制光发送器具有例如分别将 3Gbit/s 的电气低速数字信号以 XAUI 形式传送的 16 位并行的信号输入端子 101。从输入端子 101 供给的电气低速并行数字信号被输入到并行弹性缓存(EB)电路 102 中,使相互的定时一致后,输入到多路复用电路 141 中。多路复用电路 141 对 3Gbit/s×16、共计 48Gbit/s 的数字数据进行时分多路复用,并将帧格式从 XAUI 变换处理为 SONET。SONET 信号作为 40Gbit/s 的高速串行数字信号从多路复用电路 141 输出到传送线路 107。

[0007] 上述高速串行数字信号被适当地放大后,被供给到与光纤传送线路耦合的光强度调制器、例如铌酸锂型光强度调制器 110。来自作为光纤的信号源的半导体激光器(LD)108 的输出光经由光纤连接线 111-1 而输入到光强度调制器 110。来自半导体激光器 108 的输出光在通过光强度调制器 110 受到 2 值的开启/关闭强度调制后,作为输出光 113 经由光纤连接线 111-2 输出到输出光纤 112。

[0008] 图 24 表示图 23 所示的并行弹性缓存电路 102 的结构。

[0009] 从与输入端子 101 连接的 16 根信号线 101 供给的 3Gbit/s 的数字信号 d0 ~ d15,分别输入到具有 10 位存储容量的 FIFO 电路 142-1 ~ 142-16 中。电气数字信号(d0 ~ d15)从这些 FIFO 电路以相互定时调整后的状态并行地输出到输出信号线。

[0010] 图 25 表示以往的 2 值强度调制光发送器 150 的基本结构例。

[0011] 从输入光纤 152 输入的 SONET 形式的 40Gbit/s 输入光信号 151 经由光纤连接线 111 输入到光敏二极管 153 中。输入光信号在被光敏二极管 153 转换为电气数字信号后,被输入到时钟提取·识别电路 (CDR) 154 中,转换为高速串行数字信号。CDR154 的输出信号经由传送线路 107 输入到分离电路 (DEMUX) 155 中,转换为 3Gbit/s $\times$ 16 的 XAUI 形式的信号后,作为低速并行数字信号输出到输出端子 156。

[0012] 非专利文献 3 提出了装载有相当于图 23 所示的 101、102、104 的要素的集成电路 (IC)。非专利文献 3 的 IC 的最终输出为 2.4Gbit/s 的数字信号,在相当于端子 101 的 4 根信号线中,分别输入 622Mbit/s 的数字信号。这些输入信号在通过相当于弹性缓存电路 102 的弹性存储电路调整定时后,由 4:1 的 MUX 电路转换为 2.4Gbit/s 的高速串行数字信号,输出到输出端子。

[0013] 非专利文献 3 所记载的弹性存储电路具有 10 位长的存储容量,设定为在复位信号的刚上升后的定时使 4 根低速信号数据按相同的定时输出。并且,具有如果此后的数据定时的偏差在 $\pm 7.5\text{nS}$ (± 4 位) 以内,则自动维持上述定时的低速信号的偏差吸收功能。此外,在非专利文献 4 中,作为双二进制形式的光调制用 IC 的试用例而记载了由低速电路构成的预编码器 (precoder)。

[0014] 【非专利文献 1】R.A.Griffin, et. al., “10Gb/s Optical Differential Quadrature Phase Shift Key (DQPSK) Transmission using GaAs/AlGaAs Integration,” OFC 2002 Paper PD-FD6, 2003.

[0015] 【非专利文献 2】Kenro Sekine, Nobuhiko Kikuchi, Shinya Sasaki, Shigenori Hayase and Chie Hasegawa, “Proposal and Demonstration of 10-Gsymbol/sec 16-ary (40Gbit/s) Optical Modulation/Demodulation Scheme,” Paper We3.4.5, ECOC 2004.

[0016] 【非专利文献 3】MAXIM 公司 MAX3831/MAX 3832+3.3V、2.5Gbps、SDH、SONET、4 频道相互连接多路复用 / 非多路复用 IC、带时钟发生器 19-1534 ;REV1 ;10/99

[0017] 【非专利文献 4】Mikio Yoneyama, Kazushige Yonenaga, Yoshiaki Kisaka, and Yutaka Miyamoto, “Differential Precoder IC Modules for 20-and 40-Gbit/s Optical Duobinary Transmission Systems,” IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 47, NO. 12, December 1999.

[0018] 为了在光纤可使用的多路复用波长数有限的状态下增加光传送容量,例如需要准备多组由图 23 所示的并行弹性缓存 (EB) 电路 102 与多路复用电路 141 构成的电气发送信号电路,通过将从这些多个发送信号电路 141 输出的高速串行数字信号并行地供给到与光传送线路 (光纤) 耦合的多个光调制器中,来实现用多个信息信号同时调制光信号的振幅及相位的多值光调制发送器,在光传送线路上的有限的频段中装入更多的光信号。

[0019] 例如,假设将发送数字信号进行串并行转换,将第 1 位~第 N 位并行地输入到第 1EB 电路中,将接下来的第 N+1 位~第 2N 位并行地输入到第 2EB 电路中的情况。通过由第 1、第 2EB 电路调整各位的输出定时,能够使与第 1EB 电路连接的第 1 多路复用电路供给第 1 光调制器的第 1 数字信号串 (第 1 位~第 N 位)、和与第 2EB 电路连接的第 2 多路复用电路供给第 2 光调制器的第 2 数字信号串 (第 N+1 位~第 2N 位) 相互同步。这里重要的是,

接收器侧是否能够从由第 1、第 2 光调制器进行了多值调制的光信号,以与第 1 位~第 N 位连续的形式正确地再生第 (N+1) 位~第 2N 位。

[0020] 例如,在上述第 1、第 2 光调制器级联排列在内部光传送线路中的情况下,在由第 2 光调制器调制而直接到达输出光纤中的第 2 数字信号串、和由第 1 光调制器调制后通过第 2 光调制器而到达输出光纤中的第 1 数字信号串中,由于从多路复用电路到输出光纤的路径长不同,所以即使从第 1、第 2 光调制器统一相位而输出第 1、第 2 数字信号串,在输出光纤中出现的多值调制光中,在第 1、第 2 数字信号串中也会产生相位差。因而,在这样将经过了各光调制器的多串的发送数字信号在同一输出光纤上多路复用的多值光调制方式的光传送装置中,需要使包括内部光传送线路的各数字信号路径中的信号传播时间一致。

[0021] 具体而言,在多值光调制发送器中,需要有调整每个信号路径的延迟量的功能,以使通过较短的信号路径的发送数字信号串比通过较长的信号路径的发送数字信号串迟一点供给到光调制部,以使被光调制的多串的数字信号以同相位到达输出光纤。同样,在将从外部光传送线路接收到的多值调制光信号转换为电气的多个高速串行数字信号串、并行地输出到朝向解调器的多个信号线路中的多值光调制接收器中,也希望有调整每个信号线路的延迟量的功能。

[0022] 但是,在上述非专利文献 1~4 中,对于在由多个光调制器对一系列发送数据(数字信号)进行多值光调制时成为问题的信号路径间的延迟量调整,并没有指出实用的解决手段。此外,在应用了多值调制的无线通信领域中,也没有发现对在上述光传送装置中成为问题的信号路径间的延迟量调整有用的解决手段。

发明内容

[0023] 本发明的目的是提供一种能够有效地解决在由多个光调制器对一系列发送数据进行多值光调制时遇到的信号路径间的延迟时间差的问题的光传送装置。

[0024] 本发明的另一个目的是提供一种光传送装置,该光传送装置能够以高速串行数字信号的位周期单位、或位周期的整数分之一的一个时间单位,对供给到多值光调制部中的高速串联数字信号串的多个信号路径间的延迟时间差进行调整的。

[0025] 本发明的另一个目的是提供一种如下的光传送装置,具有:光解调部,将从外部光传送线路接收到的多值调制光信号转换为多个电气的高速串行数字信号串,并并行地输出到多个信号线路;和至少 1 个与上述多个信号路径连接的译码器。该光传送装置能够以高速串行数字信号的位单位调整信号路径的延迟时间差。

[0026] 本发明的另一个目的是提供一种光传送装置用集成电路装置,能够根据预先指定的延迟控制量,来控制与编码器或译码器连接的多个数字信号路径中的信号延迟量的。

[0027] 为了达到上述目的,本发明的光传送装置的特征是,在需要信号延迟的信号路径中设置延迟控制缓存电路,该延迟控制缓存电路对以 N 位(N 为多个)并行接收到的低速数字信号,以高速串行数字信号串的位周期单位或位周期的整数分之一的时间单位进行延迟控制。

[0028] 本发明提供一种光传送装置,例如光传送装置,具备包括与内部光传送线路耦合的多个光调制器的光调制部、和产生应向上述光调制部供给的多个高速串行数字信号串的电气电路部,其特征在于,上述电气电路部具有:多个并行信号线路,分别以 N 位并行传送

低速数字信号, N 为多个;多个多路复用电路,分别将从上述并行信号线路中的 1 个以 N 位并行接收到的低速数字信号转换成应向上述光调制部供给的高速串行数字信号串并输出;延迟控制缓存电路,插入到上述并行信号线路中的至少 1 个中;上述延迟控制缓存电路对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位或位周期的整数分之一的周期单位进行延迟控制,并输入到该并行信号线路中。此时,将由适于多值光调制的各种编码器编码了的发送数据作为 N 位并行的低速数字信号,供给到各并行信号线路中。

[0029] 一种光传送装置,具有包括与内部光传送线路耦合的多个光调制器的光调制部和产生应向上述光调制部供给的多个高速串行数字信号串的电气电路部,其特征在于,上述电气电路部具有:多个并行信号线路,分别以 N 位并行低速传送被编码器编码的低速数字信号, N 为多个;多个多路复用电路,与上述各并行信号线路连接,分别将以 N 位并行接收到的上述低速数字信号转换成应向上述光调制部供给的高速串行数字信号串并输出;以及延迟控制部,在上述并行信号线路中的至少 1 个中,对 N 位并行的上述低速数字信号的延迟量以高速串行数字信号串的位周期单位进行控制,通过从上述多路复用电路输出的高速串行数字信号串的各位的输出定时控制,来对高速串行数字信号串的 1 位周期以内的延迟量进行微调。

[0030] 此外,本发明提供一种光传送装置,例如具有将从外部光传送线路接收的多值调制光信号转换为电气的多个高速串行数字信号串并输出的光解调部、和将从上述光解调部接收到的多个高速串行数字信号串转换成多个低速数字信号串并输出的电气电路部,其特征在于,上述电气电路部具有:多个并行信号线路,分别以 N 位并行传送低速数字信号, N 为多个;多个分离电路,分别将高速串行数字信号串转换成 N 位并行的低速数字信号,并输出到上述并行信号线路;延迟控制缓存电路,在上述并行信号线路中的至少 1 个中,对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位、或位周期的整数分之一的周期单位进行延迟控制并输出;至少 1 个译码器,将从上述并行信号线路接收到的 N 位并行的多个低速数字信号转换成编码形式不同的低速数字信号串。

[0031] 更详细地讲,上述延迟控制缓存电路将以 N 位并行接收的低速数字信号作为在逻辑上串行排列的数据而暂时存储,将从根据预先指定的延迟控制量选择的位位置开始的 N 位数据作为低速数字信号而输出到上述并行信号线路中,由此能够实现以高速串行数字信号串的位周期单位、或位周期的整数分之一的时间单位的延迟控制。

[0032] 在本发明的 1 实施例中,上述延迟控制缓存电路具有:存储器,用来暂时存储以 N 位数据;写入地址产生器,产生所接收的 N 位数据的写入地址;寄存器,存储预先指定的延迟控制量;读取地址产生器,根据从上述写入地址产生器输出的写入地址和存储在上述寄存器中的延迟控制量,生成应对上述并行信号线路输出的 N 位数据的读取地址。

[0033] 本发明的光传送装置的 1 个特征是,具有延迟控制部,该延迟控制部在上述并行信号线路中的至少 1 个中,对 N 位并行的低速数字信号的延迟量以高速串行数字信号串的位周期单位或位周期的整数分之一的时间单位进行控制,并通过从上述多路复用电路输出的高速串行数字信号串的各位的输出定时控制,来对高速串行数字信号串的 1 位周期以内的延迟量进行微调。此时,以位周期单位的延迟量控制可以由上述延迟控制缓存电路实现。

[0034] 此外,可以通过例如设置根据预先指定的控制量对供给到特定的多路复用电路中

的时钟信号的相位进行调整的延迟量微调部,根据所供给的时钟信号,在预定的定时,向特定的多路复用电路输出高速串行数字信号串的各位,来实现 1 位周期以内的延迟量控制。延迟控制缓存电路通过加快其动作速度,能够使延迟精度精确到位周期的整数分之一,所以即使没有延迟量微调部也能够进行高速串行数字信号串的 1 位周期以内的延迟调整。

[0035] 本发明的光传送装置的另一个特征是,上述延迟控制缓存电路设在多个并行信号线路中;上述电气电路部具有对应于上述并行信号线路而存储延迟控制量的存储器、和将存储在上述存储器中的延迟控制量设定到各延迟控制缓存电路中的控制部。在具有延迟控制缓存电路和延迟量微调部的光传送装置的情况下,在上述存储器中对应于各并行信号线路而存储有延迟控制量和时钟相位控制量,只要将存储在该存储器中的延迟控制量和时钟相位控制量设定到各延迟控制缓存电路和延迟量微调部中就可以。

[0036] 一种光传送装置用的集成电路装置,其特征在于,具有:编码器,以 N 位并行接收低速数字信号, N 为多个;多个并行信号线路,传送从上述编码器输出的 N 位并行的低速数字信号;多个多路复用电路,分别将从上述并行信号线路中的一个以 N 位并行接收到的低速数字信号转换成应供给到光调制部中的高速串行数字信号串并输出;多个延迟控制缓存电路,分别插入到上述并行信号线路中的至少 1 个中,对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位或位周期的整数分之一的周期单位进行延迟控制并输出;以及用来对上述各延迟控制缓存电路有选择地设定延迟控制量的机构。

[0037] 一种光传送装置用的集成电路装置,其特征在于,具有:多个分离电路,分别接收高速串行数字信号串,并以 N 位并行转换成低速数字信号并输出, N 为多个;多个并行信号线路,传送从上述分离电路输出的 N 位并行的低速数字信号;多个延迟控制缓存电路,分别插入到上述并行信号线路中的至少 1 个中,对以 N 位并行接收到的低速数字信号,按照高速串行数字信号串的位周期单位或位周期的整数分之一的周期单位进行延迟控制并输出;译码器,与上述多个并行信号线路连接;以及用来对上述各延迟控制缓存电路有选择地设定延迟控制量的机构。

[0038] 发明效果

[0039] 根据本发明,通过采用延迟控制缓存电路,能够以高速串行数字信号串的位长单位对光发送用编码器和输出光纤之间存在的信号线路的信号延迟量进行电控制,所以即使在将一系列的发送数据分解为信号路径不同的多串数字信号串而进行多值光调制的情况下,也能够使信号路径终端中的各数字信号串的相位一致。此外,在使延迟控制缓存电路的动作速度高速化的情况下,或在信号路径中具有延迟量微调部的情况下,能够正确地调整高速串行数字信号串的 1 位长以内的延迟量。

[0040] 根据本发明,通过采用延迟控制缓存电路,对输入光纤与光接收器用译码器之间存在的信号路径的信号延迟量也能够进行电控制,所以能够容易根据多值光调制后的多列数字信号来再现一系列的发送数据。

附图说明

[0041] 图 1 表示应用了本发明的光发送器的 1 实施例的结构。

[0042] 图 2 是用来说明在图 1 的光发送器中适用的多值调制编码的图。

[0043] 图 3 是用来说明图 1 中的 4 值相位调制并行编码器 103 的结构和功能的图。

- [0044] 图 4 是表示延迟控制缓存电路 105 的实施例的结构图。
- [0045] 图 5 是图 1 的第 1、第 2 信号路径中的信号定时图。
- [0046] 图 6 是表示应用本发明的光接收器的 1 实施例。
- [0047] 图 7 是图 6 的光接收器中的差分光相位检波器 206 的结构图。
- [0048] 图 8 是用来说明图 6 的光接收器的 4 值强度调制信号的识别动作与 ASK 译码器 211 的动作的图。
- [0049] 图 9 是用来说明在图 6 的光接收器中采用的延迟控制缓存电路的功能的信号定时图。
- [0050] 图 10 是延迟量测量程序 500 的流程图。
- [0051] 图 11 是表示应用了本发明的光传送装置的光网络的 1 例的图。
- [0052] 图 12 是延迟控制量设定程序 300 的流程图。
- [0053] 图 13 是由应用了本发明的波分多路复用传送装置构成的光网络的 1 例的图。
- [0054] 图 14 是表示应用了本发明的光发送器的另一个实施例的结构图。
- [0055] 图 15 是在图 14 的实施例中适用的延迟控制量设定程序 310 的流程图。
- [0056] 图 16 是用来说明在图 14 的实施例中适用的延迟量微调的信号定时图。
- [0057] 图 17 是表示应用了本发明的光发送器的又一个实施例的结构图。
- [0058] 图 18 是表示应用了本发明的光发送器的又一个实施例的结构图。
- [0059] 图 19 是表示应用了本发明的光接收器的另一个实施例的结构图。
- [0060] 图 20 是表示应用了本发明的光接收器的又一个实施例的结构图。
- [0061] 图 21 是表示本发明的光发送器用半导体集成电路的 1 实施例的图。
- [0062] 图 22 是表示本发明的光接收器用半导体集成电路的 1 实施例的图。
- [0063] 图 23 是表示以往的光发送器的 1 例的结构图。
- [0064] 图 24 是图 23 中的并行弹性缓存电路 102 的结构图。
- [0065] 图 25 是表示以往的光接收器的 1 例的结构图。

具体实施方式

- [0066] 下面参照附图说明本发明的实施例。
- [0067] 图 1 表示本发明的第 1 实施例的光传送装置中采用的光发送器的结构。
- [0068] 这里所示的光发送器 100 具有编码方式不同的 2 个编码器 103、104。编码器 103 是 4 值相位调制用并行编码器 (PSK 编码器), 编码器 104 是 4 值强度调制用并行编码器 (ASK 编码器)。
- [0069] 光调制部由 2 个光相位调制部 109-1、109-2 和 1 个光强度调制器 110 构成。从半导体激光器 108 产生的光信号受到由对应于 PSK 编码器 103 的 2 个光相位调制部 109-1、109-2 进行的 4 值相位调制、和由对应于 ASK 编码器 104 的光强度调制部 110 进行的 4 值强度调制, 作为 16 值的光相位・强度调制信号 113 发送给输出光纤 112。
- [0070] 本实施例的特征是, 通过在从 PSK 编码器 103 及 ASK 编码器 104 朝向输出光纤 112 的多个信号路径 (虚线 114-1 ~ 114-3) 的中途, 配置用来进行延迟时间调整的延迟控制缓存电路 105-2 ~ 105-4, 使得在通过最后的光调制器 (在图示的例中为光强度调制器 110) 时, 使路径不同的多个发送信号同步。如参照图 4、图 5 在后面说明那样, 通过延迟控

制缓存电路 105-2 ~ 105-4, 对各路径的输出信号以高速光信号的位级 (bit order)、例如在 10Gbit/s 的情况下以 100 皮秒以下的精度进行定时调整。

[0071] 光发送器 100 在编码器 103、104 的前段具有 4 个并行缓存 (弹性缓存) 电路 102-1 ~ 102-4, 4 系列的低速并行数字数据信号经由各个并行输入端子 101-1 ~ 101-4, 并行地输入到这些缓存电路中。各并行缓存电路 102-1 ~ 102-4 与利用图 23、图 24 说明的以往的具有光发送器的并行弹性缓存电路 102 同样, 使并行输入的数字数据信号的输出定时相互一致。

[0072] 从并行缓存电路 102-1 ~ 102-2 输出到并行信号线路 115-1、115-2 中的数字信号被输入到 4 值相位调制用并行编码器 103 中, 从并行缓存电路 102-3 ~ 102-4 输出到并行信号线路 115-3、115-4 中的数字信号被输入到 4 值强度调制用并行编码器 104 中。

[0073] 这里, 参照图 2 说明 4 值相位调制用的编码。

[0074] 在图 1 所示的实施例中, 将由光相位调制器 109-1 进行的相位角 π 的 2 值相位调制与由光相位调制器 109-2 进行的相位角 $\pi/2$ 的 2 值相位调制叠加, 并作为这 2 个相位调制的相加结果, 在光传送线路上进行了相位角 0 、 $\pi/2$ 、 π 、 $3\pi/2$ 的 4 值的光相位调制。

[0075] 设受到相位角 $\pi/2$ 的相位调制的数据为 b_1 、受到相位角 π 的相位调制的数据为 b_2 、设光信号的初始相位角为 $\pi/4$, 则 4 个相位状态例如如图 2(A) 所示, 作为相位角 $\phi = \pi/4, 3\pi/4, 5\pi/4, 7\pi/4$ 的 4 个不同的点而描绘出相位空间。这些点按照相位角的级, 与 $(b_1, b_2) = (0, 0), (0, 1), (1, 0), (1, 1)$ 的数字数据对应。

[0076] 一般在接收 4 值相位调制信号时, 使用使接收光信号与 1 位延迟光信号干涉而检测的差分接收方式、或将接收光信号分解为同相成分和正交成分而进行检测的分集接收。此时, 预先在发送侧进行发送数据的编码, 以使不会在接收器的内部发送数据模式 (pattern) 的改变或误传播。

[0077] 如果举例说明最简单的分集接收, 则在图 1(A) 的相位角配置中, 数据 b_2 的值可以根据正交成分的正、负的判断, 来无问题地进行解调。另一方面, 由于数据 b_1 的值仅用同相成分不能判断, 所以需要分为数据 b_2 为“1”的情况和为“0”的情况的 2 种情况来进行判断。但是, 如果因噪声而在数据 b_2 的值中发生错误, 则数据 b_1 的值也被错误地判断。将这种情况称为误传播。

[0078] 为了防止误传播, 通过预先在接收侧对发送数据实施称作葛莱编码的逻辑运算, 使相位调制结果转换成图 2(B) 所示的状态配置。根据图 2(B) 的状态配置, 数据 b_2 的值可以通过正交成分的正、负来判断, 数据 b_1 的值也并不依赖于数据 b_2 的值, 可以通过同相成分的正、负来判断, 所以能够防止误传播。

[0079] 图 3(A) 表示 2 位串行数字信号中适用的葛莱编码器的结构图, 图 3(B) 表示显示上述葛莱编码器的功能的真值表。

[0080] 输入到葛莱编码器中的 2 位串行数据“ i_0 ”和“ i_1 ”相当于图 2(A) 中说明的数据 b_1 、 b_2 。在葛莱编码器中, 由图 3(B) 的真值表可知, 上位输入位“ i_1 ”的值原样作为上位输出位“ $o_1(b_2)$ ”输出。而下位输入位“ i_0 ”根据上位输入位“ i ”的值而变化。在“ $i_1 = 0$ ”时, 下位输入位“ i_0 ”的值原样成为下位输出位“ o_0 ”, 在“ $i_1 = 1$ ”时, 将下位输入位“ i_0 ”的相反值作为“ o_0 ”输出。

[0081] 图 3(C) 表示图 1 的光发送器中适用的 4 值相位调制用并行编码器 (PSK 编码

器)103 的结构。在这里所示的 PSK 编码器 103 中,使用 4 个(126-0 ~ 126-3)图 3(A)所示结构的葛莱编码器,从并行信号线路 115-1 和 115-2 分别输入 4 位(d0 ~ d3)并行的发送数据。

[0082] 发送数据的第 j 位 d_j ($j = 0 \sim 3$) 与第 j 葛莱编码器 126-j 对应。各葛莱编码器对从并行信号线路 115-1、115-2 的相互对应的一对信号线接收的输入位 i0、i1 进行编码运算。各葛莱编码器的输出位 o0、o1 在原来的 4 位并行数据的位位置上被展开,作为被编码的低速并行数字信号输出到输出信号线路 116-1、116-2。通过增加葛莱编码器 126 的个数,能够使并行信号线路 115-1、115-2 的输入位数成为 4 位以上。

[0083] 在图 1 的光发送器中,通过用多路复用电路 (MUX) 106-1、106-2 将输出到输出信号线路 116-1、116-2 的并行数据转换为串行数据,能够将具有葛莱编码后的位排列的高速串行数字信号串输出到信号线 107-1、107-2。

[0084] 4 值强度调制用并行编码器 (ASK 编码器) 104 也与上述 PSK 编码器 103 同样,是用来使接收器侧的 4 值强度调制信号的接收变得容易、并且防止接收时的误传播的编码电路,对由并行信号线路 115-3 和 115-4 以 4 位并行的低速数据进行编码。从 ASK 编码器 104 输出到输出信号线路 116-3、116-4 的并行数据被多路复用电路 (MUX) 106-3、106-4 转换为高速串行数字信号串。

[0085] 在本实施例中,从多路复用电路 106-1 输出到信号线 107-1 中的数字信号被供给到光相位调制器 109-1,对从半导体激光器 108 输出的激光实施相位角 π 的相位调制。从多路复用电路 106-2 输出到信号线 107-2 中的数字信号被供给到光相位调制器 109-2,对通过光纤连接线 111-1 的相位角 π 的相位调制光信号进一步实施相位角 $\pi/2$ 的相位调制,生成 4 值光相位调制信号。

[0086] 从多路复用电路 106-3 输出的数字信号经由信号线 107-3 输入到加法运算电路 121 中。另一方面,从多路复用电路 106-4 输出的数字信号再被 2 倍化电路 120 将振幅增大 2 倍后,经由信号线 107-4 输入到加法运算电路 121 中。在加法运算电路 121 中,通过将这 2 个数字信号相加而生成 4 值振幅调制信号,该调制信号经由信号线 122 供给到光强度调制器 110 中。光强度调制器 110 对通过了光纤连接线 111-2 的上述 4 值光相位调制信号再实施 4 值光强度调制。由此,将相位 4 值、强度 4 值的共计 16 值调制的输出光 113 输入到输出光纤 112。

[0087] 在图 1 的光发送器 100 中,供给到并行输入端子 101-1 ~ 101-4 的 4 组并行输入数据如虚线 114-1 ~ 114-3 所示,通过相互不同的信号路径到达输出光纤 112。本发明的目的是使从并行输入端子 101-1 ~ 101-4 输入的数据不混乱其输入顺序地呈现在输出光纤 112 中。

[0088] 为了达到该目的,在本实施例中的特征是,在 PSK 编码器 103 与 MUX106-2 之间、ASK 编码器 104 与 MUX106-3、106-4 之间,分别设置了延迟控制缓存电路 105-2 ~ 105-4,能够以数字方式调整这些信号路径中的延迟量。

[0089] 如虚线框 105-1 所示,也可以在 PSK 编码器 103 与 MUX106-1 之间设置延迟控制缓存电路,但这里是以信号延迟最大的信号路径 114-1 为基准省略了延迟控制缓存电路 105-1 的方式,使其他信号路径的信号延迟与信号路径 114-1 相匹配。在将延迟控制缓存电路 105-1 插入到信号路径 114-1 中的情况下,延迟控制量也可以设定为零或最小值。

[0090] 图 4 表示延迟控制缓存电路 105 的 1 个实施例。

[0091] 延迟控制缓存电路 105 由 1024 位的存储器 131、地址计数器 134、延迟量设定寄存器 (D) 136、减算器 137 构成,所述存储器 131 根据输入到写入时钟输入端子 132 中的写入时钟 (WR CLK)、和输入到读取时钟输入端子 113 中的读取时钟 (RD CLK),能够非同步地输入输出 (R/W) 数据。在存储器 131 内,将从信号线路 116 输入的低速并行位信号作为将高速串行位信号并行化的信号进行处理,存储器 131 内的保存数据如后述那样以位单位来控制延迟,并行地输出到输出信号线路 130。

[0092] 在这里所示的例子中,信号线路 116 的位宽度为 16 位 (d0 ~ d15)。从信号线路 116 输入的低速并行的发送数字数据,按写入时钟 (WR CLK) 的迁移定时,并行地写入到地址计数器 134 所示的写入位地址 (WR BIT ADDR) 中。地址计数器 134 每次写入数据时,将写入位地址的值自动地增加写入位数 (本例中为 16 位) 的部分。由此,发送信号以 1024 位长的串行 FIFO 形式,缓存在存储器 131 中。但是,如果写入位地址的值 达到存储器地址的最大值,则通过地址计数器 134 使地址值返回到存储器 131 的初始地址,而形成循环使用存储器地址的串行 FIFO。

[0093] 在延迟量设定寄存器 136 中,存储着从控制线 125 作为延迟控制量赋予的延迟位数 (D)。减算器 137 从由地址计数器 134 输出的写入位地址减去延迟位数 D,作为读取位地址 (RD BIT ADDR) 输出。

[0094] 按照读取时钟 (RD CLK) 状态迁移的定时,由读取位地址确定的 16 位的数据从存储器 131 并行地读取到信号线路 130 (d0 ~ d15) 中。如果延迟位数 D 的值为零,则在写入周期中写入到串行 FIFO 中的 16 位的数据块在下一个读取周期中被原样读取到信号线路 130 中。

[0095] 如果延迟位数 D 的值不为零,则从比写入位地址靠前 D 位的地址开始的 16 位的数据块被读取到信号线路 130 中,通过与该信号线路 130 连接的多路复用电路 (MUX) 106 转换为串行数字信号串。结果,从多路复用电路 (MUX) 106 输出的高速串行数据与没有延迟控制缓存电路 105 的情况相比较,被赋予了 D 位的时间延迟。

[0096] 在存储器 131 的容量 (串行 FIFO 的位长) 为 1024 位,高速串行数字信号的速度为例如 10Gbit/s 的情况下,能够调整相当于光纤长中 0 ~ 24m 范围内的延迟时间。存储器 131 的容量只要根据各信号线路中所需的延迟时间的值来决定就可以。

[0097] 在图 1 的光发送器 100 中,从外部的控制终端,经由信号线 124 (例如 I2C 总线),对光发送器 100 的内装处理器 (CPU) 123 指定各延迟控制缓存电路的控制量,处理器 123 能够经由控制线 125 (125-2 ~ 125-4) 对各延迟控制缓存电路设定延迟控制量 (延迟位数 D)。各路径的信号延迟量由于在发送器的工作中几乎没有变动,所以一旦决定了应对各延迟控制缓存电路设定的延迟控制量的值,此后就不需要改变延迟量。另外,对各延迟控制缓存电路设定的延迟位数 D 由于也依赖于光发送器内的光纤区间的长度,所以只要根据由实际组装的光传送装置测量的各信号路径的延迟量来决定就可以。

[0098] 另外,用来将处理器 123 与外部的控制装置连接的信号线 124 并不限于 I2C 总线,也可以使用例如 PCI 总线、以太网线、厂商自己的数据线等其他种类的信号线。此外,也可以做成不经由处理器 123、而从外部控制装置直接地对各延迟控制缓存电路 105 所具有的内部寄存器 (不挥发性存储器) 136 设定延迟控制量的结构。

[0099] 接着,参照图 1 和图 5,说明发送器 100 的内部中的信号的传播延迟。在图 1 中,作为数字信号的路径,有:

[0100] (1) 通过 4 值相位调制用并行编码器 103、多路复用电路 106-1、光相位调制器 109-1 的第 1 路径 114-1;

[0101] (2) 通过 4 值相位调制用并行编码器 103、多路复用电路 106-2、光相位调制器 109-2 的第 2 路径 114-2;

[0102] (3) 通过 4 值强度调制用并行编码器 104、多路复用电路 106-3、加法运算电路 121、光相位调制器 110-1 的第 3 路径(线路 117-1+114-3);

[0103] (4) 通过 4 值强度调制用并行编码器 104、多路复用电路 106-4、加法运算电路 121、2 倍化电路 120、光相位调制器 110-1 的第 4 路径(线路 117-2+114-3)。

[0104] 通过使信号的传播时间轴上的这些信号路径长互相相等,对于分割成多个数字信号串而供给到光调制部中的发送数据,能够保证在多值光调制信号内的顺序性。

[0105] 图 5 表示第 1、第 2 信号线路的信号定时图。

[0106] 图 5(A) 表示从编码器 103 输出到信号线路 106-1 中的低速并行数字信号(d0、d1、……)的输出定时,图 5(B) 表示从编码器 103 输出到信号线路 106-2 中的低速并行数字信号(d0、d1、……)的输出定时。这里,设并行信号的数量为 d0 ~ d3 的 4 根。下面,着眼于从编码器 103 按相同的定时输出到信号线 d0 中的由斜线部表示的 2 个位数据(图 3(C) 所示的第 1PSK 编码器 126-0 的输出 o0、o1),说明本发明的延迟控制动作。

[0107] 这里,假设因光纤连接线 111-1 等的存在,信号路径 114-1 的信号传播时间比路径 114-2 长高速串行信号 9 位(在 10Gbit/s 下为 18cm)。此外,这里说明按位单位的延迟控制,对于 1 位长以内的延迟微调,在后面参照图 16 进行说明。

[0108] 为了补偿上述信号传输时间差,在插入到第 2 信号路径中的延迟控制缓存电路 115-2 的延迟量设定寄存器 136 中,设定“9”位作为延迟位数 D。延迟控制缓存电路 115-2 将输入的低速并行信号延迟高速串行信号 9 位的量并输出。其结果,在延迟控制缓存电路 115-2 的输出中,如图 5(C) 所示,从信号线 d0 输入的斜线部的位数据“1”按延迟了低速并行数字信号的 2 个位段(bit slot)的量(高速串行信号中 8 位的量)的定时,输出到偏移了 1 位的信号线 d1 中。

[0109] 图 5(D)、(E) 分别表示多路复用电路 106-1、106-2 的输出信号。这里,将在 2 个多路复用电路 106-1、106-2 的内部发生的延迟作为两路径共用的部分而忽略。此时,如图 5(D) 所示,信号线路 116-1 的第 1、第 2 位段的信号串被多路复用电路 106-1 转换为具有 4 倍速率的高速串行数字信号,不延迟地供给到光相位调制器 109-1 中。另一方面,信号线路 116-2 的第 1、第 2 位段的信号串被延迟控制缓存电路 105-2 进行延迟控制的结果,在多路复用电路 106-2 的输出中,如图 5(E) 所示,斜线部的位数据“1”比多路复用电路 106-1 的输出中的对应的位数据迟 9 位。这里,忽略多路复用电路 106-1、106-2 的内部延迟而进行了说明,但在决定实际的延迟位数 D 时,最好也考虑路径间的各电路要素所具有的内部延迟的差。

[0110] 从多路复用电路 106-1 输出的高速串行数字信号通过传送线路 107-1 被供给到光相位调制器 109-1,被转换成光信号后,经由光缓存延迟线 111 到达光相位调制器 109-2。将从 PSK 编码器 103 输出的路径 114-1 的信号到达光相位调制器 109-2 为止的总延迟时间为

T1,将路径 114-1 的发送信号到达光相位调制器 109-2 的定时示于图 5(F)。另一方面,设从多路复用电路 106-1 输出的路径 114-2 的信号由信号线路 107-1 接收的延迟时间为 T2,将到达光相位调制器 109-2 的定时示于图 5(G)。延迟位数 $D(=9 \text{ 位})$ 如果相当于延迟时间 T2 与 T1 的差,则由图 5(E)、图 5(F) 可知,斜线部的位信息按同一定时从光相位调制器 109-2 输出。

[0111] 对于从 ASK 编码器 104 输出的信号的路径,也可以以第 1 信号路径 114-1 为基准,与上述第 2 信号路径 114-2 同样地调整信号延迟量。因而,在图 1 所示的光发送器 100 中,在对串行发送数字信号转换进行串并行转换、并作为 N 位并行信号供给到输入端子 101-1 ~ 104-4 中的情况下,也能够使在光调制部的最后的调制器 110 的位置上使这些位组的输出定时统一。

[0112] 在本发明的光传送装置中,作为编码器,除了上述 PSK 编码、ASK 编码以外,也可以使用 FEC 编码或帧生成等其他编码方式。此外,在图 1 中,作为多值编码的一部分的强度调制信号在高速串行信号状态下进行运算(加法运算),但由后续的其他实施例可知,也可以在低速并行信号状态下进行所有的编码处理。此外,在本实施例中,如 4 值相位调制用并行编码器 103 和 4 值强度调制用并行编码器 104 那样,对具有不同种类的多个编码器的光发送器进行了说明,但本发明的延迟量控制对于仅具有图 1 中的 PSK 编码器 103 和 ASK 编码器 104 中的任一种的光发送器也是有效的。

[0113] 接着,对适于接收从上述光发送器 100 发送的多值光调制信号(4 值相位调制+4 值强度调制)的光接收器 200 的 1 实施例进行说明。

[0114] 图 6 表示光接收器 200 的主要部分的结构。

[0115] 来自光纤 202 的输入光 201 被光耦合器 203 分解为第 1、第 2、第 3 的分支光。第 1、第 2 分支光信号分别经由光纤连接线 111-1、111-2,供给到差分相位检波器 206-1 和 206-2 中。差分相位检波器 206-1 和 206-2 各自的检测相位被设定为 $-\pi/4$ 和 $+\pi/4$,从接收光中提取相互正交的相位成分。差分相位检波器 206-1 和 206-2 将所提取的特定相位成分的光信号转换为电气的高速串行数字信号,输出到分离电路 155-4、155-5。

[0116] 图 7 表示差分相位检波器 206-2 的结构。

[0117] 来自输入光纤 202 的输入光 201 被输入到 1 位延迟干涉计 213 中,在干涉计内部,被光耦合器 193-1 分支为第 1、第 2 光路。在第 1 光路中插入了将光信号延迟 1 位的光回路 214、 $\pi/4$ 的光移相器 195。第 1、第 2 光路一旦由光耦合器 193-2 耦合后,再次分支成 2 个光路,连接到平衡光接收器 215 上。因而,通过第 1 光路的 1 位 $+\pi/4$ 的延迟光信号与通过第 2 光路的光信号在通过上述光耦合器 193-2 时相互受到干涉后,被输入到平衡光接收器 215 中。

[0118] 这 2 个输入光信号被平衡光接收器 215 进行差分检测,被与平衡光接收器 215 连接的时钟提取·识别电路(CDR)154 转换为高速串行数字信号。光移相器 195 的移相量可以变更为任意值,通过使移相量为 $-\pi/4$,能够构成差分相位检波器 206-1。

[0119] 回到图 6,从差分相位检波器 206-1、206-2 输出的第 1、第 2 高速串行数字信号分别输入到分离电路 155-4、155-5 中,转换为低速并行信号后,经由延迟控制缓存电路 105-4、105-5,供给到并行译码器(PSK 译码器)212 中。

[0120] 另一方面,被耦合器 203 分支的第 3 分支光在被光纤放大器 204 放大后,输入到光

敏二极管 205 中,转换成对应于强度成分的电气信号。光敏二极管 205 的输出被分支成 3 个信号线路,被第 1、第 2、第 3 时钟提取・识别电路 (CDR) 154-1 ~ 154-3 转换成高速串行数字信号。从 CDR154-1 ~ 154-3 输出的高速串行数字信号分别由分离电路 155-1 ~ 155-3 转换成低速并行信号后,经由延迟控制缓存电路 105-1 ~ 105-3,输入到并行译码器 (ASK 译码器) 211 中。

[0121] 延迟控制缓存电路 105 (105-1 ~ 105-5) 与上述光发送器 100 中的延迟控制缓存电路 105 (105-2 ~ 105-4) 同样,用来消除从光信号的输入端 202 到译码器 211 或 212 的多个信号路径的信号延迟差。在各延迟控制缓存电路 105 中,通过内装于光接收器 200 中的处理器 223 来设定各个延迟控制量 (延迟位数 D)。

[0122] 根据本实施例的光接收器 200,由于在这些延迟控制缓存电路 105 中能够对每个路径调整信号延迟量,所以在光接收器内部,即使在通过光纤线路 111 (111-1 ~ 111-2) 和光相位检测器 206 (206-1 ~ 206-2) 的第 1、第 2 光路与通过光纤放大器 204 的第 3 光路之间有信号传播的时间差的情况下,还有在位于这些光路的后段位置的电气信号路径中有信号延迟时间差的情况下,也能够将作为输入光 201 而接收到的多值接收信号按同一定时输出到输出端 156-1 ~ 156-4。

[0123] 接着,参照图 8 和图 9,说明基于第 3 分支光的 4 值强度调制信号的识别动作和 ASK 译码器 211 的动作。另外,PSK 译码器 212 的动作是公知的,这里省略详细的说明。

[0124] 图 8(A) 表示包含在第 3 分支光中的 4 值强度调制信号的接收波形。4 值强度调制光信号在 L0、L1、L2、L3 的 4 个信号强度水平下传送 2 位信息。在输入了第 3 分支光的 O/E 转换结果的时钟提取・识别电路 154-1 ~ 154-3 中,分别设定了对应于上述 4 值强度调制信号的 3 个开口部的水平值 th_1 、 th_2 、 th_3 ,作为其识别水平。各时钟提取・识别电路 154-j ($j = 1 \sim 3$) 以预先设定的水平值 th_j 识别输入信号的“0”、“1”,将识别结果作为高速串行数字信号输出。各时钟提取・识别电路 154-j 也可以共用单独准备的时钟提取电路所提取的基准时钟信号,将输入信号进行 2 值化。

[0125] 图 8(B) 是表示 4 值强度调制信号译码器 (ASK 译码器) 211 的功能的真值表。这里,输入 i_0 、 i_1 、 i_2 表示来自时钟提取・识别电路 154-1 ~ 154-3 的输入信号的值。

[0126] ASK 译码器 211 通过时钟提取・识别电路 154-1 ~ 154-3 的识别结果的组合,来判断 4 值强度调制信号是 L0 ~ L3 的哪个水平。将判断结果作为 2 位的信息“o0”、“o1”输出到输出信号线 156-1、156-2。由该例可知,在光接收器中采用的译码器的输入输出的信号根数也可以不同。

[0127] 图 9 表示用来说明光接收器 200 中所适用的延迟控制缓存电路 105-4、105-5 的功能的定时图。

[0128] 图 9(A) 表示从差分光相位检波器 206-1、206-2 输出的高速串行数字信号串,图 9(B) 表示从时钟提取・识别电路 154-1 ~ 154-3 输出的高速串行数字信号串。

[0129] 这里,假设以差分光相位检波器 206-1 的输出信号为基准,差分光相位检波器 206-2 的输出信号延迟 1.3 位 (如果高速串行数字信号的位速率为 10Gbit/s,则为 130ps)。此外,为了使说明简单化,假定来自时钟提取・识别电路 154-1 ~ 154-3 的输出信号相互同步,相对于差分光相位检波器 206-1 的输出信号延迟 4.2 位 (420ps)。此时,从光耦合器 203 同时输出的相位调制成分与强度调制成分如图 9(A)、图 9(B) 中斜线位所示,在向分离电路

(DEMU) 155-1 ~ 155-5 的输入定时中发生了偏差。

[0130] 下面,为了简单说明,设分离电路 155-1 ~ 155-5 将输入数据与所输入的高速串行数字信号同步地时分割分离并输出到 4 根信号线 (d0、d1、d2、d3) 中。例如,输入了来自差分光相位检波器 206-1 的高速串行信号串的分离电路 155-4 如图 9 (C) 所示,将高速串行信号串的头位、第 5 位、第 9 位、……的值输出到信号线 d0 中,将高速串行信号串的第 2 位、第 6 位、第 10 位、……的值输出到信号线 d1 中。即,将高速串行信号串中包含的每 4 位的位数据轮流输出到分离电路 155-4 的各输出信号线中。

[0131] 图 9 (D) 表示分离电路 155-5 的输出信号串。由于输入到分离电路 155-5 中的高速串行信号串比分离电路 155-4 的输入信号延迟 1.3 位,所以低速的串行信号以小数部分的 0.3 位的延迟输出到信号线 d0 ~ d1 中,高速串行信号的斜线位的值以相当于延迟的整数部分的 1 位延迟显现在信号线 d1 中。

[0132] 图 9 (E) 表示分离电路 155-1 的输出信号串。由于输入到分离电路 155-1 中的高速串行信号串比分离电路 155-4 的输入信号延迟 4.2 位,所以低速的串行信号以小数部分的 0.2 位的延迟输出到信号线 d0 ~ d1 中,此外,高速串行信号的斜线位的值以相当于延迟的整数部分的 4 位延迟 显现在下个时间段 (低速信号的 1 位 = $100\text{ps} \times 4 = 400\text{ps}$) 的输出信号线 d1 中。虽然在图中省略了,但分离电路 155-2 和 155-3 的输出信号串的定时也与图 9 (E) 相同。

[0133] 下面,为了简单化,说明对延迟控制缓存电路 105-1 ~ 105-3 设定的延迟控制量 (延迟位数 D) 为零、对延迟控制缓存电路 105-4 设定高速串行信号 4 位的延迟控制量 ($D = 4$)、对延迟控制缓存电路 105-5 设定 3 位延迟控制量 ($D = 3$) 的情况。

[0134] 在这种情况下,在从延迟控制缓存电路 105-4 并行输出的低速信号串中,如图 9 (F) 所示,图 9 (C) 的斜线位延迟了高速串行信号中 4 位的量、即低速信号中 1 时间段的量,而显现在信号线 d0 中。此外,在从延迟控制缓存电路 105-5 并行输出的低速信号串中,由于从图 9 (D) 的状态延迟为高速串行信号中延迟 3 位的量,所以斜线位的输出目的地改变为信号线 $d1 \rightarrow d2 \rightarrow d3 \rightarrow d0$,结果如图 9 (G) 所示,斜线位延迟了低速信号的 1 时间段的量,而显现在信号线 d0 中。

[0135] 结果,通过了光耦合器 203 的多值光调制后的多个位的信息,以统一了作为并行数据的相对位置关系和时间段的状态供给到译码器 211、212 中。因而,在各译码器中,通过在各时间段的大致中央的取样定时 t 锁定输入数据,能够将接收多值信号正确地进行解调。

[0136] 如上所述,如果通过各译码器的锁定电路补偿高速数字信号串的 1 位以下的延迟,则延迟控制缓存电路 105 的延迟控制精度用高速数字信号的位单位就足够。此外,如本实施例的延迟控制缓存电路 105-1 ~ 3 那样,对于预先知道延迟量大致相同的多个路径,可以使设定延迟控制量相同,在这种情况下,在向延迟控制缓存器读写数据时使用的位地址寄存器可以被多个延迟控制缓存器共用。另外,位长以下的定时精度或延迟量的调整范围可以根据由收发器的各部分使用的时钟速度而改变。

[0137] 在本发明的光传送装置中,通过采用延迟控制缓存电路 105,在不仅包括电气的布线区间、也包括装置内部的光纤区间的信号路径中,能够对远超过位级的相当于最大几百~几万位的非常大的信号延迟进行补 偿。因此,在决定光发送器及光接收器的各信号路

径中的最佳延迟控制量时,最好在组合了以发送器为基准的接收器的状态下,对要在各延迟控制缓存电路中应设定的延迟控制量进行测量。

[0138] 图 10 表示为了决定延迟控制量而执行的延迟量测量程序 500 的流程图的 1 例。

[0139] 例如,在光发送器 100 的组装结束后,将其输出光纤 112 作为输入光纤 202 而与作为基准的光接收器 220 耦合,来执行延迟量测量程序 500。

[0140] 在图 1 的光发送器 100 的情况下,首先,将所有的延迟控制缓存电路(延迟改变电路)105-1 ~ 105-4 的延迟控制量 D 例如在可变范围内设定为中值(步骤 501),接着,选择延迟控制缓存电路 105-1 来作为成为测量对象的延迟控制缓存电路(502)。作为测量对象的延迟控制缓存电路 105-1 在将延迟控制量设定为最小值的状态下,将作为测试模式的数字信号供给到低速并行数字数据信号的输入端子 101-1 ~ 101-4 中(503)。

[0141] 测试模式只要是延迟控制缓存电路 105-1 的延迟控制量为适当值,在测量对象信号路径的信号延迟与其他延迟控制缓存电路(例如,相邻的延迟控制缓存电路 105-2)所处的信号路径的信号延迟一致的时刻,可在基准光接收器侧作为特异模式检测到就可以。例如将连续为 0 的较长的模式与 1 位宽标志的组合模式作为测试模式反复输入到输入端子 101-1 ~ 101-4 中。

[0142] 一边观测从基准光接收器输出的低速数据信号的数据模式一边输出特异模式(505)后,以测试模式的重复周期将测量对象延迟控制缓存电路 105-1 的延迟控制量各增加 1 位(504)。在基准光接收器侧检测到特异模式的时刻,停止增加测量对象延迟控制缓存电路的延迟控制量,将下一个延迟控制缓存电路 105-2 选择为测量对象(502),并重复同样的动作。在对所有的延迟控制缓存电路决定了最佳的延迟控制量的时刻,存储每个延迟控制缓存电路的设定延迟值(506),并结束测量程序 500 的执行。

[0143] 这里所示的测量步骤,通过将测量对象与基准装置替换,可以适用于应设定到光接收器的各延迟控制缓存电路的最佳延迟量的测量中。这样得到的各延迟控制缓存电路的最佳延迟控制量为各个收发器的启动(立ち上げる)时所需的控制参数,所以保存在收发器内部的不挥发性存储器中。所测量的延迟控制量的值也可以对应于光传送装置(光发送器与光接收器)的型式名而登录到数据库中,根据需要而可以经由网络得到。另外,延迟控制量并不一定需要在所有的延迟控制缓存电路中测量,例如对于具有容限的部分或已知为与测量后的其他缓存器相同值的缓存电路可以省略测量。

[0144] 最适合延迟量的值也可以利用例如根据各别部件的延迟量设计值或延迟量测量值来计算各信号路径的延迟量、根据由示波器等观测的输出信号波形测量各信号路径的延迟量等其他方法,来代替使用上述测量程序。此外,执行上述测量程序所需的特定的模式发生器、特异模式的检测器能够内装于作为测量对象的光收发器、作为基准装置的光收发器中。

[0145] 由以上的第 1 实施例可知,根据本发明,通过将延迟控制缓存电路 105 插入到光发送器及光接收器的低速数字信号区间中,能够以高速数字信号的位级、或者 1 位长以下的高精度调整包括内部光纤区间的多个信号路径的信号传输时间,所以能够实现使用了多个光调制器的高精度的多值光调制用光传送装置。此外,根据本发明,由于能够用电气电路来控制延迟量的调整,所以在每个信号路径的电路设计中具有自由度,通过装载可编程编码器及译码器,能够提供可适当改变功能的通用的光传送装置。

[0146] (实施例 2)

[0147] 图 11 表示应用了本发明的光传送装置 160 的光网络的 1 例。

[0148] 光传送装置 160-1 具有与交换电路 162-1 连接的多个光发送器 100 (100-1、100-2) 及光接收器 200 (200-1、200-2)。同样,光传送装置 160-2 也具有与交换电路 162-2 连接的多个光发送器 100 (100-3、100-4) 及光接收器 200 (200-3、200-4)。处于相互对置的位置关系的光发送器 100-1 和光接收器 200-3、光发送器 100-4 和光接收器 200-2,分别由光纤传送线路 164-1、164-2 连接。

[0149] 各光传送装置 160 在检测到故障时,能够通过交换电路 162 进行现用系统与备用系统的切换。光发送器 100-1 ~ 100-2 (100-3 ~ 100-4)、光接收器 200-1 ~ 200-2 (200-3 ~ 200-4) 的启动,由经由 I2C 总线 124-1 ~ 124-4 (124-5 ~ 124-8) 连接的控制部 163-1 (163-2) 控制。

[0150] 在交换电路 162 中,可以具有 IP 路由、IP 交换、SONET 的 ADM (分插复用器)、环路交换、单纯的再生中继器等、对应于光传送装置的使用目的的各种功能。此外,光网络的形态也可以组合多个传送装置 160 而成为环形、总线形、星形、网形、光分插方式等各种形式。

[0151] 代替如本例那样使光发送器 100 与光接收器 200 独立的形式,各光传送装置 160 可以以组合了 1 对收发器的收发两用机 (transceiver)、组合了 2 对收发器的转发器 (transponder) 形式、将多个收发器波分多路复用或并联组合的形式等、与图 10 不同的形式,来装备应用了本发明的光收发器。此外,虽然在图 10 中省略了,但各光传送装置 160 根据需要,可以具有光放大器、光分散补偿器、光交换机、光衰减器等部件。

[0152] 图 12 表示各光传送装置 160 中的延迟控制量的设定程序 300 的流程图。

[0153] 在传送装置的启动或输入了复位信号时、或者为了因电路基板的插拔、故障恢复等的再启动而对任一收发器输入了复位信号时,为了进行向收发器的延迟控制量的再设定、通过控制部 163 执行该程序 300。

[0154] 控制部 163 检查收发器 100、200 的状态、和要设定到各收发器中的延迟控制量 (D) 是否已准备在控制部 163 的内部存储器中 (步骤 301),如果没有准备,则将发生错误的消息输出到显示屏幕 (或者向控制终端通知) (304),结束该程序。延迟控制量也可以从各光传送装置所具有的不挥发性存储器或硬盘中读取,来代替从控制器 163 的内部存储器读取。此外,既可以由操作者手动输入,也可以经由未图示的网络从数据库取得。如果收发器 100、200 的状态和延迟控制量中没有问题,则控制部 163 经由 I2C 总线 124 将延迟控制量设定到作为设定对象的光收发器中,然后启动对应的光收发器 (303)。

[0155] (实施例 3)

[0156] 图 13 表示由适用了本发明的波分多路复用型光传送装置 165 (165-1、165-2) 构成的光网络的结构 1 例。

[0157] 光传送装置 165-1 和光传送装置 165-2 由向上方向 (向右方向) 的光纤传送线路 164-1 和向下方向 (向左方向) 的光纤传送线路 164-2 耦合。这些光传送装置如光纤传送线路 164-3、164-4 所示,由上、下 1 对的光纤传送线路再与其他光传送装置连接。各光纤将波长不同的 3 个光信号作为波分多路复用信号传送。

[0158] 如光传送装置 165-1 所示,各光传送装置 165 具有在向上下各方向经由光波长分波器 167 (167-1、167-2) 与接收侧光纤传送线路耦合的多个光接收器 (RX) 200 (200-1 ~

200-3、200-4 ~ 200-6)、和经由光波长合波器 166 (166-1、166-2) 与发送测光纤传送线路耦合的多个光发送器 (TX) 100 (100-1 ~ 100-3、100-4 ~ 100-6)。

[0159] 例如,从光纤传送线路 164-4 输入的波长多路复用信号 151-2 被光波长分波器 167-2 分离为波长不同的 3 个光信号,输入到光接收器 200-4 ~ 200-6 中。在这里所示的例子中,光接收器 200-4 与 200-5 的接收信号传输到光发送器 100-4、100-5,光接收器 200-6 的接收信号则作为下降信号 169-2 而输出到光传送装置的支线。另一方面,从光传送装置的支线输入的上升信号 168-2 和来自上游的接收信号由光发送器 100-4 ~ 100-6 分别转换为不同波长的光信号,由光波长合波器 166-2 合波,输出到下游侧的光纤传送线路 164-2。在光纤传送线路 164-1 和 164-3 之间,也进行同样的信号收发。

[0160] 在本实施例中,对各个向上、向下光纤传送系统设置控制部 163 (163-1、163-2),各控制部 163 对属于各个系统的光发送器和光接收器进行由第 2 实施例说明的启动控制和延迟控制量的设定。

[0161] (实施例 4)

[0162] 图 14 表示对具有两相驱动型光调制器 172 的 NRZ 光发送器的延迟控制缓存电路 105 的应用例。

[0163] 从输入端子 101 位并行地输入的低速数字数据信号在由并行缓存电路 102 使相互的相位一致的状态下,输入到 FEC 并行编码器 170 中。FEC 并行编码器 170 进行适于长距离传送的帧生成和纠错码声称,将相互逻辑相反的 2 个并行低速数字信号串输出到信号线路 116-1 和 116-2 中。

[0164] 这些数字信号串分别被输入到延迟控制缓存电路 105-1、105-2 中,在使一方信号串比另一方信号串延迟规定量 D 的状态下,输入到多路复用电路 106-1、106-2 中。在用高速串行数字信号的位数 N 表示虚线所示的从 FEC 并行编码器 170 到光输出端的 2 个信号线路 114-1、114-2 的信号传播时间差的情况下,上述延迟量 D 相当于 N 的整数部分。从延迟控制缓存电路 105-1、105-2 输出的并行低速数字信号被多路复用电路 106-1、106-2 转换成高速串行数字信号串,被具有相互同相的放大特性的驱动电路 171-1、171-2 放大。驱动电路 171-1、171-2 的输出信号被输入到两相驱动光调制器 172 的 2 个调制信号输入端子 173-1、173-2 中。

[0165] 180 表示作为高速串行数字信号的发送速率的高速时钟的发生器,181-1、181-2 表示对从时钟发生器 180 输出的 2 系统的高速时钟信号的相位进行调整的可变相位调整器 (P1、P2)。由可变相位调整器实施了相位调整的高速时钟信号经由时钟供给线 182-1、182-2 供给到多路复用电路 106-1、106-2 中。多路复用电路 106-1、106-2 根据供给到各自中的高速时钟信号,输出并行 / 串行转换后的高速串行数字信号。通过将供给到多路复用电路 106-1 和 106-2 中的高速时钟信号的相位错开,能够在 1 个时钟周期 (= 1 位长) 以内的范围内对高速串行数字信号的输出定时 (延迟量) 进行微调。

[0166] 本实施例的特征是,位单位的延迟由延迟控制缓存电路 105-1、105-2 控制,±1 位以内的延迟通过由相位调整电路 181 (181-1、181-2) 和多路复用电路 106 (106-1、106-2) 构成的微调部控制,由此能够以高精度实现大范围的延迟。但是,通过改变赋予相位调整电路 181-1、181-2 的延迟控制量,能够由微调部进行最大 2 位长以内的延迟量控制。

[0167] 对可变相位调整器 182-1、182-2 和延迟控制缓存电路 105-1、105-2 的延迟控制量

的设定,是处理器 (CPU) 174 经由控制信号线 125-1 ~ 125-4 进行的。应设定的延迟控制量对应于各信号路径而预先存储在不挥发性存储器 176 中。

[0168] 图 15 表示在本实施例中处理器 174 所执行的延迟控制量设定程序 310 的流程图。该程序是在通过电源供给而使光发送器 100 启动时、或从外部输入了复位信号时执行的。

[0169] 处理器 174 经由总线 175 读取预先存储在不挥发性存储器 176 中的延迟控制量 (步骤 311), 经由控制信号线 125-1 ~ 125-4, 设定到缓存电路 105-1、105-2 和可变相位调整器 181-1、181-2 中, 作为各自的延迟控制量 (312); 并且, 启动半导体激光器 193, 使光输出成为开启状态 (313)。延迟控制量的设定也可以对每个信号路径重复上述步骤 311 ~ 312, 在所有的信号线路中延迟控制量的设定结束后, 可以启动半导体激光器 198。

[0170] 图 16 表示用来说明在本实施例中由多路复用电路 162-1、162-2 进行的延迟微调的信号定时图。图 16(A) 表示供给到多路复用电路 106-1 中的时钟, 图 16(B) 表示从多路复用电路 106-1 输出的高速串行信号的定时。此外, 图 16(C) 表示供给到多路复用电路 106-2 中的时钟, 图 16(D) 表示从多路复用电路 106-2 输出的高速串行信号的定时。各多路复用电路的输出数据的值如虚线所示, 按所供给的时钟信号的上升边沿来切换。

[0171] 这里, 为了便于说明, 假设从各多路复用电路输出的高速串行数字信号的速度为 10Gbit/s (1 位 = 100ps)、多路复用电路 106-1 的输出侧信号线路 107-1 中的信号延迟量 T1 为 2.3 位 (230ps)、多路复用电路 106-2 的输出侧信号线路 107-2 中的信号延迟量 T2 为 0.9 位 (90ps)。但是, 这些延迟量实际上可以为任何值。在这种情况下, 由于在多路复用电路 106-1、106-2 的输出信号线路 107-1、107-2 中发生了 $T1 - T2 = 1.4$ 位的延迟时间差, 所以通过使从多路复用电路 106-2 输出到信号线路 107-2 中的高速串行信号预先多延迟 1.4 位, 来吸收到达调制器 172 的 2 个数字信号串的时间差。

[0172] 在本实施例中, 由延迟控制缓存电路 105-2 对编码器 170 的输出信号串赋予相当于目标延迟量 (1.4 位) 的整数部分的 1 位延迟, 如图 16(D) 所示, 通过使供给到多路复用电路 106-2 中的时钟延迟对应于目标延迟量的小数部分的 0.4 位, 在从编码器 170 同时输出的 1 对相反码 (斜线部) 中, 在通过多路复用电路的时刻产生 1.4 位的时间差。

[0173] 图 16(B) 所示的来自多路复用电路 106-1 的输出信号通过信号线路 107-1 而延迟 2.3 位, 所以在图 16(E) 所示的定时到达两相驱动光调制器 172 的输入端子 173-1。另一方面, 图 16(D) 所示的来自多路复用电路 106-2 的输出信号通过信号线路 107-2 而延迟 0.9 位, 所以在图 16(F) 所示的定时到达调制器 172 的输入端子 173-2。因而, 由斜线部的位可知, 从编码器 170 输出的互相相反关系的一对码同时供给到两相驱动光调制器 172 中, 从而对光信号进行调制。

[0174] 施加到两相驱动光调制器 172 的输入端子 171-1、171-2 的高速串行数字信号只要是最最终相互相反的关系就可以。因而, 例如也可以做成通过将互相反相的放大器用作驱动电路 171-1、171-2, 将相同的低速并行信号串从编码器 170 输出到信号线路 116-1、116-2 中的电路结构。作为编码器 170, 也可以使用不具有 FEC 功能的 8B10B 编码器或 64B66B 编码器、SONET 帧生成电路, 来代替 FEC 并行编码器 170。此外, 也可以通过将上述编码器 170 作为双二进制预编码器、再在信号线路 107-1 ~ 107-2 中插入双二进制 3 值信号的生成电路, 来整体实现光双二进制发送器。

[0175] 作为用于 1 位以内的延迟量微调的可变相位调整器 181 (181-1、181-2), 可以使用

例如组合了电压设定型半导体可变相位器和数字电压设定电路的装置、由步进马达驱动马达驱动型的可变延迟线的装置、等各种类型的装置。另外,也考虑了在信号线路 107-1 和 107-2 中的至少一个中采用公知的可变延迟机构来代替延迟控制缓存电路 105、通过可变相位调整器 181 和多路复用电路 106 对延迟量进行微调的结构,但通过通常的可变延迟机构难以进行超过几 cm 级(在 10Gbit/s 下为例如 2 位)的较大的延迟调整,所以不如本实施例那样将延迟控制缓存电路 105 与可变相位调整器 181 组合。

[0176] 对可变相位调整器 181 的延迟控制量的设定也可以是例如反馈控制可变相位调整器的自动设定方式,即检测输入到调制信号输入端子 173-1、173-2 中的数字信号的位宽度以内的相位,并使相位差为零。

[0177] 在本实施例中,使从时钟发生器 180 输出的时钟频率与高速串行数字信号的位速率(多值信号的情况下为符号率)相等,使延迟控制缓存电路 105 的动作速度在 N 位并行输入时为上述位速率的 1/N,但通过上述时钟频率或延迟控制缓存电路的动作速度设定为实施例的整数倍或整数分之一,能够改变延迟控制缓存部与延迟微调部中的延迟量的控制范围及设定精度。

[0178] 例如,在使时钟频率为高速串行数字信号的位速率的 1/4 的情况下,能够将微调部的调整范围扩大到 4 位。反之,通过使延迟控制缓存电路 105 的动作频率为 8 倍,能够使延迟控制缓存电路中的延迟精度精确到 1/8。在这种情况下,不需要由微调部进行延迟量控制。

[0179] 两相驱动型光调制器 172 由于在其内部不一定需要光纤连接线,所以以往一直采用将从驱动电路(驱动器)的正相输出端子和反相输出端子得到的 2 个高速信号输入给光调制器的 2 个输入端子的结构。但是,如果要以 1/10 位左右的精度使 2 个高速信号的传输延迟时间差精确地一致,则收发器内部的信号线及部件的配置自由度受到制约,并且如何处理高速信号的传送线路的多余长度成了问题。此外,在为了调整 2 个高速数字信号串的延迟时间差而使用延迟改变线时,不易进行 1 位长以内的高精度的延迟调整,有制造成本与装置尺寸增加的问题。对于这一点,根据本实施例的结构,通过采用延迟控制缓存电路 105,根据需要而组合延迟微调部,即使在高速数字信号的路径间发生 1 位长以上的延迟时间差的情况下,也能够简单地吸收延迟时间差,能够低成本地提供小型的光发送器。

[0180] (实施例 5)

[0181] 图 17 表示本发明的向使用篱栅码的多值光发送器的应用例。

[0182] 篱栅码是多值信号用码,可以减少在信息传送中使用的多值信号的状态数,使用多余的冗长状态数进行纠错。在图 17 的光发送器 100 中,通过从并行输入端子 101-1、101-2 输入的 2 系列的数据信号(状态数为 2 的平方=4)被篱栅编码器 180 映射为、8 值的多值信号,来实现篱栅码。从并行输入端子 101-1、101-2 输入的低速并行信号在通过并行缓存电路 115-1 ~ 115-2 使定时一致后,输入到篱栅编码器 180 中。篱栅编码器 180 将 4 值输入信号串转换成 8 值篱栅码,与纠错码一起输出到 3 个信号线路 117-1、117-2、114-1 中。这些信号线路由于是与包括图 1 中的延迟控制缓存电路 105-2 ~ 105-4 的信号线路相同的结构,所以省略对其详细动作的说明。

[0183] 这样,在本发明中,输入到编码器中的低速并行数字信号串的根本数与从编码器输出的低速并行数字信号串的根本数也可以不同。此外,编码器的输入输出信号的并行位数及

位速率也可以互不相同。

[0184] (实施例 6)

[0185] 图 18 表示本发明的对具有将光信号的同相成分和正交成分独立调制的光 IQ 调制器 190 的光发送器的应用例。

[0186] 本实施例表示 4 值光 DQPSK(4 值差分相位)调制的 1 例,输入到输入端子 101 中的 16 并行的低速数字信号在由并行缓存电路 102 使定时一致后,被 4 值差分相位调制用并行编码器(DQPSK)196 进行差分编码,分离为各 8 位的 2 系列的低速并行数字信号串后输出。

[0187] 从编码器 196 输出的 2 系列的低速并行数字信号串再被分离器 191-1、191-2 分别进一步分离为 1 对低速并行数字信号串,受到延迟控制 缓存电路 105(105-1 ~ 105-4) 中的延迟控制。被延迟控制后的低速并行数字信号串被多路复用电路 106(106-1 ~ 106-4) 转换为高速串行数字信号串。成对的一个高速串行数字信号串被输入到驱动电路 171(171-1、171-2) 中,另一个高速串行数字信号串被输入到反转驱动电路 192(192-1、192-2) 中,成为相互反相的驱动信号,经由信号线路 107-1(或 107-3)、107-2(107-4) 输入到光 IQ 调制器 190 中。

[0188] 在光 IQ 调制器 190 中,从半导体激光器 108 输出的光信号被光耦合器 193-1 分支到 2 个光传送线路中,输入到插入在各光传送线路中的两相 MZ 光调制部 194-1 和 194-2 中。一个两相 MZ 光调制部 194-1 根据从信号线路 107-1、107-2 输入到输入端子 173-1、173-2 中的驱动信号,对光信号进行强度调制。另一个两相 MZ 光调制部 194-2 根据从信号线路 107-3、107-4 输入到输入端子 173-3、173-4 中的驱动信号,对光信号进行强度调制。光调制部 194-1 的输出通过光移相器 195,转换成与光调制部 192 的输出光有 45 度光相位差的信号光。强度调制后的 2 个信号光由光耦合器 193-2 合成,输出到输出光纤 112 中。

[0189] 在以往的这种光 IQ 调制器 190 中,在包括内部光传送线路的所有 4 个信号路径中,需要以部件单位使信号路径长相等,但根据本发明,通过由延迟控制缓存电路 105-1 ~ 105-4 进行的延迟量控制,能够使从编码器 196 到各信号路径的输出端的信号传播时间相等,所以,例如光 IQ 调制器 190 的内部中的 MZ 光调制部 194-1、194-2 的插入位置、及信号线路 107-1 ~ 107-4 的布线长度不同绝不会成为问题。

[0190] 本发明除了本实施例所示的 DQPSK 调制以外,对于例如将多值强度调制后的高速数字信号输入到光调制器 194 的各输入端子 173 中的光 QAM(Quadrature Amplitude Modulation,正交调幅)也是有效的。

[0191] 如本实施例所示,通过将发送数据转换成大容量的 1 系列光调制信号并发送,能够实现将从发送器朝向对置的接收器的路径看作大容量的 1 根链路的链路聚合功能。也可以使发送器的输入信号为高速的串行信号,通过配置在编码器紧前面的分离电路转换成低速的并行信号。

[0192] (实施例 7)

[0193] 图 19 表示本发明的对将接收光信号分离为同相(I)成分和正交(Q)成分来接收的光接收器 200 的应用例。

[0194] 从输入光纤 202 输入的接收光 201 输入到光 90 度混合电路 211 的一个输入端口。将从半导体激光光源 220 输出的局部发送激光作为相位检波的参照光,输入到光 90 度混合电路 211 的另一个输入端口。光 90 度混合电路 221 将来自上述 2 个输入端口的输入光合

成,并将 Q 成分输出到光纤连接线 111-1 中,将 I 成分输出到光纤连接线 111-2 中。

[0195] 光纤连接线 111-1、111-2 分别与光敏二极管 205-1、205-2 耦合。这里,如果将输入光 201 设为 16 值 QAM 调制后的光信号,则 I 成分的 4 值高速串行信号和 Q 成分的 4 值高速串行信号分别从光敏二极管 205-1、205-2 输入到信号线路 122-1、122-2 中。

[0196] Q 成分(I 成分)的 4 值高速串行信号与图 6 所示的第 1 实施例的光接收器中的光敏二极管 205 的输出信号处理同样,通过 3 组时钟提取·识别电路 153-1 ~ 153-3(153-4 ~ 153-6) 变换为 3 条高速串行数字信号,经过分离电路 155-1 ~ 155-3(155-4 ~ 155-6) 和延迟控制缓存电路 105-1 ~ 105-3(105-4 ~ 105-6),被 Q 成分(I 成分)4 值强度调制用并行译码器 211-1(211-2) 进行译码。

[0197] 在本实施例中,译码后的 4 组低速并行数字信号再被输入到篱栅译码器(trellis decoder)222 中,转换为 3 组低速并行数字信号。这里,对于接收器说明了 16QAM 信号的情况,但本发明也可以应用于 2 值及多值的 ASK/FSK/PSK/QAM、以及将它们组合的光 IQ 接收器中。此外,也可以是使 90 度光混合电路的输出端口数量为 4,将光敏二极管 205 替换为平衡光检测器。

[0198] 根据本实施例,通过由延迟控制缓存电路 105-1 ~ 105-6 进行的延迟量控制,能够使存在于从光接收器的输入光纤 202 端到译码器 211-1、211-2 之间的多个路径的信号传播时间相等。

[0199] (实施例 8)

[0200] 图 20 表示本发明在差分接收光 DQPSK 信号的光接收器中的应用例。

[0201] 在本实施例中,从输入光纤 202 输入的接收光 201 被光耦合器 203 分支为 2 个信号光,一个信号光通过光纤连接线 111-1 输入到将检测相位设定为 $+\pi/4$ 的差分光相位检波器 206-1 中,另一个信号光通过光纤连接线 111-2 输入到将检测相位设定为 $-\pi/4$ 的差分光相位检波器 206-2 中。从这些差分光相位检波器 206 电输出的高速串行的 2 值数字信号串分别经过分离电路 155-1、155-2 和延迟控制缓存电路 105-1、105-2,输入到差分相位调制/篱栅译码器 223 中。

[0202] 在本实施例中,由于通过延迟控制缓存电路 105-1、105-2 能够使存在于从输入光纤 202 端到译码器 223 之间的多个路径的延迟时间相等,能够将由输入光纤 202 并行传送的位信息以正确的相位输入到差分相位调制/篱栅译码器 223 中。

[0203] (实施例 9)

[0204] 图 21 表示应用了延迟控制缓存电路 105 的发送器用半导体集成电路(IC)230 的 1 例。

[0205] 这里所示的 IC230 由以下部分构成:并行输入端子 101-1 ~ 101-4,分别被供给电气的低速并行数字数据信号;并行缓存电路 102-1 ~ 102-4,与这些并行输入端子连接;可编程编码器 231,与这些并行缓存电路连接;延迟控制缓存电路 105-1 ~ 105-4,分别对从编码器 231 输出的低速并行数字数据信号进行延迟控制;多路复用电路(MUX)106-1 ~ 106-4,与这些延迟控制缓存电路连接;从各多路复用电路输出的电气的高速串行数字信号的输出端子 107-1 ~ 107-4;处理器(CPU)174;不挥发性存储器 176。

[0206] 在本实施例中,由于是以低速并行数据为对象,进行通过编码器 231 的编码处理、和通过延迟控制缓存电路 105 的每个信号路径的延迟调整,所以容易进行电气电路部的集

成化,通过装载可编程编码器 231,能够提供通用的多值光调制用 IC。在本实施例中,通过在集成电路板上集成用来进行延迟量控制的处理器 (CPU) 174、不挥发性存储器 176、内部总线 175-1 及外部总线 175-2、控制线 125,能够进行延迟量控制数据在 IC 内部的保存、利用 IC 端子的从外部的延迟控制量的写入、发送器启动时对延迟控制缓存电路 105 的延迟控制量的自动设定。

[0207] 在本实施例中,供给了低速并行信号的并行输入端子 101 的数量与输出高速信号的端子 107 的数量相同,但也可以如上述篱栅编码器或多值 ASK 信号编码器那样,输入输出的信号条数不同。此外,图 21 所示的电路功能也可以根据需要而分割成多个 IC。

[0208] 例如,在将多路复用电路 106 外挂的情况下,通过 FPGA 或通用 ASIC 能够容易实现仅包括低速电路的 IC 部分。此外,通过使并行缓存电路 102 与编码器 302 为另外的 IC,能够提供不依赖于编码方式的通用的延迟调整用 IC。此外,如第 4 实施例说明的那样,也可以将通过调整供给到多路复用电路 105 中的时钟的相位而对延迟量进行微调的功能装载到 IC 中。在这种情况下,也可以做成经由专用的控制端子从外部进行相位控制的结构,来代替将时钟相位控制用参数存储到不挥发性存储器 176 中。

[0209] (实施例 10)

[0210] 图 22 表示应用了延迟控制缓存电路 105 的接收器用半导体集成电路 (IC) 232 的 1 例。

[0211] 本实施例的 IC 是在图 19 所示的光接收器中集成了分离电路 155-1 ~ 155-6 以后的电气电路部,具有:作为输入的电气高速串行数字信号的输入端子及信号线路 107-1 ~ 107-6;分离电路 (DEMUX) 155-1 ~ 155-6;延迟控制缓存电路 105-1 ~ 105-6;可编程译码器 233;电气低速并行数字数据的输出端子 156-1 ~ 156-4;用来进行延迟量控制的处理器 (CPU) 174;不挥发性存储器 176;内部及外部连接总线 175-1、175-2;控制线 125。

[0212] 与第 9 实施例同样,本实施例的 IC 也可以适当地进行功能分割、功能追加。例如也可以做成将分离电路 155 外挂、使译码器 233 为另外的 IC、或追加了图 19 的时钟提取・识别电路 154 的结构。

[0213] 在以上的实施例中采用的延迟控制缓存电路,可以根据所采用的缓存存储器的容量和延迟控制量的设定值,以从高速串行数字信号串的 1 位长到几千位长的量级调整延迟量。例如,由于 2000 位的延迟控制在数字信号串的发送速率为 10Gbit/s 的情况下,相当于约 40m 的布线长改变,所以根据本发明,在对具有与光调制部连接的多个信号路径的光发送器、及具有与光解调部连接的多个信号路径的光接收器的设计中,能够增大包括内部光纤的路径长的均匀化容限,收发器的布线设计变得很容易。

[0214] 此外,在本发明中采用的延迟控制缓存电路通过改变控制量设定值而能够自由地改变信号延迟量,所以省略了在采用模拟延迟线的情况下产生的延迟线的长度调整等操作,对光传送装置的小型化有效。

光发送器100

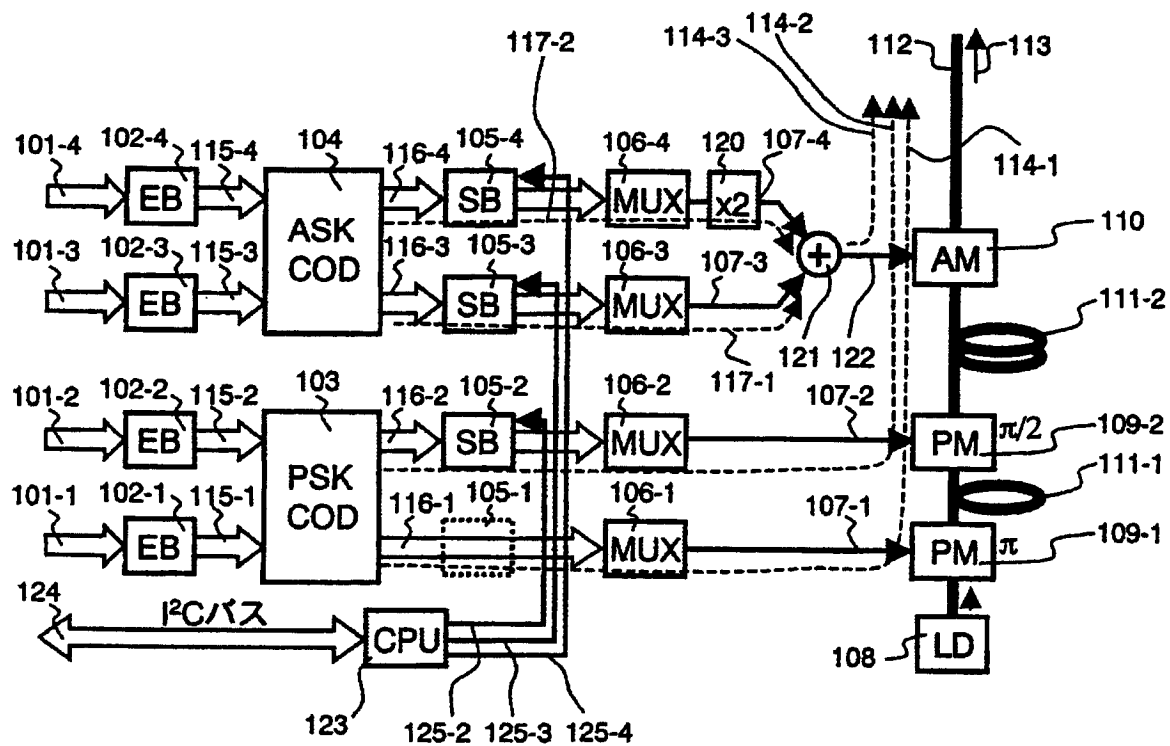


图 1

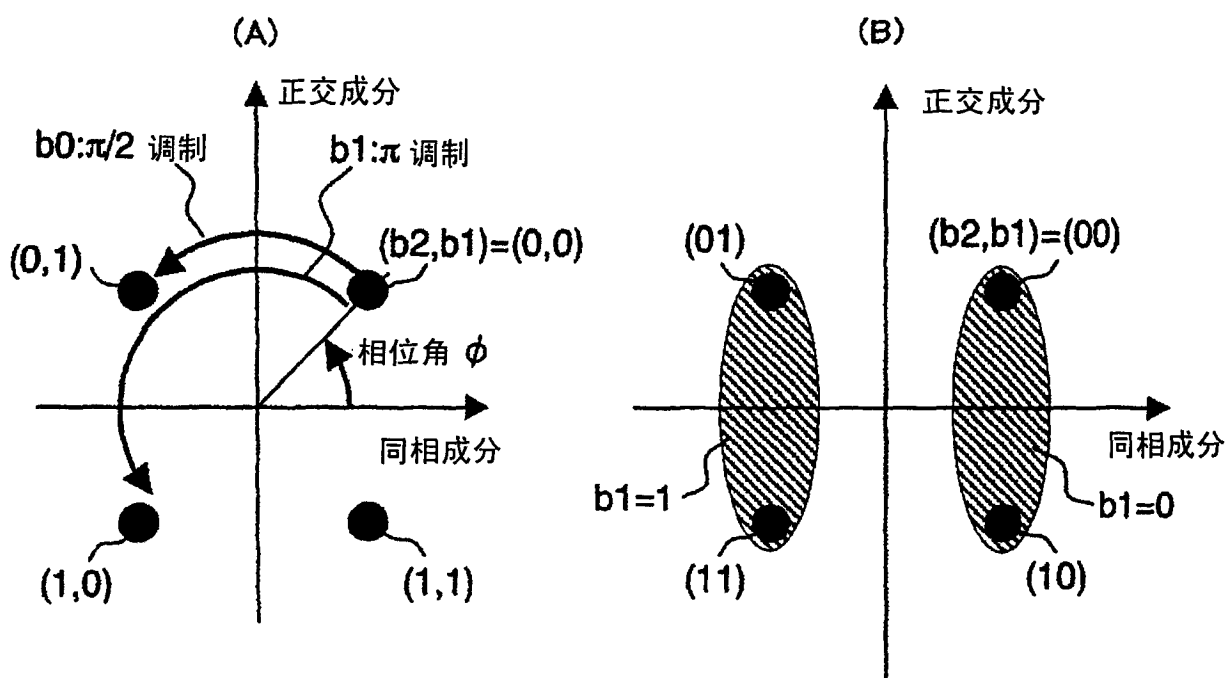


图 2

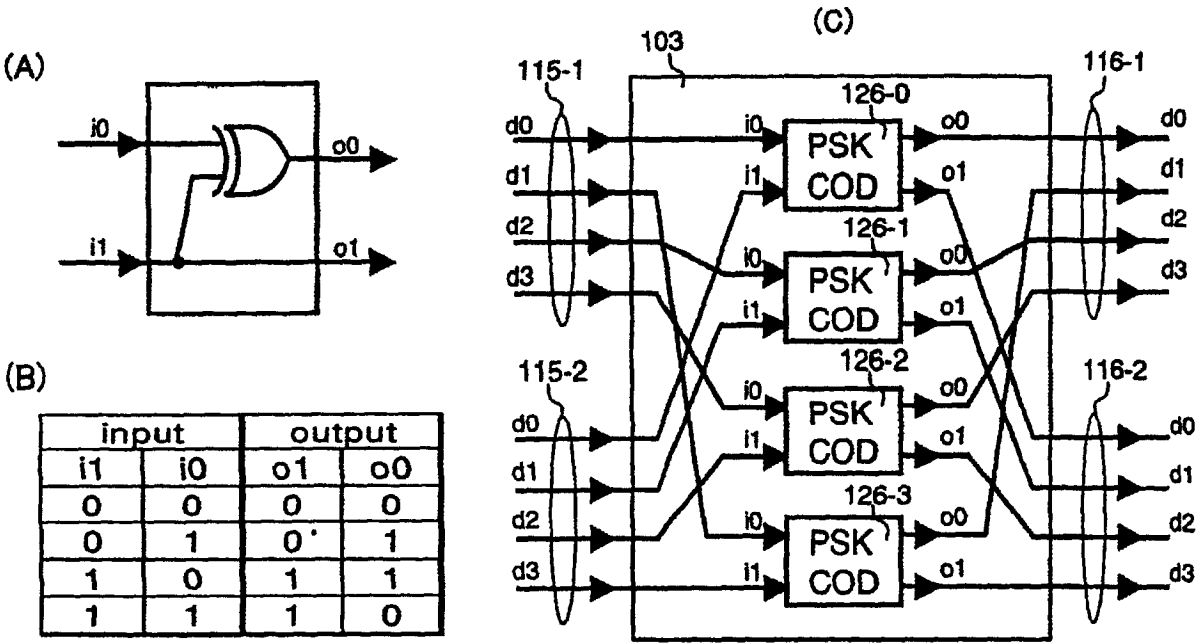


图 3

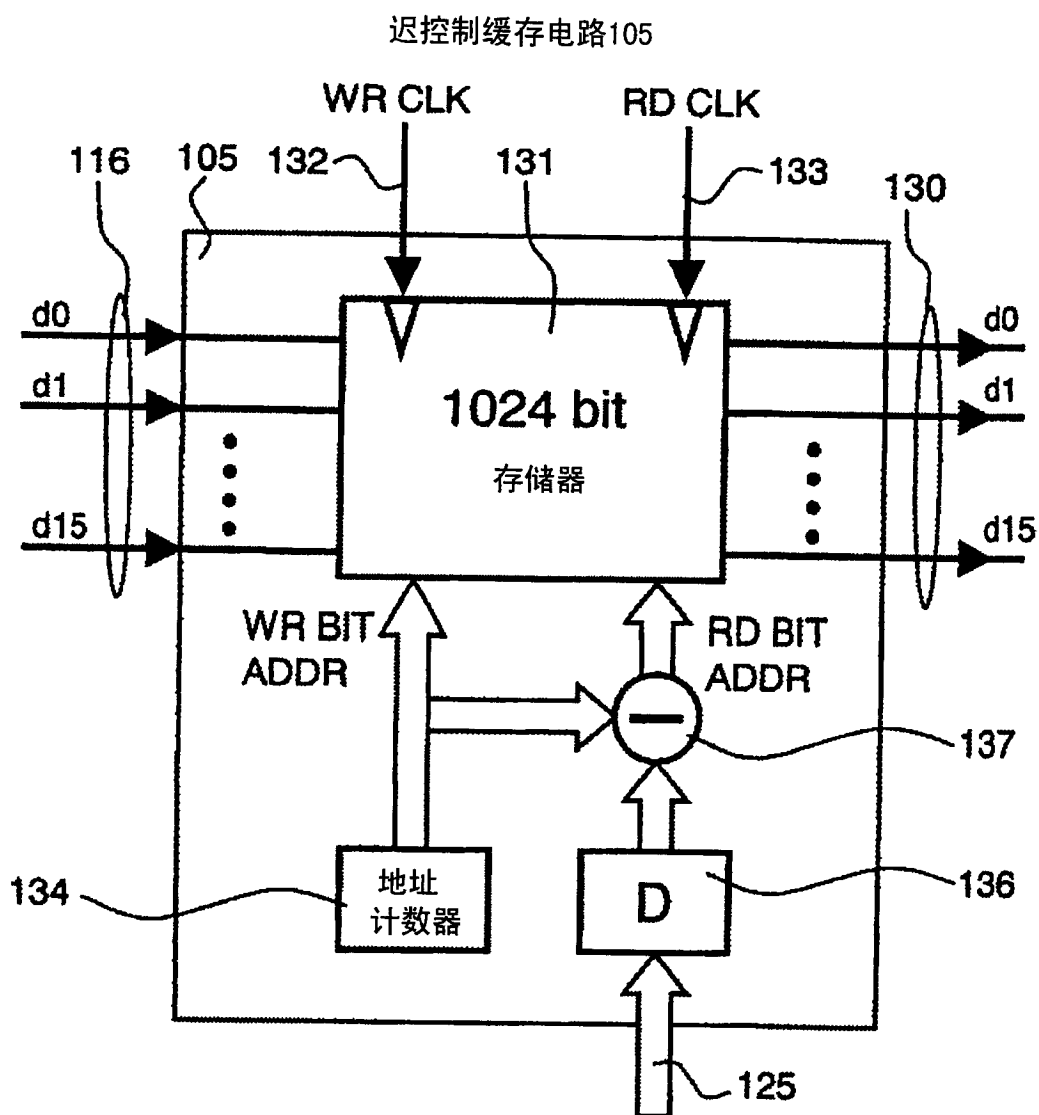


图 4

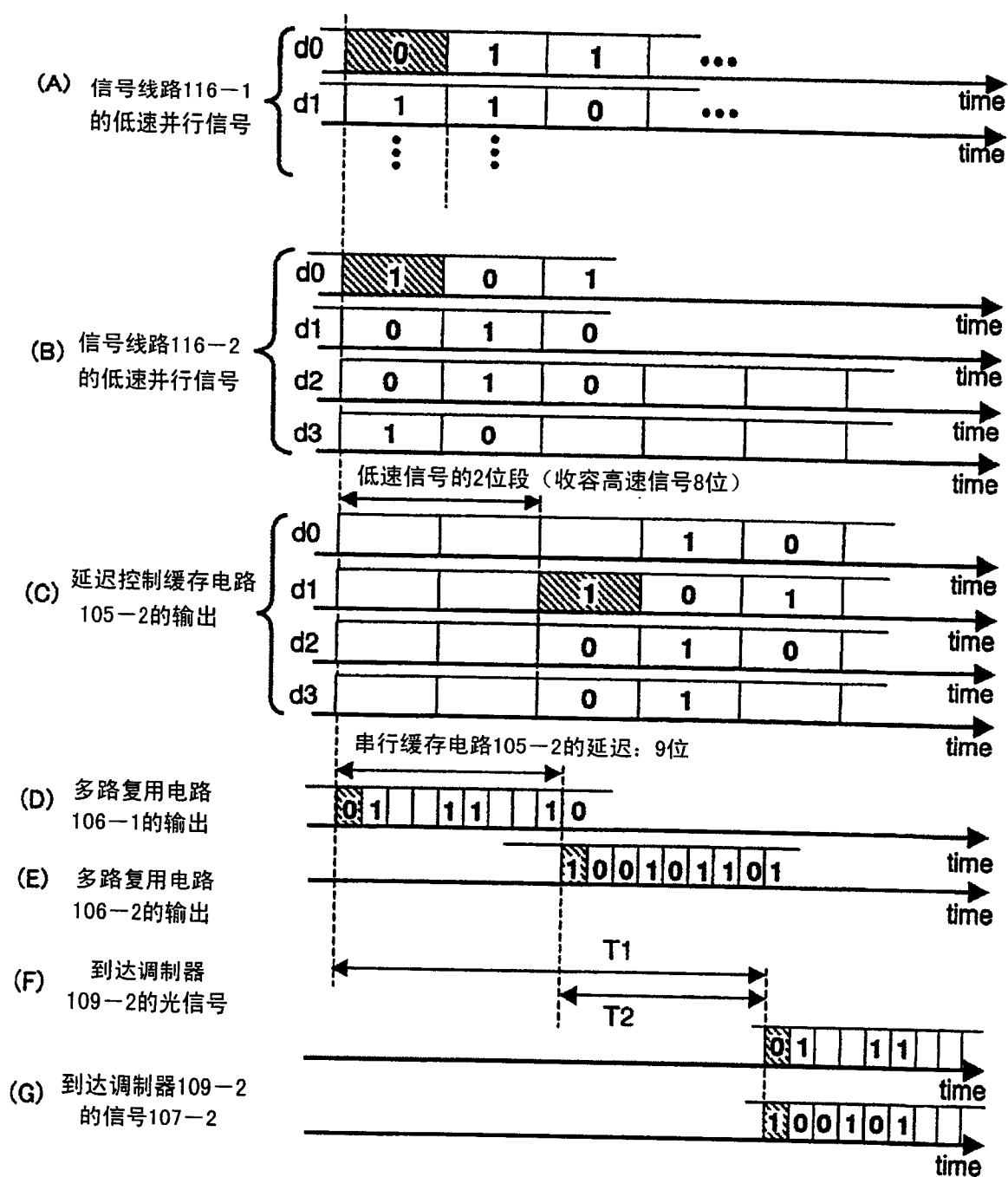


图 5

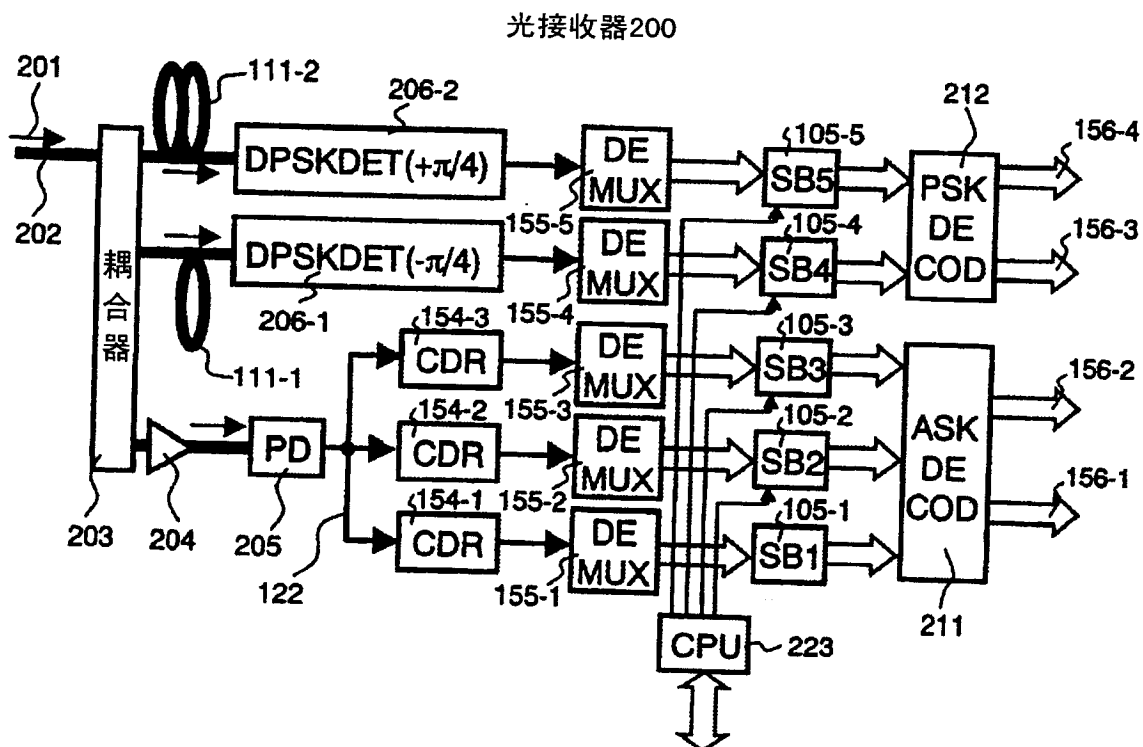


图 6

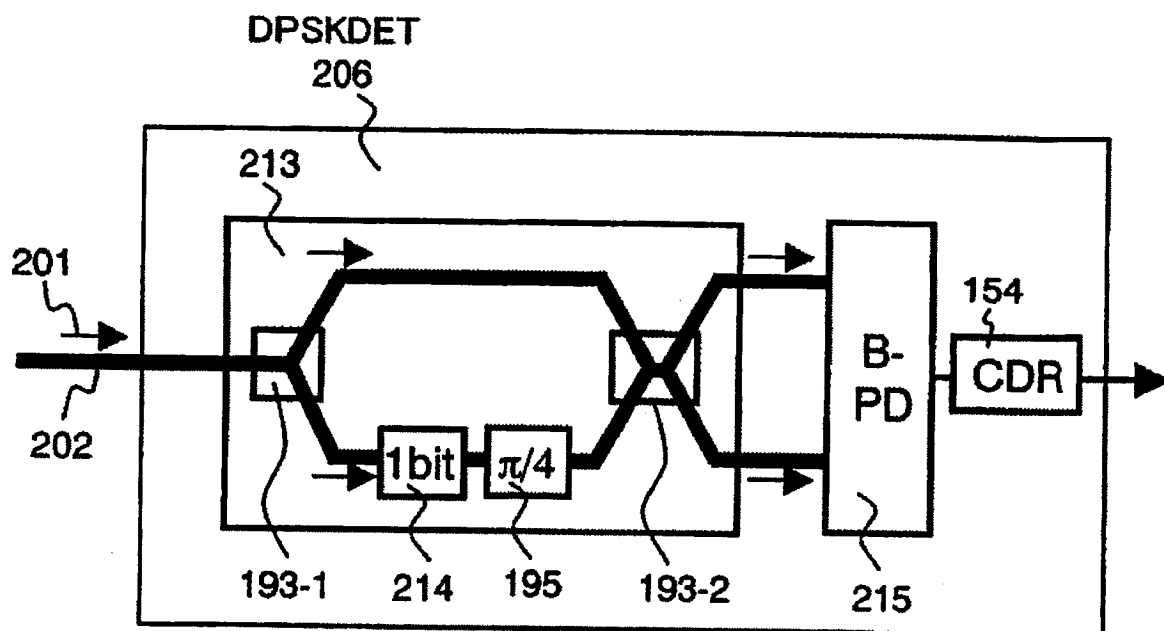


图 7

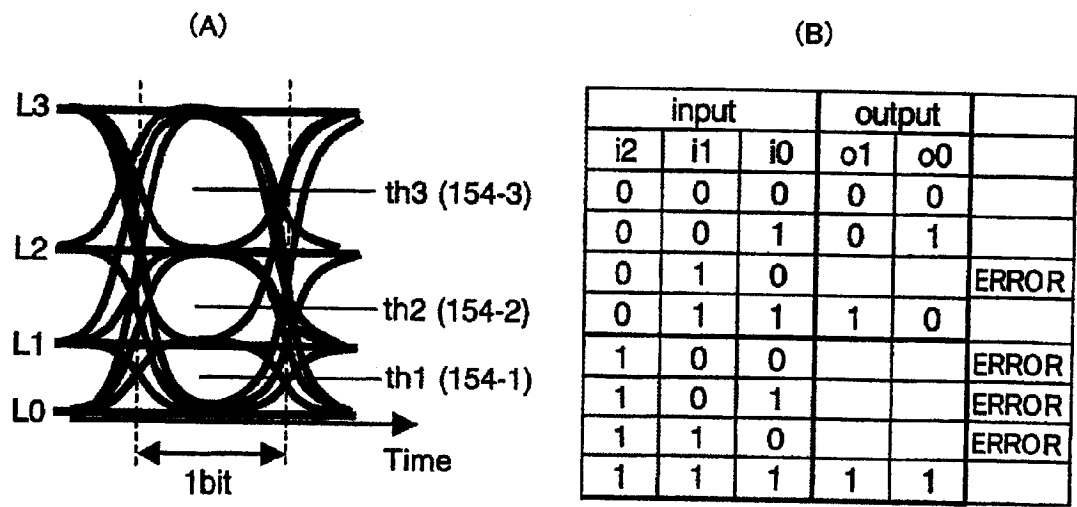


图 8

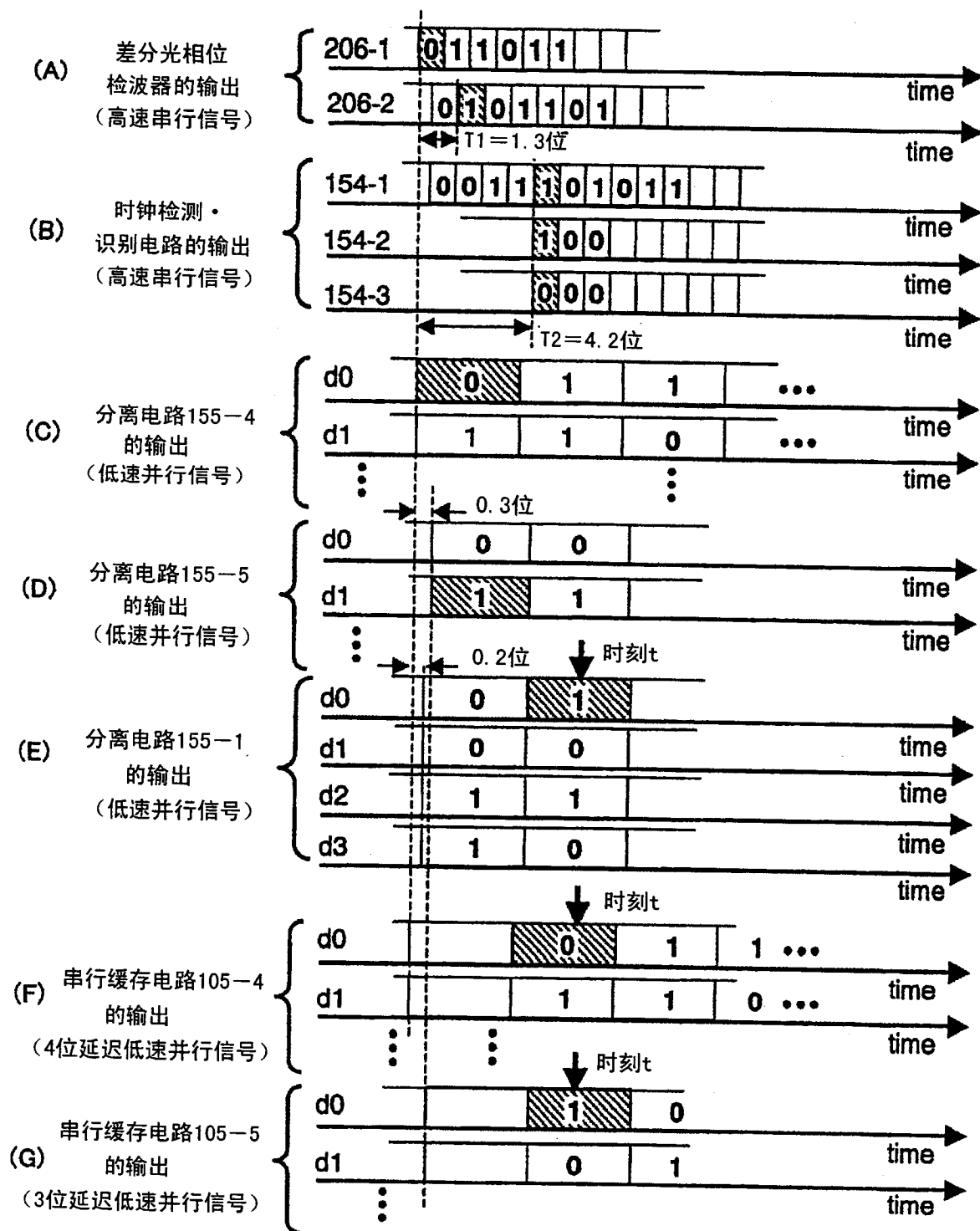


图 9

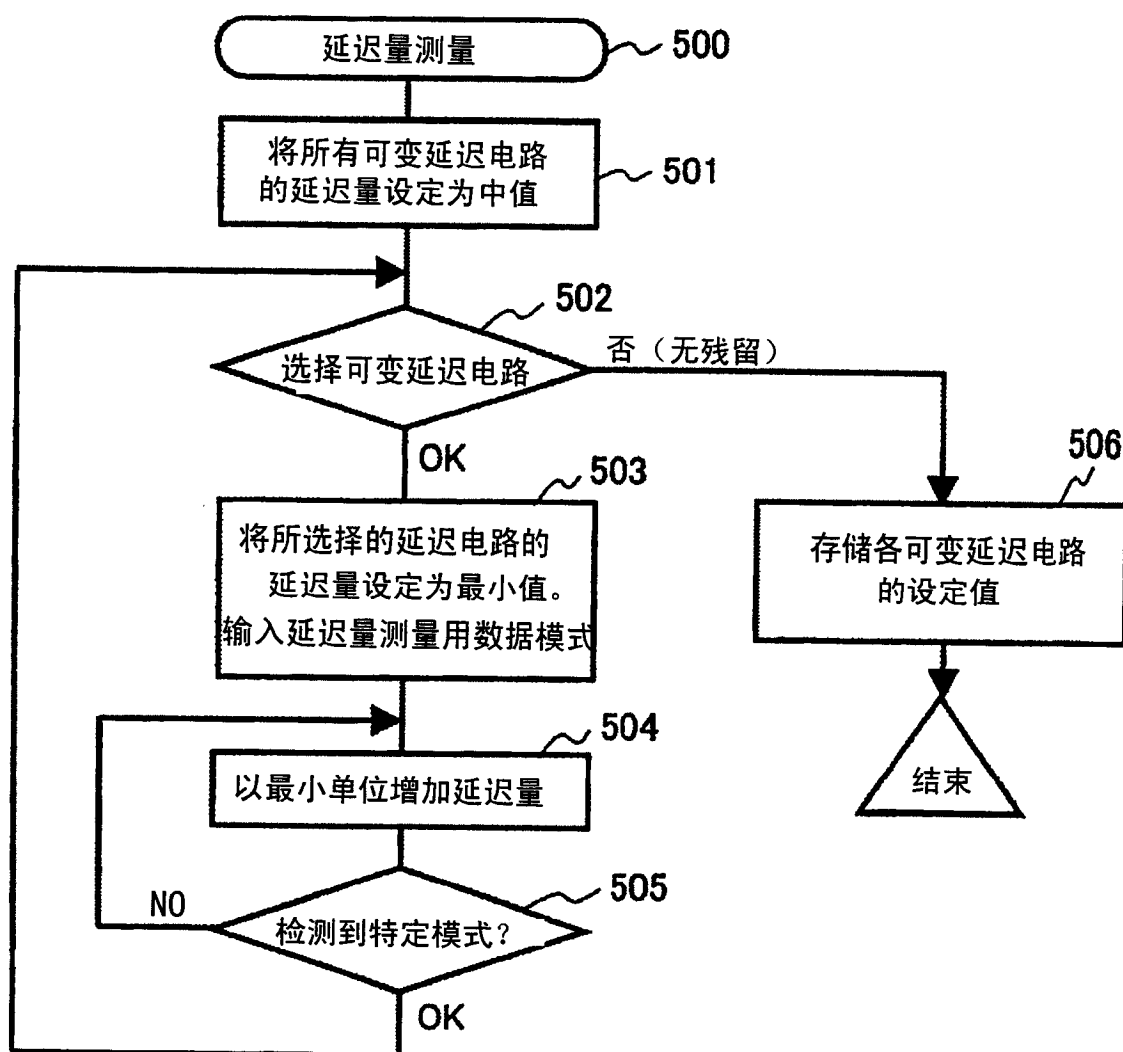


图 10

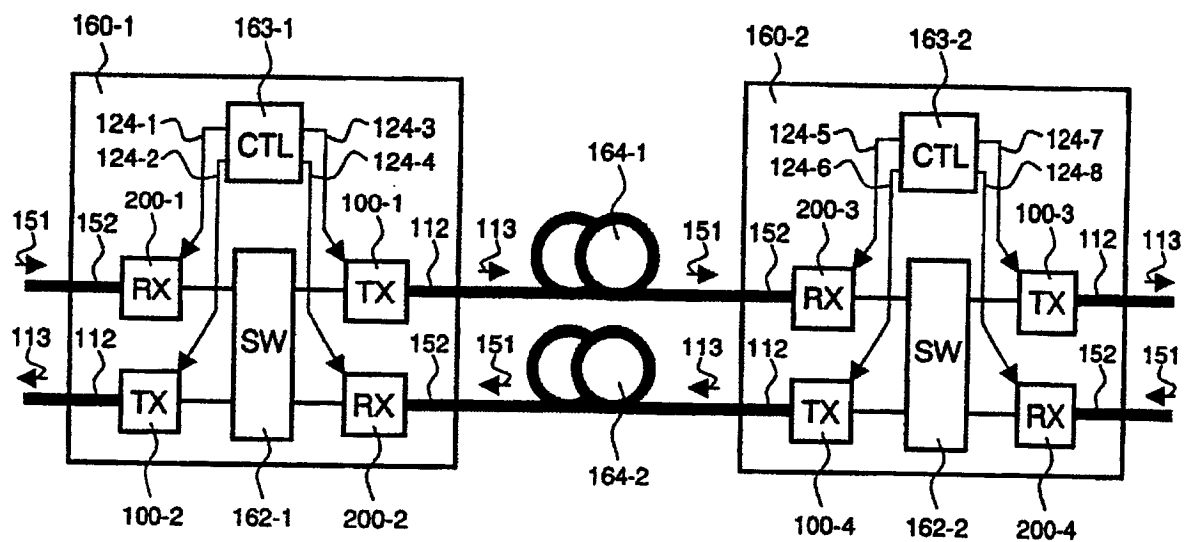


图 11

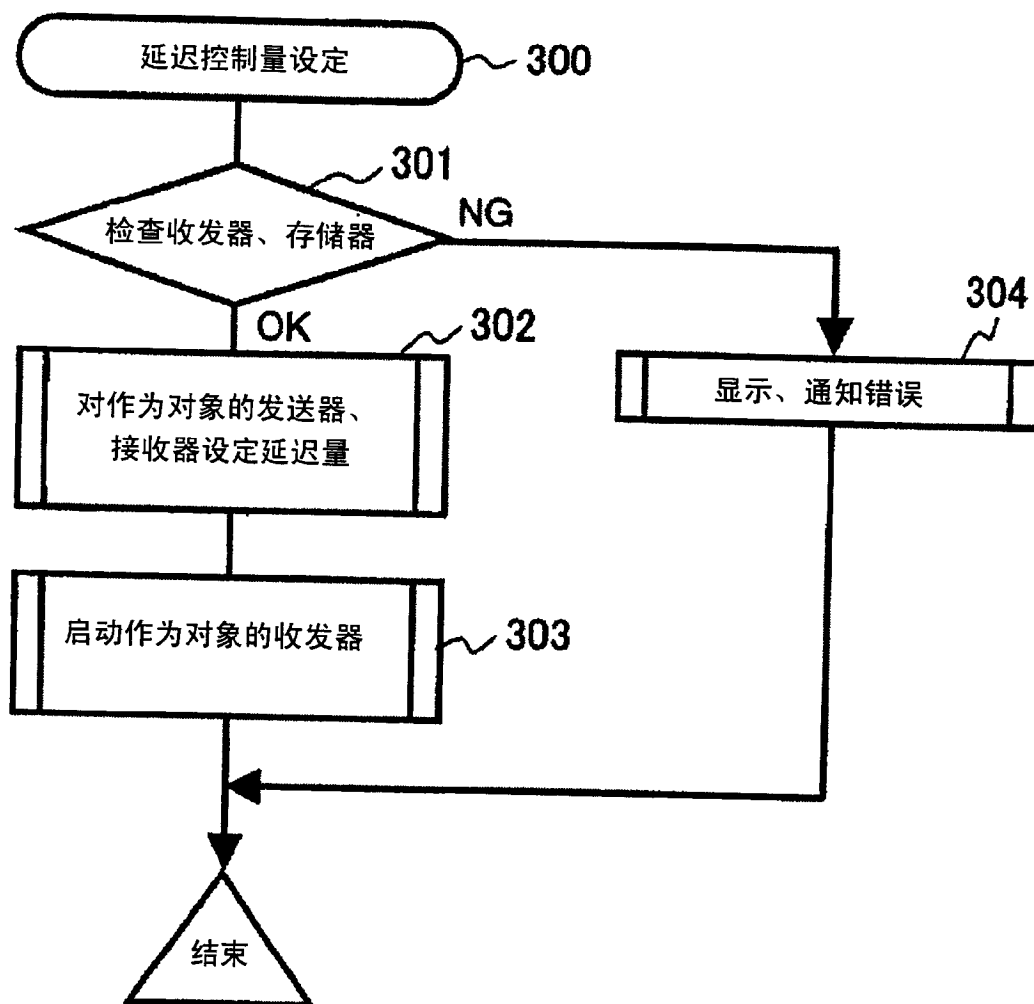


图 12

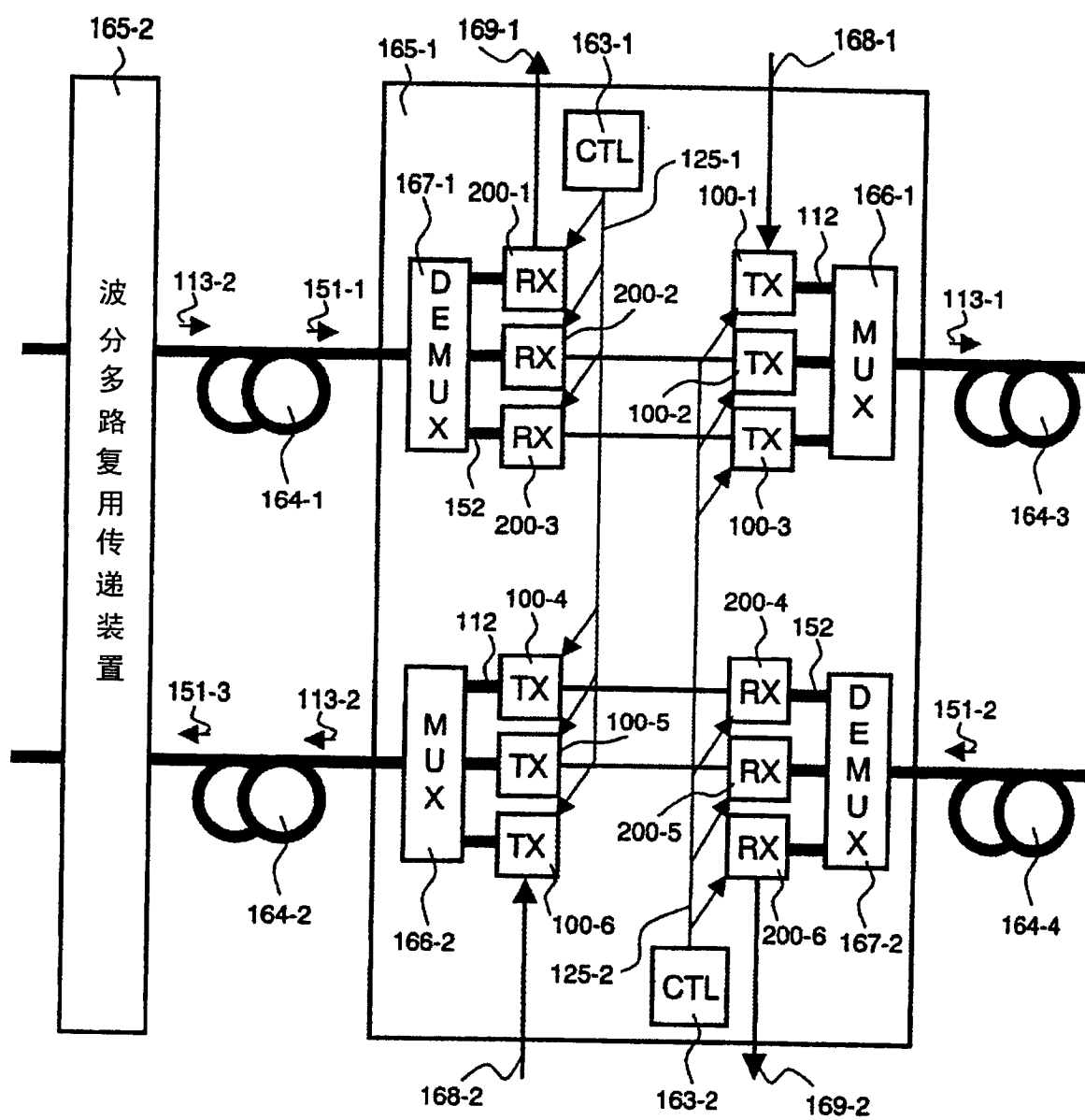


图 13

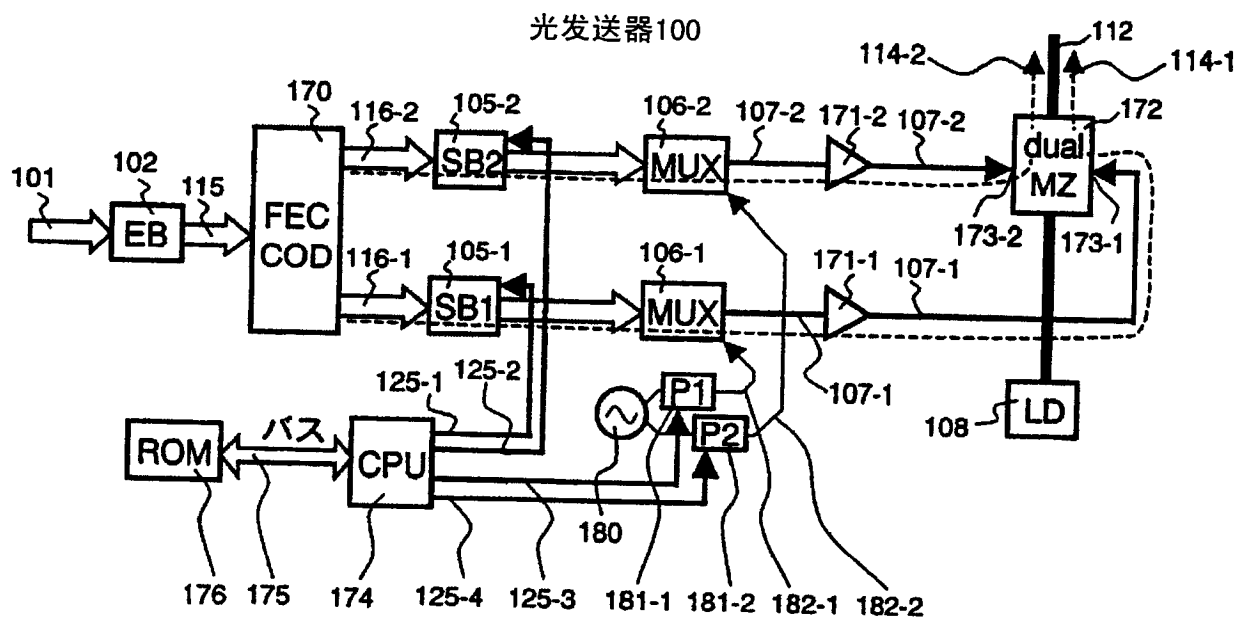


图 14

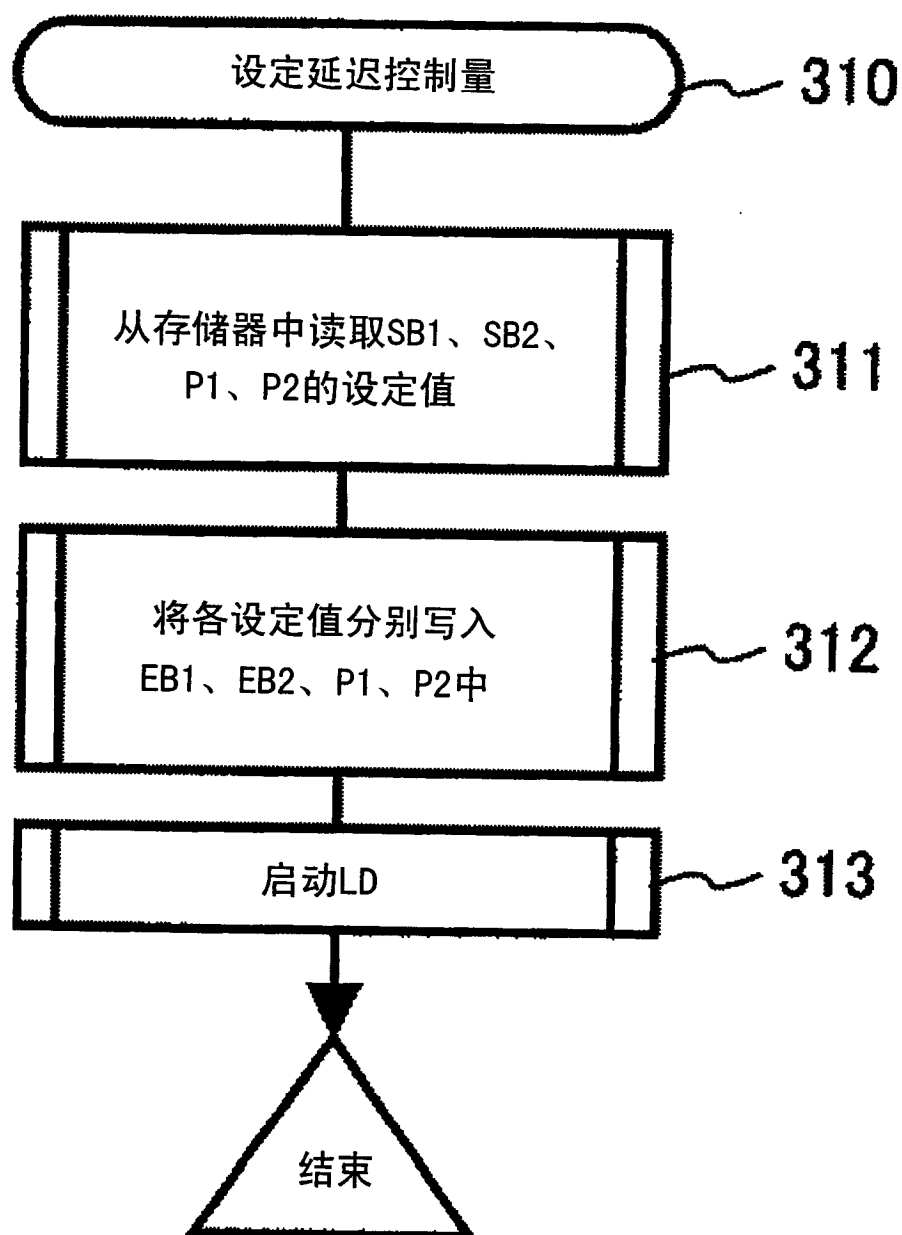


图 15

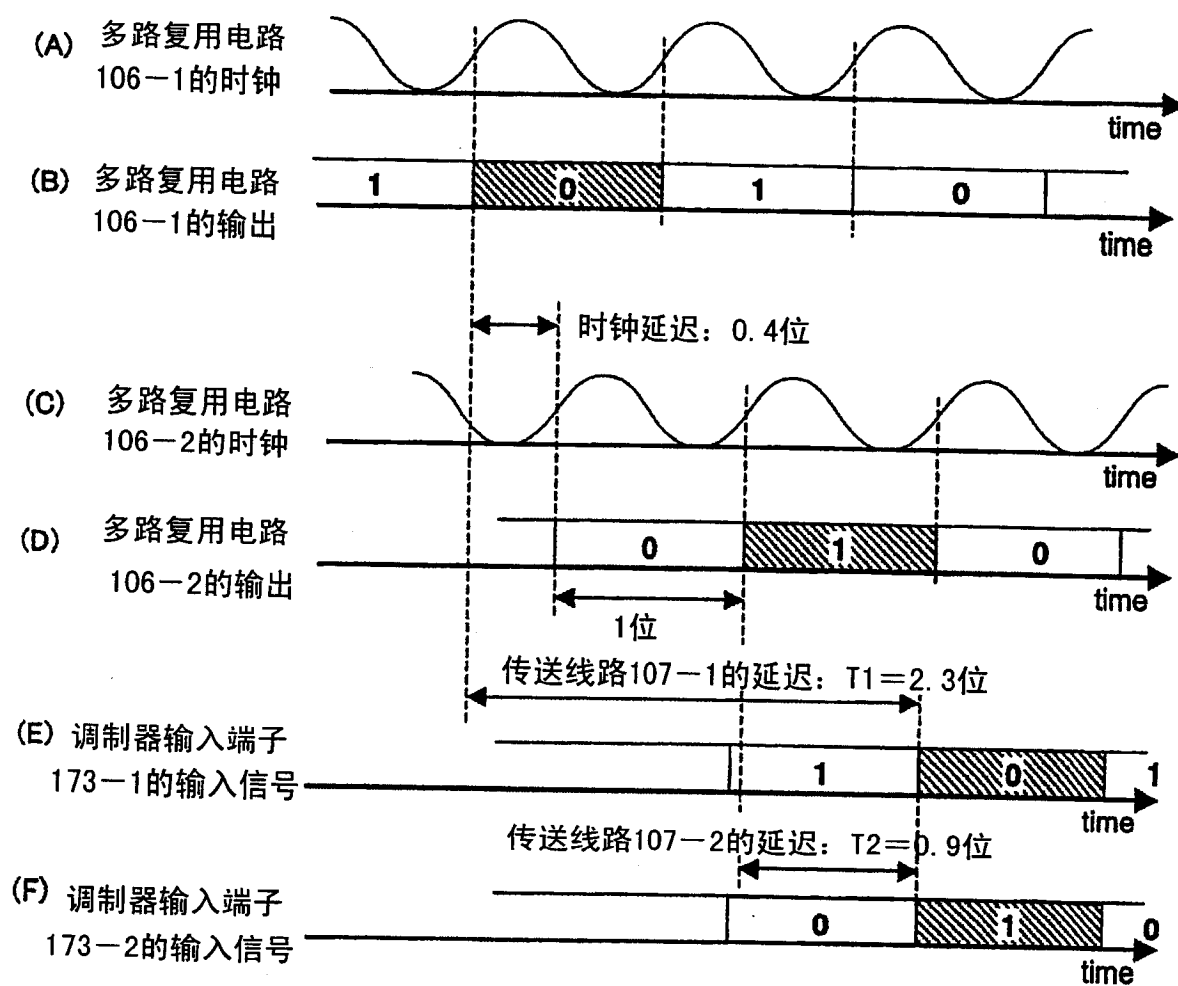


图 16

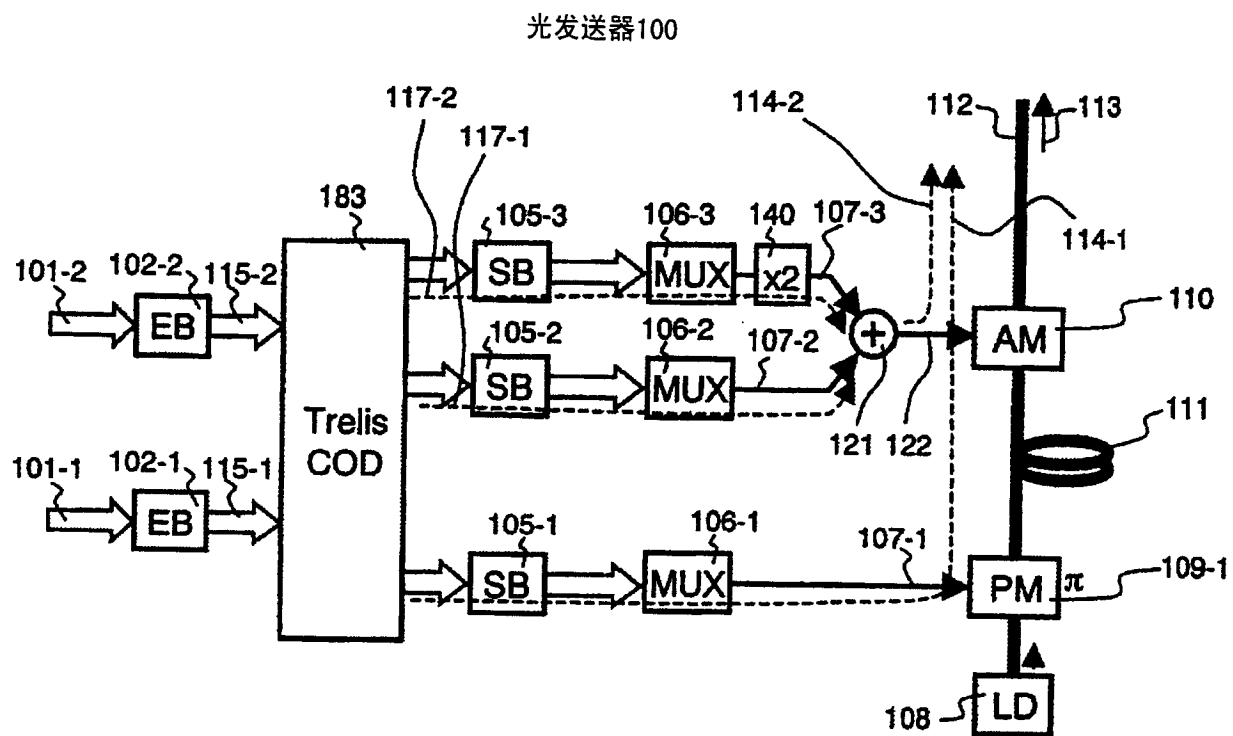


图 17

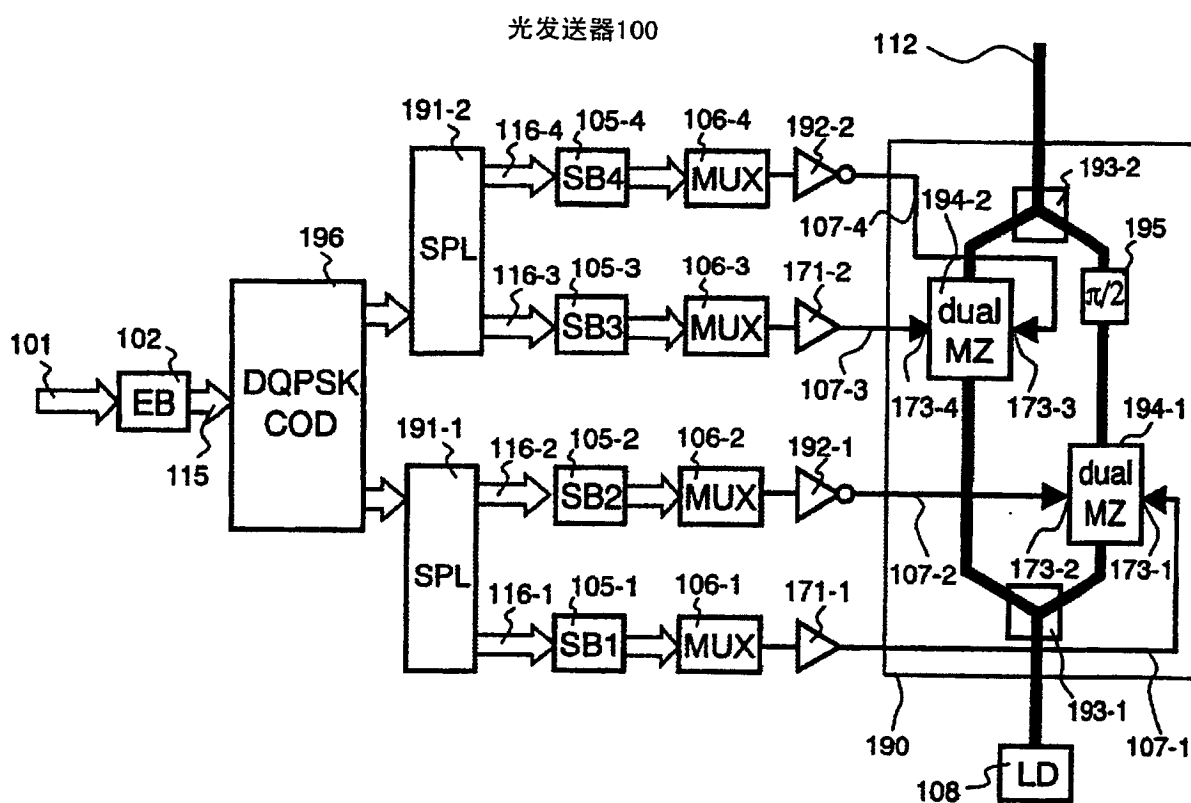


图 18

光接收器200

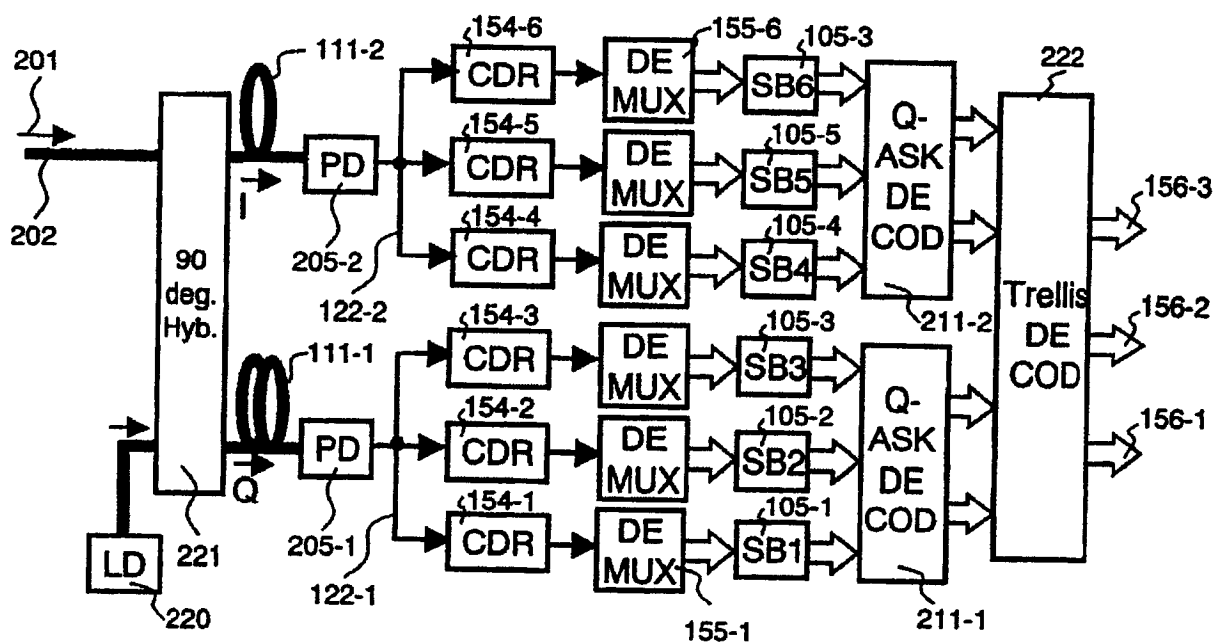


图 19

光接收器200

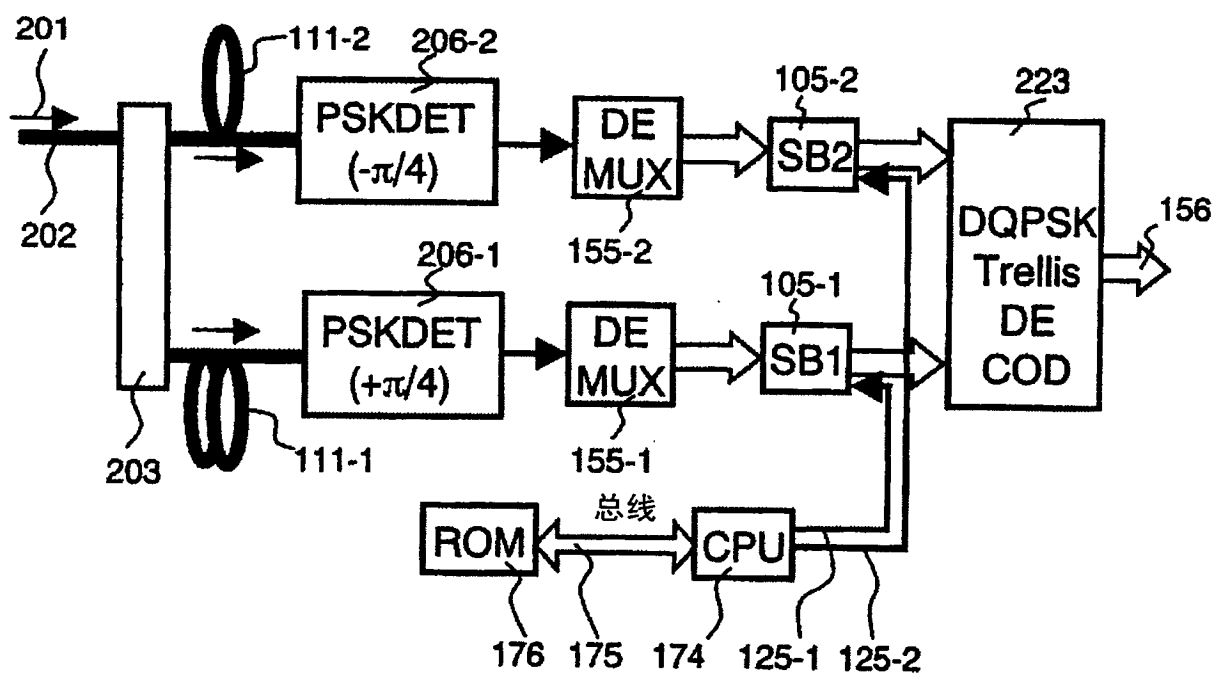


图 20

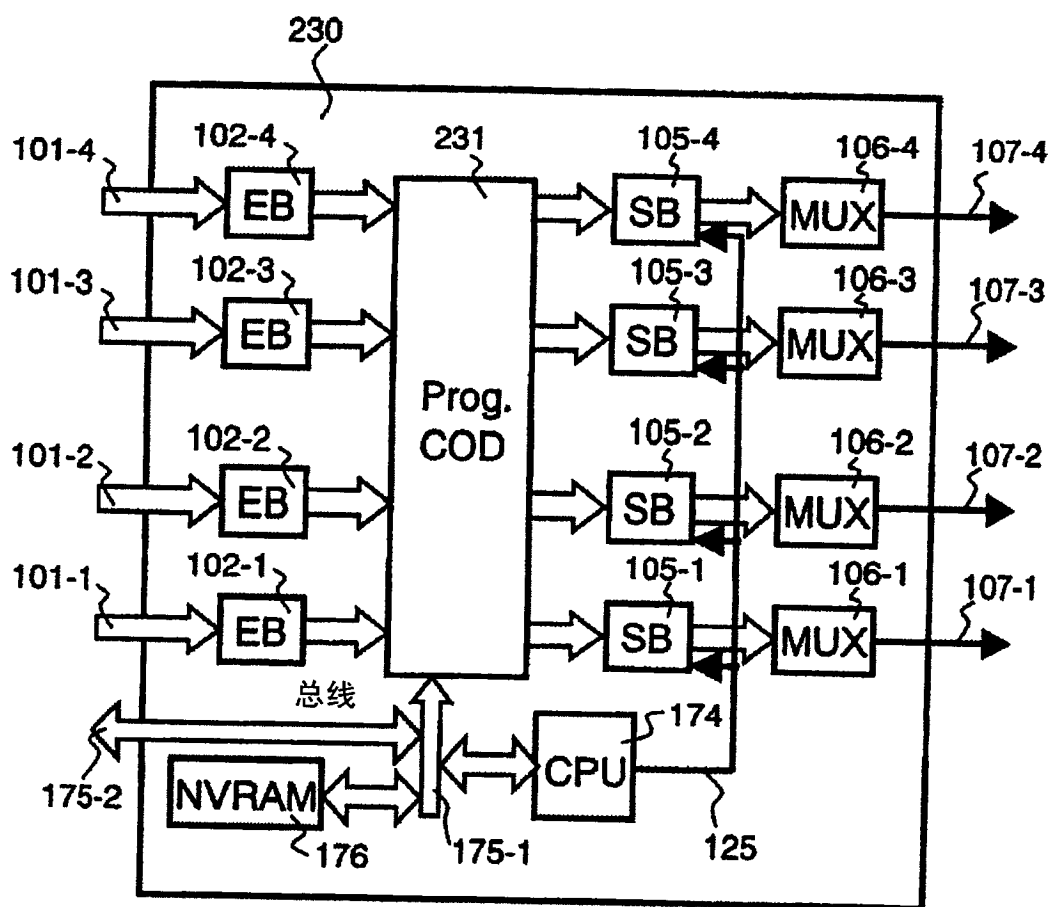


图 21

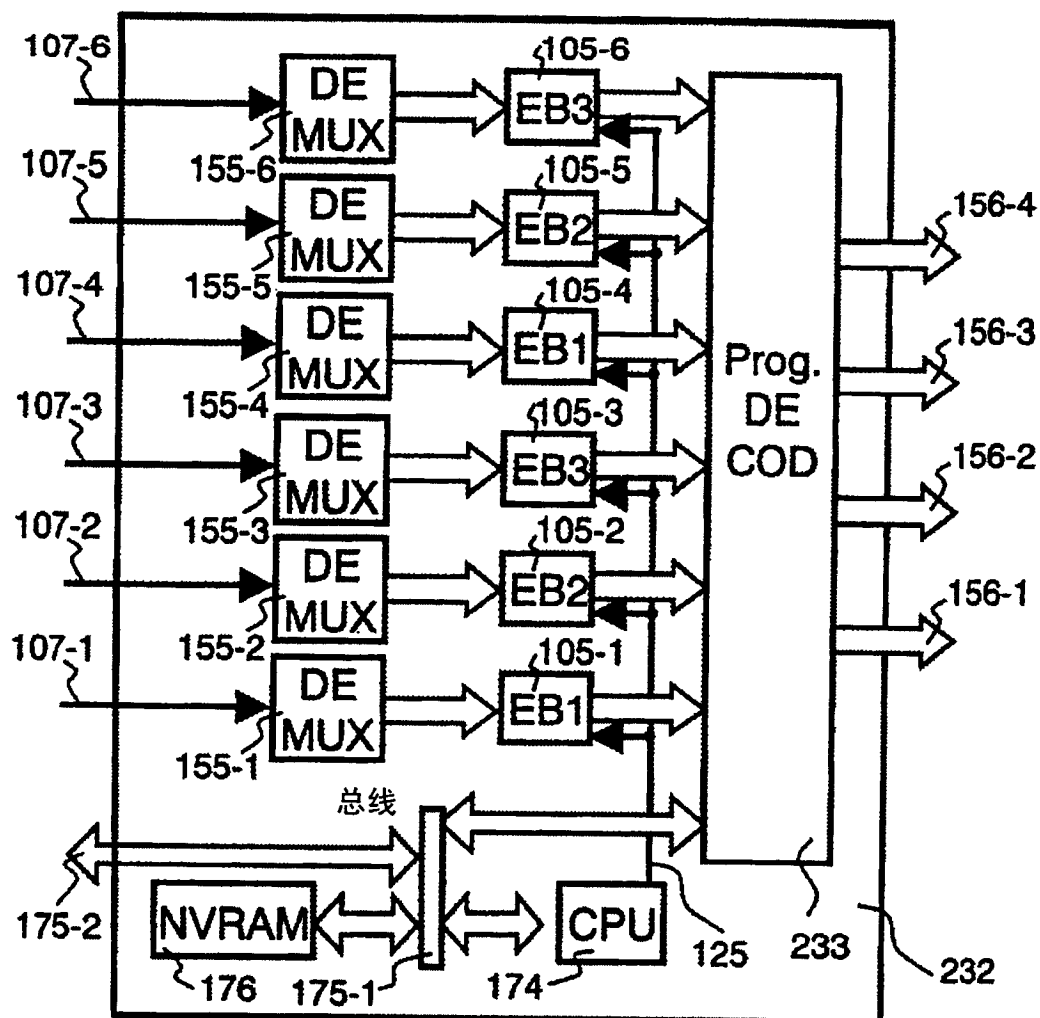


图 22

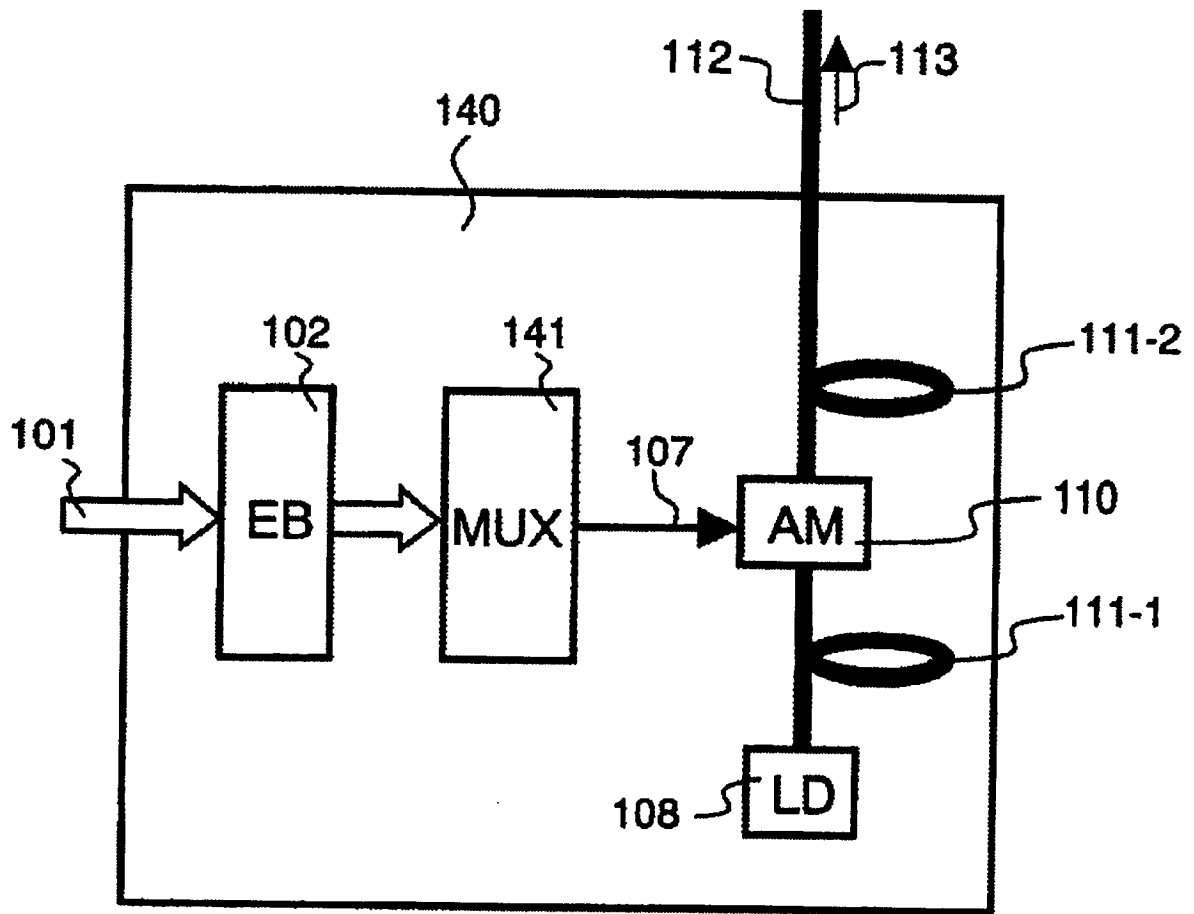


图 23

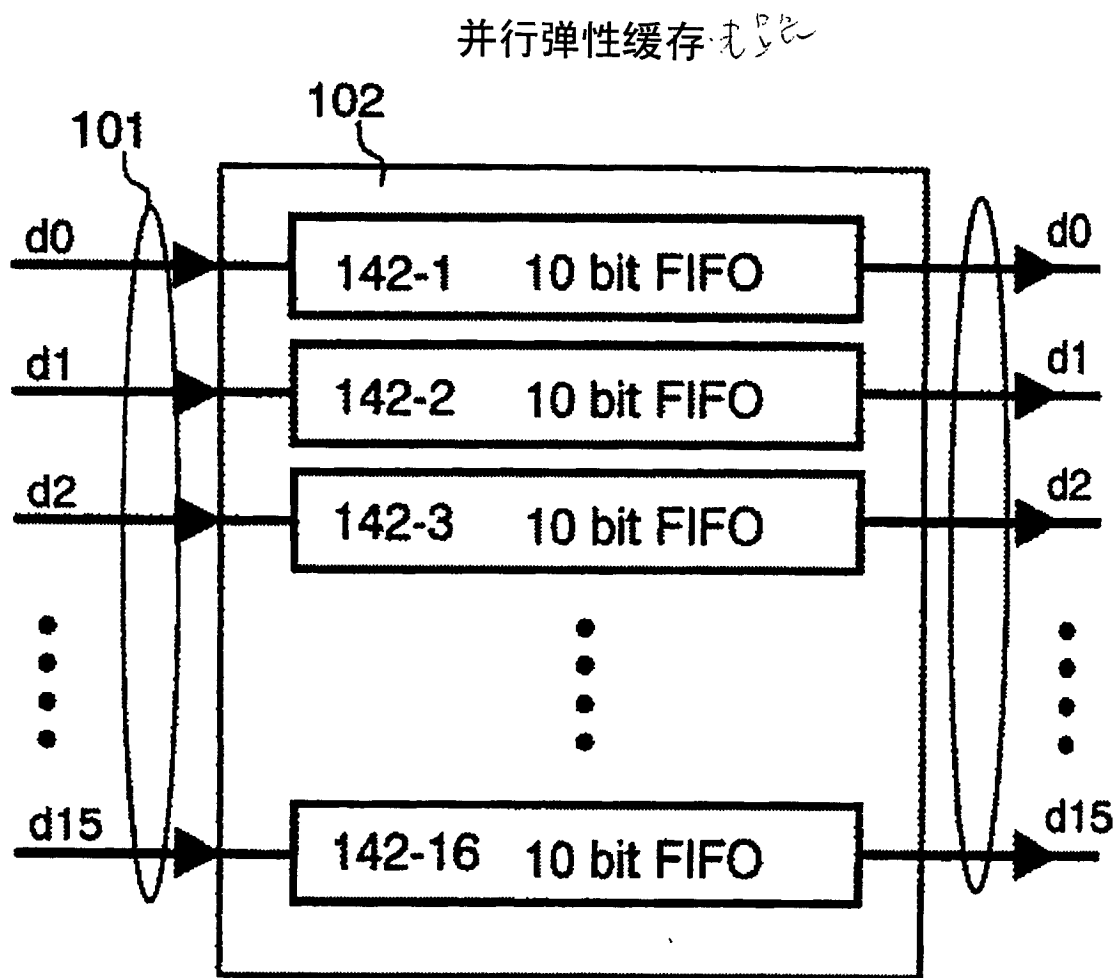


图 24

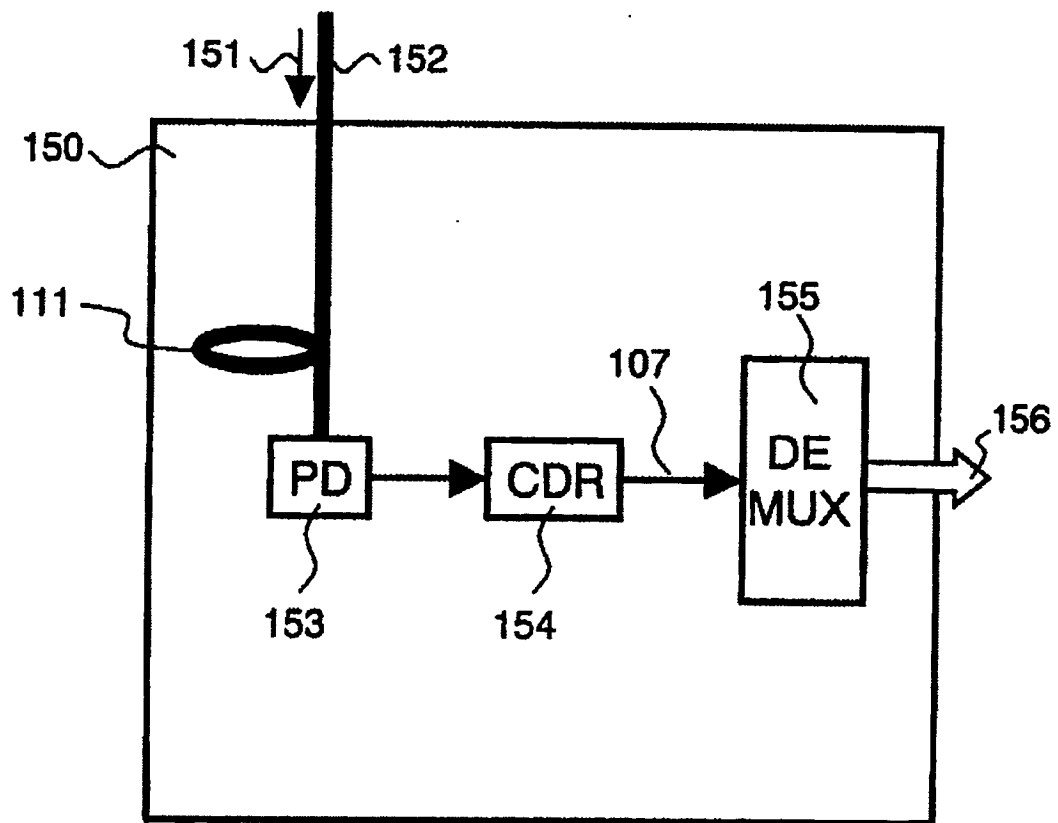


图 25