

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-218622

(P2008-218622A)

(43) 公開日 平成20年9月18日(2008.9.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 P	4 M 1 O 4
HO 1 L 29/78 (2006.01)	HO 1 L 27/08 1 O 2 C	5 F O 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 3 2 1 D	5 F 1 4 O
HO 1 L 27/088 (2006.01)	HO 1 L 21/28 3 O 1 S	
HO 1 L 21/8238 (2006.01)	HO 1 L 29/58 G	

審査請求 未請求 請求項の数 15 O L (全 31 頁) 最終頁に続く

(21) 出願番号 特願2007-52493 (P2007-52493)
 (22) 出願日 平成19年3月2日(2007.3.2)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100088889
 弁理士 橘谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

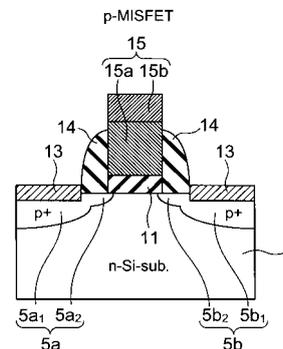
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 製造のばらつきを抑制することができるとともに適切なしきい値電圧を有するM I Sトランジスタを備えた半導体装置およびその製造方法を提供することを可能にする。

【解決手段】 n型半導体基板1と、n型半導体基板に離間して形成されたp型の第1ソース・ドレイン領域5 a、5 bと、第1ソース領域と第1ドレイン領域との間のn型半導体基板上に形成された第1ゲート絶縁膜11と、第1ゲート絶縁膜上に形成され、Siに対するNiの組成比が1より大きな第1ニッケルシリサイド層15 aと、この第1ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値がSiのそれよりも大きな金属を含みかつSiに対する前記金属の組成比が前記Siに対するNiの組成比より小さいシリサイド層15 bと、を含む第1ゲート電極15と、を有するpチャネルM I Sトランジスタと、を備えている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

n 型半導体基板と、
 前記 n 型半導体基板に離間して形成された p 型の第 1 ソース・ドレイン領域と、
 前記第 1 ソース領域と前記第 1 ドレイン領域との間の前記 n 型半導体基板上に形成された第 1 ゲート絶縁膜と、
 前記第 1 ゲート絶縁膜上に形成され、 S_i に対する N_i の組成比が 1 より大きな第 1 ニッケルシリサイド層と、この第 1 ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値が S_i のそれよりも大きな金属を含みかつ S_i に対する前記金属の組成比が前記 S_i に対する N_i の組成比より小さいシリサイド層と、を含む第 1 ゲート電極と、
 を有する p チャネル M I S トランジスタと、
 を備えたことを特徴とする半導体装置。

10

【請求項 2】

基板と、
 前記基板上に形成された n 型半導体領域と、
 前記 n 型半導体領域に離間して形成された p 型の第 1 ソース・ドレイン領域と、
 前記第 1 ソース領域と前記第 1 ドレイン領域との間の前記 n 型半導体領域上に形成された第 1 ゲート絶縁膜と、
 前記第 1 ゲート絶縁膜上に形成され、 S_i に対する N_i の組成比が 1 より大きな第 1 ニッケルシリサイド層と、この第 1 ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値が S_i のそれよりも大きな金属を含みかつ S_i に対する前記金属の組成比が前記 S_i に対する N_i の組成比より小さいシリサイド層と、を含む第 1 ゲート電極と、
 を有する p チャネル M I S トランジスタと、
 前記基板上に前記 n 型半導体領域とは絶縁分離して形成された p 型半導体領域と、
 前記 p 型半導体領域に離間して形成された n 型の第 2 ソース・ドレイン領域と、
 前記第 2 ソース領域と前記第 2 ドレイン領域との間の前記 p 型半導体領域上に形成された第 2 ゲート絶縁膜と、
 前記第 2 ゲート絶縁膜上に形成され、前記第 1 ニッケルシリサイド層よりも S_i に対する N_i の組成比が小さな第 2 ニッケルシリサイド層を含む第 2 ゲート電極と、
 を有する n チャネル M I S トランジスタと、
 を備えたことを特徴とする半導体装置。

20

30

【請求項 3】

基板と、
 前記基板上に形成された n 型半導体領域と、
 前記 n 型半導体領域に離間して形成された p 型の第 1 ソース・ドレイン領域と、
 前記第 1 ソース領域と前記第 1 ドレイン領域との間の前記 n 型半導体領域上に形成された第 1 ゲート絶縁膜と、
 前記第 1 ゲート絶縁膜上に形成され、 S_i に対する N_i の組成比が 1 より大きな第 1 ニッケルシリサイド層と、この第 1 ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値が S_i のそれよりも大きな金属を含みかつ S_i に対する前記金属の組成比が前記 S_i に対する N_i の組成比より小さいシリサイド層と、を含む第 1 ゲート電極と、
 を有する p チャネル M I S トランジスタと、
 前記基板上に前記 n 型半導体領域とは絶縁分離して形成された p 型半導体領域と、
 前記 p 型半導体領域に離間して形成された n 型の第 2 ソース・ドレイン領域と、
 前記第 2 ソース領域と前記第 2 ドレイン領域との間の前記 p 型半導体領域上に形成された第 2 ゲート絶縁膜と、
 前記第 2 ゲート絶縁膜上に形成され、前記第 1 ニッケルシリサイド層と同じ組成比か、もしくは前記第 1 ニッケルシリサイド層よりも S_i に対する N_i の組成比が小さな第 2 ニッケルシリサイド層と、前記第 2 ニッケルシリサイド層と前記第 2 ゲート絶縁膜との界面に形成される Al 層と、含む第 2 ゲート電極と、

40

50

を有する n チャンネル MIS トランジスタと、
を備えたことを特徴とする半導体装置。

【請求項 4】

前記第 1 ニッケルシリサイド層は、Si に対する Ni の組成比 Ni / Si が 2 以上であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記金属は、Ti、Hf、Zr の中から選ばれる少なくとも 1 種類の金属であることを特徴とする請求項 1 乃至 4 記載の半導体装置。

【請求項 6】

前記第 2 ゲート電極は、第 2 ニッケルシリサイド層上にチタンシリサイド層を有し、前記金属を含むシリサイド層は、チタンシリサイド層であることを特徴とする請求項 2 または 3 記載の半導体装置。

10

【請求項 7】

前記第 1 ゲート電極の高さが、第 2 ゲート電極の高さの 2 . 3 6 倍よりも小さいことを特徴とする請求項 2 または 3 記載の半導体装置。

【請求項 8】

前記金属を含むシリサイド層の層厚が 2 nm 以上、かつ前記第 1 ニッケルシリサイド層の層厚が 5 nm 以上であることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 9】

20

n 型シリコン基板上に、第 1 ゲート絶縁膜を形成する工程と、

前記第 1 ゲート絶縁膜上にシリコン層を形成し、前記シリコン層および前記第 1 ゲート絶縁膜をゲート電極形状に加工する工程と、

前記シリコン層の両側の前記 n 型シリコン基板の領域に、p 型の第 1 ソース・ドレイン領域を形成する工程と、

第 1 の Ni 膜を堆積させ、第 1 の熱処理することにより前記第 1 ソース・ドレイン領域上に第 1 ニッケルシリサイド層を形成するとともに、前記シリコン層上に第 2 ニッケルシリサイド層を形成する工程と、

層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第 2 ニッケルシリサイド層の上面を露出させる工程と、

30

前記第 2 ニッケルシリサイド層の上面を覆うように酸化物生成エネルギーの絶対値が Si のそれよりも大きな金属の膜および第 2 の Ni 膜を順次形成する工程と、

第 2 の熱処理することにより、前記シリコン層および前記第 2 ニッケルシリサイド層を、Si 組成よりも大きな Ni 組成を有する第 3 ニッケルシリサイド層と、この第 3 ニッケルシリサイド層上に形成され前記金属のシリサイド層との積層構造のゲート電極にする工程と、

を備えたことを特徴とする半導体装置の製造方法。

【請求項 10】

基板に素子分離領域によって分離された n 型半導体領域および p 型半導体領域を形成する工程と、

40

前記 n 型半導体領域および p 型半導体領域に第 1 および第 2 ゲート絶縁膜をそれぞれ形成する工程と、

前記第 1 および第 2 ゲート絶縁膜上に、シリコン層を形成する工程と、

前記シリコン層および前記第 1 および第 2 ゲート絶縁膜をゲート電極形状に加工し、前記第 1 ゲート絶縁膜上にゲート電極形状のシリコンからなる第 1 の層を形成するとともに前記第 2 ゲート絶縁膜上にゲート電極形状のシリコンからなる第 2 の層を形成する工程と、

前記第 1 の層の両側の前記 n 型半導体領域に p 型の第 1 ソース・ドレイン領域を形成する工程と、

前記第 2 の層の両側の前記 p 型半導体領域に n 型の第 2 ソース・ドレイン領域を形成す

50

る工程と、

層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第1および第2の層の上面を露出させる工程と、

前記第1および第2の層の上面を覆うように第1のNi膜を形成する工程と、

第1の熱処理することにより前記第1および第2の層をそれぞれ第1および第2ニッケルシリサイド層にする工程と、

前記第2ニッケルシリサイド層を含む前記p型半導体領域を絶縁膜で覆う工程と、

前記第1ニッケルシリサイド層の上面を覆うように、酸化物生成エネルギーの絶対値がSiのそれよりも大きな金属の膜および第2のNi膜を順次形成する工程と、

第2の熱処理することにより、前記第1ニッケルシリサイド層を、Siに対するNiの組成比が1より大きな第3ニッケルシリサイド層と、前記第3ニッケルシリサイド層上に形成され前記金属のシリサイド層との積層構造にする工程と、

を備えたことを特徴とする半導体装置の製造方法。

10

【請求項11】

前記第1および第2ニッケルシリサイド層は、Siに対するNiの組成比が1であることを特徴とする請求項10記載の半導体装置の製造方法。

【請求項12】

前記第1および第2ニッケルシリサイド層は、Siに対するNiの組成比が1より大きいことを特徴とする請求項10記載の半導体装置の製造方法。

【請求項13】

前記第3ニッケルシリサイド層と前記金属のシリサイド層の積層構造を形成した後、前記第1ゲート絶縁膜と前記第3ニッケルシリサイド層との界面にAlを偏析させる工程をさらに備えたことを特徴とする請求項12記載の半導体装置の製造方法。

20

【請求項14】

基板に素子分離領域によって分離されたn型半導体領域およびp型半導体領域を形成する工程と、

前記n型半導体領域およびp型半導体領域に第1および第2ゲート絶縁膜をそれぞれ形成する工程と、

前記第1および第2ゲート絶縁膜上に、シリコン層を形成する工程と、

前記シリコン層および前記第1および第2ゲート絶縁膜をゲート電極形状に加工し、前記第1ゲート絶縁膜上にゲート電極形状のシリコンからなる第1の層を形成するとともに前記第2ゲート絶縁膜上にゲート電極形状のシリコンからなる第2の層を形成する工程と、

30

前記第1の層の両側の前記n型半導体領域にp型の第1ソース・ドレイン領域を形成する工程と、

前記第2の層の両側の前記p型半導体領域にn型の第2ソース・ドレイン領域を形成する工程と、

層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第1および第2の層の上面を露出させる工程と、

前記第1および第2の層の上面を覆うように酸化物生成エネルギーの絶対値がSiのそれよりも大きな第1金属の膜および第1のNi膜を順次形成する工程と、

40

第1の熱処理することにより、前記第1および第2の層のそれぞれを、Siに対するNiの組成比が1より小さい第1ニッケルシリサイド層と、前記第1ニッケルシリサイド層上に形成され前記第1金属のシリサイド層との積層構造を有する第3および第4の層にする工程と、

前記第4の層を含む前記p型半導体領域を絶縁膜で覆う工程と、

前記第3の層の上面を覆うように、酸化物生成エネルギーの絶対値がSiのそれよりも大きな第2金属の膜および第2のNi膜を順次形成する工程と、

第2の熱処理することにより、前記第3の層を、Siに対するNiの組成比が1より大きな第2ニッケルシリサイド層と、前記第2ニッケルシリサイド層上に形成され前記第2

50

金属のシリサイド層との積層構造にする工程と、
を備えたことを特徴とする半導体装置の製造方法。

【請求項 15】

基板に素子分離領域によって分離された n 型半導体領域および p 型半導体領域を形成する工程と、

前記 n 型半導体領域および p 型半導体領域に第 1 および第 2 ゲート絶縁膜をそれぞれ形成する工程と、

前記第 1 および第 2 ゲート絶縁膜上に、シリコン層を形成する工程と、

前記シリコン層および前記第 1 および第 2 ゲート絶縁膜をゲート電極形状に加工し、前記第 1 ゲート絶縁膜上にゲート電極形状のシリコンからなる第 1 の層を形成するとともに前記第 2 ゲート絶縁膜上にゲート電極形状のシリコンからなる第 2 の層を形成する工程と

10

、
前記第 1 の層の両側の前記 n 型半導体領域に p 型の第 1 ソース・ドレイン領域を形成する工程と、

前記第 2 の層の両側の前記 p 型半導体領域に n 型の第 2 ソース・ドレイン領域を形成する工程と、

第 1 の Ni 膜を堆積させ、第 1 の熱処理することにより前記第 1 および第 2 ソース・ドレイン領域上に第 1 および第 2 ニッケルシリサイド層をそれぞれ形成するとともに、前記第 1 および第 2 の層上に第 3 および第 4 ニッケルシリサイド層を形成する工程と、

層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第 3 および第 4 ニッケルシリサイド層の上面を露出させる工程と、

20

前記第 3 および第 4 ニッケルシリサイド層の上面を覆うように酸化物生成エネルギーの絶対値が Si のそれよりも大きな金属の膜および第 2 の Ni 膜を順次形成する工程と、

第 2 の熱処理することにより、前記第 3 および第 4 ニッケルシリサイド層のそれぞれを、Si に対する Ni の組成比が 1 より大きな第 5 ニッケルシリサイド層と、この第 5 ニッケルシリサイド層上に形成され前記金属のシリサイド層との積層構造を有する第 1 および第 2 ゲート電極にする工程と、

前記第 1 ゲート絶縁膜と、前記第 1 ゲート電極の前記第 5 ニッケルシリサイド層との界面に Al を偏析させる工程と、

を備えたことを特徴とする半導体装置の製造方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MIS トランジスタを備える半導体装置およびその製造方法に関する。

【背景技術】

【0002】

シリコン超集積回路は、将来の高度情報化社会を支える基盤技術の一つである。集積回路の高機能化には、その構成要素である MISFET (Metal-Insulator-Semiconductor Field Effect Transistor)、CMISFET (Complementary MISFET) 等の半導体素子の高性能化が必要である。素子の高性能化は基本的には比例縮小則により行われてきたが、近年、種々の物性的限界により素子の極微細化による高性能化が困難な状況にある。

40

【0003】

例えば、シリコンを用いたゲート電極について、素子動作速度の増加に伴うゲート寄生抵抗の顕在化、絶縁膜界面におけるキャリア空乏化による実効的絶縁膜容量低下、添加不純物のチャネル領域への突き抜けによるしきい値電圧のばらつきなどの問題が指摘されている。これらの問題を解決するために、メタルゲート材料が提案されている。

【0004】

メタルゲート電極形成技術の一つに、ゲート電極の全てを Ni や Co でシリサイド化するフルシリサイドゲート電極技術がある。メタルゲート電極には、最適な動作閾値電圧でのデバイス動作を実現するために、導電型に応じて異なる仕事関数が必要とされている。

50

【 0 0 0 5 】

これは、M I S トランジスタの動作閾値電圧はゲート電極とゲート絶縁膜との界面におけるゲート電極の仕事関数 (e f f : 実効仕事関数) の変化に従って変調されるためである。導電型に応じて最適な仕事関数のゲート電極をそれぞれ作り分けることは、C M I S F E T の製造プロセスを煩雑化し、製造コストを増大させてしまうため、簡単にゲート電極の仕事関数を制御する方法の技術開発が行われている。

【 0 0 0 6 】

例えば、ニッケル (N i) シリサイドを用いたフルシリサイドゲート電極を形成する際に、N i の膜厚によりその組成を変化させることで、仕事関数を制御する試みがなされている (例えば、非特許文献 1、2 参照)。

10

【 0 0 0 7 】

しかしながら、導電型に応じて異なる膜厚の N i 膜を成膜し、N i - S i の組成制御を行なうためには、片方の電極をシリコン窒化膜などのハードマスクにより保護する工程が 2 回必要となり、製造プロセスが煩雑化する。非特許文献 1 では、p M I S のみ、多結晶 S i ゲート電極の高さをリアクティブ・イオン・エッチングにより低下させるという簡単な方法により導電型に応じて N i - S i 組成の制御を行っている。

【 0 0 0 8 】

また、非特許文献 2 においては、多結晶 S i G e 層を多結晶 S i 層の上部に用いて S i との溶液エッチングの選択性を利用し、多結晶 S i 層のゲート高さをコントロールすることで、同様に N i - S i 組成の制御を行い、電極の仕事関数を導電型に応じて適したものに制御している。

20

【 0 0 0 9 】

しかしながら、これら多結晶 S i 層の高さを低減させる方法では、元の高さの半分以下にする場合、5 n m 以下での膜厚制御が必要であって S i 基板面内での製造バラツキが大きくなり、L S I 回路としての歩留まりの低下をもたらしてしまう。また、これらの方法を用いて p チャンネル M I S トランジスタに、S i に対する N i の組成比が 1 より大きな N i シリサイドを形成する場合には、その形成過程において電極の体積が増大してしまい、それに伴いゲート電極直下にあるゲート絶縁膜に機械的ストレスを印加する。そのため、ゲート絶縁膜中に欠陥が形成され、絶縁性の劣化を生じる。また、その機械的なストレスはチャンネル領域へも印加され、その大きさは上記の製造バラツキによって変化するため、移動度のバラツキを増大させ回路性能を劣化してしまう。

30

【非特許文献 1】A. Lauwers et al., IEDM 2005 technical digest, p.661-664

【非特許文献 2】A. Veloso, et al., VLSI-sympo. 2006 technical digest, p.116-117

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 0 】

本発明は、上記事情を考慮してなされたものであって、製造のばらつきを抑制することができるとともに適切なしきい値電圧を有する M I S トランジスタを備えた半導体装置およびその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

40

【 0 0 1 1 】

本発明の第 1 の態様による半導体装置は、n 型半導体基板と、前記 n 型半導体基板に離間して形成された p 型の第 1 ソース・ドレイン領域と、前記第 1 ソース領域と前記第 1 ドレイン領域との間の前記 n 型半導体基板上に形成された第 1 ゲート絶縁膜と、前記第 1 ゲート絶縁膜上に形成され、S i に対する N i の組成比が 1 より大きな第 1 ニッケルシリサイド層と、この第 1 ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値が S i のそれよりも大きな金属を含みかつ S i に対する前記金属の組成比が前記 S i に対する N i の組成比より小さいシリサイド層と、を含む第 1 ゲート電極と、を有する p チャンネル M I S トランジスタと、を備えたことを特徴とする。

【 0 0 1 2 】

50

また、本発明の第2の態様による半導体装置は、基板と、前記基板上に形成されたn型半導体領域と、前記n型半導体領域に離間して形成されたp型の第1ソース・ドレイン領域と、前記第1ソース領域と前記第1ドレイン領域との間の前記n型半導体領域上に形成された第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に形成され、 S_i に対する N_i の組成比が1より大きな第1ニッケルシリサイド層と、この第1ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値が S_i のそれよりも大きな金属を含みかつ S_i に対する前記金属の組成比が前記 S_i に対する N_i の組成比より小さいシリサイド層と、を含む第1ゲート電極と、を有するpチャネルMISトランジスタと、前記基板上に前記n型半導体領域とは絶縁分離して形成されたp型半導体領域と、前記p型半導体領域に離間して形成されたn型の第2ソース・ドレイン領域と、前記第2ソース領域と前記第2ドレイン領域との間の前記p型半導体領域上に形成された第2ゲート絶縁膜と、前記第2ゲート絶縁膜上に形成され、前記第1ニッケルシリサイド層よりも S_i に対する N_i の組成比が小さな第2ニッケルシリサイド層を含む第2ゲート電極と、を有するnチャネルMISトランジスタと、を備えたことを特徴とする。

10

20

30

40

50

【0013】

また、本発明の第3の態様による半導体装置は、基板と、前記基板上に形成されたn型半導体領域と、前記n型半導体領域に離間して形成されたp型の第1ソース・ドレイン領域と、前記第1ソース領域と前記第1ドレイン領域との間の前記n型半導体領域上に形成された第1ゲート絶縁膜と、前記第1ゲート絶縁膜上に形成され、 S_i に対する N_i の組成比が1より大きな第1ニッケルシリサイド層と、この第1ニッケルシリサイド層上に形成され酸化物生成エネルギーの絶対値が S_i のそれよりも大きな金属を含みかつ S_i に対する前記金属の組成比が前記 S_i に対する N_i の組成比より小さいシリサイド層と、を含む第1ゲート電極と、を有するpチャネルMISトランジスタと、前記基板上に前記n型半導体領域とは絶縁分離して形成されたp型半導体領域と、前記p型半導体領域に離間して形成されたn型の第2ソース・ドレイン領域と、前記第2ソース領域と前記第2ドレイン領域との間の前記p型半導体領域上に形成された第2ゲート絶縁膜と、前記第2ゲート絶縁膜上に形成され、前記第1ニッケルシリサイド層と同じ組成比か、もしくは前記第1ニッケルシリサイド層よりも S_i に対する N_i の組成比が小さな第2ニッケルシリサイド層と、前記第2ニッケルシリサイド層と前記第2ゲート絶縁膜との界面に形成される A_1 層と、含む第2ゲート電極と、を有するnチャネルMISトランジスタと、を備えたことを特徴とする。

【0014】

また、本発明の第4の態様による半導体装置の製造方法は、n型シリコン基板上に、第1ゲート絶縁膜を形成する工程と、前記第1ゲート絶縁膜上にシリコン層を形成し、前記シリコン層および前記第1ゲート絶縁膜をゲート電極形状に加工する工程と、前記シリコン層の両側の前記n型シリコン基板の領域に、p型の第1ソース・ドレイン領域を形成する工程と、第1の N_i 膜を堆積させ、第1の熱処理することにより前記第1ソース・ドレイン領域上に第1ニッケルシリサイド層を形成するとともに、前記シリコン層上に第2ニッケルシリサイド層を形成する工程と、層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第2ニッケルシリサイド層の上面を露出させる工程と、前記第2ニッケルシリサイド層の上面を覆うように酸化物生成エネルギーの絶対値が S_i のそれよりも大きな金属の膜および第2の N_i 膜を順次形成する工程と、第2の熱処理することにより、前記シリコン層および前記第2ニッケルシリサイド層を、 S_i に対する N_i の組成比が1より大きな第3ニッケルシリサイド層と、この第3ニッケルシリサイド層上に形成され前記金属のシリサイド層との積層構造のゲート電極にする工程と、を備えたことを特徴とする。

【0015】

また、本発明の第5の態様による半導体装置の製造方法は、基板に素子分離領域によって分離されたn型半導体領域およびp型半導体領域を形成する工程と、前記n型半導体領域およびp型半導体領域に第1および第2ゲート絶縁膜をそれぞれ形成する工程と、前記

第1および第2ゲート絶縁膜上に、シリコン層を形成する工程と、前記シリコン層および前記第1および第2ゲート絶縁膜をゲート電極形状に加工し、前記第1ゲート絶縁膜上にゲート電極形状のシリコンからなる第1の層を形成するとともに前記第2ゲート絶縁膜上にゲート電極形状のシリコンからなる第2の層を形成する工程と、前記第1の層の両側の前記n型半導体領域にp型の第1ソース・ドレイン領域を形成する工程と、前記第2の層の両側の前記p型半導体領域にn型の第2ソース・ドレイン領域を形成する工程と、層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第1および第2の層の上面を露出させる工程と、前記第1および第2の層の上面を覆うように第1のNi膜を形成する工程と、第1の熱処理することにより前記第1および第2の層をそれぞれ第1および第2ニッケルシリサイド層にする工程と、前記第2ニッケルシリサイド層を含む前記p型半導体領域を絶縁膜で覆う工程と、前記第1ニッケルシリサイド層の上面を覆うように、酸化物生成エネルギーの絶対値がSiのそれよりも大きな金属の膜および第2のNi膜を順次形成する工程と、第2の熱処理することにより、前記第1ニッケルシリサイド層を、Siに対するNiの組成比が1より大きな第3ニッケルシリサイド層と、前記第3ニッケルシリサイド層上に形成され前記金属のシリサイド層との積層構造にする工程と、を備えたことを特徴とする。

【0016】

また、本発明の第6の態様による半導体装置の製造方法は、基板に素子分離領域によって分離されたn型半導体領域およびp型半導体領域を形成する工程と、前記n型半導体領域およびp型半導体領域に第1および第2ゲート絶縁膜をそれぞれ形成する工程と、前記第1および第2ゲート絶縁膜上に、シリコン層を形成する工程と、前記シリコン層および前記第1および第2ゲート絶縁膜をゲート電極形状に加工し、前記第1ゲート絶縁膜上にゲート電極形状のシリコンからなる第1の層を形成するとともに前記第2ゲート絶縁膜上にゲート電極形状のシリコンからなる第2の層を形成する工程と、前記第1の層の両側の前記n型半導体領域にp型の第1ソース・ドレイン領域を形成する工程と、前記第2の層の両側の前記p型半導体領域にn型の第2ソース・ドレイン領域を形成する工程と、層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第1および第2の層の上面を露出させる工程と、前記第1および第2の層の上面を覆うように酸化物生成エネルギーの絶対値がSiのそれよりも大きな第1金属の膜および第1のNi膜を順次形成する工程と、第1の熱処理することにより、前記第1および第2の層のそれぞれを、Siに対するNiの組成比が1より小さな第1ニッケルシリサイド層と、前記第1ニッケルシリサイド層上に形成され前記第1金属のシリサイド層との積層構造を有する第3および第4の層にする工程と、前記第4の層を含む前記p型半導体領域を絶縁膜で覆う工程と、前記第3の層の上面を覆うように、酸化物生成エネルギーの絶対値がSiのそれよりも大きな第2金属の膜および第2のNi膜を順次形成する工程と、第2の熱処理することにより、前記第3の層を、Siに対するNiの組成比が1より大きな第2ニッケルシリサイド層と、前記第2ニッケルシリサイド層上に形成され前記第2金属のシリサイド層との積層構造にする工程と、を備えたことを特徴とする。

【0017】

また、本発明の第7の態様による半導体装置の製造方法は、基板に素子分離領域によって分離されたn型半導体領域およびp型半導体領域を形成する工程と、前記n型半導体領域およびp型半導体領域に第1および第2ゲート絶縁膜をそれぞれ形成する工程と、前記第1および第2ゲート絶縁膜上に、シリコン層を形成する工程と、前記シリコン層および前記第1および第2ゲート絶縁膜をゲート電極形状に加工し、前記第1ゲート絶縁膜上にゲート電極形状のシリコンからなる第1の層を形成するとともに前記第2ゲート絶縁膜上にゲート電極形状のシリコンからなる第2の層を形成する工程と、前記第1の層の両側の前記n型半導体領域にp型の第1ソース・ドレイン領域を形成する工程と、前記第2の層の両側の前記p型半導体領域にn型の第2ソース・ドレイン領域を形成する工程と、第1のNi膜を堆積させ、第1の熱処理することにより前記第1および第2ソース・ドレイン領域上に第1および第2ニッケルシリサイド層をそれぞれ形成するとともに、前記第1お

よび第2の層上に第3および第4ニッケルシリサイド層を形成する工程と、層間絶縁膜を堆積し、前記層間絶縁膜をエッチバックすることにより前記第3および第4ニッケルシリサイド層の上面を露出させる工程と、前記第3および第4ニッケルシリサイド層の上面を覆うように酸化物生成エネルギーの絶対値がSiのそれよりも大きな金属の膜および第2のNi膜を順次形成する工程と、第2の熱処理することにより、前記第3および第4ニッケルシリサイド層のそれぞれを、Siに対するNiの組成比が1より大きな第5ニッケルシリサイド層と、この第5ニッケルシリサイド層上に形成され前記金属のシリサイド層との積層構造を有する第1および第2ゲート電極にする工程と、前記第1ゲート絶縁膜と、前記第1ゲート電極の前記第5ニッケルシリサイド層との界面にAlを偏析させる工程と、を備えたことを特徴とする。

10

【発明の効果】

【0018】

本発明によれば、製造のばらつきを抑制することができるとともに適切なしきい値電圧を有するMISトランジスタを備えた半導体装置およびその製造方法を提供することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明の実施形態について図面を参照して詳細に説明する。なお、本発明は、以下の実施形態に限定されるものではなく種々工夫して用いることができる。また、各図は発明の説明とその理解を促すための模式図であり、その形状や寸法、比などは実際の装置と異なる個所があるが、これらは以下の説明と公知の技術を参酌して適宜、設計変更することができる。

20

【0020】

なお、各実施形態においては、MISトランジスタまたはCMISトランジスタについて説明するが、本発明は、これらMISトランジスタが集積化したロジック回路等が混載されたシステムLSIやメモリ等にも適用できる。

【0021】

(第1実施形態)

本発明の第1実施形態によるpチャネルMISFETを図1に示す。図1は、本実施形態によるMISFETのゲート長方向の断面図である。

30

【0022】

本実施形態のpチャネルMISFETは、図1に示すように、n型シリコン基板1に離間して形成されたp型のソースおよびドレイン領域5a、5bと、ソース領域5aとドレイン領域5bとの間の、チャンネルとなるシリコン基板1の領域上に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極5とを備えている。ソース領域5aおよびドレイン領域5bの上面にはNiSi層13が形成され、ゲート電極15の側面には絶縁体からなるゲート側壁14が形成されている。なお、ソース領域5aは、接合深さの深いp型不純物領域5a₁と、接合深さの浅いp型不純物領域(エクステンション領域)5a₂とを有している。またドレイン領域5bは、接合深さの深いp型不純物領域5b₁と、接合深さの浅いp型不純物領域(エクステンション領域)5b₂とを有している。

40

【0023】

ゲート絶縁膜11は、HfSiON膜であり、その物理膜厚は5nm以下が望ましい。ゲート電極15は、層15a、15bから成る積層構造を有しており、ゲート絶縁膜11に接する側の層15aはNiシリサイド層である。このNiシリサイド層15aは、NiとSiの組成比が3:1であるNi₃Si相であり、その層厚は53nmである。Niシリサイド層15aの上部に形成される層15bは斜方晶のTiSi₂からなるシリサイド層であり、その層厚は16nmである。なお、図1では、Niシリサイド層15aの全てが上述のNi₃Si結晶相であった。しかし、ゲート電極15におけるゲート絶縁膜11との界面領域にNi₃Si結晶相が層状に形成されていれば仕事関数に変化はない。この

50

ため、Niシリサイド層15aはゲート絶縁膜11との界面領域にNi₃Si結晶相が層状に形成されその上に他の結晶相のNiシリサイドが形成された構成であってもよい。

【0024】

なお、本実施形態においては、ゲート絶縁膜11とゲート電極5から成るゲート構造のソース領域5aとドレイン領域5b間の長さ(ゲート長)は、40nm以下が好ましい。

【0025】

Ni₃Siの実効仕事関数は4.8eVであり、pチャネルMISトランジスタに好ましいシリコンのバンドギャップの中央の値よりも大きな実効仕事関数 e_{ff} を有する。特に、高速動作のpチャネルMISデバイスでは、4.85eV以上の実効仕事関数 e_{ff} であれば、0.5eV以下の低しきい値電圧が容易に実現できる。ここで、実効仕事関数 e_{ff} とは、ゲート絶縁膜との界面のゲート電極の仕事関数であり、MIS型キャパシタのC-V特性から求まるフラットバンド電圧 V_{fb} のゲート絶縁膜の膜厚依存性より、酸化膜の膜厚が「0」の場合のフラットバンド電圧 V_{fb} を直線外挿することにより抽出し、シリコン基板の不純物濃度から求まる基板のフェルミレベルを用いてゲート電極の実効仕事関数 e_{ff} を抽出したものである。実効仕事関数 e_{ff} の値はゲート絶縁膜と接しているゲート電極の界面のフェルミレベルにより決まる。なお、本実施形態では e_{ff} の抽出に際して、 V_{fb} の絶縁膜の膜厚依存性より、絶縁膜とシリコン基板との界面の固定電荷のみ差し引くことで e_{ff} を抽出しており、HfSiONからなるゲート絶縁膜11中に固定電荷は存在しないと仮定している。実際には、界面の固定電荷量よりは、1桁以上面密度としては少ないもののゲート絶縁膜中に固定電荷は存在しており、それにより抽出される e_{ff} の値は0.05eV程度の誤差を含むが、どちらにせよ低閾値電圧を実施するために必要な e_{ff} を実現可能であることにはかわりない。

10

20

【0026】

一方、上層にTiSi₂層15bを用いることで、製造工程において電極を界面固相反応により多結晶シリコン電極からシリサイド電極に相変化させる場合に生じる堆積変化を小さくでき、デバイスの信頼性の向上およびストレス印加に伴う性能劣化、及びデバイス製造時のバラツキを抑制することができる。その詳細は、後述する本実施形態のMISトランジスタの製造方法で説明する。

【0027】

HfSiON以外のゲート絶縁膜材料としては、例えば、SiON、Si₃N₄、Al₂O₃、Ta₂O₅、TiO₂、La₂O₅、CeO₂、ZrO₂、HfO₂、SrTiO₃、Pr₂O₃等の高誘電体(high-k)がある。但し、それぞれの材料においてシリコン酸化物に金属イオンを混ぜた材料であるシリケートも有効であるし、LaAl酸化物、LaHf酸化物のような、それらの材料を組み合わせたものでもよい。各世代のトランジスタおよびその製造工程に必要な耐熱性を有する材料を適宜選択して用いればよい。

30

【0028】

なお、デバイスに要求されるしきい値電圧が高い場合は、本実施形態で用いているNi₃Siよりも実効仕事関数 e_{ff} が小さく、シリコンのバンドギャップの中央の値に近い材料、例えばNi₂Si結晶相を層15aに用いればよい。なお、Ni₂Siの e_{ff} は4.75eVである。

40

【0029】

また、本実施形態はトランジスタを低閾値化する基板技術との併用も無論有効である。具体的には、バンドギャップの小さいSiGe、SiC及びSiGeCなどの混晶半導体をチャネル材料に用いることや、NやFイオンのチャネル部偏析によるしきい値電圧制御技術が挙げられる。これらの基板技術は、ゲート電極の e_{ff} 制御によるしきい値電圧の低下効果とは独立に制御可能であり、それぞれの効果も完全に独立であることから、それらを併用することで所望のしきい値電圧を実現してもよい。

【0030】

ゲート電極15の高さ、すなわちNi₃Si層15aと、TiSi₂層15bとの層厚

50

の合計については、100nm以下が好ましく、ゲート長の縮小に応じて低くする必要がある。ゲート長に対して高すぎる場合には、機械的強度が不十分となり製造工程中にその構造を維持できず、デバイス製造を困難にする。典型的には、ゲート長の2倍～3倍の高さが好ましい。また、低すぎる場合にもゲート電極として必要とされるシート抵抗値を満たさずにデバイス特性の劣化を招くため、それぞれのデバイス技術世代に応じて必要とされるシート抵抗を達成するのに必要な高さを保持する必要があり、少なくとも20nm以上の高さは必要である。

【0031】

上述したように、非特許文献1および2では、 Ni_3Si や Ni_2Si などの、 Si に対する Ni の組成比1より大きなシリサイドを形成する際が多結晶シリコン電極からの体積膨張率は、小さくできないため、信頼性劣化や、チャンネル移動度のバラツキが生じてしまう。それに対し、本実施形態では、 Si に対する Ti の組成比が Ni シリサイドの Si に対する Ni の組成比より小さい Ti シリサイドを形成することにより体積膨張率そのものを小さくするため、上記の信頼性及び移動度バラツキに対して抑制効果を有する。

10

【0032】

本実施形態では、上層15bの Ti シリサイド相の Si に対する Ti の組成比は $Ti/Si = 1/2$ であるが、 Ni シリサイド層15aにおける Si に対する Ni の組成比が $Ni/Si = 3$ なので、 $Ti/Si = 3$ よりも小さければ、相変化させる場合に生じる堆積変化によるデバイス性能の劣化は軽減できる。よって、上層15bは、 Ti シリサイド相(Ti_5Si_3 、 $TiSi_2$)及びこれらの相が混ざり合った合金膜であってもよい。但し、その際に、 Si に対する Ti の組成比がより小さな相であるほうが、上記効果は有効的に働く。

20

【0033】

なお、 Ti シリサイド相は、酸素元素を含む $TiSiO$ 層であってもよいし、 TiO_2 相を含有又は、 $TiO_2/TiSi_2$ のような積層構造であってもかまわない。製造プロセスにおいて、 Ti は、 Ni シリサイドから酸素を還元する効果がある。後述するように、本実施形態のMISトランジスタの製造にはこの効果を用いて実現される。よって、製造工程において Ni シリサイド中又は、その表面に多量の酸素を含む場合、その酸素が Ti シリサイドに含まれ、上記 $TiSiO$ や TiO_2 を形成する場合がある。その場合も $Ti/Si = 3$ よりも小さい組成比の相を形成すれば上記効果は得られる。但し、酸素を多量に含有する層が形成されている場合には、配線プラグの形成前に十分にコンタクト部の酸化層を除去する工程が必要となる。以下の実施形態も最もゲート電極高さ低減に大きな効果のある $TiSi_2$ 層をゲート電極上部に形成した場合について示すが、それ以外の上記 Ti 含有層を用いてもよい。

30

【0034】

また、ゲート電極の結晶粒サイズに至っても、実効仕事関数 eff のばらつきの観点からゲート長の1/2以下の粒サイズが好ましい。

【0035】

なお、本実施形態は、上述のようにバルク基板上に形成したトランジスタのしきい値電圧の低減に優れた仕事関数を実現できるため、図1に示したように、基板1はバルク基板であることが好ましい。無論、ゲート電極の仕事関数の制御効果は、 Si 基板の構造に独立した効果であるので、SOI基板にも適用できる。例えば、一般的に、SOI基板上に形成された完全空乏型のトランジスタでは、バルク基板上のトランジスタよりも、しきい値電圧が低下する。このため、SOI基板上に低消費電力型のトランジスタを実現するためには、本実施形態のnチャンネルMISトランジスタとpチャンネルMISトランジスタのゲート電極構造を入れ替えたゲート積層構造を適用することが有効である。また、本実施形態では、チャンネル領域には Si を用いているが、 Si よりも移動度の大きい $SiGe$ 、 Ge 及び歪 Si 等を用いても構わない。

40

【0036】

また、ここでは、ソース・ドレイン領域は、現行のトランジスタ構造で用いられている

50

高濃度の不純物を含むシリコン層を形成しているが、シリサイドに置き換えるショットキー型ソース・ドレイン構造を用いても良いし、そのシリサイドとシリコン基板との界面に不純物を偏析された、偏析ショットキー構造を用いてもよい。また、SiGe混晶や、SiにCを5%以下添加したSiC混晶などを拡散層領域に埋め込み、チャンネル部に1軸性歪みを印加する構造であってもよい。各デバイス世代において、最適なソース・ドレイン構造を用いればよい。

【0037】

(第1実施形態の製造方法)

第1実施形態の半導体装置の製造方法を、図2乃至図5を参照して説明する。

【0038】

まず、シリコン基板1の表面にゲート絶縁膜として用いるHfSiON膜11をMOCVD(Metal Organic Chemical Vapor Deposition)法により形成する。高誘電体からなる絶縁膜を形成する場合には、MOCVD法の他にALD(Atomic Layer Deposition)法などの成膜方法を用いてもよいし、それにSiやN等を添加したものをを用いればよい。

【0039】

その後、減圧CVDにより、ゲート電極として用いる多結晶シリコン層を40nm堆積する。リソグラフィ技術および異方性エッチングを用いて多結晶シリコン層15dおよびゲート絶縁膜11のパターニングを行い、ゲート電極形状に加工する(図2)。

【0040】

次に、ボロンをイオン注入することにより高不純物濃度でかつ接合深さの浅いエクステンション領域5a₂、5b₂を形成する。エクステンション領域の形成には、選択エピタキシャル成長法を用いデバイス特性としても短チャンネル効果の抑制が可能であるエレベート型エクステンション領域を用いてもよい。また、エレベート型エクステンション領域の形成の際に、同時に不純物を導入してもよい。

【0041】

次に、ゲート電極とソース・ドレイン領域の絶縁のための側壁14を形成する。その後、エクステンション領域5a₂、5b₂の形成時よりも、大きな加速電圧によりボロンのイオン注入を行い、高不純物濃度でかつエクステンション領域5a₂、5b₂よりも接合が深い不純物領域5a₁、5b₁を形成する。これによりソース・ドレイン領域5a、5bが形成される(図2)。

【0042】

次に、膜厚が8nmのNi膜をスパッタ法で成膜し、その後、400の熱処理を行うことで、ソース・ドレイン領域5a、5bおよび多結晶シリコン層5dの上部にNiSi層13を形成する。NiSi層13以外の領域の未反応のNiをH₂SO₄溶液で選択エッチングすることでNiSi層13がソース・ドレイン領域5a、5bおよび多結晶シリコン層5d上にのみ選択的に形成する(図3)。

【0043】

次に、減圧CVDにより層間絶縁膜となるシリコン酸化膜20を堆積し、CMP(chemical mechanical polishing)によりゲート電極のNiSi層13の上面を露出させる。続いて、膜厚が8nmのTi膜30、膜厚33nmのNi膜31を順次スパッタ法により成膜する(図4)。その後、500の低温熱処理を行うことで、多結晶シリコン層5dは図1に示すような下層15aにNi₃Si相、上層15bにTiSi₂相を有する積層構造に変化する。この熱処理工程は、熱処理温度及びTi膜30の膜厚にも依存するが、10秒以上1時間以下で行うことが好ましい。熱処理工程は1時間より長い時間行われると、生産性の観点から製造コストを増大させてしまう。10秒以下であると、素子によっては、界面にNiが十分に拡散していないものが存在する。温度範囲としては300以上600以下である必要がある。300より低いと、Niの拡散速度が遅く生産コストを増大させ、600より高いと、ゲート絶縁膜11との界面においてゲート絶縁膜11にダメージを与え、デバイスの信頼性を劣化させる。

【0044】

10

20

30

40

50

上記反応は、Ni膜31と、多結晶シリコン層5d上のNiSi層13との界面に還元性の強いTi膜30を形成することで、NiSi層13の表面の自然酸化膜層を還元できるため、それによりNi膜21と、NiSi層13との界面反応を促進することによる。通常、Niシリサイド層を大気に曝してしまうと最表面に酸化層又は、酸素を多く含むNiSiO層が形成する。そのため、多結晶シリコン層5d上のNiSi層13上に直接Ni膜31を成膜した場合には、その酸化層によりNi膜とNiSi層13との界面の固相反応が阻害され反応が進行しない。また、その酸化膜はSi上の自然酸化膜のように希フッ酸処理では選択的に除去できない。そこで、本実施形態の製造方法では、還元作用の強いTi膜30をNi膜とNiSi層13との界面に挿入することで多結晶シリコン層5d上のNiSi層13の表面酸化層を還元し、Niの拡散を促進させることで、ゲート絶縁膜11との界面までNi₃Si層5aを形成することを可能にした。後述するように、Tiの挿入膜厚は、目的とする高さのゲート電極が得られるように制御すればよい。但し、Ti膜20の膜厚が厚くなるとNiの多結晶シリコン層中への供給速度が遅くなる。この場合は、600以上の高温、又は1時間以上の長時間熱処理が必要となるので、Ti膜30の膜厚は20nm以下が好ましい。また、有効なTi膜30の膜厚の薄膜限界は、NiSi層13の表面の酸化状態により異なる。NiSi層13の表面及びその近傍に形成している酸化膜相及び酸素含有量が多い場合には、その酸素を十分に還元可能なTi膜30の膜厚が必要となる。よって少なくともTi膜30は1nm以上の膜厚が必要である。また、スパッタ法によるTi膜30の均一に形成する限界膜厚も鑑みると、5nm以上であることが好ましい。本実施形態のように、多結晶シリコン電極の高さが40nmの場合、Tiを1nm挿入する場合には、TiSi₂層が2nm形成されるが、Tiを20nm挿入するとすべてのSiがTiSi₂層の形成に消費されるためゲート絶縁膜との界面にNi₃Si層が形成されない。Ni₃Si層の厚さは、製造プロセスの各MISトランジスタごとのバラツキを鑑み、安定して形成するためにはNi₃Si層は5nm以上必要である。よって、本実施形態の場合の最大のTi挿入膜厚は16nmであり、その場合のTiSi₂層の厚さは32nmになる。この範囲内であれば、Ti挿入膜厚さを制御することによって体積膨張率を制御でき、図6に示すように、ゲート電極の高さを自由に变化させることができる。Ni成膜厚さはTiSi₂層の形成に消費されないSiをNi₃Siに変化させるのに十分な量をTi上に成膜すればよい。残りのSi量に対して、1.8倍以上であればよい。

【0045】

以下に、本実施形態におけるTi挿入方法によるNi膜とNiSi層との界面反応を促進できる効果を検討した結果を示す。図5は、Ti膜のNi膜とNiSi層との界面への挿入の有無による熱処理後の電極の結晶構造をXRD(X-ray diffractometry)の回折により分析した結果を示す図である。Ni膜とTi膜の成膜前の電極構造は、上層が層厚30nmのNiSi層、下層が層厚30nmの多結晶シリコン層の積層構造であった。Ti膜の挿入膜厚は4nmであり、Ni膜の膜厚は60nmであった。成膜後に500、5分の熱処理を窒素雰囲気中で行っている。Ti膜を界面に挿入しない場合には、NiSi相に起因する回折ピークが見られた。これにより、Ni膜とNiSi層との界面反応に伴うNi₃Si相の形成が進行していないことが分かる。

【0046】

一方、Ti膜を挿入した場合には、処理前のNi₃Si相に起因する回折ピークが主でありNiが多結晶シリコン層中に拡散することでNiSiからNi₃Siへ相変化していることがわかる。この場合、Ni₃Si層15aが形成されたのは、Ni膜の膜厚がNi₃Si層15aを形成するために十分であったからである。Ni膜の膜厚を60nmよりも薄く制御すればNi₂Siを形成することも可能である。Ti膜を挿入した場合にも一部回折強度の弱いNiSi相の回折ピークが確認でき、一部反応が進行していないNiSi領域が局所的に残留していることが分かる。これは、上記のNiSi表面の酸化状態に対してTi膜の膜厚が十分でなかったか、或いはTi膜の均一性に起因して未反応部が形成されてしまったことによる。どちらの原因の場合にしても、Ti膜を厚くすることで、

その均一性は製造工程において問題にならない程度に改善可能である。

【0047】

Ti膜の挿入方法以外にNiSi層13の表面の酸素をプレスパッタにより除去する方法が考えられるが、その場合、ゲート電極以外の層間絶縁膜17上もスパッタエッチングしてしまい、絶縁性の劣化及びトランジスタ動作のバラツキを増大させてしまう。

【0048】

上記の製造方法で、TiSi₂層15bとNi₃Si層15aの積層構造からなるゲート電極15を形成後、酸溶液処理により未反応のNi及びTiを除去することで、図1に示す第1実施形態のMISトランジスタが得られる。

【0049】

本実施形態の製造方法を用いることで、ゲート電極のフルシリサイド化工程前のソース・ドレイン領域のシリサイド層13の形成時にゲート電極をSiN膜で保護する必要がなくなる。これにより、SiN膜の成膜、加工、剥離のそれぞれの工程が不要になり、製造工程数を減らすことが可能になる。

【0050】

第1実施形態で説明したように、Ni₃Si層15aの上部にTiSi₂相を有するシリサイド層15bを形成することで、多結晶シリコン層5dからの堆積膨張を軽減することが可能である。本実施形態の多結晶シリコン層5dの高さが40nmの場合に、Ti膜20の挿入膜厚とTiSi₂層15bとNi₃Si層15aとの積層構造からなるゲート電極、Ni₃Si層15aの高さ、およびTiSi₂層15b高さの関係を図6に示す。Ti膜の膜厚の増加に伴いシリコンの組成が大きなTiSi₂層15bが厚くなるため、シリサイド電極形成に伴うゲート電極の体積膨張率が小さくなり、ゲート電極の高さを低減できることが分かる。製造時にTi膜を挿入しない場合には多結晶シリコン層の高さの2.36倍になってしまい、ゲート絶縁膜11の直上のゲート電極15の体積膨張に伴いゲート絶縁膜11に歪みが印加され、それに伴って欠陥がゲート絶縁膜に生成され、ゲート絶縁膜の信頼性が劣化してしまう。また、チャネル部のSiにも歪みが加わり、チャネル移動度のバラツキが生じてしまう。それにより、LSIの回路設計を困難にする。それに対し、膜厚10nmのTi膜を挿入することで、ゲート電極の膨張率は多結晶シリコン層の1.5倍に抑えられ、さらに、Ti膜の膜厚を16nm程度にすれば、TiSi₂層とNi₃Si層との積層構造を有するゲート電極の形成後も、ゲート高さの変化は10%以下に抑えられる。このように挿入するTi膜の膜厚を制御することで、ゲート電極の高さを連続的に変化させることが可能となり、上記の信頼性及びデバイス性能の劣化を抑制することが可能である。

【0051】

また、層厚が40nmの多結晶シリコン層上にNiを堆積させ、Ni₂Si及びNiSi相のゲート電極をそれぞれ形成した。このときのゲート電極高さは、図6に示すように、Ni₂Siの場合が59nm、NiSiの場合が45nmであった。第2実施形態以降で示すように、CMISデバイスを構成する場合にそれぞれのトランジスタのしきい値電圧の調整のため、導電型に応じてゲート電極のNi-Si組成を変化させることが好ましい。しかしながら、その場合、図6に示すように同じ高さの多結晶シリコン層を用いて組成の異なるシリサイドゲートを形成する場合に高さに差が生じてしまい、上部配線層とのコンタクトプラグの形成を困難にしてしまう。

【0052】

しかし、本実施形態で説明したTi膜の挿入プロセスを適用すれば、Ti膜の挿入膜厚に応じて、Ni-Si組成とは独立にゲート電極の高さを制御可能となるので、上記問題を解決できる。例えば、nチャネルMISトランジスタがNiSi電極の場合には、Tiを15.5nm挿入すればp型に適用するTiSi₂/Ni₃Siからなるゲート電極の高さが45nmになり、両トランジスタでゲート電極の高さが一致する。また、nチャネルMISトランジスタがNi₂Si電極の場合には、膜厚11nmのTi膜を挿入すればpチャネルMISトランジスタに適用するTiSi₂/Ni₃Siからなるゲート電極の

10

20

30

40

50

高さが59nmになり、この場合も両トランジスタでゲート電極の高さが一致する。但し、シリサイドを形成する前の多結晶シリコン層は多結晶構造であるため、各トランジスタ間でのゲート電極の高さは5nm~10nm程度のバラツキが存在している。このバラツキは、シリサイドゲート電極を形成した場合にも存在し、体積膨張によりバラツキ程度は大きくなるが、上記のコンタクトプラグ形成時のプロセス条件の最適化により許容できる範囲となる。pチャネルMISトランジスタおよびnチャネルMISトランジスタおけるゲート電極の高さを実質的に同じにすることによって、コンタクトホール形成の際の層間絶縁膜のエッチング深さが揃い、プロセス条件の設定が容易になり、歩留まりが向上する。

【0053】

上記の両方の導電型のトランジスタのゲート電極高さの差を小さくすることは、上述したように、リアクティブ・イオン・エッチング(RIE)を用いる方法(非特許文献1参照)やSiGeキャップ層を用いる方法(非特許文献2参照)でも可能である。但し、どちらの場合にも、5nm以下の多結晶シリコン層の膜厚制御が困難であるため、両導電型でゲート高さを一致させることは困難である。

【0054】

それに対して、本実施形態では、膜制御はNiまたはTiの成膜で制御可能であるため、約1nmでの制御が可能である。無論、本発明の一実施形態と多結晶シリコンゲートの高さを制御する上記の方法を併用してもかまわないが、上記方法を用いて多結晶シリコンゲートの高さを低くする場合には、その膜厚制御性を考慮し、バラツキが顕著に生じない範囲で用いる必要がある。典型的には、多結晶シリコンゲートの高さは、初期高さの1/2以上である必要がある。

【0055】

熱処理温度が低い場合、或いはTi膜の膜厚が厚い場合には上層のシリサイド層にTiSi₂ではなく、Ti₅Si₃やそれにNiが固溶しているシリサイド相が形成される。この場合、TiSi₂に比較し上記のゲート電極の膨張抑制効果が小さくなるが、ゲート電極を全てNi₃Si相にする場合よりもゲート高さは低くすることができる。

【0056】

本実施形態では、NiSi層の表面の酸化物層を還元する金属としてTiを用いたが、その還元性の強い金属元素を用いてもよい、具体的には、HfやZrが挙げられる。これらの金属はシリッチなシリサイドが安定であり、HfSi₂やZrSi₂を形成することで、Tiの場合と同様にゲート電極の高さを制御することが可能である。また、それ以外の組成のシリサイドでもHfまたはZrとSiとの組成比(=Hf/SiまたはZr/Si)が3よりも小さい組成であれば、ゲート電極の体積膨張を抑制することが可能である。図7はこれらの金属の酸化物生成エネルギー、Si消費量及びそれぞれのシリサイドの比抵抗をまとめたものである。これらの金属は、Siに比べて絶対値が大きな酸化物生成エネルギーを有するので、Ni₂Si層表面のニッケルあるいはシリコンの酸化物を容易に還元することができる。これにより、この後に実施するニッケルとニッケルシリサイドとの固相反応をスムーズに生じさせることが可能になる。C54-TiSi₂相の比抵抗はNi₃SiやNi₂Siの比抵抗値よりも小さく、ゲート電極の比抵抗を低減できる効果を合わせ持ち、Hf、Zよりも適した材料である。

【0057】

以上説明したように、本実施形態によれば、製造のばらつきを抑制することができるとともに適切なしきい値電圧を有するMISトランジスタを備えた半導体装置およびその製造方法を提供することができる。

【0058】

(第2実施形態)

次に、本発明の第2実施形態によるCMISFETを図8に示す。図8は、第2実施形態によるCMISFETのゲート長方向の断面図である。

【0059】

本実施形態のCMISFETは、p型シリコン基板2に、例えばSiO₂からなる素子分離領域3によって分離されたn型ウェル領域4Aとp型ウェル領域4Bとが形成され、n型ウェル領域4AにはpチャネルMISFETが形成され、p型ウェル領域4BにはnチャネルMISFETが形成されている。

【0060】

pチャネルMISFETは、図8に示すように、n型ウェル領域4Aに離間して形成されたp型のソースおよびドレイン領域5a、5bと、ソース領域5aとドレイン領域5bとの間の、チャネルとなるn型ウェル領域4A上に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極5とを備えている。ソース領域5aおよびドレイン領域5bの上にはNiSi層13が形成され、ゲート電極15の側面には絶縁体からなるゲート側壁14が形成されている。なお、ソース領域5aは、高不純物濃度でかつ接合深さの深いp型不純物領域5a₁と、高不純物濃度でかつ接合深さの浅いp型不純物領域(エクステンション領域)5a₂とを有している。またドレイン領域5bは、高不純物濃度でかつ接合深さの深いp型不純物領域5b₁と、高不純物濃度でかつ接合深さの浅いp型不純物領域(エクステンション領域)5b₂とを有している。

10

【0061】

また、nチャネルMISFETは、図8に示すように、p型ウェル領域4Bに離間して形成されたn型のソースおよびドレイン領域6a、6bと、ソース領域6aとドレイン領域6bとの間の、チャネルとなるp型ウェル領域4B上に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極6とを備えている。ソース領域6aおよびドレイン領域6bの上にはNiSi層13が形成され、ゲート電極16の側面には絶縁体からなるゲート側壁14が形成されている。なお、ソース領域6aは、高不純物濃度でかつ接合深さの深いn型不純物領域6a₁と、高不純物濃度でかつ接合深さの浅いn型不純物領域(エクステンション領域)6a₂とを有している。またドレイン領域6bは、高不純物濃度でかつ接合深さの深いn型不純物領域6b₁と、高不純物濃度でかつ接合深さの浅いn型不純物領域(エクステンション領域)6b₂とを有している。

20

【0062】

ゲート絶縁膜11は、pチャネルMISFETおよびnチャネルMISFETの双方とも少なくともHfSiON膜であり、その物理膜厚は5nm以下が望ましい。

【0063】

n型ウェル領域4A上のゲート電極15は、第1実施形態のpチャネルMISFETの電極構造と同じ2層からなる積層構造を有しており、上層15bがTiSi₂相のTiシリサイド層であり、下層15aがNi₃Si相のNiシリサイド層である。一方、p型ウェル4A上のゲート電極16は、NiSi相のNiシリサイド層16aからなっている。

30

【0064】

これらのゲート絶縁膜11とゲート電極15、16から成るゲート構造のソース・ドレイン間の長さ(ゲート長)は、両導電型ともに、30nm以下が好ましい。

【0065】

nチャネルMISトランジスタとpチャネルMISトランジスタは相補的に働き、これらでCMISデバイスが構成される。ゲート電極15と16のゲート高さの比は同じ多結晶シリコンをNiの膜厚によりNiシリサイドの組成制御した場合のNi₃Si電極とNiSi電極の高さの比である1.88よりも小さい。これにより、上部配線とゲート電極を繋ぐコンタクトビアの形成が容易になり、LSI製造の歩留まりが改善される。また、詳しくは、本実施形態の製造方法で述べるが、本実施形態の構造は第1実施形態と同様にpチャネルMISトランジスタのゲート電極の体積膨張を抑制し、その高さを低減させることが可能であり、製造時のバラツキを抑制できる。

40

【0066】

本実施形態では、導電型に応じてしきい値電圧を最適にできるように実効仕事関数 e_{ff} が異なるゲート電極構造を有している。本実施形態のnチャネルMISトランジスタでのゲート電極層はNiSi層16aであり、その実効仕事関数 e_{ff} はHfSiON

50

上においてSiミッドギャップレベルよりも小さい 4.51 eV であることから、nチャネルMISトランジスタの低いしきい値電圧動作を実現できる。また、pチャネルMISトランジスタのゲート絶縁膜11と接するゲート電極15は Ni_3Si 層15aである。その実効仕事関数 ϕ_{eff} は HfSiON 上で 4.80 eV であり、pチャネルMISトランジスタにおいて低いしきい値電圧を実現するために適した実効仕事関数 ϕ_{eff} を有する。また、本実施形態はトランジスタを低しきい値電圧化する基板技術との併用も無論有効である。具体的には、バンドギャップの小さいSiGe、SiC及びSiGeCなどの混晶半導体をチャネル材料に用いることや、NやFイオンのチャネル部偏析によりしきい値電圧制御技術が挙げられる。

【0067】

(第2実施形態の製造方法)

次に、第2実施形態の半導体装置の製造方法を、図9乃至図11を参照して説明する。まず、図9に示すように、p型シリコン基板2に素子分離領域3を形成する。この素子分離領域3は、局所酸化法やシャロー・トレンチ法で形成することもできるし、メサ型でも構わない。その後、イオン注入することによりp型ウェル4A、n型ウェル4Bを形成する。続いて、シリコン基板2の表面に、 HfSiON からなるゲート絶縁膜11を形成する。続いて、減圧CVDにより、ゲート電極として用いる多結晶シリコン層17を 40 nm 堆積する。その上部にはソース・ドレイン領域の NiSi 層形成のときにハードマスクとして用いるSiN層18を堆積する。リソグラフィ技術および異方性エッチングを用いてSiN層18、多結晶シリコン層17、およびゲート絶縁膜11をパターンニングし、ゲート電極形状に加工する。SiN層18の堆積は、第1実施形態で説明したように、ゲート電極もソース・ドレイン領域の NiSi 層の形成と同時に NiSi 層を形成する方法を用いれば、省略することも可能である。

【0068】

次に、pチャネルMISトランジスタの形成領域にボロンをイオン注入することにより、高不純物濃度でかつ接合深さが浅いp型のエクステンション領域 $5a_2$ 、 $5b_2$ を形成する。また、nチャネルMISトランジスタの形成領域に、リンをイオン注入することにより、高不純物濃度でかつ接合深さが浅いn型のエクステンション領域 $6a_2$ 、 $6b_2$ を形成する。続いて、ゲート電極とソース・ドレイン領域の絶縁のための側壁14を形成する。その後、エクステンション領域の形成のときよりも、大きな加速電圧により、pチャネルMISトランジスタ形成領域にボロンのイオン注入を行い、高不純物濃度でかつ接合深さが深い不純物領域 $5a_1$ 、 $5b_1$ を形成し、nチャネルMISトランジスタ形成領域にリンのイオン注入を行い、高不純物濃度でかつ接合深さが深い不純物領域 $6a_1$ 、 $6a_2$ を形成する(図9)。

【0069】

次に、基板全面に膜厚 8 nm のNi膜(図示せず)をスパッタ法で成膜し、続いて、 400°C の熱処理を行うことで、ソース・ドレイン領域の上部に NiSi 層13を形成する。それ以外の領域の未反応のNiを H_2SO_4 溶液で選択エッチングすることで NiSi 層13がソース・ドレイン領域 $5a$ 、 $5b$ 、 $6a$ 、 $6b$ にのみ選択的に形成される(図9)。

【0070】

その後、減圧CVDにより酸化シリコンからなる層間絶縁膜20を堆積し、CMPによりSiN層18の上面を露出させる(図9)。

【0071】

次に、SiN層18を剥離した後に、希フッ酸などの表面処理により多結晶シリコン層17上の自然酸化膜を除去し、膜厚 23 nm のNi膜(図示せず)をスパッタ法により成膜する。その後、 500°C の低温熱処理を行うことで、両導電型のゲート電極の多結晶シリコン層17が共に NiSi 層19に変化する(図10)。続いて、未反応のNiを H_2SO_4 溶液で選択エッチングすることにより、図10に示す構造を得る。

【0072】

10

20

30

40

50

次に、 n チャネルMISトランジスタ領域のみ SiO_2 若しくは SiN からなるハードマスク22で保護した後に、膜厚8nmのTi膜30、膜厚18nmのNi膜を連続スパッタ法で成膜する(図11)。その後、500の低温熱処理を行うことで、 p チャネルMISトランジスタ領域のみゲート電極15が下層15aに Ni_3Si 相のNiシリサイド層、上層15bに $TiSi_2$ 相のTiシリサイド層を有する積層構造に変化する。この反応は第1実施形態の製造方法で説明したようにNi膜31とNiSi層19との界面に還元性の強いTi膜30を挿入することで、その界面反応を促進したためである。

【0073】

なお、本実施形態においては、図6からわかるように、 p チャネルMISトランジスタのゲート電極15の高さは68.9nmで、 n チャネルMISトランジスタのNiSi層16aからなるゲート電極の高さは45nmとなり、 p チャネルMISトランジスタのゲート電極15の高さは、 n チャネルMISトランジスタのゲート電極の高さの1.53倍(=68.9/45)となる。層厚40nmの多結晶シリコン層5dが全て Ni_3Si 層に変化した場合のゲート高さ(=94.5nm)と、層厚40nmの多結晶シリコン層5dが全てNiSi層に変化した場合の高さ(=45nm)の比である2.1(94.5/45)よりも小さくできる。その後、酸溶液処理により未反応のNi及びTiを除去し、 n チャネルMISトランジスタ領域に形成したハードマスク22を除去することで、図8に示す第2実施形態のCMISFETの構造が得られる。

【0074】

次に、NiSi相のシリサイド電極を本実施形態の製造方法でゲート絶縁膜界面の構造を Ni_3Si 相に変化させた場合のMISキャパシタの容量 電圧(C-V)特性変化を図12に示す。 Ni_3Si 相への変化に伴い、C-V特性が正バイアス側にシフトしており、電極の実効仕事関数がNiSi電極の4.51eVから Ni_3Si 電極の4.8eVまで増大していることが分かる。

【0075】

本実施形態の製造方法を用いることで、 n チャネルMISトランジスタにNiSiで形成された電極、 p チャネルMISトランジスタに Ni_3Si で形成された電極を別々に形成する場合には2回必要なリソグラフィ工程が1回で済む。

【0076】

(第2実施形態の第1変形例)

次に、第2実施形態の第1変形例によるCMISFETを図13に示す。図13は、本変形例のCMISFETのゲート長方向の断面図である。

【0077】

本変形例のCMISFETは、図13に示すように、図8に示す第2実施形態のCMISFETにおいて、 n チャネルMISトランジスタのゲート電極16を、下層がNiSi₂層23aで、上層がTiSi₂層23bである積層構造のゲート電極23に置き換えた構成となっている。

【0078】

本変形例も第2実施形態と同様に、導電型に応じてしきい値電圧を最適にできるように実効仕事関数 ϕ_{eff} が異なるゲート電極構造を有している。両導電型トランジスタのゲート絶縁膜と接するゲート電極はそれぞれ、 n チャネルMISトランジスタではNiSi₂層23a、 p チャネルMISトランジスタでは Ni_3Si 層15aであり、実効仕事関数 ϕ_{eff} はそれぞれ4.40eV、4.80eVであり、どちらも低しきい値電圧を実現するために適した実効仕事関数 ϕ_{eff} を有する。本変形例では、 n チャネルMISトランジスタの電極の仕事関数が第2実施形態のNiSiからなるゲート16電極の場合より0.1eV小さく、更に低いしきい値電圧動作が実現できる。

【0079】

(第2実施形態の第1変形例の製造方法)

次に、図13に示した本変形例の半導体装置の製造方法を図14乃至図17を参照して、説明する。

10

20

30

40

50

【0080】

ソース・ドレイン領域の上部にNiSi層13を選択的に形成し、その後、層間絶縁膜20の堆積、図9に示すようにCMPによりSiN層18の上端を露出させる工程までは、第2実施形態の製造方法と同じ工程である。

【0081】

次に、多結晶シリコン電極上のSiN層18を剥離した後に、希フッ酸などの表面処理により多結晶シリコン層17上の自然酸化膜を除去し、膜厚5nmのTi膜30、膜厚12nmのNi膜をスパッタ法により成膜する(図14)。その後、500の低温熱処理を行うことで、両導電型の多結晶シリコン層17が共に層厚が29nmのNiSi₂層23aと、層厚が10nmのTiSi₂層15b、23bの積層構造に変化する(図15)。これは、NiのSi中への拡散速度が抑制されることで、Siリッチな領域が界面に形成され、Ni膜とSiとの界面の固相反応では650以上の高温熱処理工程でのみ形成されるNiSi₂相が形成することを利用したものである。上記界面反応に際し、多結晶シリコン層17上の自然酸化膜の除去前処理が十分であれば、酸素を含有しないTiSi₂層15b、23bがゲート電極の上部に形成されるが、不十分であった場合には、TiSi₂相に酸素が多量に含有されたTiシリサイド層か或いはTiSiO相またはTiO₂相のTiシリサイド層が形成されてしまう場合がある。但し、いずれの層が形成された場合にも、トランジスタ性能に影響を与えるものではない。その後、未反応のNiおよびTiを酸溶液処理により除去する。

10

【0082】

次に、nチャネルMISトランジスタ領域のみSiO₂若しくはSiN膜22で保護した後に、膜厚3nmのTi膜32、膜厚31nmのNi膜33を連続してスパッタ法で成膜し、その後、500の低温熱処理を行う(図16)。これにより、pMISトランジスタ領域のみのNiSi₂層23aがNi₃Si相のNiシリサイド層15aに変化する。この反応は第1実施形態の製造方法の箇所で説明したようにNiとNiSi層との界面に還元性の強いTiを挿入することで、その界面反応を促進したためである。その後、酸溶液処理により未反応のNi及びTiを除去し、nチャネルMISトランジスタ領域に形成したSiN膜22を除去することで図13に示す本変形例のCMISFETが得られる。このとき、本製造方法において、多結晶シリコン層17と反応させるトータルのTiおよびNiのそれぞれの厚さは、第2実施形態の場合と同じであるので、pチャネルMISトランジスタのゲート電極は図6に示す場合と同じように、その高さは68.9nmになる。また、nチャネルMISトランジスタのゲート電極は、厚層が29nmのNiSi₂相のNiシリサイド層23aと、層厚が12nmのTiSi₂層23bの積層構造となる。したがって、本変形例においては、ゲート電極15のゲート高さは、ゲート電極23のゲート高さの1.68倍(=68.9/(29+12))となる。通常、NiSi₂とNi₃Siとのゲート電極の高さ比は、同じ膜厚の多結晶シリコン膜を用いて形成した場合には、2.36倍程度(=94.5/40)にもなってしまう。しかしながら、本変形例では、pチャネルMISトランジスタのTiSi₂層の層厚(16nm)はnチャネルMISトランジスタのそれ(10nm)よりも大きく、pチャネルMISトランジスタのみTiSi₂層を厚くできるため、ゲート高さの差をより無くすることが可能である。

20

30

40

【0083】

なお、本変形例ではnチャネルおよびpチャネルMISトランジスタにNiSi₂相を形成する際のTi膜の膜厚を5nmにしたが、NiSi₂相の低温形成には1nmのTi膜の挿入で十分に効果があるため、それ以上であればよく、その後のpMISトランジスタ領域のみにTi膜とNi膜とを成膜する際のTi膜の膜厚を厚くすることで高さの差をより無くすることが可能である。

【0084】

(第2実施形態の第2変形例)

次に、第2実施形態の第2変形例によるCMISFETを図17に示す。図17は、本変形例によるCMISFETのゲート長方向の断面図である。

50

【0085】

本変形例のCMISFETは、図17に示すように、図8に示す第2実施形態のCMISFETにおいて、nチャネルMISトランジスタのゲート電極16を、下層がAl層24aで、上層がNi₂Si層24aである積層構造のゲート電極24に置き換えた構成となっている。

【0086】

本実施形態でも第2実施形態と同様に、導電型に応じてしきい値電圧を最適にできるように実効仕事関数 $e f f$ が異なるゲート電極構造を有している。両導電型トランジスタのゲート絶縁膜11と接するゲート電極はそれぞれ、nチャネルMISトランジスタではAl層、pチャネルMISトランジスタではNi₃Si層15aであり、実効仕事関数 $e f f$ はそれぞれ4.27 eVおよび4.80 eVであり、どちらも低しきい値電圧を実現するために適した実効仕事関数 $e f f$ を有する。本実施形態では、nチャネルMISトランジスタの電極の仕事関数が第2実施形態のNiSi、第1変形例のNiSi₂の場合よりそれぞれ、約0.2 eV、0.1 eV小さく、更に低いしきい値電圧動作を実現できる。

【0087】

ここで、Ni₂Si層24aとHfSiONからなるゲート絶縁膜11との界面には、1原子層（モノレイヤーともいう）のアルミニウムが面内方向に連続的に形成されていればその仕事関数が発現し、nチャネルMISトランジスタのしきい値電圧V_{th}は低減化する。しかし仮に、面内方向にアルミニウムの原子層の途切れた部分が発生するとその部分の仕事関数はNi₂Siの物性で決まってしまう。結果として、トランジスタごとにしきい値電圧V_{th}が変化し、特性ばらつきが起きてしまう可能性がある。従って、本実施形態の界面アルミニウムの厚さとしては、原理的には1原子層あればよいが、不完全なプロセスなどによる特性ばらつきのことを考慮すると3原子層以上あることが望ましい。アルミニウム層は3原子層よりも厚い分にはしきい値電圧V_{th}を下げる効果になんら影響は無いが、余剰のアルミニウムを界面に偏在化させることは無駄である。

【0088】

なお、本変形例の製造方法における第2実施形態の製造方法との相違点は、まず、図10に示したNiSi層19形成の際のスパッタ法によって形成されるNi膜の膜厚を40 nmにすることで、両導電型ともにNi₂Si層からなるゲート電極を形成する。続いて、図11で説明したようにnチャネルMISトランジスタ領域を例えばSiNからなるマスクで覆った後、膜厚8 nmのTi膜、膜厚30 nmのNi膜を順次積層することによりpチャネルMISトランジスタのゲート電極のみをNi₃Si15aとTiSi₂層15bとの積層構造に変化させる。続いて、上記マスクを除去した後、図18に示すように、pチャネルMISトランジスタ領域をマスク例えばレジスト50で覆ってnチャネルMISトランジスタ領域のみ露出させ、この状態でNi₂Si層24aからなるゲート電極の上部にAl膜60を30 nm形成する。続いて、450 °Cの熱処理によりAlをゲート電極とゲート絶縁膜11との界面に偏析させてAl層24bを形成し、その後、上部に残ったAl膜60を剥離することで、図17に示す本変形例のCMISFETが得ることができる。Alの添加方法はAl膜の成膜以外にイオン注入法を用いても構わない。

【0089】

本変形例においては、ゲート電極15のゲート高さは、第2実施形態の場合と同様に、68.9 nmであり、ゲート電極24のゲート高さは59 nmとなる。したがって、ゲート電極15のゲート高さは、ゲート電極24のゲート高さの1.16倍となる。

【0090】

(第2実施形態の第3変形例)

次に、第2実施形態の第3変形例によるCMISFETを図19に示す。図19は、本変形例のCMISFETのゲート長方向の断面図である。

【0091】

本変形例のCMISFETは、図19に示すように、図8に示す第2実施形態のCMIS

10

20

30

40

50

S F E Tにおいて、nチャネルM I Sトランジスタのゲート電極16を、下層がA l層25cで、その直上にN i₂ S i層25a、そして最上層がT i S i₂層25bである積層構造のゲート電極25に置き換え、pチャネルM I Sトランジスタのゲート電極15を、下層がN i₂ S i層26a、そして最上層がT i S i₂層26bである積層構造のゲート電極26に置き換えた構成となっている。

【0092】

本変形例も第2実施形態と同様に、導電型に応じてしきい値電圧を最適にできるように実効仕事関数 e f f が異なるゲート電極構造を有している。両導電型トランジスタのゲート絶縁膜11と接するゲート電極はそれぞれ、nチャネルM I SトランジスタではA l層25c、pチャネルM I SトランジスタではN i₂ S i層26aであって、実効仕事関数 e f f はそれぞれ4.27 e V、4.7 e Vであり、どちらもそれぞれの導電型において低しきい値電圧を実現するために適した実効仕事関数 e f f を有する。本変形例では、nチャネルM I Sトランジスタのゲート電極の仕事関数が第2実施形態のN i S i、また第1変形例のN i S i₂の場合より、それぞれ約0.2 e V、0.1 e V小さく、更に低いしきい値電圧動作を容易に実現できる。

10

【0093】

次に、本変形例の製造方法図20および図21を参照して説明する。第1実施形態の製造方法をn M I Sトランジスタおよびp M I Sトランジスタの両導電型に対して適用し、N i S i層13が多結晶シリコン層5dの上部、ソース領域5a、6aおよびドレイン領域5b、6b上に形成された構造を形成する(図20)。その後、減圧C V Dにより層間絶縁膜20を堆積し、C M Pで多結晶シリコン層5d上のN i S i層13の上面を露出させる(図20)。次に、希フッ酸などの表面処理によりN i S i層13上の自然酸化膜除去した後、膜厚5 nmのT i膜30、膜厚30 nmのN i膜31を全面に成膜し、500、1分の熱処理を行うことで、N i₂ S i層25a、T i S i₂層25bの積層構造のゲート電極をnチャネルM I Sトランジスタ領域に、N i₂ S i層26a、T i S i₂層26bの積層構造のゲート電極をpチャネルM I Sトランジスタ領域に形成する(図21)。

20

【0094】

その後、第2変形例と同様に、n M I Sトランジスタのゲート絶縁膜11との界面にA lを導入して、A l層25cを形成することで、図19に示す本変形例のC M I S F E Tを得ることができる。本変形例のゲート電極においては、ゲート電極26とゲート電極25のゲート高さはほぼ同じとなる。

30

【0095】

なお、本変形例においては、pチャネルM I Sトランジスタの下層電極がN i₂ S i層26aであり、図17に示す第2変形例のN i₃ S i層15aよりも仕事関数が小さく、pチャネルM I Sトランジスタの動作電圧は高くなる。しかしながら、先述のチャネル技術と組み合わせることで、更なるしきい値電圧の低下が実現できる。

【0096】

第1実施形態、第2実施形態、およびその変形例においては、pチャネルM I Sトランジスタのゲート電極のN iシリサイド層は、N i₃ S i相またはN i₂ S i相であったが、N i_{3.1} S i_{1.2}相のシリサイド層も用いることができる。これは、N i_{3.1} S i_{1.2}相のシリサイド層の実効仕事関数が4.8 e Vであるからである。すなわち、pチャネルM I Sトランジスタのゲート電極のN iシリサイド層はN iとS iとの組成比N i / S iが2以上のニッケルシリサイドを用いることができる。

40

【0097】

以上、本発明の実施形態を説明したが、本発明はこれらに限られず、特許請求の範囲に記載の発明の要旨の範疇において様々に変更可能である。また、本発明は、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。さらに、上記実施形態に開示されている複数の構成要素を適宜組み合わせることにより種々の発明を形成できる。

【図面の簡単な説明】

50

【 0 0 9 8 】

【図 1】第 1 実施形態による p M I S F E T のゲート長方向の断面図。

【図 2】第 1 実施形態による p M I S F E T の製造工程を示す断面図。

【図 3】第 1 実施形態による p M I S F E T の製造工程を示す断面図。

【図 4】第 1 実施形態による p M I S F E T の製造工程を示す断面図。

【図 5】Ni 膜と Ni Si 膜との間に Ti 膜の挿入した場合と挿入しない場合の X R D 回折スペクトルを示す図。

【図 6】多結晶シリコン層の高さが 4 0 n m の場合に、Ti 挿入膜厚と、Ti Si₂ / Ni₃ Si 膜、Ni₃ Si 層、および Ti Si₂ 層の高さとの関係を示す図。

【図 7】Ti、Hf、Zr の酸化物生成エネルギー、Si 消費量、および比抵抗を示す図

10

【図 8】第 2 実施形態による C M I S F E T のゲート長方向の断面図。

【図 9】第 2 実施形態による C M I S F E T の製造工程を示す断面図。

【図 1 0】第 2 実施形態による C M I S F E T の製造工程を示す断面図。

【図 1 1】第 2 実施形態による C M I S F E T の製造工程を示す断面図。

【図 1 2】Ni Si 相のシリサイド電極を第 2 実施形態の製造方法でゲート絶縁膜との界面の構造を Ni₃ Si 相に変化させた場合の M I S キャパシタの容量 電圧 (C - V) 特性変化を示す図。

【図 1 3】第 2 実施形態の第 1 変形例による C M I S F E T のゲート長方向の断面図。

【図 1 4】第 2 実施形態の第 1 変形例による C M I S F E T の製造工程を示す断面図。

20

【図 1 5】第 2 実施形態の第 1 変形例による C M I S F E T の製造工程を示す断面図。

【図 1 6】第 2 実施形態の第 1 変形例による C M I S F E T の製造工程を示す断面図。

【図 1 7】第 2 実施形態の第 2 変形例による C M I S F E T を示すゲート長方向の断面図

【図 1 8】第 2 実施形態の第 2 変形例による C M I S F E T の製造工程を示す断面図。

【図 1 9】第 2 実施形態の第 3 変形例による C M I S F E T のゲート長方向の断面図。

【図 2 0】第 2 実施形態の第 3 変形例による C M I S F E T の製造工程を示す断面図。

【図 2 1】第 2 実施形態の第 3 変形例による C M I S F E T の製造工程を示す断面図。

【符号の説明】

【 0 0 9 9 】

30

1 n 型シリコン基板

2 p 型シリコン基板

3 素子分離領域

4 A n 型ウェル

4 B p 型ウェル

5 a p 型ソース領域

5 a₁ p 型不純物領域

5 a₂ p 型エクステンション領域

5 b p 型ドレイン領域

5 b₁ p 型不純物領域

40

5 b₂ p 型エクステンション領域

6 a n 型ソース領域

6 a₁ n 型不純物領域

6 a₂ n 型エクステンション領域

6 b n 型ドレイン領域

6 b₁ n 型不純物領域

6 b₂ n 型エクステンション領域

1 1 ゲート絶縁膜

1 3 Ni Si 層

1 4 側壁

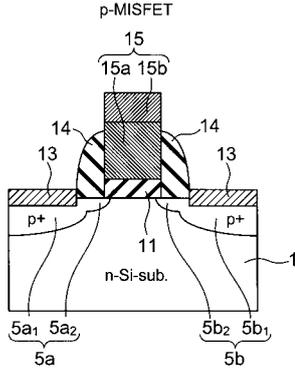
50

- 15 pチャンネルMISトランジスタのゲート電極
- 15a Niシリサイド層(Ni₃Si相)
- 15b Tiシリサイド層(TiSi₂相)
- 16 nチャンネルMISトランジスタのゲート電極
- 16a Niシリサイド層(NiSi相)
- 17 多結晶シリコン層
- 18 SiN層
- 19 Niシリサイド層(NiSi相)
- 20 層間絶縁膜
- 22 ハードマスク(SiN)
- 23 nチャンネルMISトランジスタのゲート電極
- 23a Niシリサイド層(NiSi₂相)
- 23b Tiシリサイド層(TiSi₂相)
- 30 Ti膜
- 31 Ni膜
- 32 Ti膜
- 33 Ni膜
- 24 nチャンネルMISトランジスタのゲート電極
- 24a Niシリサイド層(Ni₂Si相)
- 24b Al層
- 25 nチャンネルMISトランジスタのゲート電極
- 25a Niシリサイド層(Ni₂Si相)
- 25b Tiシリサイド層(TiSi₂相)
- 25c Al層
- 26 pチャンネルMISトランジスタのゲート電極
- 26a Niシリサイド層(Ni₂Si相)
- 26b Tiシリサイド層(TiSi₂相)

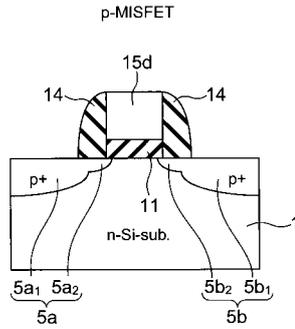
10

20

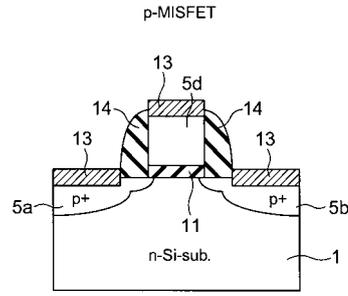
【 図 1 】



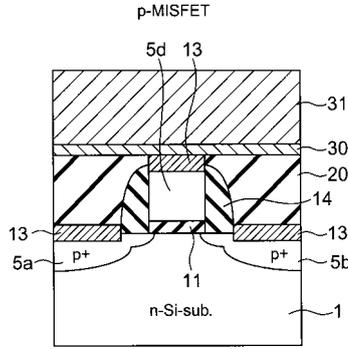
【 図 2 】



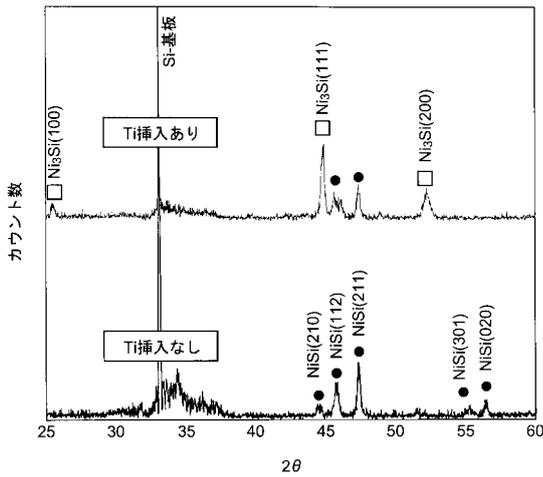
【 図 3 】



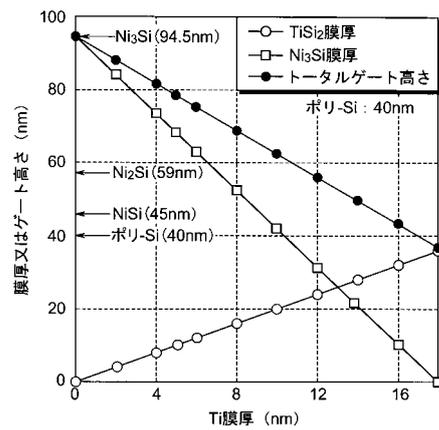
【 図 4 】



【 図 5 】



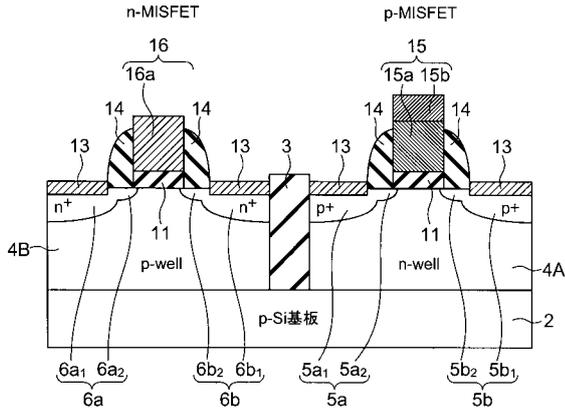
【 図 6 】



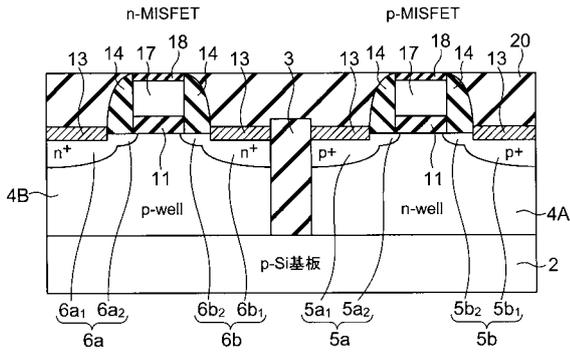
【 図 7 】

金属元素種	酸化物生成エネルギーの絶対値 (kcal)	シリサイド形成時のSi消費量比 (金属膜厚=1)	比抵抗 (μΩ.cm)
Ti	944.0	2.2	TiSi ₂ :13-18
Zr	1100.6	1.7	ZrSi ₂ :35-106.2
Hf	1144.7	1.7	HfSi ₂ :45-62
Si	910.7	-	-

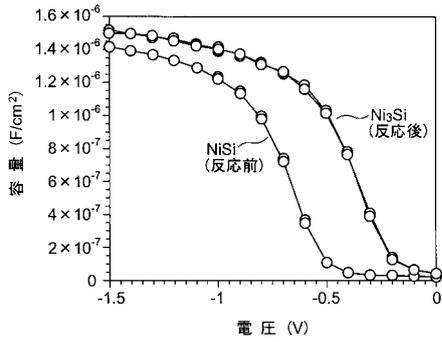
【 図 8 】



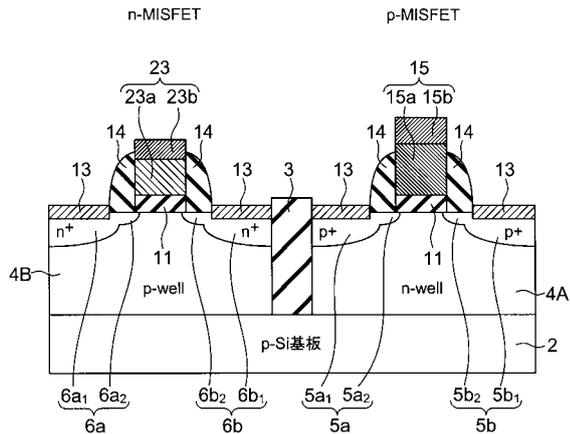
【 図 9 】



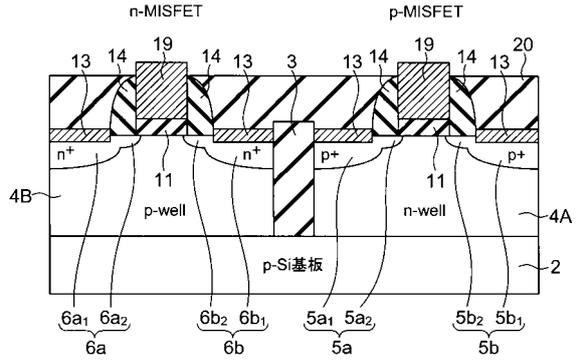
【 図 1 2 】



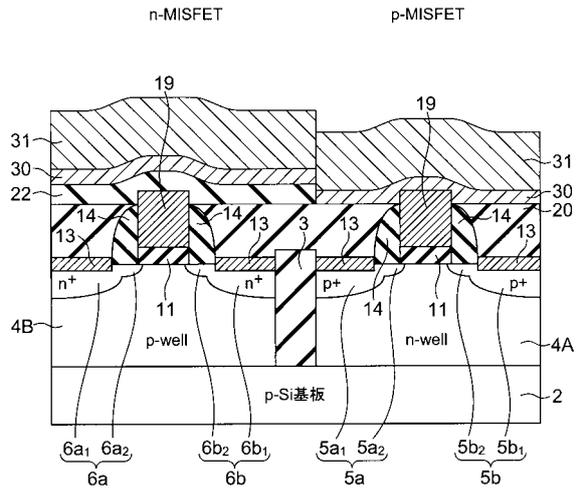
【 図 1 3 】



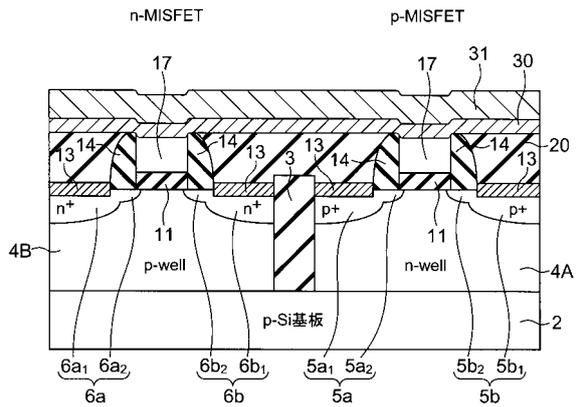
【 図 1 0 】



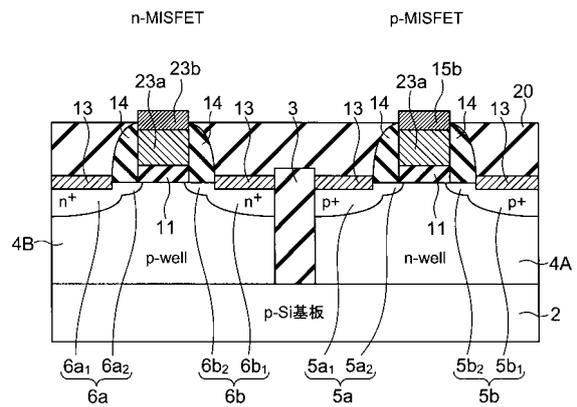
【 図 1 1 】



【 図 1 4 】



【 図 1 5 】



【手続補正書】

【提出日】平成20年3月12日(2008.3.12)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正の内容】

【0022】

本実施形態のpチャネルMISFETは、図1に示すように、n型シリコン基板1に離間して形成されたp型のソースおよびドレイン領域5a、5bと、ソース領域5aとドレイン領域5bとの間の、チャンネルとなるシリコン基板1の領域上に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極15とを備えている。ソース領域5aおよびドレイン領域5bの上にはNiSi層13が形成され、ゲート電極15の側面には絶縁体からなるゲート側壁14が形成されている。なお、ソース領域5aは、接合深さの深いp型不純物領域5a₁と、接合深さの浅いp型不純物領域(エクステンション領域)5a₂とを有している。またドレイン領域5bは、接合深さの深いp型不純物領域5b₁と、接合深さの浅いp型不純物領域(エクステンション領域)5b₂とを有している。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

なお、本実施形態においては、ゲート絶縁膜11とゲート電極15から成るゲート構造のソース領域5aとドレイン領域5b間の長さ(ゲート長)は、40nm以下が好ましい。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

一方、上層にTiSi₂層15bを用いることで、製造工程において電極を界面固相反応により多結晶シリコン電極からシリサイド電極に相変化させる場合に生じる体積変化を小さくでき、デバイスの信頼性の向上およびストレス印加に伴う性能劣化、及びデバイス製造時のバラツキを抑制することができる。その詳細は、後述する本実施形態のMISトランジスタの製造方法で説明する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0032

【補正方法】変更

【補正の内容】

【0032】

本実施形態では、上層15bのTiシリサイド相のSiに対するTiの組成比はTi/Si = 1/2であるが、Niシリサイド層15aにおけるSiに対するNiの組成比がNi/Si = 3なので、Ti/Si = 3よりも小さければ、相変化させる場合に生じる体積変化によるデバイス性能の劣化は軽減できる。よって、上層15bは、Tiシリサイド相(Ti₅Si₃、TiSi₂)及びこれらの相が混ざり合った合金膜であってもよい。但し、その際に、Siに対するTiの組成比がより小さな相であるほうが、上記効果は有効

的に働く。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

上記反応は、Ni膜31と、多結晶シリコン層5d上のNiSi層13との界面に還元性の強いTi膜30を形成することで、NiSi層13の表面の自然酸化膜層を還元できるため、それによりNi膜31と、NiSi層13との界面反応を促進することによる。通常、Niシリサイド層を大気に曝してしまうと最表面に酸化層又は、酸素を多く含むNiSiO層が形成する。そのため、多結晶シリコン層5d上のNiSi層13上に直接Ni膜31を成膜した場合には、その酸化層によりNi膜とNiSi層13との界面の固相反応が阻害され反応が進行しない。また、その酸化膜はSi上の自然酸化膜のように希フッ酸処理では選択的に除去できない。そこで、本実施形態の製造方法では、還元作用の強いTi膜30をNi膜とNiSi層13との界面に挿入することで多結晶シリコン層5d上のNiSi層13の表面酸化層を還元し、Niの拡散を促進させることで、ゲート絶縁膜11との界面までNi₃Si層5aを形成することを可能にした。後述するように、Tiの挿入膜厚は、目的とする高さのゲート電極が得られるように制御すればよい。但し、Ti膜30の膜厚が厚くなるとNiの多結晶シリコン層中への供給速度が遅くなる。この場合は、600以上の高温、又は1時間以上の長時間熱処理が必要となるので、Ti膜30の膜厚は20nm以下が好ましい。また、有効なTi膜30の膜厚の薄膜限界は、NiSi層13の表面の酸化状態により異なる。NiSi層13の表面及びその近傍に形成している酸化膜相及び酸素含有量が多い場合には、その酸素を十分に還元可能なTi膜30の膜厚が必要となる。よって少なくともTi膜30は1nm以上の膜厚が必要である。また、スパッタ法によるTi膜30の均一に形成する限界膜厚も鑑みると、5nm以上であることが好ましい。本実施形態のように、多結晶シリコン電極の高さが40nmの場合、Tiを1nm挿入する場合には、TiSi₂層が2nm形成されるが、Tiを20nm挿入するとすべてのSiがTiSi₂層の形成に消費されるためゲート絶縁膜との界面にNi₃Si層が形成されない。Ni₃Si層の厚さは、製造プロセスの各MISTランジスタごとのバラツキを鑑み、安定して形成するためにはNi₃Si層は5nm以上必要である。よって、本実施形態の場合の最大のTi挿入膜厚は16nmであり、その場合のTiSi₂層の厚さは32nmになる。この範囲内であれば、Ti挿入膜厚さを制御することによって体積膨張率を制御でき、図6に示すように、ゲート電極の高さを自由に变化させることができる。Ni成膜厚さはTiSi₂層の形成に消費されないSiをNi₃Siに変化させるのに十分な量をTi上に成膜すればよい。残りのSi量に対して、1.8倍以上であればよい。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0050

【補正方法】変更

【補正の内容】

【0050】

第1実施形態で説明したように、Ni₃Si層15aの上部にTiSi₂相を有するシリサイド層15bを形成することで、多結晶シリコン層5dからの体積膨張を軽減することが可能である。本実施形態の多結晶シリコン層5dの高さが40nmの場合に、Ti膜30の挿入膜厚とTiSi₂層15bとNi₃Si層15aとの積層構造からなるゲート電極、Ni₃Si層15aの高さ、およびTiSi₂層15b高さの関係を図6に示す。Ti膜の膜厚の増加に伴いシリコンの組成が大きなTiSi₂層15bが厚くなるため、シリサイド電極形成に伴うゲート電極の体積膨張率が小さくなり、ゲート電極の高さを低

減できることが分かる。製造時にTi膜を挿入しない場合には多結晶シリコン層の高さの2.36倍になってしまい、ゲート絶縁膜11の直上のゲート電極15の体積膨張に伴いゲート絶縁膜11に歪みが印加され、それに伴って欠陥がゲート絶縁膜に生成され、ゲート絶縁膜の信頼性が劣化してしまう。また、チャンネル部のSiにも歪みが加わり、チャンネル移動度のバラツキが生じてしまう。それにより、LSIの回路設計を困難にする。それに対し、膜厚10nmのTi膜を挿入することで、ゲート電極の膨張率は多結晶シリコン層の1.5倍に抑えられ、さらに、Ti膜の膜厚を16nm程度にすれば、TiSi₂層とNi₃Si層との積層構造を有するゲート電極の形成後も、ゲート高さの変化は10%以下に抑えられる。このように挿入するTi膜の膜厚を制御することで、ゲート電極の高さを連続的に変化させることが可能となり、上記の信頼性及びデバイス性能の劣化を抑制することが可能である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0056

【補正方法】変更

【補正の内容】

【0056】

本実施形態では、NiSi層の表面の酸化物層を還元する金属としてTiを用いたが、その還元性の強い金属元素を用いてもよい、具体的には、HfやZrが挙げられる。これらの金属はSiリッチなシリサイドが安定であり、HfSi₂やZrSi₂を形成することで、Tiの場合と同様にゲート電極の高さを制御することが可能である。また、それ以外の組成のシリサイドでもHfまたはZrとSiとの組成比(=Hf/SiまたはZr/Si)が3よりも小さい組成であれば、ゲート電極の体積膨張を抑制することが可能である。図7はこれらの金属の酸化物生成エネルギー、Si消費量及びそれぞれのシリサイドの比抵抗をまとめたものである。これらの金属は、Siに比べて絶対値が大きな酸化物生成エネルギーを有するので、Ni₂Si層表面のニッケルあるいはシリコンの酸化物を容易に還元することができる。これにより、この後に実施するニッケルとニッケルシリサイドとの固相反応をスムーズに生じさせることが可能になる。C54-TiSi₂相の比抵抗はNi₃SiやNi₂Siの比抵抗値よりも小さく、ゲート電極の比抵抗を低減できる効果を合わせ持ち、Hf、Zrよりも適した材料である。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

pチャンネルMISFETは、図8に示すように、n型ウェル領域4Aに離間して形成されたp型のソースおよびドレイン領域5a、5bと、ソース領域5aとドレイン領域5bとの間の、チャンネルとなるn型ウェル領域4A上に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極15とを備えている。ソース領域5aおよびドレイン領域5bの上にはNiSi層13が形成され、ゲート電極15の側面には絶縁体からなるゲート側壁14が形成されている。なお、ソース領域5aは、高不純物濃度でかつ接合深さの深いp型不純物領域5a₁と、高不純物濃度でかつ接合深さの浅いp型不純物領域(エクステンション領域)5a₂とを有している。またドレイン領域5bは、高不純物濃度でかつ接合深さの深いp型不純物領域5b₁と、高不純物濃度でかつ接合深さの浅いp型不純物領域(エクステンション領域)5b₂とを有している。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

また、 n チャネルMISFETは、図8に示すように、 p 型ウェル領域4Bに離間して形成された n 型のソースおよびドレイン領域6a、6bと、ソース領域6aとドレイン領域6bとの間の、チャンネルとなる p 型ウェル領域4B上に形成されたゲート絶縁膜11と、このゲート絶縁膜11上に形成されたゲート電極16とを備えている。ソース領域6aおよびドレイン領域6bの上面には $NiSi$ 層13が形成され、ゲート電極16の側面には絶縁体からなるゲート側壁14が形成されている。なお、ソース領域6aは、高不純物濃度でかつ接合深さの深い n 型不純物領域6a₁と、高不純物濃度でかつ接合深さの浅い n 型不純物領域(エクステンション領域)6a₂とを有している。またドレイン領域6bは、高不純物濃度でかつ接合深さの深い n 型不純物領域6b₁と、高不純物濃度でかつ接合深さの浅い n 型不純物領域(エクステンション領域)6b₂とを有している。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0063

【補正方法】変更

【補正の内容】

【0063】

n 型ウェル領域4A上のゲート電極15は、第1実施形態の p チャネルMISFETの電極構造と同じ2層からなる積層構造を有しており、上層15bが $TiSi_2$ 相の Ti シリサイド層であり、下層15aが Ni_3Si 相の Ni シリサイド層である。一方、 p 型ウェル4B上のゲート電極16は、 $NiSi$ 相の Ni シリサイド層16aからなっている。

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

次に、 p チャネルMISトランジスタの形成領域にボロンをイオン注入することにより、高不純物濃度でかつ接合深さが浅い p 型のエクステンション領域5a₂、5b₂を形成する。また、 n チャネルMISトランジスタの形成領域に、リンをイオン注入することにより、高不純物濃度でかつ接合深さが浅い n 型のエクステンション領域6a₂、6b₂を形成する。続いて、ゲート電極とソース・ドレイン領域の絶縁のための側壁14を形成する。その後、エクステンション領域の形成のときよりも、大きな加速電圧により、 p チャネルMISトランジスタ形成領域にボロンのイオン注入を行い、高不純物濃度でかつ接合深さが深い不純物領域5a₁、5b₁を形成し、 n チャネルMISトランジスタ形成領域にリンのイオン注入を行い、高不純物濃度でかつ接合深さが深い不純物領域6a₁、6b₁を形成する(図9)。

フロントページの続き

(51)Int.Cl.		F I		テーマコード(参考)
<i>H 0 1 L 27/092 (2006.01)</i>				
<i>H 0 1 L 21/28 (2006.01)</i>				
<i>H 0 1 L 29/423 (2006.01)</i>				
<i>H 0 1 L 29/49 (2006.01)</i>				

(72)発明者 土屋 義規
 東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小山 正人
 東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 4M104 AA01 BB02 BB21 BB38 CC05 DD04 DD37 DD43 DD66 DD79
 DD83 DD84 EE03 EE14 EE16 EE17 FF13 GG09 GG10 GG14
 HH20
 5F048 AA07 BA01 BB08 BB10 BB11 BB12 BB13 BB14 BC06 BE03
 BF16 BG13 DA23
 5F140 AA01 AA06 AB03 AC01 BA01 BA02 BA05 BD04 BD07 BD09
 BD11 BD12 BD13 BE10 BF05 BF08 BF11 BF18 BF21 BF28
 BG08 BG30 BG34 BG38 BG45 BH06 BH14 BJ01 BJ08 BK02
 BK13 BK18 BK29 BK34 BK39 CC03 CE07 CE16 CF04