

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G11C 7/10 (2006.01)



## [12] 发明专利申请公布说明书

[21] 申请号 200710162431.8

[43] 公开日 2008 年 2 月 27 日

[11] 公开号 CN 101131860A

[22] 申请日 2002.6.11

[21] 申请号 200710162431.8

分案原申请号 02122786.1

[30] 优先权

[32] 2001.6.11 [33] JP [31] 174978/2001

[71] 申请人 株式会社日立制作所

地址 日本东京

[72] 发明人 三浦誓士 鮎川一重

[74] 专利代理机构 中国国际贸易促进委员会专利商标事务所

代理人 王永刚

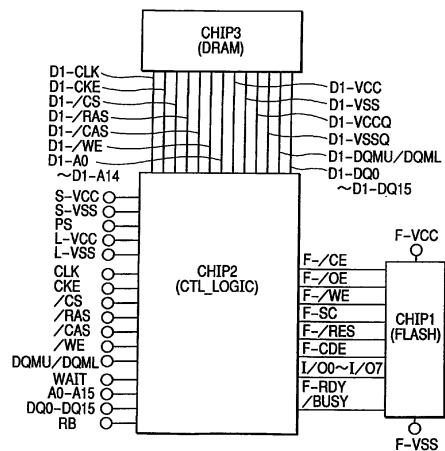
权利要求书 2 页 说明书 61 页 附图 43 页

[54] 发明名称

半导体存储装置

[57] 摘要

本发明提供一种存储容量大且可高速读取、写入的 ROM 及存储容量大且数据保持电流少的 RAM。本发明的半导体存储装置包括：非易失性存储器，其具有第 1 读取时间；随机存取存储器，其具有读取时间较所述第 1 读取时间短 100 倍以上的第 2 读取时间；控制电路，其与所述非易失性存储器及所述随机存取存储器连接，用于控制对所述随机存取存储器及所述非易失性存储器的存取；及多个输入输出端子，与所述控制电路连接，其中所述控制电路按照从所述多个输入输出端子输入的信号，控制所述非易失性存储器和所述随机存取存储器之间的数据传送。



1、一种存储模块，包含：

非易失性存储器[FLASH]；

随机存取存储器[DRAM]；

指令寄存器[图 2, REG]，其中写入载入指令码，所述载入指令码从所述存储模块的外部被输入；

控制器[CTL\_LOGIC]，用于控制所述非易失性存储器和所述随机存取存储器，以便在所述载入指令码被写入所述指令寄存器时，将数据从所述非易失性存储器传送到所述随机存取存储器；以及

第一端子[WAIT]，用于在将数据从所述非易失性存储器传送到所述随机存取存储器期间输出信号。

2、根据权利要求 1 的存储模块，还包括：

多个第二端子[/CS, /RAS, /CAS, /WE, 等]，用于从所述存储模块的外部输入多个指令信号；

多个第三端子[A0-A15]，用于从所述存储模块的外部输入地址；

多个第四端子[DQ0-DQ15]，用于从所述存储模块的外部输入多个数据；

其中所述存储模块根据在写命令被输入到所述多个第二端子时从所述多个第三端子输入的地址，选择所述指令寄存器或所述随机存取存储器。

3、根据权利要求 1 的存储模块，

其中当所述存储模块输入指示所述非易失存储器的地址到所述多个第二端子，并且输入读命令到所述多个第一端子时，所述随机存取存储器输出从所述非易失存储器传送的数据。

4、根据权利要求 1 的存储模块，

其中所述指令寄存器还通过所述多个第四端子被写入所述非易失存储器的开始地址，以及

其中在载入操作中，所述控制器从写入所述指令寄存器的所述开始地址读出数据到所述随机存取存储器。

5、根据权利要求 4 的存储模块，

其中所述指令寄存器还通过所述多个第四端子被写入所述非易失存储器的结束地址，以及

其中在载入操作中，所述控制器从所述开始地址读出数据到所述结束地址，并写入从所述随机存取存储器读出的数据。

6、根据权利要求 1 的存储模块，

其中所述随机存取存储器是动态随机存取存储器；以及

其中所述动态随机存取存储器的电容等于或大于所述非易失存储器的容量。

7、根据权利要求 6 的存储模块，

其中所述存储模块使用 SDRAM 接口。

8、根据权利要求 1 的存储模块，

其中所述存储模块使用 SRAM 接口。

## 半导体存储装置

本申请是由株式会社日立制作所于 2002 年 6 月 11 日申请的、申请号为 02122786.1、发明名称为“半导体存储装置”一案的分案申请。

### 技术领域

本发明涉及包含多个不同种存储器的复合型存储器半导体装置，并涉及其组合、其控制方法、还涉及多芯片模块的安装构造。

### 背景技术

本说明书中参照到的文献的列表如下，文献的参照以文献号码为准。 [文献 1]: LRS1337 Stacked Chip 32M Flash Memory and 4M SRAM Data Sheet([2000 年 4 月 21 日检索]、因特网 < URL:<http://www.sharpsma.com/index.html> >)、[文献 2]: 特开平 5-299616 号公报(对应欧洲专利公开公报 566, 306 号、1993 年 10 月 20 日)、[文献 3]: 特开平 7-146820 号公报、[文献 4]: 特开 2001-5723 号公报。

[文献 1]揭示一种复合型半导体存储器，其闪存器(flash memory)(32M bit 容量)及 SRAM(4M bit 容量)通过堆栈芯片被一体密封在 FBGA 型封装体中。闪存器及 SRAM 对在 FBGA 型封装体的输入输出电极其地址输入端子及数据输入输出端子共通化。但各控制端子各自独立。

[文献 2]的图 17 揭示一种复合型半导体存储器，其中闪存器芯片及 DRAM 芯片一体密封在引线框型封装体中。又，图 1 中，其闪存器及 DRAM 对在封装体的输入输出电极的地址输入端子、数据输入输出端子及控制端子被共通化而输入输出。

[文献 3] 的图 1 显示一种统，其由作为主存储装置的闪存器、快取存储器、控制器及 CPU 所构成。

[文献4]的图2显示为一种半导体存储器，其由闪存器、DRAM及传送控制电路所构成。

本发明人等在本发明之前曾对移动电话及其所使用的闪存器及SRAM的1封装体中所安装的存储模块进行研究。

移动电话所处理的应用程序、数据、工作区随着移动电话的附加功能(音乐或游戏等配送等)的增加而增大，可预见将需要存储容量更大的闪存器或SRAM。再者，最近移动电话的高功能化非常普遍，大容量存储器的需求因而提高。

目前，移动电话所用的闪存器采用称为NOR方式的存储器阵列方式的NOR型闪存器。NOR方式降低存储单元阵列的寄生电阻的阵列方式，其对并联连接的存储单元以2个中1个的比例设置金属位线接点，以求低电阻化。因此读取时间约80ns，与大容量中速SRAM的读取时间大致相同。但是，相反地，由于必须对每2个存储单元设置1个接点，故接触部占芯片面积的比例高，每1位的存储单元的面积大，无法应付大容量化的要求。

代表性大容量闪存器中有存储器阵列使用AND方式的AND型闪存器及使用NAND方式的NAND型闪存器。这种闪存器对16~128个存储单元设置1个位线接点，故可实现高密度的存储器阵列。因此，每1位元的每一存储单元的面积可小在NOR型FLASH，可符合大容量化的需求。但是，相反地，输出最初的数据为止的读取时间约25μs到50μs，较慢，难以与SRAM取得匹配性。

闪存器即使在电源切断时也可保持数据，但SRAM为了在移动电话电源切断之时也可保持数据而连接到电源。为了长期保持数据，SRAM的数据保持电流越小越好。但是，大容量SRAM有存储器容量越大数据保存电流越大的问题，且栅极漏电流增大会造成数据保持电流增加等问题。这是由于为了得到大容量SRAM，使用细微加工将MOS电晶体的氧化绝缘膜薄膜化，使得隧道电流从栅极流到基板，导致数据保持电流增加的缘故。如此可得知，在SRAM的大容量化的同时要降低数据保持电流，越来越困难。

## 发明内容

因此，本发明的目的之一即为得到存储容量大且可高速读取、写入的 ROM 及存储容量大且数据保持电流少的 RAM。

本发明的代表性手段的一例下所示。即，一种半导体存储装置，特征在于包含：非易失性存储器，其具有第 1 读取时间；随机存取存储器，其具有第 2 读取时间，其读取时间较所述第 1 读取时间短 100 倍以上；控制电路，其与所述非易失性存储器及所述随机存取存储器连接，并用于控制对所述随机存取存储器及所述非易失性存储器的存取；及多个输入输出端子，与所述控制电路连接，其中，所述控制电路按照从所述多个输入输出端子输入的信号，控制非易失性存储器和所述随机存取存储器之间的数据传送。

此时，控制电路只要进行控制，事先将闪存器的数据的至少一部分从非易失性存储器传送到 DRAM 即可。对非易失性存储器的写入，在先写入 RAM 后，在从半导体装置外收到存取要求时，再将 RAM 的数据写入非易失性存储器即可。再者，控制电路也可进行控制，以从半导体装置外隐藏 RAM 为 DRAM 时的更新。

如上所述，本发明的存储模块沿用 SDRAM 接口方式，在 DRAM 中预设一个可复制 FLASH 的一部分数据或全部数据的区域，并预先将数据从 FLASH 传送到 DRAM，因而可以与 DRAM 同等的速度读出 FLASH 的数据。对 FLASH 写入时，可以先将数据写入 DRAM，再视需要写回 FLASH，故数据的写入速度也与 DRAM 相当。在存储模块的内部，从 FLASH 读取时，进行错误检测，在写入时，对在未正确写入的不良地址进行替代处理，故可高速处理，且可保持可靠度。再者，由于使用大容量 DRAM，除了可复制 FLASH 的数据的区域外，也可确保大容量的工作区域，而符合移动电话的高功能化的需求。

数据更新管理电路 CPB 所保持的 DRAM 的地址信息中，将对 FLASH 的写入结束时的地址信息清除，并将对应于所保持的地址的数据全部写入 FLASH，则数据更新管理电路 CPB 的地址信息全部被清除。所有的数据从 DRAM 传送到 FLASH 后，切断 DRAM 的电源。通过切断电源，可节约电力。

## 附图说明

图 1 所示为使用了本发明的存储模块的构成图。

图 2 所示为显示图 1 的 CHIP2 的一例的区块图。

图 3 所示为使用了本发明的存储模块的地址映像的一例的说明图。

图 4 所示为使用了本发明的存储模块的地址映像的一例的说明图。

图 5 所示为使用了本发明的存储模块在电源投入时的动作的一例的图。

图 6 所示为从本发明的存储模块内的 FLASH 对 DRAM 传送数据的动作的流程的流程图。

图 7 所示为从本发明的存储模块内的 DRAM 对 FLASH 传送数据的动作的流程的流程图。

图 8A-B 所示为对本发明的存储模块内的 DRAM 进行读取动作及写入动作的流程的流程图。

图 9 所示为图 2 所示的数据更新管理电路 CPB 的动作的一例的图。

图 10 所示为本发明的存储模块在断电时的动作的流程的流程图。

图 11 所示为来自存储模块外部的载入命令造成的 DRAM 的动作的一例的图。

图 12 所示为来自存储模块外部的储存命令造成的 DRAM 的动作的一例的图。

图 13A-B 所示为本发明的存储模块内对 DRAM 的的读取动作及写入动作的一例的图。

图 14 所示为储存命令造成的对 DRAM 的读取动作进行时，从外部对 DRAM 产生读取动作时从 DRAM 的读取动作的一例的图。

图 15 所示为图 1 所示的 FLASH 的一构成例的区块图。

图 16 所示为从图 15 所示的 FLAH 读取数据时时序图的一例。

图 17 所示为使用了本发明的存储模块的一构成例的图。

图 18 所示为图 17 所示的 FLASH 的一构成例的区块图。

图 19 所示为从图 18 所示的 FLAH 读取数据的时序图的一例。

图 20 所示为 DRAM 的一构成例的区块图。

图 21 所示为使用了本发明的存储模块的构成图。

图 22 所示为图 21 的 CHIP2 的一例的区块图。

图 23 所示为使用了本发明的存储模块的地址映像的一例的说明图。

图 24 所示为使用了本发明的存储模块的地址映像的一例的说明图。

图 25 所示为使用了本发明的存储模块在电源投入时的动作的一例的图。

图 26 为使用了本发明的存储模块在电源投入时的动作的一例的图。

图 27A-C 所示为对本发明的存储模块存取的优先顺序及动作的一例的图。

图 28A-B 所示为来自存储模块外部的载入命令及储存命令所造成的 DRAM 的动作的一例的图。

图 29A-B 所示为载入命令及储存命令对 DRAM 进行存取时，从外部对 DRAM 产生存取时 DRAM 的动作的一例的图。

图 30 所示为使用了本发明的存储模块的时序图一例。

图 31 所示为使用了本发明的存储模块的时序图的一例。

图 32 所示为 SRAM 的一构成例的区块图。

图 33A-B 所示为本发明的存储模块的安装形态的一例。

图 34A-B 所示为本发明的存储模块的安装形态的一例。

图 35 所示为使用了本发明的存储模块的构成图。

图 36 所示为图 35 的 CHIP2 的一例的区块图。

图 37 所示为使用了本发明的存储模块的地址映像的一例的说明图。

图 38A-C 所示为从外部同时对 DRAM 进行存取及更新的情形的说明图。

图 39A-C 所示为同时从外部存取 DRAM 及从内部存取 DRAM 存取的情形的说明图。

图 40A-B 所示为 DRAM 的更新方式的一例的图。

图 41A-B 所示为 WORK 期间、REF.期间的切换时接手存取的情形的说明图。

图 42 所示为使用了本发明的存储模块的时序图的一例。

图 43A-B 所示为本发明的存储模块的安装形态的一例。

图 44A-B 所示为本发明的存储模块的安装形态的一例。

图 45 所示为利用本发明的存储模块的移动电话的构成例的图。

#### 具体实施方式

以下，使用附图详细说明本发明的实施例。构成实施例的各区块的电路元件并不特别受限，可通过已知的 CMOS(互补型 MOS 电晶体)等集成电路技术在单晶硅等 1 个半导体基板上形成。

#### <实施例 1>

图 1 所示为存储模块的第一实施例，其为使用本发明的半导体集成电路装置的一例。本存储模块由 3 个芯片所构成。以下说明各芯片。

首先，CHIP1(FLASH)为非易失性存储器。非易失性存储器可用 ROM(只读存储器)、EEPROM(电可擦可编程 ROM)、闪存器等。本实施例中所用的 CHIP1 的非易失性存储器的典型例如为广义的 NAND 型闪存器，通常具有约 256Mb 的存储容量，其读取时间(从读取要求开始到输出数据为止之时间)约 25μs 到 50μs，比较慢。相对在此，CHIP3 通常使用 SDRAM，其具有 256Mb 左右的存储容量，读取时间约 35ns。即，CHIP3 的读取时间与 CHIP1 相比至少短 100 倍以上。对照在此，NOR 型闪存器的读取时间约 80ns，与 DRAM 具有相同次元的读取时间。本发明提供一解决方式，以对读取时间的差异大的存储器效率地进行存取。又，DRAM 依其内部构成或接口的差异有 EDO、SDRAM、DDR-SDRAM 等各种种类。本存储模块可利用各种 DRAM，在本实施例以时钟同步型 DRAM 的典型例的 SDRAM 为例

说明。CHIP2(CTL\_LOGIC)中装载对 CHIP1 及 CHIP3 进行控制的控制电路。

对本存储模块输入地址(A0 ~ A15)、时钟信号(CLK)及指令信号(CKE, /CS, /RAS, /CAS, /WE, DQMU/DQML )。电源通过 S-VCC, S-VSS, L-VCC,L-VSS,F-VCC, F-VSS, D1-VCC, D1-VSS 供给, 数据的输入输出使用 DQ0 ~ DQ15。本存储模块通过所谓 SDRAM 接口而动作。

CHIP2 供给 CHIP1, CHIP3 的动作上需要的信号。CHIP2 对 CHIP1 供给串列时钟(F - SC)、地址及 FLASH 用数据(I/O0 ~ I/O7)、指令(F-CE, F-/OE, F-/WE, F-/RES, F-CDE, F-RDY/BUSY)。再者, CHIP2 对 CHIP3 供给时钟(D1-CLK)、地址(D1-A0 ~ D1-A14)、指令(D1-CKE, D1-/CS, D1-/RAS, D1-/CAS, D1-/WE, D1-DQMU/DQML)、DRAM 用数据(D1-DQ0 ~ D1-DQ15)。

在此简单说明各指令信号。输入到 CHIP2 的 CLK 为时钟信号、CKE 为时钟启动信号、/CS 为芯片选择信号、/RAS 为行地址选通信号、/CAS 为列地址选通信号、/WE 为写入启动信号、DQMU/DQML 为输入输出屏蔽信号。CHIP3 中输入的 D1-CLK 为时钟信号、D1-CKE 为时钟启动信号、D1-/CS 为芯片选择信号、D1-/RAS 为行地址选通信号、D1-/CAS 为列地址选通信号、D1-/WE 为写入启动信号、D1-DQMU/DQML 为输入输出屏蔽信号。CHIP1 中输入的 F-/CE 为芯片启动信号, F-/OE 为输出启动信号, F-/WE 为写入启动信号, F-SC 为串列时钟信号, F-/RES 为重置信号, F-CDE 为指令数据启动信号, F-RDY/BUSY 为待命/忙碌信号, I/O0 ~ I/O7 为输入输出信号, 用于地址的输入或数据的输入输出。

CHIP2 的控制电路(CTL\_LOGIC)根据从外部输入的地址的值, 选择 CHIP2 的控制电路(CTL\_LOGIC)中设置的指令寄存器, 或是 CHIP3 的 DRAM, 或是 CHIP1 的 FLASH。通过在控制电路(CTL\_LOGIC)中设置的控制寄存器中设定数值, 可区别外部的存取对

指令寄存器的存取、对 DRAM 的存取、或是对 FLASH 的存取。所有存取均以 SDRAM 接口方式进行。

DRAM 分为工作区域及 FLASH 数据复制区域，工作区域作为程序执行时的工作存储器用，FLASH 数据复制区域作为从 FLASH 复制数据用的存储器使用。

存取控制电路(CTL\_LOGIC)内的指令寄存器以写入载入命令或储存命令码，可将 FLASH 的数据复制(载入)到 DRAM 的 FLASH 数据复制区域，也可将 DRAM 的 FLASH 数据复制区域的数据写回(储存)到 FLASH。

在从地址信号(A0 ~ A15)输入存取指令寄存器用的地址、从指令信号(CKE,/CS,/RAS,/CAS,/WE,DQMU/DQML)输入写入命令、从输入输出数据信号(D1-DQ0 ~ D1-DQ15)输入载入命令码，之后输入选择 FLASH 的地址的范围内的载入开始地址、载入结束地址之后，在指令寄存器中写入载入命令码及载入开始地址及载入结束地址。其后，从 FLASH 的载入开始地址读载入结束地址间的数据，传送到 DRAM 的 FLASH 数据复制区域。由此，将 FLASH 的数据保持在 DRAM。

在指令寄存器中储存命令码与选择 FLASH 的地址上写入储存开始地址及储存结束地址后，将 DRAM 的 FLASH 数据复制区域的数据写入 FLASH 的储存开始地址到储存结束地址间的地址。

可通过设定控制电路(CTL\_LOGIC)中所设置的控制寄存器的值，而决定 FLASH 的那一地址范围对应于 DRAM 的 FLASH 数据复制区域的那一地址范围。

控制电路(CTL\_LOGIC)从 FLASH 读出数据时，CHIP2(CTL\_LOGIC)检测并修正读取数据的错误并传送到 DRAM。

在将数据写入 FLASH 时，CHIP2(CTL\_LOGIC)检查是否正确地写入，在没有正确地写入时，则写入与现在的地址不同的地址。即进行所谓替代处理。并进列地址管理，以管理不良地址及对不良地址以那一地址进行了替代处理。

存取 DRAM 的 FLASH 数据复制区域时，从地址信号(A0 ~ A15)输入选择 FLASH 的地址及从指令信号(CKE,/CS,/RAS,/CAS,/WE,DQMU/DQML)输入读取命令后，CHIP2 的控制电路存取 DRAM，从对应于 FLASH 的地址的 DRAM 的 FLASH 数据复制区域内地址读出数据。由此，保持在 DRAM 中的 FLASH 区域的数据的读取时间可与 DRAM 相当。

存取 DRAM 的工作区域时，输入存取 DRAM 的工作区域所要的地址信号或指令信号类。控制电路(CTL\_LOGIC)产生 DRAM 的工作区域的地址，进行对 DRAM 的存取。读取存取时来自 DRAM 的读取数据通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15)，输出到数据输入输出线(I/O0 ~ I/O15)。写入存取之时，从存储模块的数据输入输出线(I/O0 ~ I/O15)输入写入数据，其后通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15)输入 DRAM。

如上所述，本发明的存储模块沿用 SDRAM 接口方式，在 DRAM 中预设一个可复制 FLASH 的一部分数据或全部数据的区域，并预先将数据从 FLASH 传送到 DRAM，因而可以与 DRAM 同等的速度读出 FLASH 的数据。对 FLASH 写入时，可以先将数据写入 DRAM，再视需要写回 FLASH，故数据的写入速度也与 DRAM 相当。在存储模块的内部，从 FLASH 读取时，进行错误检测，在写入时，对未正确写入的不良地址进行替代处理，故可高速处理，且可保持可靠度。再者，由于使用大容量 DRAM，除了可复制 FLASH 的数据的区域外，也可确保大容量的工作区域，而符合移动电话的高功能化的需求。

图 2 为 CHIP2(CTL\_LOGIC)的构成图。CHIP2(CTL\_LOGIC)为从外部以 SDRAM 接口动作并控制 CHIP3(DRAM1)及 CHIP1(FLASH)的控制电路。以下说明各电路区块的动作。

初始化电路 INT 在对 DRAM 开始供给电源时进行存储器管理单元 MMU 内的控制寄存器的初始化及 DRAM 的初始化。存储器管理单元 MMU 根据内建的控制寄存器中所设定的值变换自外部输入的地址，选择指令寄存器 RE 或 DRAM 的工作区域及 FLASH 数据复制区

域、FLASH，进行存取。控制寄存器的值在电供给时被初始化电路 INIT 初始设定，其后，当指令寄存器 REG 输入存储器管理 MMU 变更命令时被变更。数据更新地址管理电路 CPB 保持数据写入 DRAM 的 FLASH 数据复制区域时的地址信息。在指令寄存器 REG 中写入并保持载入命令、储存命令、存储器管理单元 MMU 变更命令等命令码或载入开始地址、载入结束地址、储存开始地址、储存结束地址等地址。

数据缓冲器 R/WBUFFER 暂时保持 DRAM 的读取数据、写入数据或 FLASH 的读取数据、写入数据。时钟缓冲器 CLKBUF 将时钟信号供给到 DRAM 及快闪控制电路 FCON。指令产生器 COM\_GEN 产生 DRAM 存取的必要指令。存取控制器 A\_CONT 产生用于进行 CHIP2 的全体控制及 DRAM 存取的地址。电力模块(PM)进行对 DRAM 的电源供给及电源的控制。快闪控制信号产生电路 FGEN 则进行 FLASH 数据的读取、写入的控制。错误修正电路 ECC 检查自 FLASH 读取的数据是否有错误，如果有错误则进行修正。替代处理电路 REP 检查对 FLASH 的写入是否正确进行，如果未正确进行则对在 FLASH 中预先准备的替代用新地址进行写入。

其次说明本存储模块的动作。初始化电路 INT 在开始对 DRAM 供给电源时进行存储器管理单元 MMU 内的控制寄存器的初始化及 DRAM 的初始化。指令寄存器 REG 被选择且载入命令被写入指令寄存器 REG 后，开始从 FLASH 将数据传送到 DRAM。一开始时快闪控制信号产生电路 FGEN 对 FLASH 进行读取动作。从 FLASH 读出的数据若无错误，则直接将数据传送到数据缓冲器 R/WBUFFER，若有错误，则用错误修正电路 ECC 修正，再传送到数据缓冲器 R/WBUFFER。其次，将来自指令产生电路 COM\_GEN 的写入命令、来自存取控制器 A\_CONT 的地址信号、由数据缓冲器 R/WBUFFER 从 FLASH 读取的数据输入到 DRAM，进行对 DRAM 的 FLASH 数据复制区域的写入。

数据更新管理电路 CPB 在数据被写入 DRAM 的 FLASH 数据复制区域时，保持写入地址的信息。指令寄存器 REG 被选择而储存命令被写入指令寄存器后，开始将数据从 DRAM 的 FLASH 数据复制区域内数据传送到 FLASH。

开始时，将来自指令产生电路 COM\_GEN 的读取命令及来自存取控制器 A\_CONT 的地址信号送到 DRAM 并读出数据。从 DRAM 读出的数据通过数据缓冲器 R/WBUFFER 传送到快闪控制器 FCON，快闪控制信号产生电路 FGEN 对 FLASH 进行写入。地址替代处理电路 REP 检查写入是否成功，若成功则结束处理。写入失败时则对 FLASH 中预先准备好的替代用新地址进行写入。进行替代处理时，管理不良地址并保持对不良地址以那一地址进行了替代处理的地址信息。数据更新管理电路 CPB 所保持的 DRAM 的地址信息中，清除掉对 FLASH 的写入结束时的地址信息。如此、数据更新管理电路 CPB 可随时管理最新的数据被更新的地址。

选择 DRAM 的工作区域及 FLASH 数据复制区域，若为读取命令，则从指令产生电路 COM\_GEN 将读取命令信号及从存取控制器 A\_CONT 将地址信号传送到 DRAM，而读出数据。

选择 DRAM 的工作区域及 FLASH 数据复制区域，若为写入命令，则从指令产生电路 COM\_GEN 将写入命令信号、从地址产生电路 A\_CONT 将地址信号、及从数据缓冲器 R/WBUFFER 将数据传送到 DRAM，而写入数据。

通过信号 PS 输入 DRAM 的断电命令后，将对应于数据更新管理电路 CPB 所保持的地址的 DRAM 数据传送到 FLASH。

开始时，从指令产生电路 COM\_GEN 将读取命令并从存取控制器 A\_CONT 将地址信号传送到 DRAM，而读出数据。从 DRAM 读出的数据则通过数据缓冲器 R/WBUFFER 传送到快闪控制器 FCON，通过快闪控制信号产生电路 FGEN 写入 FLASH。

数据更新管理电路 CPB 所保持的 DRAM 的地址信息中，将对 FLASH 的写入结束时的地址信息清除，并将对应于所保持的地址的数

据全部写入 FLASH，则数据更新管理电路 CPB 的地址信息全部被清除。所有的数据从 DRAM 传送到 FLASH 后，切断 DRAM 的电源。通过切断电源，可节约电力。

先暂时停止供给 DRAM 的电源之后，为了再度使 DRAM 动作，通过 PS 信号输入电源投入命令。通过电源投入命令，重新对 DRAM 供给电源，初始化电路 INT 将初始化顺序指示给存取控制器 (A\_CONT)，而执行初始化。

图 3、4 所示为存储器管理单元 MMU 所变换的存储映像的一例。这种存储映像均可根据 MMU 内部的控制寄存器中所设定的值而选择的。虽不特别受限，在本实施例中以非易失性存储器的存储区域为 256 + 8Mb、DRAM 的存储区域为 256Mb、指令寄存器有 8kb 的存储模块为例说明代表性存储映像。

图 3 所示为一存储映像，其以通过地址信号 A0 ~ A15 输入的行地址(A0 ~ A15)及列地址(A0 ~ A9)为基础，存储器管理单元 MMU 在指令寄存器 REG(8kb)、DRAM 的工作区域(128Mbit)、DRAM 的 FLASH 复制区域(128Mbit)、FLASH(256Mbit + 8Mb)中变换地址。虽无特定限制，从存储映像的地址空间的下部开始映射指令寄存器 REG、DRAM、FLASH。

在 CHIP2(CTL\_LOGIC)内部存在的指令寄存器 REG 中，从外部写入载入命令、储存命令、MMU 寄存器变更命令、断电命令等命令码、载入命令或储存命令时的开始地址或结束地址。

DRAM 分为工作区域(128Mbit)及 FLASH 复制区域(128Mbit)。工作区域作为程序执行时的工作存储器使用，FLASH 复制区域用于复制并保持 FLASH 区域的数据的一部分。为了将 FLASH 区域的数据的一部分复制到 FLASH 复制区域，存储器管理单元 MMU 根据内部寄存器的设定值决定 FLASH 的那一个地址的数据对应于 FLASH 复制区域内的那一个地址。在图 3 中，FLASH 区域内的 A1 区域(64Mbit)及 C1 区域(64Mbit)的数据各为可复制到 DRAM 的 FLASH 复制区域内的 A1 区域(64Mbit)及 1 区域(64Mbit)的地址对应的一例。通过变更

存储器管理单元 MMU 的内部控制寄存器的值，可将 FLASH 区域内的 B1 区域(64Mbit)及 D1 区域(56Mbit)的数据各变更为可复制到 DRAM 的 FLASH 复制区域的地址对应。MMU 内部寄存器的值可通过从外部将 MMU 寄存器变更命令码及寄存器值写入指令寄存器中而变更。

FLASH(256M + 8Mbit)并不特别受限，分为主数据区域 MD-Area(A1, A2,B1,B2, C1, C2,D1, D2: 255.75Mbit)及替代区域 Rep-Area(E1、E2: 8.25Mbit)。

主数据区域 MD-Area 再分为数据区域(A1,B1,C1,D1)及冗余区域(A2, B2, C2, D2)。数据区域存放程序及数据，冗余区域存储用于检测错误并修正所需要的 ECC 极性(parity)数据等。FLASH 的数据区域内的数据被传送到 DRAM 的 FLASH 复制区域，或是 DRAM 的 FLASH 复制区域的数据被传送到 FLASH 的数据区域。

FLASH 很少会发生因为重覆更新而降低可靠度，及在写入时写入的数据在读取时成为不同的数据，或是在更新时数据未写入。替代区域设置的目的为将不良区域(Fail Area B、Fail Area C)的数据取置换新的区域。替代区域的大小并不特别受限，只要能确保 FLASH 所保证的可靠性而决定即可。

#### 说明从 FLASH 到 DRAM 的数据传送。

为了将 FLASH 的 A1 区域的数据传送到 DRAM 的 FLASH 复制区域 A1 区域，在指令寄存器中写入载入命令及 FLASH 区域内 A1 区域的传送开始地址 SAD 及传送结束地址 EAD。如此，控制电路(CTL\_LOGIC)读取 FLASH 的 A1 区域内的传送开始地址 FSAD 及传送结束地址 FEAD 所示的地址范围的数据，并传送到经存储器管理单元 MMU 而对应的 DRAM 的 FLASH 复制区域 A1 区域内的地址 DSAD 及 DEAD 的地址范围。

从 FLASH 读出数据时，读出 FLASH 的数据区域 A1 中的数据及冗余区域 A2 中的 ECC 极性数据，通过错误修正电路 ECC，若有错误则进行修正。只将修正后的数据传送给 DRAM。

说明从 DRAM 到 FLASH 的数据传送。

为了将 DRAM 的 FLASH 复制区域 A1 的数据传送到 FLASH 的 A1 区域，在指令寄存器中写入储存命令及 FLASH 的 A1 区域的传送开始地址 SAD 及传送结束地址 EAD。如此，控制电路(CTL\_LOGIC)读取经存储器管理单元 MMU 而对应的 DRAM 的 FLASH 复制区域 A1 区域内的地址 DSAD 及 DEAD 的地址范围的数据，并写入 FLASH 的 A1 区域内的传送开始地址 FSAD 及传送结束地址 FEAD 的地址范围数据。

将数据写入 FLASH 时，错误修正电路 ECC 产生 ECC 极性数据。通过快闪控制电路 FGEN，从 DRAM 读出的数据被写入 FLASH 的数据区域 A1，所产生的 ECC 极性数据被写入冗余区域 A2。

地址替代处理电路 REP 检查写入是否成功，若成功则结束处理。写入失败时则选择 FLASH 的替代区域内的地址，将 DRAM 读出的数据写入替代区域内的替代数据 E1，将所产生的 ECC 极性数据写入替代冗余区域 E2。

其次说明 DRAM 的 FLASH 复制区域 A1 的数据的读取。

从外部输入 FLASH 的 A1 区域内地址 FAD0 及读取命令后，MMU 进列地址变换，转换成对应于地址 FAD0 的 DRAM 的 FLASH 复制区域 A1 的地址 DAD0。由此，DRAM 被选择，可读出复制在 DRAM 中的 FLASH 的数据。即，可以与 DRAM 相同的速度读出 FLASH 的数据。

其次说明 DRAM 的工作区域的数据的读取。

从外部输入工作区域内地址 WAD0 及读取命令后，MMU 将地址 WAD0 输出到地址产生电路 A\_COUNT。由此，可读出 DRAM 的工作区域内地址 WAD0 的数据。

其次说明对 DRAM 的 FLASH 复制区域 A1 的数据写入。

从外部输入 FLASH 的 A 区域内地址 FAD0 及写入命令、写入数据后，MMU 地址转换成对应于地址 FAD0 的 DRAM 的 FLASH 复制区域内的地址 DAD0。由此，DRAM 被选择，FLASH 复制区域 A1

中写入数据。通过写入与 FLASH 的数据区域 A1 对应的 DRAM 的 FLASH 复制区域 A1, 可以以与 SRAM 相同速度写入 FLASH 的数据。

其次说明 DRAM 的工作区的读取。

从外部输入工作区域内地址 WAD0 及读取命令后, MMU 将地址 WAD0 输出到存取控制器 A\_COUNT。由此, 可读出 DRAM 的工作区域内地址 WAD0 的数据。

其次说明 DRAM 的工作区域的数据的写入。

从外部输入工作区域内地址 WAD0 及写入命令、输入数据后, 存取控制器 A\_COUNT 将地址 WAD0 输出到 DRAM。由此, 可写入 DRAM 的工作区域内地址 WAD0 的数据。

图 4 所示存储映像与图 3 相比较, 其所确保的 DRAM 的 FLASH 复制区域为较大的 192Mbit 的区域。

根据通过地址信号 A0 ~ A15 而输入的行地址(A0 ~ A15)及列地址(A0 ~ A9), 存储器管理单元 MMU 在 REGISTER 区域、DRAM 内工作区域(64Mbit)、DRAM 内 FLASH 复制区域(192Mbit)、FLASH 区域(256Mbit)中进行列地址变换。

存储映像通过变更 MMU 内部的控制寄存器的值, 可由使用者根据系统而自由选择。MMU 内部控制寄存器的值可通过从外部将 MMU 寄存器变更命令码及想变更的寄存器值写入指令寄存器而变更。

图 5 所示为电源投入时控制电路(CTL\_LOGIC)所进行的初始化动作。在 T1 的期间中投人电源后, 在 T2 的重置期间内进行控制电路(CTL\_LOGIC)的初始化。存储器管理单元 MMU 内部的控制寄存器的值在 T2 的期间被初始设定。在 T3 的期间, 初始化电路 INT 同时进行 DRAM 的初始化动作及 FLASH 的初始化动作。初始化动作结束后, 存储模块成为闲置(idle)状态, 可从接受来自外部的存取。

图 6 所示为从 FLASH 到 DRAM 的数据传送的流程图。存储模块在闲置状态下等待来自外部的命令(STEP1)时, 若输入载入命令及选择 FLASH 的地址(STEP2), 则从 FLASH 读出对应于输入地址的数据及 ECC 极性数据(STEP3)。检查所读取的数据中有无错误(STEP4),

若有错误则修正错误(STEP5)，写入缓冲器中(STEP6)。若无错误则直接写入缓冲器 R/W – BUFFER(STEP6)。将写入缓冲器 R/W – BUFFER 中的数据写入 DRAM 时，检查是否对 DRAM 有产生更新要求(STEP7)，若有更新要求，则进行更新动作(STEP8)，其后将数据写入 DRAM(STEP9)。若无更新要求，则立即将数据写入 DRAM(STEP9)。

图 7 所示为从 DRAM 到 FLASH 的数据传送的流程图。存储模块在闲置状态下等待来自外部的命令(STEP1)时，若输入储存命令及选择 FLASH 的地址(STEP2)，则开始从 DRAM 读取数据。此时，检查对 DRAM 是否有产生更新要求(STEP3)，若有更新要求，则进行更新动作(STEP4)，其后从 DRAM 读出数据(STEP5)。若无更新要求，则立即从 DRAM 读出数据(STEP5)。读出的数据被传送到缓冲器 R/W – BUFFER(STEP6)，写入 FLASH(STEP7)。在写入 FLASH(STEP7)时，将自 DRAM 读出的数据及错误修正电路 ECC 所产生的 ECC 极性数据写入 FLASH。检查 FLASH 的写入是否成功(STEP8)，若成功则结束处理(STEP10)。写入失败时，则选择替代用的其他地址(STEP9)，再度写入 FLASH(STEP7)，进行写入成功检查(STEP11)，若成功则结束处理(STEP10)。

图 8(A)所示为从存储模块内的 DRAM 读出数据时的来自外部的命令流程。图 8(B)所示为将数据写入存储模块内 DRAM 时的来自外部的命令流程。命令从外部以 SDRAM 接口输入到存储模块。

说明图 8(A)。存储模块在闲置状态下等待外部来的命令(STEP1)。输入外部来的 ACTIVE 命令及行地址(STEP2)后，输入 READ 命令及列地址(STEP3)，则读出被行地址及列地址所选择的 DRAM 的存储单元中所保持的数据，通过输入输出数据信号(DQ0 – DQ15)输出到存储模块外。若输入 PRICHARGE 命令(STEP4)则存储模块进入闲置状态。

说明图 8(B)。存储模块在闲置状态下等待外部来的命令(STEP1)。输入外部来的 ACTIVE 命令及行地址(STEP2)后，输入 WRITE 命令及列地址(STEP3)，则对被行地址及列地址所选择的 DRAM 的存储单

元写入从输入输出数据信号(DQ0 - DQ15)输入的数据。若输入 PRICHARGE 命令(STEP4)则存储模块进入闲置状态。

图 9 所示为数据更新管理电路 CPB 进列地址保持及地址清除的流程。通过外部来的写入命令，数据被写入 DRAM 的 FLASH 数据复制区域(STEP1)，再将与写入地址对应的标记信号写入数据更新管理电路 CPB 内的标记寄存器(STEP2)。从外部输入储存命令及地址后，开始从 DRAM 的 FLASH 数据复制区域对 FLASH 传送数据(STEP3)。检查传送是否结束(STEP4)，若已结束则清除标记寄存器内的传送结束的地址的标记。

图 10 所示为将 DRAM 的断电命令输入存储模块时的存储模块的动作流程。

断电命令输入到指令寄存器后，写入 DRAM 内 FLASH 复制区域中的数据中未写回 FLASH 的数据全部传送到 FLASH。

输入断电命令(STEP1)后，为了检索写入 DRAM 内 FLASH 复制区域的数据中未写回 FLASH 的数据的地址，首先将检索地址设定在检索开始地址(STEP2)。若发现在检索地址的数据更新管理电路 CPB 内的标记寄存器中写入标记(STEP3)，则对应检索地址的 DRAM 的数据传送 FLASH。传送结束后清除该标记(STEP5)。判断现在的检索地址是否为检索最终地址(STEP6)，若非检索最终地址，则对现在的检索地址加 1，以所得到的地址作为下一检索地址(STEP7)，其后，重覆 STEP3、STEP4、STEP5、STEP6。若现在的检索地址是检索最终地址，则结束处理，切断 DRAM 的电源(STEP8)。

图 11 所示为对指令寄存器输入载入命令时，数据从 FLASH 传送到 DRAM 时的模块所进行的 SDRAM 的动作。

从存储模块的外部以 SDRAM 接口输入主动命令 A 及行地址 R，其后从写入命令 W、列地址 C、及输入输出信号 IO0 ~ IO15 输入载入命令码 Ld。接着从输入输出信号 IO0 ~ IO15 输入 FLASH 区域内的数据中想复制到 DRAM 的数据的开始地址 Sa 及结束地址 Ea。通过行

地址 R 及列地址 C 选择指令寄存器，将载入命令码 Ld 及开始地址 Sa 及结束地址 Ea 写入指令寄存器。

控制电路将对应于开始地址 Sa 及结束地址 Ea 的范围的数据从 FLASH 保持在读取缓冲器，其后开始对 SDRAM1 进行写入动作。

写入 DRAM1 用的地址通过存储器管理单元 MMU 将数据的开始地址 Sa 变换成 FLASH 复制区域的 DRAM 的行地址 R0 及列地址 C0，同样地将结束地址 Ea 变换成行地址 R0 及列地址 CF。

对 DRAM1 的写入从 D1-COM 输入主动命令 A，从 D1-A0 ~ D1-A15 输入行地址 R0，其后从 D1-COM 输入写入命令 W，从 D1-A0 ~ D1-A15 输入列地址 C0，从输入输出信号 D1-IO0 ~ D1-IO15 输入数据而写入。写入动作持续到列地址的最终地址 CF，通过预充电 (pre-charge) 命令 P 而结束写入。开始对 DRAM 写入数据起到结束为止的期间内，输出 WAIT 信号为 High，通知正在传送数据给 DRAM。

图 12 所示为对指令寄存器输入储存命令时从 SDRAM 将数据传送到 FLASH 时的存储模块中所进行的 SDRAM 的动作。

从存储模块的从外部以 SDRAM 接口输入主动命令 A 及行地址 R，其后从写入命令 W 及列地址 C 及输入输出信号 IO0 ~ IO15 输入储存命令码 St。接着从输入输出信号 IO0 ~ IO15 输入 FLASH 区域内的数据中想从 DRAM 复制回到 FLASH 的数据的开始地址 Sa 及结束地址 Ea。通过行地址 R 及列地址 C 选择指令寄存器，将储存命令码 St 及开始地址 Sa 及结束地址 Ea 写入指令寄存器。

控制电路自 SDRAM 读取对应于开始地址 Sa 及结束地址 Ea 的范围的数据，并写入 FLASH。

自 SDRAM1 读出用的地址通过存储器管理单元 MMU 将数据的开始地址 Sa 变换成 FLASH 复制区域的 SDRAM 的行地址 R0 及列地址 C0，同样将结束地址 Ea 变换成行地址 R0 及列地址 CF。

自 SDRAM1 读取时，从 D1-COM 输入主动命令 A，从 D1-A0 ~ D1-A15 输入行地址 R0，其后从 D1-COM 输入读取命令 R 并从 D1-A0 ~ D1-A15 输入列地址 C0 而读出。读取动作持续到列地址的最

终地址 CF 为止，通过预先充电(pre-charge)命令 P 结束读取。从 SDRAM 读取数据开始到结束为止的期间内，输出 WAIT 信号为 High，通知正在从 SDRAM 传送数据。

图 13(a)所示为对 SDRAM 的工作区域存取时的 SDRAM 的动作，图 13(b)所示为对 SDRAM 的 FLASH 复制区域存取时的 SDRAM 的动作。

说明图 13(a)的读取动作。

从存储模块的外部以 SDRAM 接口输入主动命令 A 及行地址 R0，其后输入读取命令 R 及列地址 C0。制御电路对 SDRAM1 输入主动命令 A 及行地址 R0，其后输入读取命令 R 及列地址 C0 之后，从输入输出信号 D1-IO0 ~ D1-IO15 输出数据，通过输入输出信号 IO0 ~ IO15 输出到外部。

说明图 13(a)的写入动作。

从存储模块的外部通过 SDRAM 接口输入主动命令 A 及行地址 R0，其后、从写入命令 W 及列地址 C0 及输入输出信号 IO0 ~ IO15 输入数据 In。控制电路对 SDRAM1 输入主动命令 A 及列地址 R0，其后从写入命令 W 及列地址 C0 及输入输出信号 D1-IO0 ~ D1-IO15 输入数据，将数据写入 SDRAM。

说明图 13(b)的读取动作。

从存储模块的外部以 SDRAM 接口输入主动命令 A 及行地址 RD，其后输入读取命令 R 及列地址 CD。通过存储器管理单元 MMU，FLASH 区域的行地址 RD 变换成 FLASH 复制区域的行地址 RT，同样地 FLASH 区域的列地址 CD 变换成 FLASH 复制区域的列地址 CT。对 SDRAM1 输入主动命令 A 及行地址 RT，其后输入读取命令 R 及列地址 CT，从输入输出信号 D1-IO0 ~ D1-IO15 输入数据，通过输入输出信号 IO0 ~ IO15 输出到外部。

说明图 13(b)的写入动作。

从存储模块的外部以 SDRAM 接口输入主动命令 A 及行地址 RF，其后从写入命令 W 及列地址 CF 及输入输出信号 IO0 ~ IO15 输入数

据 In。通过存储器管理单元 MMU, FLASH 区域的行地址 RF 变换成 FLASH 复制区域的行地址 RU, 同样地 FLASH 区域的列地址 CF 变换成 FLASH 复制区域的列地址 CU。对 SDRAM1 输入主动命令 A 及行地址 RU, 其后输入写入命令 W 及列地址 CT, 从输入输出信号 D1-IO0 ~ D1-IO15 输入数据, 写入 SDRAM。

图 14 所示为通过从外部将储存命令写入指令寄存器而从 DRAM 读取数据时, 从外部输入读取命令时的 SDRAM 的动作。

通过储存命令, WAIT 信号变成 High, 对 FLASH 传送用的数据 Os 从 DRAM 读出时, 若从外部输入主动命令 A 及行地址 R0, 则控制电路对 DRAM1 发出预先充电(pre-charge)命令 Ps, 暂时停止从 DRAM 读取对 FLASH 传送用的数据 Os。其后, 对 DRAM1 发出主动命令 A 及行地址 R0。其次, 若从外部输入读取命令 R 及列地址 C0, 则对 DRAM1 发出读取命令 R 及列命令 C0, 读出数据 O, 从 IO0 ~ IO15 输出。若从外部输入预先充电命令 P 及库地址 B0, 则对 DRAM1 发出预先充电命令 P 及库地址 B0, 结束数据的读取。其后, 控制电路重新开始读取从 DRAM 对 FLASH 传送用的数据 Os, 故对 DRAM1 发出主动命令 AS 及行地址 R4、读取命令 Rs 及列指令 C4、读取命令 RS 及列指令 C8。

图 15 为本实施例中的 CHIP1(FLASH)的构成例。其由控制器信号缓冲器 C-BUF、指令控制器 CTL、多工器 MUX、数据输入缓冲器 DI-BUF、输入数据控制器 DC、扇区地址缓冲器 SA-BUF、X 解码器 X-DEC、存储器阵列 MA(FLASH)、Y 地址计数器 Y-CT、Y 解码器 Y-DEC、Y 棚极 & 检测放大电路 YGATE/SENSE-AMP、数据寄存器 DATA-REG、数据输出缓冲器 DO-BUF 所构成。CHIP1 的动作与习知常用的 AND 型 FLASH 存储器相同。又, AND 型 FLASH 存储器意指大容量闪存器, 有时会被分类为广义的 NAND 型闪存器, 本案中提到 NAND 型闪存器时也包含 AND 型 FLASH 存储器。通过该 CHIP1(FLASH)可构成本实施例的存储模块。

图 16 所示为从可构成 CHIP1 的 AND 型 FLASH 存储器读取数据的动作。芯片启动信号 F-/CE 为 LOW，指令数据启动信号 F-CDE 为 LOW，写入启动信号 F-/WE 起动时，从输入输出信号 I/O0 ~ I/O7 输入读取命令的命令码 Rcode。第二及第三个写入启动信号 F-/WE 起动时从输入输出信号 I/O0 ~ I/O7 输入扇区地址。

将对应于所输入的扇区地址的 16kbit 的数据从存储器阵列 MA 传送到数据寄存器 DATA-REG。数据从存储器阵列 MA 传送到数据寄存器 DATA-REG 的期间内，FLASH 成为忙碌状态，F-RDY/BUSY 使待命(ready)/忙碌(busy)信号成为 Low。数据传送结束后，与串列时钟信号 F-SC 的起动同步，以 8 位元为单位依序读出数据寄存器 DATA - REG 内的数据，从输入输出信号 I/O0 ~ I/O7 输出。

图 17 为以另一种 NAND 型闪存器构成本存储模块的 CHIP1(FLASH)的例子。

输入 CHIP1 的 F-/CE 为芯片启动信号，F-CLE 为指令闩锁启动信号，F-ALE 为地址闩锁启动信号，F-/WE 为写入启动信号，F-/RE 为读取启动信号，F-/WP 为写入保护信号，F-R/B 为待命/忙碌信号，I/O0 ~ I/O7 为输入输出信号，使用于地址的输入或数据的输入输出。也可用此种 NAND 型闪存器构成本存储模块。

图 18 所示为本存储模块所用的 NAND 型存储器的区块图。由动作逻辑控制器 L-CONT、控制电路 CTL、输入输出控制器电路 I/O-CONT、状态寄存器 STREG、地址寄存器 ADREG、指令寄存器 COMREG、待命忙碌电路 R-B、高电压产生电路 VL-GEN、行地址缓冲器 ROW-BUF、行地址解码器 ROW-DEC、列缓冲器 COL - BUF、列解码器 COL-DEC、数据寄存器 DATA - REG、检测放大器 SENSE-AMP、存储器阵列 MA 所构成。

CHIP1 的动作跟先前一般使用的 NAND 型 FLASH 存储器相同。可用本 CHIP1(FLASH)构成本实施例的存储模块。

图 19 所示为从构成 CHIP1 的 NAND 型 FLASH 存储器读取数据的动作。

芯片启动信号 F-/CE 为 Low, 指令闩锁启动信号 F-CLE 为 High, 写入启动信号 F-/WE 起动时, 从输入输出信号 I/O0 ~ I/O7 输入读取命令的命令码 Rcode。其后地址闩锁启动 F-ALE 成为 High, 第 2 个及第 3 个及第 4 个写入启动信号 F-/WE 起动时从输入输出信号 I/O0 ~ I/O7 输入页面地址。

与输入的与页面 4kbit(4224bit)地址对应的 4kbit(4224bit)的数据从存储器阵列 MA 传送到数据寄存器 DATA-REG。数据从存储器阵列 MA 传送到数据寄存器 DATA-REG 的期间内, FLASH 成为忙碌, F-R/B 使待命/忙碌信号成为 Low。数据传送结束后, 与读取启动信号 F-/RE 下降同步, 将数据寄存器 DATA - REG 内的数据以 8 位元为单位依序读出, 从输入输出信号 I/O0 ~ I/O7 输出。

图 20 为本实施例的 DRAM 的构成例。由 X 地址缓冲器 X-ADB, 更新计数器 REF. COUNTER, X 解码器 X-DEC, 存储器阵列 MA, Y 地址缓冲 Y-ADB, Y 地址计数器 Y-AD COUNTER, Y 解码器 Y-DEC, 检测放大电路 & Y 棚极(列开关)SENS AMP.& I/O BUS, 输入数据缓冲电路 INPUT BUFFER, 输出数据缓冲电路 OUTPUT BUFFER, 控制电路 & 时序产生电路 CONTROL LOGIC & 及 TG 所构成。DRAM 为过去使用的通用 SDRAM。即包含 4 个可独立动作的存储器库, 其对应的地址输入端子及数据输入输出端子被共通化, 在每一分时段使用于各库。本 DRAM 可构成本实施例的存储模块。

如上所述, 本发明的存储模块中, 沿用 SDRAM 接口方式, 在 DRAM 内确保可复制 FLASH 的一部分数据或全部数据的区域, 预先从 FLASH 将数据传送到 DRAM, 可以与 DRAM 相当的速度读出 FLASH 的数据。对 FLASH 写入数据时, 先将数据写入 DRAM, 再视需要写回 FLASH, 故数据的写入速度也与 DRAM 相当。

在存储模块的内部, 从 FLASH 读取时, 进行错误检测及修正, 写入时, 对未正写入的不良地址进行替代处理, 故可高速处理, 且可保持可靠度。

由于使用大容量 DRAM，故在可复制 FLASH 的数据的区域之外，也可确保大容量的工作区域，可符合移动电话的高功能化的需求。

DRAM 中所确保的工作区域及 FLASH 数据复制区域的大小或管理单位可从外部程序化，使用者可根据系统而自由选择。

### < 实施例 2 >

图 21 所示为本发明的存储模块的另一实施例。本存储模块由 3 个芯片所构成。以下说明各芯片。首先，CHIP1(FLASH)为非易失性存储器。非易失性存储器可用 ROM(只读存储器)、EEPROM(电可擦除可编程 ROM)、闪存器等。本实施例中以闪存器为例说明。CHIP2(SRAM+CTL\_LOGIC)中集成有静态随机存取存储器(SRAM)及控制电路(CTL\_LOGIC)。控制电路对 CHIP2 中所集成的 SRAM 的 CHIP3 进行控制。CHIP3(DRAM1)为动态随机存取存储器(DRAM)。DRAM 因内部构成或接口的差异有 EDO、SDRAM、DDR 等各种种类。本存储模块可用任一种 DRAM，本实施例中以 SDRAM 为例说明。

对本存储模块从外部输入地址(A0 ~ A24)和指令信号 (S-/CE1, S-CE2, S-/OE, S-/WE, S-/LB, S-/UB, LS - EN, F-EN)。电源通过 S-VCC, S-VSS, LF-VCC, LF-VSS, LD-VCC, LD-VSS 供给，数据的输入输出利用 S-I/O0 ~ S-I/O15。本存储模块以所谓 SRAM 接口方式动作。

CHIP2 供给 CHIP1, CHIP3 的动作上必要的信号。CHIP2 对 CHIP1 供给串列时钟(F - SC)、地址及 FLASH 用数据(I/O0 ~ I/O7)、指令(F-CE, F-/OE, F-/WE, F-/RES, F-CDE, F-RDY/BUSY)、电源(F-VCC, F-VSS)。再者，CHIP2 对 CHIP3 供给时钟(D1-CLK)、地址(D1-A0 ~ D1-A14)、指令(D1-CKE, D1-/CS, D1-/RAS, D1-/CAS, D1-/WE, D1-DQMU/DQML)、DRAM 用数据(D1-DQ0 ~ D1-DQ15)、电源(D1-VCC, D1-VSS, D1-VCCQ, D1-VSSQ)。

在此简单说明各指令信号。输入 CHIP2 的 S-/CE1, S-CE2 为芯片启动信号、S-/OE 为输出启动信号、S-/WE 为写入启动信号、S-/LB 为低位元组选择信号、S-/UB は高位元组选择信号。

输入 CHIP1 的 F-/CE 为芯片启动信号, F-/OE 为输出启动信号, F-/WE 为写入启动信号, F-SC 为串列时钟信号, F-/RES 为重置信号, F-CDE 为指令数据启动信号, F-RDY/BUSY 为待命/忙碌信号, I/O0 ~ I/O7 为输入输出信号, 用于地址的输入或数据的输入输出。

CHIP2 的控制电路(CTL\_LOGIC)根据地址的值选择控制电路内(CTL\_LOGIC)设置的指令寄存器 REG、CHIP2 内的 SRAM、CHIP3 的 DRAM、CHIP1 的 FLASH 的任一种。

通过对控制电路(CTL\_LOGIC)内的控制寄存器设定预设值, 可区分各区域。对任一种的存取均以所谓 SRAM 接口方式进行。

DRAM 分为工作区域及 FLASH 数据复制区域, 工作区域作为程序执行时的工作存储器使用, FLASH 数据复制区域作为用于复制来自 FLASH 的数据的存储器使用。

存取 SRAM 时, 将选择 SRAM 的地址信号或指令信号类输入控制电路(CTL\_LOGIC)后, 对 CHIP2 内部的 SRAM 进行存取。读取存取之时从 SRAM 读取数据, 输出到存储模块的数据输入输出线(I/O0 ~ I/O15)。写入存取之时从存储模块的数据输入输出线(I/O0 ~ I/O15)输入写入数据, 并写入 SRAM 中。

通过存取控制电路(CTL\_LOGIC)内的指令寄存器 REG 而写入载入命令或储存命令码, 可将 FLASH 的数据复制(载入)到 DRAM 内的 FLASH 数据复制区域或将 DRAM 内的 FLASH 数据复制区域的数据写回(储存)到 FLASH。

从地址信号(A0 ~ A24)输入指令寄存器 REG 存取用的地址, 从指令信号(S-/CE1,S-CE2,S-/OE, S-/WE,S-LB,S-/UB)输入写入命令, 从输入输出数据信号(I/O0 ~ I/O15)输入载入命令码, 之后从 FLASH 区域内的地址输入载入开始地址、载入结束地址后, 在指令寄存器中写入载入命令码及载入开始地址及载入结束地址。如此, 读出从 FLASH 的载入开始地址到载入结束地址之间的数据传送到 DRAM 内的 FLASH 数据复制区域。由此、FLASH 的数据被保持在 DRAM。

在指令寄存器中写入储存命令码并在选择 FLASH 的地址上写入储存开始地址及储存结束地址后，DRAM 内的 FLASH 数据复制区域的数据被写回从 FLASH 的储存开始地址起到储存结束地址之间的地址。

FLASH 的哪个地址范围对应于 DRAM 的 FLASH 数据复制区域的那个地址范围可通过在控制电路(CTL\_LOGIC)中的控制寄存器设定值而决定。

FLASH 很少会发生因为重覆更新而降低可靠度、及在写入时写入的数据与读取时的数据不同，或是在更新时数据未写入。

从 FLASH 读出数据时，CHIP2(CTL\_LOGIC)检测并修正读取数据的错误再传送到 DRAM。

对 FLASH 写入数据时，CHIP2(CTL\_LOGIC)检查是否已正确写入，未正确写入时，以与现在的地址不同的地址进行写入。进行所谓替代处理。也进列地址管理，以管理不良地址及以哪个地址进行了替代处理。

存取 DRAM 的 FLASH 数据复制区域时，从地址信号(A0 ~ A24)输入 FLASH 区域的地址及、指令信号(S-/CE1, S-CE2, S-/OE, S-/WE, S-/LB, S-/UB)。指令信号为读取命令之时，CHIP2 的控制电路存取 DRA，从对应于 FLASH 区域内的地址的 DRAM 的 FLASH 数据复制区域内地址读出数据。写入命令时写入数据从存储模块的数据输入输出线(I/O0 ~ I/O15)输入，其后通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15)输入到 DRAM。由此，FLASH 的数据的读取及写入时间与 SRAM 相当。

存取 DRAM 的工作区域时，输入存取 DRAM 内工作区域上必要的地址信号或指令信号。控制电路(CTL\_LOGIC)产生 DRAM 内工作区域的地址，对 DRAM 进行存取。读取存取之时来自 DRAM 的读取数据通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15)输出到数据输入输出线(I/O0 ~ I/O15)。写入存取之时从存储模块的数据输入输出线

(I/O0 ~ I/O15)输入写入数据，其后通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15)输入到 DRAM。

CHIP3(DRAM)的电源从 LD-VCC、LD-VSS 供给，通过控制电路(CTL\_LOGIC)连接到 D1-VCC,D1-VSS,D1-VCCQ,D1-VSSQ, FLASH 的电源从 LF-VCC、LF-VSS 供给，通过控制电路(CTL\_LOGIC)连接到 F-VCC,F-VSS。对 DRAM 及 FLASH 的电源供给由指令信号 PS 所控制，必要时可切断。

DRAM 断电时，控制电路(CTL\_LOGIC)只将必须从 DRAM 写回 FLASH 的数据自动写回，数据的写回结束后切断 DRAM 的电源。

将已切断的 DRAM 的电源再投入时需要进行 DRAM 的初始化。DRAM 及 FLASH 的初始化所要的信号生成或时序控制由控制电路(CTL\_LOGIC)进行。

又、进行 DRAM 的更新时，控制电路(CTL\_LOGIC)可定期投入库主动指令(bank active command)而进行。一般而言，DRAM 的更新特性在高温时会恶化，可在控制电路(CTL\_LOGIC)中设置温度计，在高温时缩小库主动指令的投入间隔而使 DRAM 可在更广的温度范围内使用。

如上说明的实施例沿用 SRAM 接口方式而得到一种存储模块，其使用便宜的通用 SDRAM 及 FLASH，容量大，且存取速度与 SRAM 相当。

本发明的存储模块在 DRAM 内确保一可复制 FLASH 的一部分数据或全部数据的区域，并预先将数据从 FLASH 传送到 DRAM，而可以与 SRAM 相当的速度读出 FLASH 的数据。对 FLASH 写入数据时，可先暂时将数据写入 DRAM，必要时再写回 FLASH，故数据的写入速度也可与 SRAM 相当。

使用大容量 SDRAM，在 SDRAM 中除了可复制 FLASH 的数据的区域外，也可确保大容量的工作区域。

从 FLASH 读取时、进行错误检测及修正，写入时，对未正确写入的不良地址进行替代处理，故可高速处理，保持可靠度。

由于使用大容量 SDRAM，在 SDRAM 中除了可复制 FLASH 的数据的区域外，也可确保大容量的工作区域。

用温度改变模块内部所执行的更新间隔，可扩大 DRAM 的使用温度范围，得到使用温度范围大的大容量存储模块。

本发明的另一目的为得到数据保持电流少的存储模块。为了达到本目的，特别是在低温时延长模块内部所执行的更新间隔，可减少数据保持电流。

再者，为了减少数据保持电流，切断 DRAM 的电源供给，只保持 SRAM 中存储的数据即可。由此，可用最低限度的数据保持电流只保持必要的数据。

#### 图 22 所 示 为 CHIP2(SRAM+CTL\_LOGIC) 。

CHIP2(SRAM+CTL\_LOGIC)由 SRAM 及控制电路(CTL\_LOGIC)构成，被集成的 SRAM 为先前一般使用的非同步 SRAM。控制电路(CTL\_LOGIC)是 CHIP2 的 SRAM 以外的部分，如图 18 中以虚线包围的区域所示，由 AS、MMU、ATD、DTD、R/W BUFFER、CPB、A\_CONT、REG、INT? TMP、RC、PM、CLK\_GEN、COM\_GEN 构成。以下说明各电路区块的动作。

初始化电路 INT 在电源开始供给时进行存储器管理单元 MMU 内的控制寄存器的初始化及 DRAM 的初始化。

存储器管理单元 MMU 根据内建的控制寄存器的设定值变换从外部输入的地址，选择 REGISTER 区域内的指令寄存器 REG 或 DRAM 内的工作区域、DRAM 内的 FLASH 数据复制区域、FLASH 区域，进行存取。控制寄存器的值在电源供给时被初始化电路 INT 初始设定。想变更控制寄存器的值时，在指令寄存器 REG 中输入存储器管理 MMU 变更命令，SRAM 被选择时通过存取开关(AS)将地址信号及指令信号送给 SRAM，对 SRAM 进行存取。

地址转换检测器电路(ATD)检测地址信号及指令信号的变化而输出脉冲。又，指令转换检测器电路(CTD)检测指令信号的变化而输出脉冲。这种检测电路检测信号的变化，由此开始对存储器存取。

数据更新地址管理电路 CPB 保持在 DRAM 的 FLASH 数据复制区域中写入数据时的地址信息。

指令寄存器 REG 被写入并保持载入命令、储存命令、存储器管理单元 MMU 变更命令、断电命令等命令码，及载入开始地址、载入结束地址、储存开始地址、储存结束地址等地址。

数据缓冲器 R/WBUFFER 暂时保持 DRAM 的读取数据、写入数据或 FLASH 的读取数据、写入数据。

指令产生器 COM\_GEN 产生 DRAM 的存取所必要的指令。

存取控制器 A\_CONT 产生用于进行 CHIP2 的全体控制及对 DRAM 存取的地址。

快闪控制信号产生电路 FGEN 进行 FLASH 的数据的读取、写入的制御。

错误修正电路 ECC 检查自 FLASH 读取的数据是否有错误，若有错误则进行修正。替代处理电路 REP 检查对 FLASH 的写入是否正确，未正确进行时，对 FLASH 中预先准备好的替代用新地址进行写入。

温度计测模块(TMP)测量温度，并将对应于所测得的温度的信号输出到 RC 及 A\_CONT。RC 为更新计数器，配合 DRAM 的更新间隔产生进行更新的地址。又，通过温度计测模块(TMP)的输出信号进行对应于温度的更新间隔的变更。

电力模块(PM)进行 CHIP2 的控制电路(CTL\_LOGIC)及 DRAM 的电源供给及电源控制。时钟信号产生器(CLK\_GEN)产生时钟信号，供给到 DRAM 及控制电路(CTL\_LOGIC)。指令产生器(COM\_GEN)产生 DRAM 的存取所要的指令。存取控制器(A\_CONT)产生 CHIP2 (SRAM+CTL\_LOGIC)全体动作的控制及 DRAM 的存取所要的地址。

快闪控制信号产生电路 FGEN 进行 FLASH 的数据的读取、写入的制御。

错误修正电路 ECC 检查自 FLASH 读取的数据是否有错误，若有错误则进行修正。替代处理电路 REP 检查对 FLASH 的写入是否正确，未正确进行时，对 FLASH 中预先准备的替代用新地址进行写入。

其次说明本存储模块的动作。

为了对 CHIP2(SRAM+CTL\_LOGIC)进行存储器存取，以以往一般使用的非同步 SRAM 方式做接口。

若地址信号(A0 ~ A24)或指令信号(S-/LB, S-/UB, S-/WE, S-/CE1, S-CE2, S-/OE)有变化，则 ATD 检测出该变化，开始存取指令寄存器 REG、SRAM、DRAM 或 FLASH。

从外部输入的地址信号(A0 ~ A24)的值首先用存储器管理单元 MMU 变换。根据变换后的地址，决定存取对象是指令寄存器 REG、SRAM、DRAM、或是 FLASH。

地址的变换形成由存储器管理单元 MMU 内部的控制寄存器的值决定。

选择指令寄存器 REG 并将载入命令码写入指令寄存器 REG 后，开始从 FLASH 传送数据给 DRAM。开始时，快闪控制器 FCON 内部的快闪控制信号产生电路 FGEN 对 FLASH 进行读取动作。从 FLASH 读出的数据若无错误，则直接将数据传送到数据缓冲器 R/WBUFFER，若有错误，则用错误修正电路 ECC 修正，传送到数据缓冲器 R/WBUFFER。其次，从指令产生电路 COM\_GEN 输入写入命令，从存取控制器 A\_CONT 输入地址信号，通过数据缓冲器 R/WBUFFER 将从 FLASH 读取的数据输入 DRAM，进行向 DRAM 的 FLASH 数据复制区域的写入。

数据更新管理电路 CPB 在数据被写入 DRAM 的 FLASH 数据复制区域时保持写入地址信息。

选择指令寄存器 REG 并将储存命令写入指令寄存器后，开始将 DRAM 的 FLASH 数据复制区域内数据的数据传送到 FLASH。

开始时，从指令产生电路 COM\_GEN 将读取命令并从存取控制器 A\_CONT 将地址信号传送到 DRAM 而读出数据。从 DRAM 读出的数据通过数据缓冲器 R/WBUFFER 传送到快闪控制器 FCON，快闪控制信号产生电路 FGEN 对 FLASH 进行写入。地址替代处理电路 REP 检查写入是否成功，若成功则结束处理。写入失败时，对 FLASH 中

预先准备的替代用新地址进行写入。进行替代处理时，管理不良地址并保持对不良地址以那一地址进行了替代处理的地址信息。在数据更新管理电路 CPB 所保持的 DRAM 的地址信息中，清除 FLASH 写入结束的地址信息。如此，数据更新管理电路 CPB 可经常管理最新的数据被更新的地址。

选择 DRAM 的工作区域及 FLASH 数据复制区域，为读取命令时，从指令产生电路 COM\_GEN 将读取命令信号并从存取控制器 A\_CONT 将地址信号传送给 DRAM，读出数据。

选择 DRAM 的工作区域及 FLASH 数据复制区域，为写入命令时，从指令产生电路 COM\_GEN 将写入命令信号、从地址产生电路 A\_CONT 将地址信号、并从数据缓冲器 R/WBUFFER 将数据传送给 DRAM，写入数据。

选择指令寄存器 REG，断电命令写入指令寄存器后，将对应于数据更新管理电路 CPB 所保持的地址的 DRAM 数据传送到 FLASH。开始时，从指令产生电路 COM\_GEN 将读取命令并从存取控制器 A\_CONT 将地址信号传送到 DRAM 读出数据。从 DRAM 读出的数据通过数据缓冲器 R/WBUFFER 传送到快闪控制器 FCON，通过快闪控制信号产生电路 FGEN 写入 FLASH。

数据更新管理电路 CPB 所保持的 DRAM 的地址信息中，清除 FLASH 写入结束的地址信息，对应于所保持的地址的数据全部写入 FLASH 后，数据更新管理电路 CPB 的地址信息全部被清除。

在高温下使用存储模块时，只要缩短 DRAM 的更新间隔，频繁地更新即可。本存储模块中温度计测模块(TMP)测量温度，通知更新计数器及存取控制器。若达到高温，则缩短更新计数器的更新间隔，输出更新用地址。又，相反地低温时，则拉长 DRAM 的更新间隔，即可减少数据保持电流。此时温度计测模块(TMP)可测量温度，通知更新计数器及存取控制器。低温时则更新计数器拉长更新间隔，输出更新用地址。

安装有存储模块的机器有时想根据动作状态减少耗电。因此说明电力模块改变存储器的动作状态而减少耗电的方法。

首先，最简单的方式是电力模块依照指令信号 PS 信止更新计数器所进行的更新。由此，DRAM 中所存储的数据会被破坏，但可减少更新时所要的电力。

想要进一步减少耗电时，可在存储模块内部切断对 DRAM 供给的电源。此时，电力模块根据机器输出的指令信号 PS 停止对供给给 DRAM 的 D1-VCC 的电力供给。

此外，想要更进一步减少耗电时，电力模块根据指令信号 PS 停止对 CHIP2(SRAM+CTL\_LOGIC)中与 DRAM 的存储器存取相关的部分供给电源即可。该状态下可例如在 CHIP2(SRAM+CTL\_LOGIC)中除了 SRAM 外只对 MMU 及 AS 连接电源而进入动作状态，而成为只执行对 SRAM 的存取的模式。

再者，也可以指令 PS 形成只进行 SRAM 的数据保持的动作状态。此时，切断连接到 SRAM 电源(S-VCC, S-VSS)以外的电源，禁止存储器的存取。在本状态下，存储模块进行存储在 SRAM 内的数据的保持。

为了暂时停止对 DRAM 供给电源并在动作停止后使 DRAM 再度动作，除了重新开始供给电源外，必须进行 DRAM 的初始化。初始化方法为一般的方法，在本存储模块中，初始化电路(INT)对存取控制器(A\_CONT)指示初始化的顺序而执行初始化。

又，为了在停止 DRAM 的更新时再度使 DRAM 动作，必须进行 DRAM 的初始化，同样地初始化电路(INT)对存取控制器(A\_CONT)指示初始化的顺序而执行初始化。

图 23,24,25,26 所示为以存储器管理单元 MMU 变换的存储映像的一例。这种存储映像均可根据 MMU 内部的控制寄存器的设定值而选择。本实施例中并不特别受限，以下以 FLASH 的存储容量为 256 + 8Mb、保持数据用 SRAM 为 2Mb、DRAM 为 256Mb 的存储模块为例说明代表性存储映像。

图 23 所示的存储映像以通过地址信号 A0 ~ A24 所输入的地址为基础，存储器管理单元 MMU 对指令寄存器 REG(16kbit)、SRAM 形成的数据保持区域(2Mbit)、DRAM 内工作区域(128Mbit)、DRAM 内 FLASH 复制区域(128Mbit)、FLASH(256+8 Mbit)变换地址。

虽不特别受限，从存储映像的地址空间的下部起，指令寄存器 REG, SRAM、DRAM、FLASHI 被映像。

指令寄存器 REG 从外部写入载入命令、储存命令、MMU 寄存器变更命令等命令码及载入命令、储存命令时的开始地址或结束地址。

DRAM 分为工作区域(128Mbit)及 FLASH 复制区 (128Mbit)。工作区域作为程序执行时的工作存储器使用，FLASH 复制领域用于复制 FLASH 区域的数据的一部分并进行保持。

SRAM 构成的 2Mbit 的数据保持区域设定成集中在地址空间的下部。本区域与 DRAM 重复映像在存储器空间，但不进行对 DRAM 的存取，只进行对 SRAM 的存取。

控制存储模块的电源只保持并使用 SRAM 的数据时，可集中管理 SRAM 的区域。

未存取的 DRAM 的区域(SHADOW)可用于救济 DRAM 的存储单元。本存储模块中为了在低温时延长更新间隔而减少耗电而有各种设计，此时会产生难以保持数据的存储单元(Fail bit)。因此，可使用成为本 SHADOW 的 DRAM 进行 Fail bit 的替代。图 23 中，DRAM 中有 Fail bit A, Fail bit B，其地址事前已登录好，对 Fail bit 进行存取时，则存取 SHADOW 替代之。通过 SHADOW 的替代可救济 Fail bit，在低温时延长更新间隔，而得到耗电少的存储模块。

为了将 FLASH 区域的数据的一部分复制到 FLASH 复制区域，存储器管理单元 MMU 根据内部寄存器的设定值决定 FLASH 区域内的哪个地址的数据对应 FLASH 复制区域内的哪个地址。图 23 中，FLASH 区域内的 A1 区域(64Mbit)及 C1 区域(64Mbit)的数据各为可复制到 DRAM 的 FLASH 复制区域内的 A1 区域(64Mbit)及 1 区域(64Mbit)的地址对应的 1 例。通过变更存储器管理单元 MMU 的内部

控制寄存器的值，可将 FLASH 区域内的 B1 区域(64Mbit)及 D1 区域(56Mbit)的数据各变更为可复制到 DRAM 的 FLASH 复制区域的地址对应。

FLASH(256M + 8Mbit)虽不特别受限，可分为**主数据区域 MD-Area(A1, A2,B1,B2, C1, C2,D1, D2: 255.75Mbit)**及**替代区域 Rep-Area(E1、E2: 8.25Mbit)**。

主数据区域可再分为**数据区域(A1,B1,C1,D1)**及**冗余区域(A2, B2, C2, D2)**。数据区域存放程序及数据，冗余区域存放检测并修正错误用的 ECC 极性数据等。FLASH 的数据区域内的数据被传送到 DRAM 的 FLASH 复制区域，或是 DRAM 的 FLASH 复制区域的数据被传送到 FLASH 的数据区域。

FLASH 很少会发生因为重覆更新而降低可靠度、及在写入时写入的数据与读取时的数据不同，或是在更新时数据未写入。替代区域为了将不良的区域(Fail Area C、Fail Area D)的数据置换到新的区域而设。替代区域的大小并不特别受限，只要能确保 FLASH 所保证的可靠度即可。

说明从 FLASH 到 DRAM 的数据传送。

为了将 FLASH 的 A1 区域的数据传送到 DRAM 的 FLASH 复制区域 A1 区域，在指令寄存器中写入载入命令及 FLASH 区域内 A1 区域的传送开始地址 SAD 及传送结束地址 EAD。如此，控制电路(CTL\_LOGIC)读取 FLASH 的 A1 区域内的传送开始地址 FSAD 及传送结束地址 FEAD 所示的地址范围的数据，并传送到存储器管理单元 MMU 产生对应的 DRAM 的 FLASH 复制区域 A1 区域内的地址 DSAD 及 DEAD 的地址范围。

从 FLASH 读出数据时，以数据的管理单位(在此为 8 k bit)读取 FLASH 的数据区域 A1 中的数据及冗余区域 A2 中的 ECC 极性数据，若有错误则以错误修正电路 ECC 修正的。只将修正后的数据传送到 DRAM。

说明从 DRAM 到 FLASH 的数据传送。

为了对 FLASH 的 A1 区域传送 DRAM 的 FLASH 复制区域 A1 的数据，在指令寄存器中写入储存命令及 FLASH 的 A1 区域的传送开始地址 SAD 及传送结束地址 EAD。如此，控制电路(CTL\_LOGIC)读取由存储器管理单元 MMU 产生对应关的 DRAM 的 FLASH 复制区域 A1 区域内的地址 DSAD 及 DEAD 的地址范围的数据，并写入 FLASH 的 A1 区域内的传送开始地址 FSAD 及传送结束地址 FEAD 的地址范围数据。

对 FLASH 写入数据时，错误修正电路 ECC 以数据的管理单位(在此为 8kbit)产生 ECC 极性数据。通过快闪控制电路 FGEN，自 DRAM 读出的数据被写入 FLASH 的数据区域 A1，所产生的 ECC 极性数据被写入冗余区域 A2。地址替代处理电路 REP 检查写入是否成功，若成功则结束处理。写入失败时，选择 FLASH 的替代区域内的地址，自 DRAM 读出的数据写入替代区域内的替代数据 E1，所产生的 ECC 极性数据写入替代冗余区域 E2。

其次说明 DRAM 的 FLASH 复制区域 A1 的数据的读取。

从外部输入 FLASH 的 A1 区域内地址 FAD0 及读取命令后，MMU 对对应于地址 FAD0 的 DRAM 的 FLASH 复制区域 A1 的地址 DAD0 进列地址变换。由此，DRAM 可读出被复制到所选择的 DRAM 中的 FLASH 的读出数据。换言之，可与以 DRAM 相同的速度读出读出 FLASH 的数据。

其次说明 DRAM 的工作区域的数据的读取。

从外部输入工作区域内地址 WAD0 及读取命令后，MMU 将地址 WAD0 输出到地址产生电路 A\_COUNT。由此，可读出 DRAM 的工作领域内地址 WAD0 的数据。

其次说明对 DRAM 的 FLASH 复制区域 A1 的数据写入。

从外部输入 FLASH 的 A1 区域内地址 FAD0 及写入命令、写入数据后，MMU 对对应于地址 FAD0 的 DRAM 的 FLASH 复制区域内的地址 DAD0 进列地址变换。由此，DRAM 被选择，数据被写入 FLASH

复制区域。通过对应于 FLASH 的数据区域 A1 的 DRAM 的 FLASH 复制区域 A1 的写入，可以与 SRAM 相同的速度写入 FLASH 的数据。

其次说明 DRAM 的工作区域的数据的读取。

从外部输入工作区域内地址 WAD0 及读取命令后，MMU 将地址 WAD0 输入存取控制器 A\_COUNT。由此，可读出 DRAM 的工作区域内地址 WAD0 的数据。

其次说明 DRAM 的工作区域的数据的写入。

从外部输入工作区域内地址 WAD0 及写入命令、输入数据后，地址产生电路 A\_COUNT 将地址 WAD0 输出到 DRAM。由此，可写入 DRAM 的工作区域内地址 WAD0 的数据。

图 24 所示的存储映像的例中，设定有分散在多个地址空间的 SRAM 区域。SRAM 的地址空间仍然与 DRAM 的地址空间重叠，对重叠的地址空间的存取对 SRAM 进行的。多个 SHADOW 用于多个 Fail bit 的救济。在本例中，SRAM 区域设定成 2Kbyte 为单位，此种设计的目的是为了配合 FLASH 存储器的写入消去单位，使地址空间的管理单位与 FLASH 存储器一致，由此简化 OS 或程序的存储器空间的处理。

又，控制存储模块的电源，只保持 SRAM 的数据而使用时，可将 SRAM 的区域分散配置在存储器空间内。

图 25 所示的存储映像的例中，SRAM 及 DRAM 映像在另一地址空间，而没有因重复而产生的 SHADOW。因此，地址空间为合计 DRAM 的 256Mb 及 SRAM 的 2Mb 之后的 258Mb，可得到较大的地址空间。

图 26 所示的存储映像为将图 22 的 SRAM 区域 128 分割而配置的例。其可具有与图 25 所示的例同样大的地址空间。又、与图 22 所示的例相同地，在存储模块的电源只保持 SRAM 的数据而使用时，可将 SRAM 的区域分散配置在存储器空间内。

如此，MMU 可在指定的地址空间中分配 SRAM 区域及 DRAM 区域。其分配方法可通过变更 MMU 中所设定的寄存器的而轻易变更。

当想尽量减少数据保持电流时，将存放想保持的数据的地址空间分配到 SRAM 区域，再停止对 DRAM 供给电源即可。本方法可得到数据保持电流少的存储模块。

图 27(A)所示为外部存取及更新存取及载入命令或储存命令时对 DRAM 存取的优先顺序。

更新存取为第 1 优先，外部存取为第 2 优先，载入或储存命令中的存取为第 3 优先。

图 27(B)所示为外部对 DRAM 产生读取存取(READ)及更新存取(REF)时的动作。

图 27(C)所示为对 DRAM 产生写入存取(WRITE)及更新存取(REF)时的动作。

未产生更新存取(REF)而产生外部存取(READ、WRITE)时，外部存取直接对 DRAM 进行，而进行数据的读取及写入。

产生更新存取(REF)及外部存取时，首先，以优先顺序高的更新存取进行更新动作，其次，执行外部存取动作。更新动作中，WAIT 信号成为 High，表示已经进行了对 DRAM 的动作。

图 28(A)所示为对指令寄存器写入载入命令时及从 FLASH 对 DRAM 传送数据时对 DRAM 的动作。

从 FLASH 读取数据，暂时保时在数据缓冲器 R/WBUFFER 中，其后存取 DRAM 并写入数据。对 DRAM 的写入存取开始起到写入结束为止的期间内，WAIT 信号成为 High，表示已经进行对 DRAM 的存取。

图 28(B)所示为对指令寄存器写入储存命令时及从 DRAM 对 FLASH 传送数据时对 DRAM 的动作。

从 DRAM 读取数据，暂时保持在数据缓冲器中，其后，存取 FLASH 而写入数据。从对 DRAM 的读取存取开始到写入结束为止的期间内，WAIT 信号成为 High，表示已经对 DRAM 进行存取。

图 29(A)所示为载入命令时对 DRAM 写入存取中，从外部产生读取存取时的 DRAM 的动作。外部存取的种类并不特别受限，在此以读取存取为 1 例。

产生外部存取时，载入命令时的 DRAM 的写入存取暂时停止，优先处理外部存取。外部存取的处理结束后，重新开始载入命令时的 DRAM 的写入存取。

图 29 (B) 所示为储存命令时对 DRAM 的读取存取中，从外部产生写入读取存取时的 DRAM 的动作。外部存取的种类并不特别受限，在此以写入存取为 1 例。

产生外部存取时，暂时停止储存命令时的 DRAM 的读取存取，优先处理外部存取。外部存取的处理结束后，重新开始储存命令时的 DRAM 的读取存取。

图 30 所示为本发明的存储模块的动作波形的一例。A0 ~ A20, S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE 为输入存储模块的信号，为所谓非同步 SRAM 的接口信号。数据输入输出信号 I/O0 ~ I/O15 分为数据的输入及输出，各以 DIN、DOUT 表示。MMU, ATD, CTD 各代表 MMU 电路、ATD 电路、CTD 电路的输出信号。D1-CLK 为供给给 DRAM 的时钟信号，D1-COM 为供给给 DRAM 的指令信号的总称，D1-A0 ~ D1-A15 为 DRAM 的地址线，D1-DQ0 ~ D1-DQ15 为 DRAM 的 I/O 线。

首先，说明开始时进行的读取存取。输入地址 A0 ~ A24 后，MMU 电路输出变换后的地址。ATD 电路检测出地址 A0 ~ A24 与指令类 (S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE) 的变化，地址及指令确定后，输出脉冲。以该脉冲为起点，对 DRAM1 发出库主动指令 A 及行地址 Ra，跟着发出读取指令 R 及列地址 Co。从 DRAM1 出的数据被输出到 D-DQ0 ~ D-DQ15，先通过 R/W BUFFER 再输出到 I/O0 ~ I/O15。

在下一个周期所示为写入存取的执行例。写入存取之时也与读取存取相同地以 ATD 信号的下降为起点发出库主动指令 A 及行地址

Ra。其后，CTD 电路检测指令类(S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE)的变化，辨识其为写入动作，输出脉冲。以该脉冲为起点，发出写入指令 W 及列指令 C 而执行写入。

图 31 所示为本发明的存储模块的动作波形的一例，显示进行更新动作时，从外部读取存取时产生的动作波形。

为了进行更新，对 DRAM1 发出库主动指令 A 及行地址 Ra，其后发出预备充电指令 P 及库地址 Ba。本更新动作期间中，更新计数器输出信号 RC，表示其在更新期间中。说明更新期间中产生的来自外部的读取存取。输入地址 A0 ~ A24 后，MMU 电路输出变换后的地址。ATD 电路检测地址 A0 ~ A24 及指令类(S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE)的变化，地址及指令确定后，输出脉冲。根据该脉冲，闩锁地址及指令。以更新期间结束为起点，对 DRAM1 发出库主动指令 A 及行地址 Ra，接着发出读取指令 R 及列地址 Co。自 DRAM1 读出的数据被输出到 D-DQ0 ~ D-DQ15，先通过 R/W BUFFER 再输出到 I/O0 ~ I/O15。

图 32 所示为本实施例的 SRAM 的构成例。其由 X 解码器(X-DEC)，存储器阵列 MA(SRAM)，Y 棚极(Y-GATE)，Y 解码器(Y-DEC)，输入数据控制电路(D\_CTL)，控制电路(CONTROL LOGIC)及各信号线的输入输出缓冲器所构成。该 SRAM 为一般所谓的非同步 SRAM。可用该本 SRAM 构成本实施例的存储模块。

如上说明的实施例，可沿用 SRAM 接口方式而得到使用便宜的通用 DRAM 的大容量存储模块。

本发明的存储模块中，在 DRAM 内确保一可复制 FLASH 的一部分数据或全部数据的区域，预先从 FLASH 将数据传送到 DRAM，以与 SRAM 相当的速度读出 FLASH 的数据。由于对 FLASH 写入数据时，先将数据写入 DRAM，必要时再写回 FLASH，故数据的写入速度与 SRAM 相当。从 FLASH 读取时，进行错误检测及修正，写入时，由于对未正确写入的不良地址进行替代处理，故可高速处理，保持可靠性。

存储器管理单元 MMU 可自由设定 SRAM 所构成的数据保持区域、DRAM 的 FLASH 复制区域及工作区域，故可对应各种机器广泛地应用。

本发明的控制电路(CTL\_LOGIC)中使用 DRAM，但由于 DRAM 所需要的更新由控制电路(CTL\_LOGIC)所执行，故可与 SRAM 同样地不考虑更新而使用。

再者，通过缩小 DRAM 的更新间隔，在高温时也可使 DRAM 动作，可得到使用温度范围广的存储模块。另一方面，通过在低温时增加 DRAM 的更新间隔，可减少数据保持所需要的电力，而得到数据保持电力少的存储模块。

在电力模块 PM 的作用下，也可停止供给 DRAM 的一部分或全部的电源，而限定存储区域，减少数据保持所需要的电力。再者，也可通过停止控制电路的电源供给，得到数据保持电力少的存储模块。

### < 实施例 3 >

图 33 所示为本发明的存储模块的第 3 实施例。

图 33(A)所示为俯视图，图 33(B)所示为剖面图。本存储模块在通过球状格子阵列(Ball Grid Array, BGA)安装在装置上的基板(例如玻璃环氧基板所制成的印刷电路板 PCB)上，安装实施例 1 所示的 CHIP1(FLASH)、CHIP2(CTL\_LOGIC)、CHIP3(DRAM)，或实施例 2 所示的 CHIP1(FLASH)、CHIP2(SRAM+CTL\_LOGIC)、CHIP3(DRAM)。

虽不特别受限，CHIP1 中使用在芯片的一端排列一排信号及电源焊垫列的通用 DRAM 的裸芯片（ペアチップ），CHIP3 中使用在芯片的中央排列 1 列信号及电源焊垫列的通用 DRAM 的裸芯片。

CHIP1 及基板上的接合垫(bonding pad)以接合线(PATH2)连接，CHIP2 及基板上的接合垫以接合线(PATH3)连接。CHIP3 及 CHIP2 以接合线(PATH1)连接。CHIP1 及 CHIP2 以接合线(PATH4)被连接。

搭载有芯片的基板上面进行树脂模塑，以保护各芯片及连接配线。又，也可另外在其上加上金属、陶瓷或树脂的盖子(COVER)。

本发明的实施例中由于在印刷电路板 PCB 上直接搭载裸芯片，故可形成安装面积小的存储模块。又，由于可近接配置各芯片，故可缩短芯片间配线长度。通过将芯片间的配线及各芯片与基板间的配线统一成接合线方式，可用较少的步骤数制造存储模块。再者，通过以接合线对芯片间直接配线，可减少基板上的接合垫数及接合线的条数，以较少的步骤数制造存储模块。由于可使用大量量产的通用 DRAM 的裸芯片，故可便宜且安定地供给存储模块。使用树脂盖时，可形成更强韧的存储模块。使用陶瓷或金属盖时，除了强度外，更可形成放热性或遮蔽效果优良的存储模块。

图 34 所示为本发明的存储模块的图 34 的变形例。图 34(A)所示为俯视图，34(B) 所示为剖面图。本例中，CHIP3(DRAM)、CHIP2(CTL\_LOGIC 或 SRAM+CTL\_LOGIC)的安装及配线上使用球形格子阵列(BGA)。CHIP1 与基板上的接合垫用接合线(PATH2)连接。

通过本安装方法，CHIP2(CTL\_LOGIC 或 SRAM+CTL\_LOGIC)与 CHIP3(DRAM)及 CHIP2(CTL\_LOGIC)与基板间之间不必接合线，可减少接合配线的条数，故除了可减少组装步骤数之外，可得到可靠度更高的存储模块。

#### < 实施例 4 >

图 35 所示为本发明的存储模块中的另一实施例。本存储模块由 4 个芯片所构成。以下说明各种芯片。首先，CHIP1(FLASH)为非易失性存储器。非易失性存储器中可使用 ROM(只读存储器)、EEPROM(电子式可擦除可编程 ROM)、闪存器等。本实施例中为闪存器为例说明。CHIP2(SRAM+CTL\_LOGIC)中集成静态随机存取存储器(SRAM)及控制电路(CTL\_LOGIC)。控制电路对集成在 CHIP2 中的 SRAM 及 CHIP3 及 CHIP4 进行控制。CHIP3(DRAM1)、CHIP4(DRAM2)为动态随机存取存储器(DRAM)。DRAM 依内部构成或接口的差异有 EDO、SDRAM、DDR 等各种种类。本存储模块可使用任一种 DRAM，本实施例以 SDRAM 为例说明。

对本存储模块从外部输入地址(A0 ~ A24)及指令信号(S-/CE1, S-CE2, S-/OE, S-/WE, S-/LB, S-/UB, LS - EN, F-EN)。电源通过S-VCC, S-VSS, F-VCC, F-VSS, L-VCC, L-VSS 供给, 数据的输入输出使用 S-I/O0 ~ S-I/O15。该存储模块通过所谓 SRAM 接口而动作。

CHIP2 供给 CHIP1, CHIP3 及 CHIP4 的动作所需要的信号。CHIP2 对 CHIP1 供给串列时钟信号(F - SC)、地址及 FLASH 用数据(I/O0 ~ I/O7)、指令(F-CE, F-/OE, F-/WE, F-/RES, F-CDE, F-RDY/BUSY)、DRAM 用数据(D1-DQ0 ~ D1-DQ15, D2-DQ0 ~ D2-DQ15)。再者, CHIP2 对 CHIP3 及 CHIP4 供给时钟信号(D1-CLK, D2-CLK)、地址(D1-A0 ~ D1-A14, D2-A0 ~ D2-A14)、指令(D1-CKE, D2-CKE, D1-/CS, D2-/CS, D1-/RAS, D2-/RAS, D1-/CAS, D2-/CAS, D1-/WE, D2-/WE, D1-DQMU/DQML, D2-DQMU/DQML)、DRAM 用数据(D1-DQ0 ~ D1-DQ15, D2-DQ0 ~ D2-DQ15)、电源(D1-VCC, D2-VCC, D1-VSS, D2-VSS, D1-VCCQ, D2-VCCQ, D1-VSSQ, D2-VSSQ)。

在此简单说明各指令信号。输入 CHIP2 中的 S-/CE1, S-CE2 为芯片启动信号, S-/OE 为输出启动信号, S-/WE 为写入启动信号, S-/LB 为低位元组选择信号, S-/UB 为高位元组选择信号。

输入 CHIP1 中的 F-/CE 为芯片启动信号, F-/OE 为输出启动信号, F-/WE 为写入启动信号, F-SC 为串列时钟信号, F-/RES 为重置信号, F-CDE 为是指令数据启动信号, F-RDY/BUSY 为待命/忙碌信号, I/O0 ~ I/O7 为数据输入输出信号, 用于闪存器的控制。

CHIP2 的控制电路(CTL\_LOGIC)根据从外部输入的地址的选择 CHIP2 的控制电路(CTL\_LOGIC)中设置的指令寄存器、或是 CHIP2 内部的 SRAM、或是 CHIP3 及 CHIP4 的 DRAM、或是 CHIP1 的 FLASH。

可通过在设置在控制电路(CTL\_LOGIC)中的控制寄存器中设定预设值加以区别。其存取均以所谓 SRAM 接口方式进行。

存取 SRAM 区域时，将 SRAM 区域内的地址信号及指令信号类输入控制电路(CTL\_LOGIC)后，进行 CHIP2 内部的 SRAM 的存取。读取存取之时，从 SRAM 读取数据，输出到存储模块的数据输入输出线(S-I/O0 ~ S-I/O15)。写入存取之时，从存储模块的数据输入输出线(S-I/O0 ~ S-I/O15)输入写入数据，写入 SRAM。

通过存取控制电路(CTL\_LOGIC)内的指令寄存器而写入载入命令及储存命令码，可将 FLASH 区域的数据复制(载入)DRAM 内的 FLASH 数据复制区域，或将 DRAM 内的 FLASH 数据复制区域的数据写回(储存)FLASH 区域。

从地址信号(A0 ~ A24)输入存取指令寄存器用的地址，从指令信号(S-/CE1,S-CE2,S-/OE, S-/WE,S-LB,S-/UB)输入写入命令，从输入输出数据信号(I/O0 ~ I/O15)输入载入命令码，接着在 FLASH 区域内的地址输入载入开始地址、载入结束地址之后，在指令寄存器中写入载入命令码及载入开始地址及载入结束地址。如此，读出 FLASH 区域内的载入开始地址到载入结束地址之间的数据，传送到 DRAM1 及 DRAM2 的 FLASH 数据复制区域。由此，FLASH 的数据被保持在 DRAM。

在指令寄存器中以储存命令码及 FLASH 区域内的地址写入储存开始地址及储存结束地址之后，将 DRAM1 或 DRAM2 的 FLASH 数据复制区域的数据写回 FLASH 区域内的储存开始地址起到储存结束地址之间的地址。

通过设定设置在控制电路(CTL\_LOGIC)中的控制寄存器的值，可决定 FLASH 区域的哪个地址范围对应于 DRAM1 及 DRAM2 的 FLASH 数据复制区域的哪个地址范围。

FLASH 很少会发生因为重覆更新而降低可靠度、及在写入时写入的数据与读取时的数据不同、或是在更新时数据未写入。

从 FLASH 读出数据时，CHIP2(CTL\_LOGIC)检测并修正读取数据的错误，而传送给 DRAM1 及 DRAM2。

对 FLASH 写入数据时，CHIP2(CTL\_LOGIC)检查是否已正确写入，未正确写入时，以与现在的地址不同的地址进行写入。进行所谓替代处理。也进列地址管理，以管理不良地址及对哪个地址进行了替代处理。

DRAM 存取 FLASH 数据复制区域时，从地址信号(A0 ~ A24)输入 FLASH 区域的地址及指令信号(S-/CE1, S-CE2, S-/OE, S-/WE, S-/LB, S-/UB)。指令信号为读取命令之时，CHIP2 的制御电路存取 DRAM，从对应于 FLASH 区域内的地址的 DRAM 的 FLASH 数据复制区域内地址通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15 或 D2-DQ0 ~ D2-DQ15)读出数据。写入命令之时从存储模块的数据输入输出线(S-I/O0 ~ S-I/O15)输入写入数据，其后通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15 及 D2-DQ0 ~ D2-DQ15)输入到 DRAM。由此，FLASH 区域的数据的读取及写入时间与 SRAM 相当。

存取 DRAM 的工作区域时，输入 DRAM 内工作区域的存取所需要的地址信号及指令信号。控制电路(CTL\_LOGIC)产生 DRAM 内工作区域的地址，对 DRAM 进行存取。读取存取时来自 DRAM 的读取数据通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15 或 D2-DQ0 ~ D2-DQ15)输出到数据输入输出线(S-I/O0 ~ S-I/O15)。写入存取之时从存储模块的数据输入输出线(S-I/O0 ~ S-I/O15)输入写入数据，其后通过 DRAM 用数据 I/O(D1-DQ0 ~ D1-DQ15 及 D2-DQ0 ~ D2-DQ15 )输入到 DRAM。

DRAM1 的电源从 LD-VCC、LD-VSS 供给，通过控制电路(CTL\_LOGIC)连接到 D1-VCC,D1-VSS,D1-VCCQ 及 D1-VSSQ。DRAM 的电源供给受指令信号 PS 控制，必要时可切断。

DRAM 断电时，控制电路(CTL\_LOGIC)只自动写回必须从 DRAM 写回 FLASH 的数据，数据的写回结束后切断 DRAM 的电源。

切断 DRAM 的电源后再通电时，必须进行 DRAM 及 FLASH 的初始化。DRAM 的初始化所需要的信号生成及时序控制由控制电路(CTL\_LOGIC)进行。

又，进行 DRAM 的更新时，控制电路(CTL\_LOGIC)可定期投入库主动指令而进行。一般而言，DRAM 的更新特性在高温时会恶化，通过在控制电路(CTL\_LOGIC)中设置温度计而在高温时缩小库主动指令的投入间隔，可在较广的温度范围内使用 DRAM。

再者，通过 2 个 DRAM 将工作区域及 FLASH 区域二重化，可将一个数据保持在 2 个 DRAM 外，通过调整进行更新之时序，可隐藏更新，以免从存储模块外部因更新动作而产生存取上的限制。

如上说明的实施例中，可沿用 SRAM 接口方式而得到使用便宜的通用 SDRAM 及 FLASH 的大容量且存取速度与 SRAM 相当的存储模块。

本发明的存储模块在 DRAM 内确保可复制 FLASH 的一部分数据或全部数据的区域，预可先从 FLASH 将数据传送到 DRAM，而以与 SRAM 相当的速度读出 FLASH 的数据。将数据写入 FLASH 时，可先将数据写入 DRAM，必要时再写回 FLASH，故数据的写入速度也与 SRAM 相当。

通过使用大容量 SDRAM，在 SDRAM 中除了可复制 FLASH 的数据的区域外，可确保大容量的工作区域。

从 FLASH 读取时，进行错误检测及修正，写入时，对未正确写入的不良地址进行替代处理，故可高速处理，保持可靠度。

由于使用大容量 SDRAM，故在 SDRAM 中除了可复制 FLASH 的数据的区域外，可确保大容量的工作区域。

本发明的存储模块中使用 DRAM，但由于 DRAM 所需要的更新在模块内部执行，故可与 SRAM 同样地不考虑更新而使用。又，通过随着温度而改变在模块内部执行的更新间隔，可扩大 DRAM 的使用温度范围，使用温度范围大的大容量存储模块。

再者，通过进行 DRAM 中的数据保持的二重化及更新时序的调整，可从存储模块外部隐藏 DRAM 的更新，故存取本存储模块时不必考虑更新而调整时序。因此，由于可以与先前只使用 SRAM 的存储模块同样地使用，故可以不变更以前的系统而使用大容量存储模块。

本发明的另一目的为得到数据保持电流少的存储模块。在本目的下，特别是在低温时可通过延长模块内部所执行的更新间隔，而减少数据保持电流。

再者，要减少数据保持电流，可以切断对 DRAM 供给的电源，而只保持 SRAM 中所存储的数据即可。只将应保持的数据存储在 SRAM，停止对没有保持必要的数据的存储器供给电源，可以最低限度的数据保持电流保持必要的数据。

图 36 所示为 CHIP2(SRAM+CTL\_LOGIC) 的电路区块图。CHIP2(SRAM+CTL\_LOGIC)由 SRAM 及控制电路(CTL\_LOGIC)所构成，所集成的 SRAM 为先前一般使用的非同步 SRAM。控制电路(CTL\_LOGIC)为 CHIP2 的 SRAM 以外的部分，图 36 中以虚线包围的区域表示，由 AS、MMU、ATD、CTD、FIFO、R/W BUFFER, CACHE、A\_CONT、INT、TMP、RC、PM、CLK\_GEN、COM\_GEN 所构成。

以下说明各电路区块的动作。

初始化电路 INT 在电源供给时进行存储器管理单元 MMU 内的控制寄存器的初始化及 DRAM 的初始化。

指令寄存器 REG 保持从外部输入的载入命令、储存命令、MMU 变更命令等命令。

存储器管理单元 MMU 根据内建的控制寄存器的设定值，变换从外部输入的地址，选择指令寄存器 REG 或 SRAM、DRAM 内的工作区域、DRAM 内的 FLASH 数据复制区域、FLASH 而进行存取。控制寄存器的值在电源供给时被初始化电路 INT 初始设定。控制寄存器的值在 MMU 变更命令输入时变更到指令寄存器 REG。.

SRAM 被选择时，通过存取开关(AS)对 SRAM 送出地址信号及指令信号，进行 SRAM 的存取。

地址转换检测器电路(ATD)检测地址信号及指令信号的变化而输出脉冲。又，指令转换检测器电路(CTD)检测指令信号的变化而输出脉冲。这种检测电路通过检测信号的变化而开始对存储器存取。

R/W BUFFER 暂时保持 DRAM 的读取及写入用的数据。

先进先出存储器(FIFO)用先进先出的缓冲电路暂时保持对 DRAM 写入的数据及其地址。CACHE 在进行更新的 DRAM 的切换时或一次的存取长期进行时，暂时存储对 DRAM 写入的数据及自 DRAM 读取的数据。

再者，CACHE 也暂时存储载入命令的对 DRAM 写入的数据。

数据更新管理电路 CPB 则保持 DRAM 中被分配的 FLASH 数据复制区域内的地址中数据被更新的地址或地址范围(即进行写入的地址或地址范围)的信息。

指令寄存器 REG 中保持、载入命令、储存命令、存储器管理单元 MMU 变更命令、断电命令等命令码、载入开始地址、载入结束地址、储存开始地址、储存结束地址等地址。

指令产生器 COM\_GEN 产生对 DRAM 存取所需要的指令。

存取控制器 A\_CONT 产生用于对 CHIP2 的全体控制及对 DRAM 存取用的地址。

快闪控制信号产生电路 FGEN 进行 FLASH 的数据的读取及写入的制御。

错误修正电路 ECC 检查自 FLASH 读取的数据是否有错误，若有错误则进行修正。替代处理电路 REP 则检查对 FLASH 的写入是否正确，未正确进行时，则对 FLASH 中预先准备的替代用新地址进行写入。

温度计测模块(TMP)测量温度，将对应于测得的温度的信号输出到 RC 及 A\_CONT。RC 为更新计数器，配合 DRAM 的更新间隔产生进行更新的地址。又，通过温度计测模块(TMP)的输出信号进行对应于温度的更新间隔的变更。

电力模块(PM)进行对 CHIP2 的控制电路(CTL\_LOGIC)及 DRAM 的电源供给及电源的控制。时钟信号产生器(CLK\_GEN)生成时钟信号，供给到 DRAM 及控制电路(CTL\_LOGIC)。指令产生器(COM\_GEN)产生对 DRAM 存取时需要的指令。存取控制器(A\_CONT)

产生对 CHIP2 (SRAM+CTL\_LOGIC)全体动作的控制及对 DRAM 进行存取用的地址。

其次说明本存储模块的动作。

对 CHIP2(SRAM+CTL\_LOGIC)进行存储器存取时，以以往一般使用的非同步 SRAM 方式为接口。

地址信号(A0 ~ A24)或指令信号(S-/LB, S-/UB, S-/WE, S-/CE1, S-CE2, S-/OE)变化时，ATD 检测该变化，开始对指令寄存器 REG、SRAM、DRAM 存取。

从外部输入的地址信号(A0 ~ A24)的值首先被 MMU 所变换。变换的模式由预先输入 MMU 内部的寄存器的值所决定。根据变换后地址，决定存取对象是指令寄存器 REG、SRAM、或是 DRAM。

对 SRAM 进行存取时，MMU 将变换后的地址传送到 SRAM 的同时，对存取开关(AS)指示指令传送。存取开关(AS)将指令传送给 SRAM，开始对 SRAM 存取。其后的动作即对所谓非同步 SRAM 进行存取。

对 DRAM 进行读取存取时，对 A\_CONT 送出从外部输入而被 MMU 变换过的地址及 ATD 检测出的指令。A\_CONT 根据收到的地址及指令判断对 DRAM 进行存取后，对 COM\_GEN 指示对 DRAM 的指令发出。又，A\_CONT 将从 MMU 收到的地址变换成 DRAM 的行地址及列地址，将其输出到 2 个 DRAM 中负责存取的 DRAM。COM\_GEN 与 CLK\_GEN 所产生之时钟同步，与地址相同地将指令发给负责存取的 DRAM。收到指令及地址的 DRAM 输出数据，被输出的数据通过 R/W BUFFER 被传送到 I/O0 ~ I/O15，而结束读取存取。

对 DRAM 进行写入存取时，对 A\_CONT 送出从外部输入而被 MMU 变换过的地址及 ATD 检测出的指令及 DTD 检测到的指令及数据。A\_CONT 根据收到的地址及指令判断对 DRAM 进行存取后，对 COM\_GEN 指示对 DRAM 的指令发出。又，A\_CONT 将从 MMU 收到的地址变换成 DRAM 用地址，将其输出到 2 个 DRAM 中负责存取的 DRAM。COM\_GEN 与 CLK\_GEN 所产生之时钟同步，与地址相

同地将指令发给负责存取的 DRAM。写入的数据被输入到 I/O0 ~ I/O15 暂时保持在 R/W BUFFER 后，被送到负责存取的 DRAM 中，进行写入。又，写入的数据及其地址也被暂时保持在 FIFO 中，在另一个 DRAM 的更新也结束后被写入。

在高温下使用存储模块时，缩短 DRAM 的更新间隔而频繁地进行更新即可。因此本存储模块中温度计测模块(TMP)测量温度并通知给更新计数器及存取控制器。高温时则更新计数器缩短更新间隔，输出更新用地址。又，相反地低温时若拉长 DRAM 的更新间隔则可减少数据保持电流。此种情况下温度计测模块(TMP)也可测量温度而通知更新计数器及存取控制器。低温时则更新计数器拉长更新间隔而输出更新用地址。

安装有存储模块的机器有时想要根据动作状态而减少耗电。因此说明以电力模块改变存储器的动作状态而减少耗电的方法。

#### 电源控制的说明。

首先，最简单的方法是电力模块根据指令信号 PS 停止更新计数器进行更新。由此，DRAM 中存储的数据会被破坏，但可减少更新所需要的电力。

要更进一步减少耗电，可在存储模块内部中切断对 DRAM 供给的电源。此时电力模块根据机器输出的指令信号 PS 停止对 DRAM 供给的 D1-VCC, D2-VCC 的电力供给。电源切断对 2 个 DRAM 进行也可，只切断一方的 DRAM 的电源也可。

此外，要更进一步减少耗电时，电力模块也可根据指令信号 PS 停止对 CHIP2(SRAM+CTL\_LOGIC)中与 DRAM 的存储器存取相关的部分的电源供给即可。本状态中可例如在 CHIP2(SRAM+CTL\_LOGIC)中除了 SRAM 以外，只对 MMU 及 AS 连接电源而动作，成为只执行对 SRAM 的存取的模式。

再者，也可根据指令 PS 而成为只保持 SRAM 的数据的动作状态。本种情况下，切断连接 SRAM 的电源(S-VCC, S-VSS)以外的电源，禁

止对存储器进行存取。本状态中存储模块进行 SRAM 中所存储的数据的保持。

暂时停止对 DRAM 供给电源而停止动作后要使 DRA 重新动作，除了重新开始供给电源之外，必须进行 DRAM 的初始化。初始化方法为一般的方法，在本存储模块中，初始化电路(INT)对存取控制器(A\_CONT)指示初始化的顺序而执行初始化。

又，停止 DRAM 的更新后要使 DRAM 重新动作时，也必须进行 DRAM 的初始化，初始化电路(INT)仍然要对存取控制器(A\_CONT)指示初始化的顺序而执行初始化。

图 37 所示为经 MMU 变换的存储映像的一例。这种存储映像均可根据 MMU 内部的寄存器的设定值而选择。虽并不特别受限，本实施例中以 FLASH 的存储区域为 256+8Mb、SRAM 的数据保持区域为 2Mb、DRAM 的存储区域为 256Mb 的存储模块为例说明了代表性存储映像。

图 37 所示的存储映像以从外部输入的地址 A0 ~ A24 为基础，存储器管理单元 MMU 对指令寄存器 REG、SRAM、DRAM 内工作区域、DRAM 内 FLASH 复制区域、FLASH 进列地址变换。根据地址选择而存取。

对控制电路(CTL\_LOGIC)内部存在的指令寄存器 REG，从外部写入载入命令、储存命令、MMU 寄存器变更命令、断电命令等命令码或载入命令或储存命令时的开始地址或结束地址。

在指令寄存器 REG 中写入载入命令后，控制电路从 FLASH 对 DRAM 传送资。换言之，对 DRAM。储存命令写入后，控制电路将数据从 DRAM 传送到 FLASH。即对 DRAM 进行读取。

2 个 DRAM(CHIP3 及 CHIP4)保持映像到同一地址空间的同一数据。各个 DRAM 交互重覆负责存取的期间(WORK 期间)及优先执行更新的期间(REF.期间)。来自外部的存储器存取则对 WORK 期间中的 DRAM 执行。

又，本例中 2Mb 的 SRAM 区域设定成集中在地址空间的下部，本区域与 DRAM 重复映像在存储器空间中，但不进行 DRAM 的存取，只进行 SRAM 的存取。

控制存储模块的电源只保持 SRAM 的数据而使用时，可集中管理 SRAM 的区域。

未被存取的 DRAM 的区域(SHADOW)可用于救济 DRAM 的存储单元。本存储模块设计成可在低温时延更新间隔而减少耗电，此时会产生数据保持困难的存储单元(Fail bit)。因此，可使用该成为 SHADOW 的 DRAM 进行 Fail bit 的替代。图 37 中 WORK 期间中的 DRAM 有 Fail bit A，REF.期间中的 DRAM 有 Fail bit B，其地址事前有登录，对 Fail bit 进行存取时，则存取各自的 SHADOW 以代之。通过 SHADOW 的替代，可救济 Fail bit，通过延长低温时的更新间隔，得到耗电少的存储模块。

图 38 所示为隐藏 DRAM 的更新的存取控制方式的原理。本发明中的 DRAM 的动作可通过向 REF 期间中对库(bank)的存取赋与优先顺序而执行来说明。

图 35(A)所示为存取的优先顺序示意图。本图表示 DRAM1 在 WORK 期间中，DRAM2 在 REF.期间中。又，图中显示暂时代为存取的 CACHE、暂时保管写入数据的 FIFO、从 RC 产生的更新要求、载入及储存命令时的 DRAM 存取。

WORK 期间中的 DRAM1 中，只进行从外部的存取(1)。另一方面，期间中的 DRAM2 中则首先最优先进行更新(2)。其次，执行保持在 FIFO 中的数据的写入(3)。其次，执行 CACHE 所保持的载入命令的对 DRAM 写入数据的写回(4)，最后，执行载入命令及储存命令对 DRAM 存取(5)。这种动作均由存取控制电路(A\_CONT)判断其优先顺序而执行。

又，外部存取(1)执行一次存取要 80ns，更新(2)及从 FIFO 写回(3)、从 CACHE 的写入存取(4)、载入、储存命令时的存取(5)的执行要 70ns。本存储模块利用该时间差从外部隐藏更新。

图 38(B)所示为执行读取存取的情形。显示 DRAM1 在 WORK 期间中连续进行读取存取的情形。DRAM1 中只有外部存取 (3) 执行 80ns，读出数据后结束存取。另一方面，DRAM2 中更新 (2) 只执行 70ns。

图 38(C)所示为进行写入存取的情形。从外部的写入存取 (1) 首先在 WORK 期间中的 DRAM1 中执行。同时将写入数据暂时保存在 FIFO 中。REF 期间中的 DRAM2 中首先最优先进行更新 (2)。其次执行保持在 FIFO 中的数据的写回 (3)。

在此，WORK 期间中的 DRAM1 一次的动作需要 80ns，相对在此，REF 期间中的 DRAM2 中一次的动作 70ns 即结束。因此，即使 DRAM2 进行更新动作，由于写入动作进行得比 DRAM1 快，故可结束 FIFO 中的所有数据写入而追上 DRAM1。

图 39 所示为以载入及储存命令对 DRAM 写入或读取存取隐藏动作。

图 39(A)所示为以储存命令对 DRAM 执行读取存取时，从外部产生读取存取及写入存取时对 DRAM 存取的情形。显示 DRAM1 在 WORK 期间中，DRAM2 在 REFRESH 期间中例。DRAM1 中只有从外部的读取存取 (1) 进行 80ns。另一方面，DRAM2 中以储存命令对 DRAM 只执行 70ns 的读取存取 (4)。

图 39(B)所示为以载入命令对 DRAM 执行写入存取时，从外部产生写入存取时对 DRAM 存取的情形。DRAM1 中从外部的写入存取(1)进行 80ns，同时将写入数据暂时保持在 FIFO。

REF 期间中的 DRAM2 中，以载入命令对 DRAM 进行写入存取 (5)，同时将写入数据保持在 CACHE。其次，执行保持在 FIFO 中的数据的写入 (3)。又，保持在 CACHE 中的数据在 DRAM1 的 REFRESH 期间中写回 DRAM1。

在此，WORK 期间中的 DRAM1 一次动作需要 80ns，相对在此，REF 期间中的 DRAM2 中一次的动作 70ns 即结束。因此，即使 DRAM2

以载入命令进行写入动作，由于写入动作进行得比 DRAM1 快，故可结束 FIFO 中的所有数据写入而追上 DRAM1。

图 39(C)所示为 DRAM1 换到 REFRESH 期间、DRAM2 换到 WORK 期间时执行从 CACHE 到 DRAM 的写入存取时，从外部产生写入存取时对 DRAM 存取的情形。DRAM2 中从外部的写入存取(1)进行 80ns，同时将写入数据暂时保持在 FIFO。

REF 期间中的 DRAM1 中，执行从 CACHE 到 DRAM 的写入存取(4)，接着执行保持在 FIFO 中的数据的写入(3)。

在此，WORK 期间中的 DRAM2 一次动作需要 80ns，相对在此，REF 期间中的 DRAM1 中一次的动作 70ns 即结束。因此，即使 DRAM1 进行从 CACHE 的写入动作，由于写入动作进行得比 DRAM2 快，故可结束 FIFO 中的所有数据写入而追上 DRAM2。

如此，可隐藏载入命令及储存命令对 DRAM 内部的存取，而从外部执行存取。

图 40 所示为为了隐藏 DRAM 的更新或载入命令或储存命令对 DRAM 内部的存取，使 2 个 DRAM 分时动作的情形。图 40(A)为通常使用温度范围的 75°C 以下的 DRAM 的动作例。2 个 DRAM(DRAM1 及 DRAM2)交互重覆 WORK 期间及 REF.期间。在标示 WORK 的 WORK 期间中的 DRAM 对外部存取动作。最初的 DRAM1 进入 WORK 期间，对应来自外部的存取。另一方面，REF.期间中的 DRAM 优先进行更新动作，外部存取在写入之时在更新结束后进行数据的写入。

DRAM 的存储单元通常必须在 64ms 以内进行更新，图示的例中在该时间内切换 WORK 期间及 REF.期间 8 次，DRAM1 及 DRAM2 互相重覆 WORK 期间及 REF.期间各 4 次。

在此，以在一次的 REF.期间的 8ms 间进行更新所需要之时间为 T1，将在同一期间内进行写入存取之后累积在 FIFO 的数据写回所需要之时间为 T2，可进行载入命令时的写入存取之时间为 T3，说明 REF.期间中进行的更新、载入时写入存取及写回。

以 256Mbit 的 SDRAM 为例, 其存储器构成为 8192 行 x512 列 x16 位元 x4 库, 在 64ms 的期间内进行 32768 次(8192 行 x4 库分)的更新即可。因此, 图 40(A)的例中对 1 个 DRAM 在 64ms 的期间内有 4 次 REF.期间, 故一次 REF.期间(8ms)内进行 8192 次更新。

一次的更新需要的时间 70ns, 故  $T_1 = 70\text{ns} \times 8192 \text{ 次} = 0.574\text{ms}$ 。另一方面, 求出在 8ms 的期间内从外部进行的写入存取的最大值, 每次的存取均为写入的话, 则为 100000 次( $8\text{ms} / 80\text{ns}$ )。将其写回 REF.期间中的 DRAM 所需要之时间  $T_1$  为  $7\text{ms}(70\text{ns} \times 100000 \text{ 次})$ 。若进行载入时写入存取 4096 次, 则载入时写入存取所需要之时间  $T_3=70\text{ns} \times 4096 \text{ 次} = 0.287\text{ms}$ 。

因此,  $T_1 + T_2 + T_3 = 7.861\text{ms} < 8\text{ms}$ , 可知在 REF.期间中可充分地执行更新及载入命令的写入存取及写回。又, 更新也可在 REF 期间中的 DRAM 内的多个库同时执行。此时可减少  $T_1$  期间内执行的更新的次数, 故可缩短  $T_1$  期间。若缩短  $T_1$  期间, 则可以减少 FIFO 的存储容量外, 也可得到从外部存取之间隔较短的高速存储器。

图 40(B)所示为变更 DRAM 的更新间隔的情形。一般而言, DRAM 的更新特性在高温时会恶化。因此例如在 75°C 以上的高温下缩短更新间隔即可保持数据, 可在更大的温度范围内动作。本例中高温时的更新间隔缩短到 48ms。 $T_1$  未改变, 而  $T_2$  变为 5.25ms,  $T_3$  变为 0.144ms 的话,  $T_1 + T_2 + T_3 = 597\text{ms} < 6\text{ms}$ , 可知在 REF.期间中可充分执行更新及载入时写入存取及写回。

另一方面, 在低温时可缩短更新间隔以减少数据保持电流。图示的例中低温时将更新间隔延长成 2 倍, 达到 128ms。此时 REF 期间为 16ms。 $T_1$  未改变, 而  $T_2$  变为 14ms,  $T_3$  变为 1.15ms,  $T_1 + T_2 + T_3 = 15.8\text{ms} < 16\text{ms}$ , 得知在 REF.期间中可充分执行更新及载入时写入存取及写回。

本实施例中以每一芯片说明 DRAM 的动作单位, 但也可根据存储模块的性能或存储器芯片的构成以库(bank)为动作单位。又, 将更新间隔 64ms 分割为 8 个期间作为 WORK 期间及 REF 期间, 若再更细

分则可减少保持数据及地址用的 FIFO 的存储容量。相反地分割成较大单位的话则可减少 WORK 期间与 REF 期间的切换次数，故可简化切换用的控制电路。

图 41 说明 CACHE 的作用。图 41(A)所示为 WORK 期间与 REF.期间切换之前从外部进行写入存取的情形。在此在 DRAM1 的 WORK 期间结束时进行外部存取 A。此时 DRAM1 的 WORK 期间到写入存取结束为止延长  $dT$ 。另一方面，DRAM2 则如预定的 WORK 期间，不写入写入数据而待命到写入存取结束为止。未写入 DRAM2 的数据先暂时保持在 CACHE。WORK 期间中与保持在 CACHE 中者相同的地址产生存取时，则不对 DRAM2 而对 CACHE 进行读写。又，存取为写入存取时，对 REF.期间中的 DRAM1 与平常相同地经由 FIFO 进行写入。保持在 CACHE 中的数据则在 DRAM2 的 WORK 期间结束的下一个 REF.期间内被写回。该写回结束后清除 CACHE 的内容。

存取为读取存取时，到存取结束为止，将 DRAM1 的 WORK 期间延长  $dT$ 。

图 41(B)所示为一次的存取进行得较 WORK 期间及 REF.期间为长的情形，或延长期间  $dT$  无法完全涵盖的情形。DRAM1 在 WORK 期间中开始的外部存取 B 超过延长时间  $dT$ ，而在其次的 REF.期间中仍然继续存取。此时的存取由 CACHE 接手，DRAM1 进入 REF.期间。DRAM2 按照预定进行 WORK 期间，进入待机状态。读取存取之时数据从 DRAM1 给 CACHE 接手。写入存取之时持续进行的存取结束后，将写入 CACHE 的数据写回 DRAM1 及 DRAM2。写回在各个 DRAM 进入 REF.期间后进行。二者的写回结束后，清除 CACHE 的内容。如此使用 CACHE 可处理跨 WORK 期间及 REF.期间的存取或一次或复数次的超过 WORK 期间的存取。

图 42 所示为本发明的存储模块的动作波形的一例。A0 ~ A20, S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE 为输出到存储模块的信号，即所谓非同步 SRAM 的接口信号。数据输入输出信号 I/O0 ~ I/O15 分为数据的输入及输出，各以 DIN、DOUT 表示。MMU, ATD, DTD

各表示 MMU 电路、ATD 电路、CTD 电路的输出信号。D1-CLK 为供给到 DRAM1 之时钟信号，D1-COM 为供给到 DRAM1 的指令信号的总称，D1-A0 ~ D1-A15 为供给到 DRAM 的 DRAM1 的地址信号，D1-DQ0 ~ D1-DQ15 为 DRAM 的 I/O 线，为 DRAM1 的输入输出数据信号。

D2-CLK 为供给到 DRAM2 的时钟信号，D2-COM 为供给到 DRAM2 的指令信号的总称，D2-A0 ~ D2-A15 为供给到 DRAM 的 DRAM2 的地址信号，D2-DQ0 ~ D2-DQ15 为 DRAM 的 I/O 线，为 DRAM2 的输入输出数据信号。

首先，说明开始时进行的读取存取。输入地址 A0 ~ A24 后，MMU 电路输出变换后的地址。ATD 电路检测地址 A0 ~ A24 及指令类(S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE)的变化，地址及指令确定后输出脉冲。以本脉冲为起点，对 WORK 期间中的 DRAM1 发出库主动指令 A 及行地址 Ra，其次发出读取指令 R 及列地址 Co。从 DRAM1 读出的数据输出到 D-DQ0 ~ D-DQ15，先通过 R/W BUFFER 再输出到 I/O0 ~ I/O15。又，对 REF.期间中的 DRAM2 以库主动指令 A 及预先充电指令 P 进行更新。

再说明下一周期中的写入存取的执行例。

写入存取时也与读取存取同样地以 ATD 信号的下降为起点对 DRAM1 及 DRAM2 发出库主动指令 A 及行地址 Ra。写入存取时未进行更新动作，故发出指令及地址给 DRAM1 及 DRAM2 双方。

其后，CTD 电路检测指令类(S-/CE1, S-CE2, S-/LB, S-/UB, S-/OE, S-/WE)的变化，识别其为写入动作，输出脉冲。以该脉冲为起点对 DRAM1 及 DRAM2 双方发出写入指令 W 及列指令 Co，执行写入。

如上说明的实施例中，可沿用 SRAM 接口方式而使用便宜的通用 DRAM 得到大容量存储模块。本发明的控制电路(CTL\_LOGIC)中使用 DRAM，但由于 DRAM 所需的更新由控制电路(CTL\_LOGIC)所执行，故与 SRAM 同样地可不考虑更新而使用。再者，由于可通过 DRAM 中的数据保持的二重化及进行更新的时序及载入或储存命令对

DRAM 内部的存取的调整，可将 DRAM 的更新及内部存取从存储模块外部隐藏起来，因此存取本存储模块时不必考虑更新及 DRAM 的内部存取而调整时序。因此可以与先前只使用的 SRAM 存储模块同样地使用，故不必变更先前的统即可使用大容量存储模块。又，通过减少 DRAM 的更新间隔，在高温时也可使 DRAM 动作，可得到使用温度范围大的存储模块。另一方面，通过在低温时增加 DRAM 的更新间隔，可减少数据保持所需要的电力，得到数据保持电力少的存储模块。

电力模块 PM 的作用下，可停止 DRAM 的一部分全部的电源供给，限定存储区域，而减少数据保持所需要的电力。再者，通过也停止对控制电路供给电源，可得到数据保持电力少的存储模块。又，此种情形下可用 MMU 自由地设定进行数据保持的存储区域，故可对应于各种机器广泛地使用。

#### < 实施例 5 >

图 43 所示为本发明的存储模块的第四实施例。图 43(A)为俯视图，图 43(B)为剖面图。本存储模块在通过球状格子阵列(Ball Grid Array, BGA)安装在装置上的基板(例如玻璃环氧基板所制成的印刷电路板 PCB)上，安装 CHIP1(FLASH)、CHIP2(SRAM+CTL\_LOGIC)、CHIP3(DRAM1)及 CHIP4(DRAM2)。虽不特别受限，CHIP3 及 CHIP4 中使用在芯片的中央排列 1 列信号及电源焊垫列的通用 DRAM 的裸芯片。又，虽不特别受限，CHIP1 中使用在芯片的一端排列一排信号及电源焊垫列的 FLASH 的通用裸芯片。

CHIP1 及基板上的接合垫以接合线(PATH2)连接，CHIP2 及基板上的接合垫以接合线(PATH3)连接。CHIP3 及 CHIP4 与 CHIP2 以接合线(PATH1)连接。CHIP1 及 CHIP2 以接合线(PATH4)连接。搭载有芯片的基板上面进行树脂模塑，以保护各芯片及连接配线。又，也可另外在其上加上金属、陶瓷或树脂的盖子(COVER)。

本发明的实施例中由于在印刷电路板 PCB 上直接搭载裸芯片，故可形成安装面积小的存储模块。又，由于可接近配置各芯片，故可缩

短芯片间配线长度。通过将芯片间的配线及各芯片与基板间的配线统一成接合线方式，可用较少的步骤数制造存储模块。再者，通过以接合线对芯片间直接配线，可减少基板上的接合垫数及接合线的条数，以较少的步骤数制造存储模块。由于可使用大量量产的通用 DRAM 的裸芯片，故可便宜且安定地供给存储模块。使用树脂盖时，可形成更强韧的存储模块。使用陶瓷或金属盖时，除了强度外，更可形成放热性或遮蔽效果优良的存储模块。

图 44 所示为本发明的存储模块的图 43 的变形例。图 44(A)为俯视图，图 44(B)为剖面图。本例中，CHIP2(SRAM+CTL\_LOGIC)安装在 CHIP3 及 CHIP4 上。对 CHIP2 及 CHIP3 或 CHIP4 的配线使用 PATH5。CHIP1 及基板上的接合垫以接合线(PATH2)连接，CHIP2 及基板上的接合垫以接合线(PATH3)连接。CHIP1 及 CHIP2 以接合线(PATH4)连接。

本安装方法可减少印刷电路板 PCB 的面积。

又，通过积层的芯片间的配线 PATH1，可缩短配线长度，故除了可提高配线的可靠度外，也可降低对外部的噪声辐射。

#### <实施例 6>

图 45 所示为使用本发明的存储模块的移动电话机的实施例。

移动电话由、天线 ANT、无线区块 RF、基频区块 BB、声音编解码器区块 SP、扬声器 SK、拾音器 MK、处理器 CPU、液晶显示部 LCD、键盘 KEY、本发明的存储模块 MEM 所构成。

说明通话时的动作。

通过天线 ANT 收到的声音被无线区块放大，输出到基频区块 BB。基频区块 BB 将声音的模拟信号变换成数字信号，进行错误修正及解调处理，输出到声音编解码器区块 SP。声音编解码器区块将数字信号变换成模拟信号，输出到扬声器 SK 后，从扬声器可听到对方的声音。

说明从移动电话机存取因特网的网页，下载音乐数据，播放收听，最后储存下载音乐数据的一连串的作业的动作。

存储模块 MEM 中，存放有基本程序、应用程序(电子邮件、Web 浏览器、音乐播放、游戏等)。

从键盘指示起动 Web 浏览器后，存放在存储模块 MEM 内的 FLASH 的 Web 浏览器的程序被传送到同一存储模块内的 DRAM。对 DRAM 的传送结束后，处理器 CPU 执行 DRAM 内的 Web 浏览器的程序，在液晶显示 LCD 上显示 Web 浏览器。存取所要的网页，从键盘指示下载喜欢的音乐数据后，通过天线 ANT 接收音乐数据，以无线区块放大，输入到基频区块 BB。基频区块 BB 将为模拟信号的音乐数据转换成数字信号，进行错误修正及解调处理。最后，将数字信号化的音乐数据先存放到存储模块 MEM 的 DRAM 中，再传送到 FLASH。

其次以键盘 KEY 指示音乐播放程序的起动后，存放在存储模块 MEM 内的 FLASH 中的音乐播放程序被传送到同一存储模块内的 DRAM。对 DRAM 的传送结束后，处理器 CPU 执行 DRAM 内的声音播放程序，在液晶显示 LCD 中显示音乐播放程序。

从键盘下达听取下载到 DRAM 中的音乐数据的指示后，处理器 CPU 执行音乐播放程序，处理保持在 DRAM 中的音乐数据，最后从扬声器 SK 听到音乐。

此时，由于本发明的存储模块使用大容量的 DRAM，故 Web 浏览器及音乐播放程序被保持在 DRAM 中，哪一个程序均被 CPU 同时执行。再者，也可同时启动电子邮件程序，收发电子邮件。

由于 Web 浏览器停止时也保持在存储模块内的 DRAM 中，故要再起动时可立即起动。

从键盘输入断电的指示后，存储模块只使 SRAM 动作，进行最低限度的数据保持，可使耗电极小。

如此，通过使用本发明的存储模块，可存放大量的电子邮件、音乐播放、应用程序、音乐数据、影像数据、动画数据等，再者，可同时执行多个程序。

## 发明的效果

如上所说明者，本发明的较佳实施例所得到的效果如下。通过将 FLASH 的数据复制到 DRAM，可使 FLASH 数据的读取及写入速度与 SDRAM 及 SRAM 相当。

### 符号的说明

CHIP1...非易失性存储器、CHIP2...控制电路(CTL\_LOGIC)或静态随机存取存储器(SRAM)及集成有控制电路(CTL\_LOGIC)的半导体芯片、CHIP3...动态随机存取存储器(DRAM)或动态随机存取存储器(DRAM1)、CHIP4...动态随机存取存储器(DRAM2)、S-VCC...CHIP2 的电源、S-VSS...CHIP2 的接地、PS...电力控制信号、L-VCC...CHIP2 的电源、L-VSS...CHIP2 接地、CLK...CHIP2 的时钟信号、CKE...CHIP2 的时钟启动信号、/CS...CHIP2 的芯片选择信号、/RAS...CHIP2 的行地址选通信号、/CAS...CHIP2 的列地址选通信号、/WE...CHIP2 的写入启动信号、DQMU/DQML...CHIP2 的输入/输出屏蔽信号、WAIT...CHIP 的等待信号、A0 ~ A15...CHIP2 的地址信号、D1-CLK...CHIP3 的时钟信号、D1-CKE...CHIP3 的时钟启动信号、D1-/CS...CHIP3 的芯片选择信号、D1-/RAS...CHIP3 的行地址选通信号、D1-/CAS...CHIP3 的列地址选通信号、D1-/WE...CHIP3 的写入启动信号、D1-A0 ~ D1-A15...CHIP3 的地址信号、D1-DQMU/DQML...CHIP3 的输入/输出屏蔽信号、D1-DQ0 ~ D2-DQ15...CHIP3 的数据输入输出、D1-VCC...CHIP3 的电源、D1-VSS...CHIP3 的接地、D1-VCCQ...CHIP3 的 I/O 用电源、D1-VSSQ...CHIP3 的 I/O 用接地、F-/CE...CHIP1 的芯片启动信号、F-/OE...CHIP1 的输出启动信号、F-/WE...CHIP1 的写入启动信号、F-SC...CHIP1 的串列时钟信号、F-/RES...CHIP1 的重置信号、F-CDE...CHIP1 的指令数据启动信号、F-RDY/BUSY...CHIP1 的待命/忙碌信号、I/O0 ~ I/O7...CHIP1 的输入输出信号、COM\_GEN...指令产生器、INT...初始化电路、MMU...存储器管理单元、CPB...数据更新地址管理电路、REG...指令寄存器、A\_CONT 存取控制器、PM...电力管理模块、R/W BUFFER...读取/写入缓冲器、CLKBUF...时钟缓

冲器、FGEN...快闪制御信号产生电路、ECC...错误修正电路、REP...替代处理电路、FLASHCopyArea...快闪数据复制区域、WorkArea...工作区域、MD-Area...主数据区域、REP - Area...替代区域、Fail Area B...不良区域 B、Fail Area C...不良区域 C、A、As...主动命令、R、Rs...读取命令、W...写入命令、RR、R0、R1、RD、RT、RU...行地址、RC、C0、C1、CD、CF、CT、CU、CR...列地址、Ld...载入命令码、Sa...开始地址、Ea...结束地址、P、Ps...预先充电命令、In...输入数据、O、Os...输出数据、St...储存命令码、B、BOs...库地址、C-BUF...控制器信号缓冲、CTL...指令控制器、MUX...多工器、DI-BUF...数据输入缓冲、输入数据控制器 IDC...输入数据控制器、SA-BUF...扇区地址缓冲、X-DEC...X 解码器、MA...存储器阵列、Y-CT...Y 地址计数器、Y-DEC...Y 解码器、YGATE/SENSE-AMP...Y 棚极&检测放大电路、DATA-REG...数据寄存器、DO-BUF...数据输出缓冲、Rcode...读取命令码、AD1、AD2、AD3...地址、F-/CE...芯片启动信号、F-CLE...指令闩锁启动信号、F-ALE...地址闩锁启动信号、F-/WE...写入启动信号，F-/RE...读取启动信号、F-/WP...写入保护信号、F-R/B...待命/忙碌信号，I/O0 ~ I/O7...用于输入输出信号的地址的输入或数据的输入输出。

L-CONT...动作逻辑控制器、CTL...控制电路、I/O-CONT...输入输出控制电路、STREG...状态寄存器、ADREG...地址寄存器、COMREG...指令寄存器、R-B...待命/忙碌电路、VL-GEN...高电压产生电路、ROW-BUF...行地址缓冲、ROW-DEC...行地址解码器、COL - BUF...行缓冲器、COL-DEC...列解码器、DATA - REG...数据寄存器、SENSE-AMP...检测放大、MA...存储器阵列、X-ADB...X 地址缓冲、REF.COUNTER...更新计数器，X-DEC...X 解码器、MA...存储器阵列，Y-ADB...Y 地址缓冲、Y-AD COUNTER...Y 地址计数器、Y-DEC...Y 解码器,SENS AMP.& I/O BUS...检测放大电路 & Y 棚极、INPUT BUFFER...输入数据缓冲电路、OUTPUT BUFFER...输出数据缓冲电路、CONTROL LOGIC & TG...控制电路&时序产生电路、

S-/CE1,、S-CE2...芯片启动信号、S-/OE...输出启动信号、S-/WE...写入启动信号、S-/LB...低位元组选择信号、S-/UB...高位元组选择信号、AS...存取开关电路、SRAM...静态随机存取存储器、ATD...地址转换检测器、CTD...指令转换检测器、TMP...温度测定模块、RC...更新计数器、X-DEC...X解码器、MA(SRAM)...存储器阵列、Y-GATE...Y栅极、Y-DEC...Y解码器、D\_CTL...输入数据控制电路、CONTROL LOGIC...控制电路、PCB...印刷电路基板、COVER...模块的密封盖、PATH1...连接CHIP1及CHIP3或CHIP4的接合配线、PATH2...连接PCB及CHIP1的接合配线、PATH3...连接PCB及CHIP2的接合配线、PATH4...连接CHIP1及CHIP2的接合配线、PATH5...连接CHIP3或CHIP4及CHIP3及安装在CHIP4上的CHIP2的配线，FIFO...先进先出(存储器)、CACHE...快取存储器、SHADOW...投影区域、WORK...工作期间、REF...更新期间、ANT...天线、RF...无线区块、BB...基频区块、SP...声音编解码器区块、SK...扬声器、MK...拾音器、CPU...处理器、LCD...液晶显示部、KEY...键盘、MEM...本发明的存储模块。

图 1

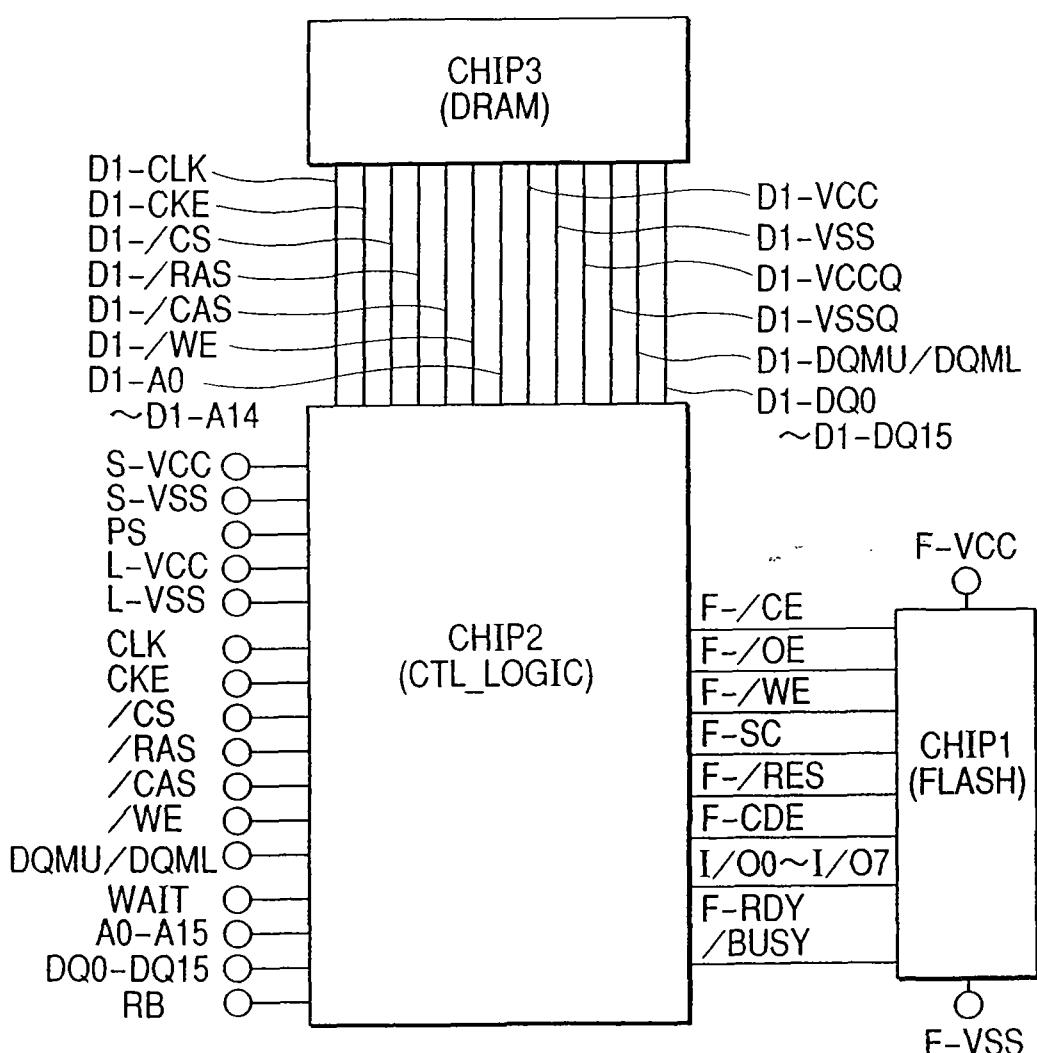


图 2

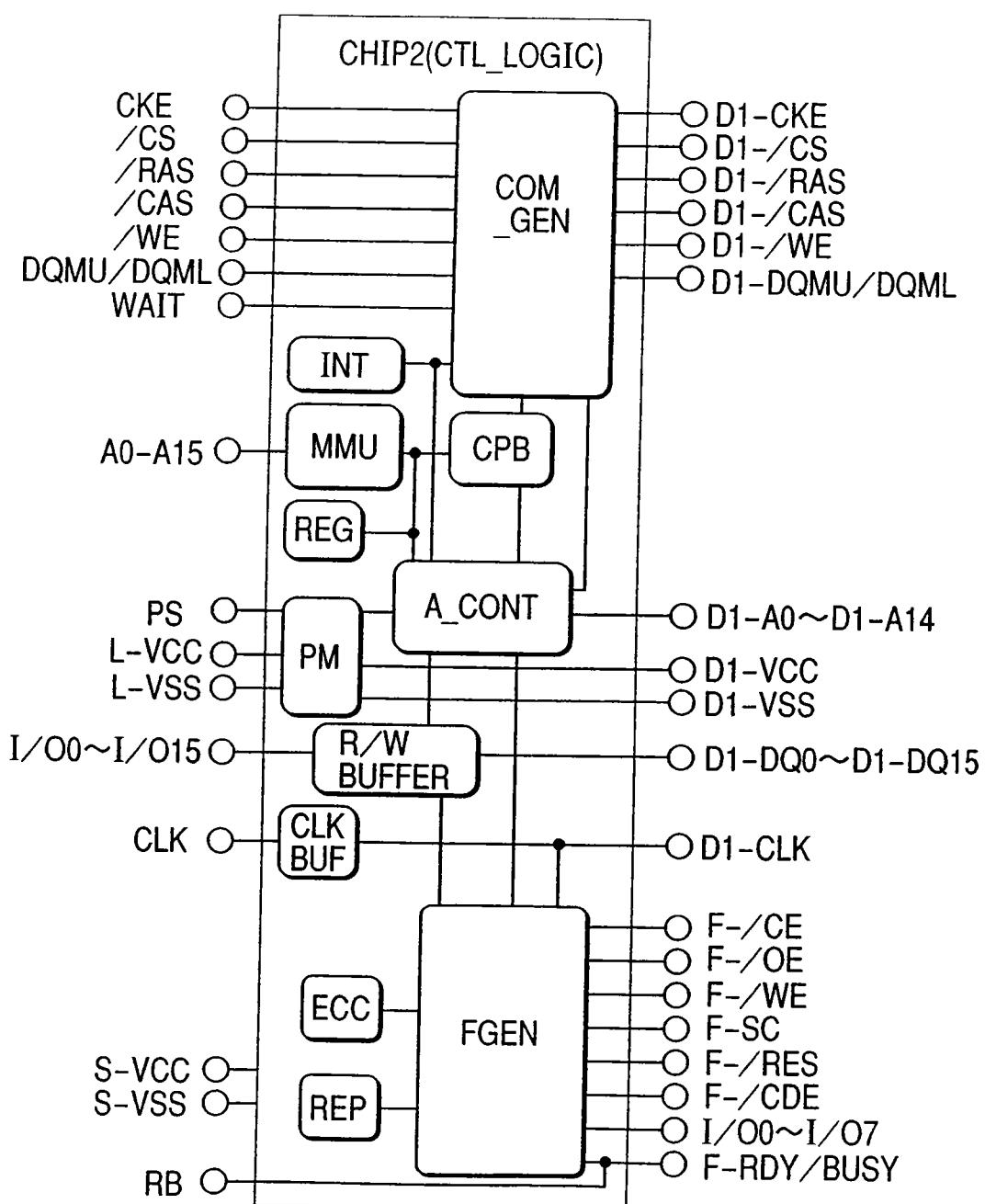


图 3

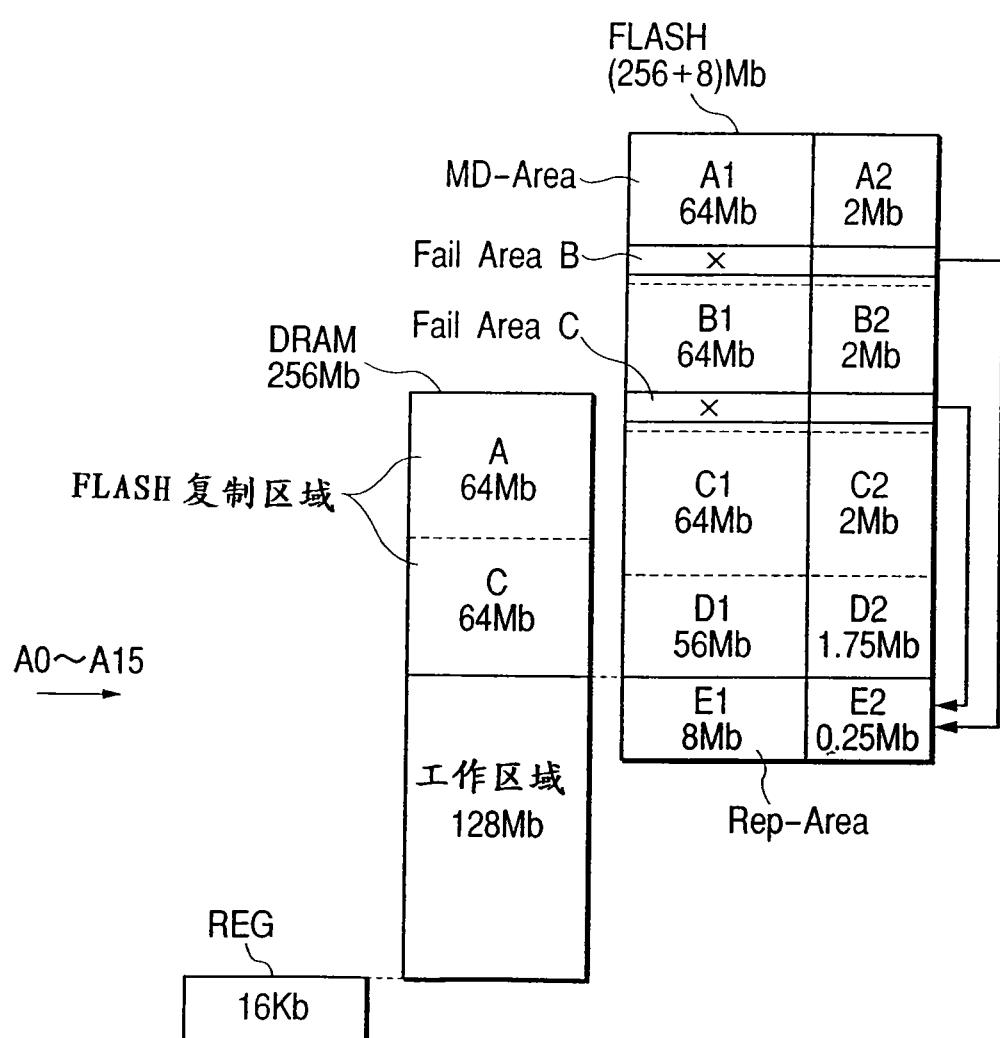


图 4

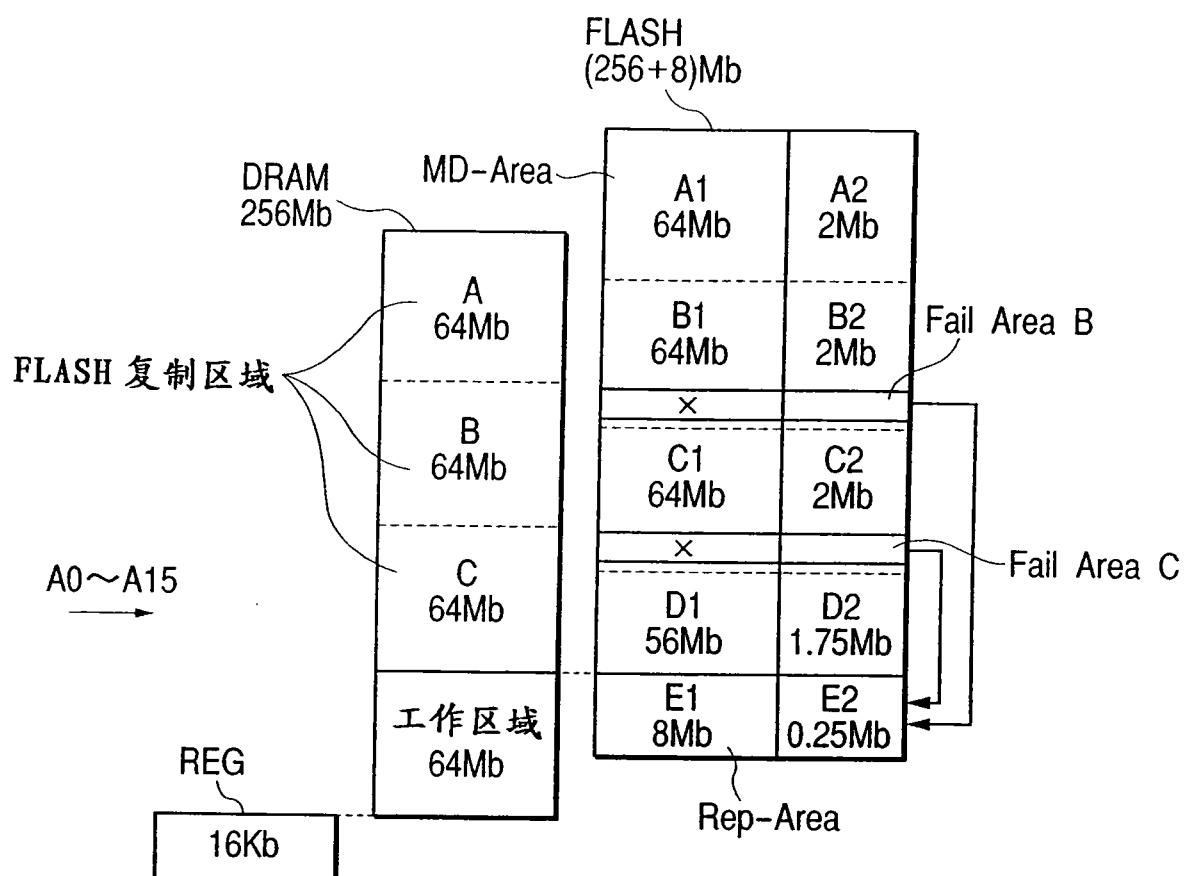


图 5

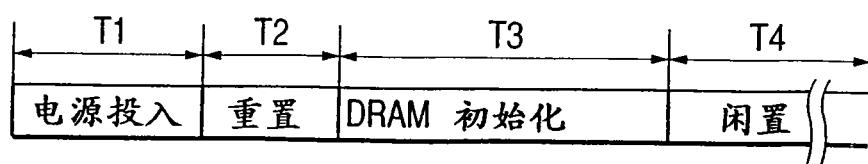


图 6

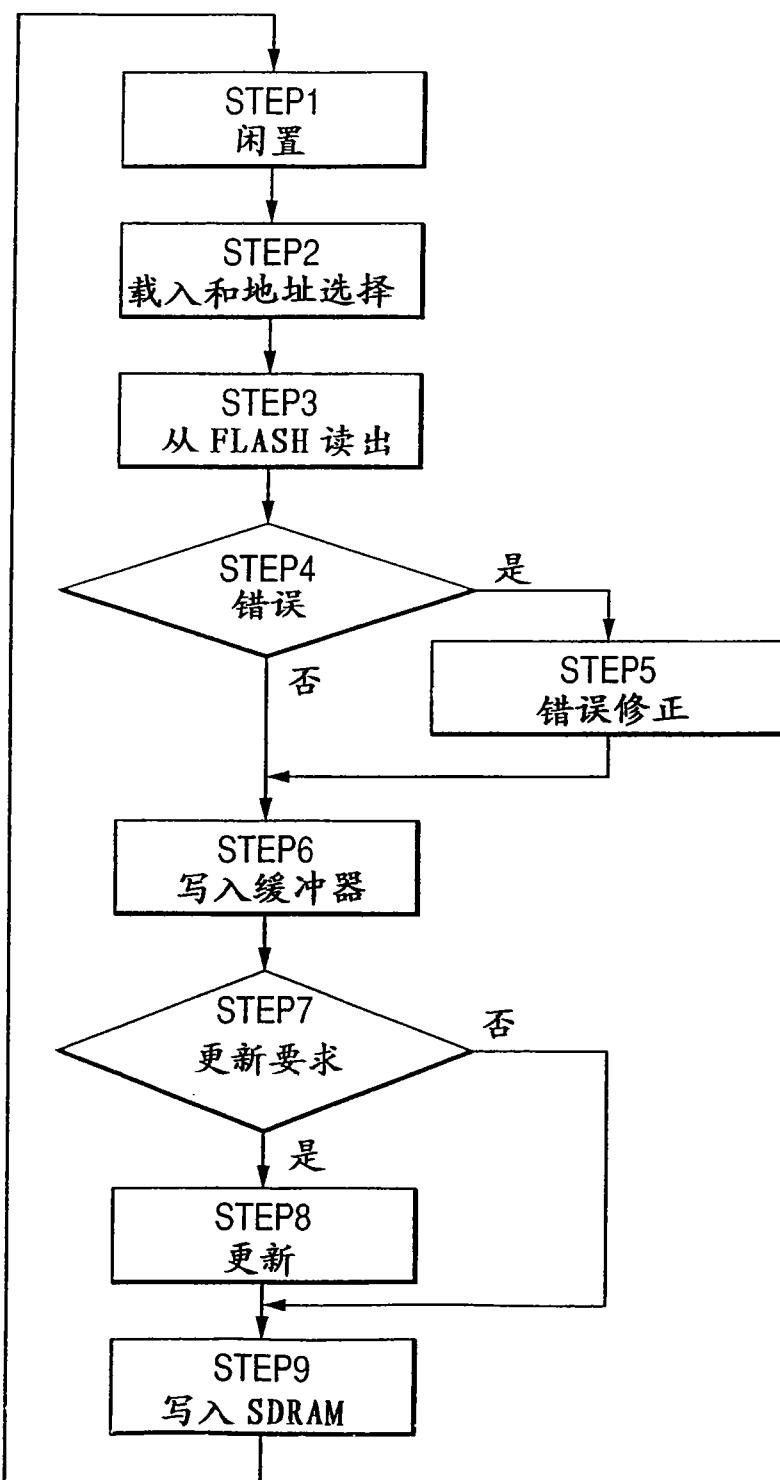


图 7

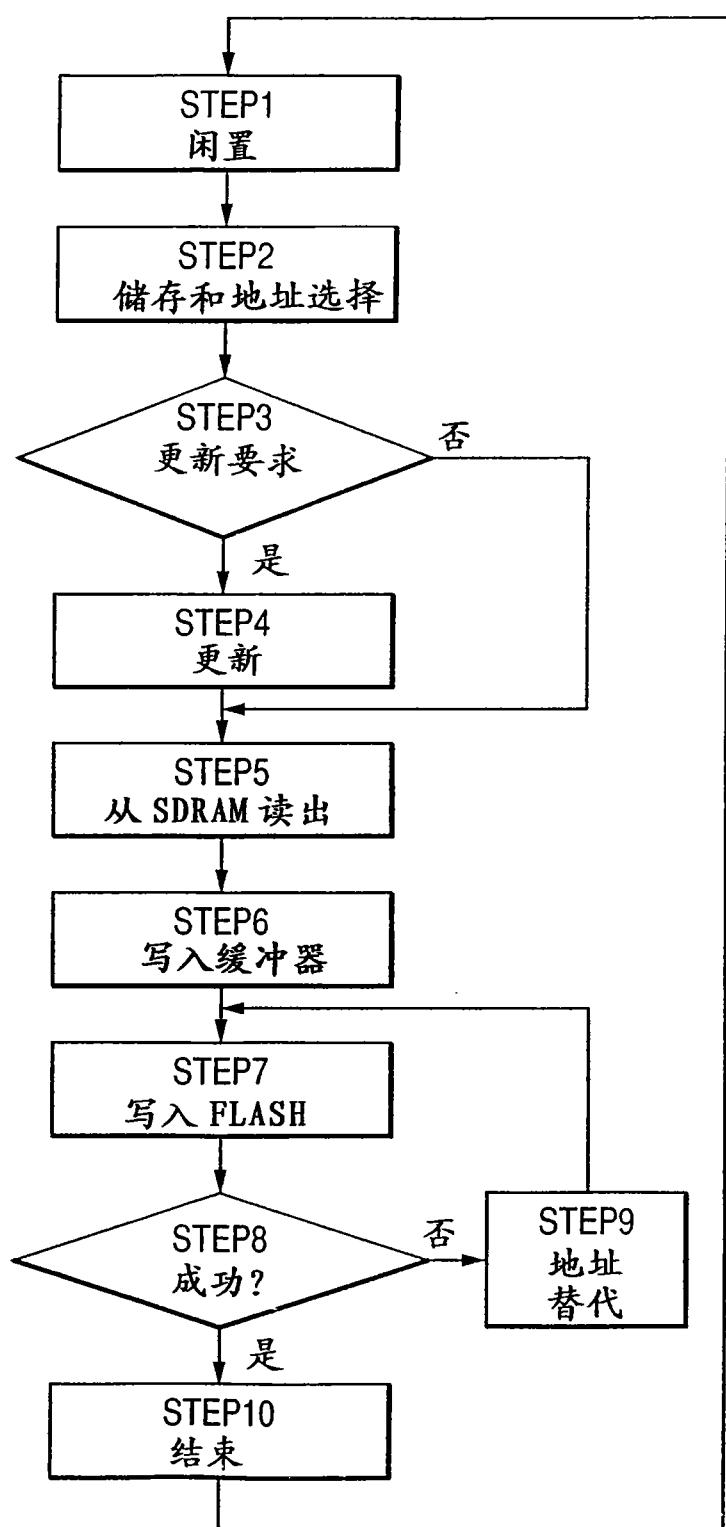


图 8(A)

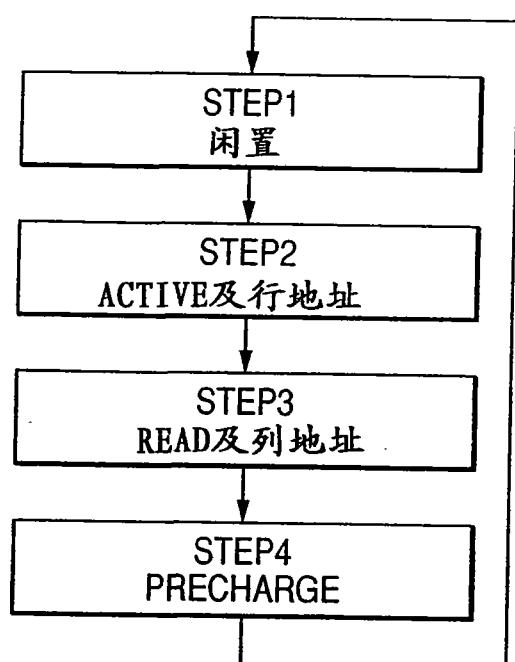


图 8(B)

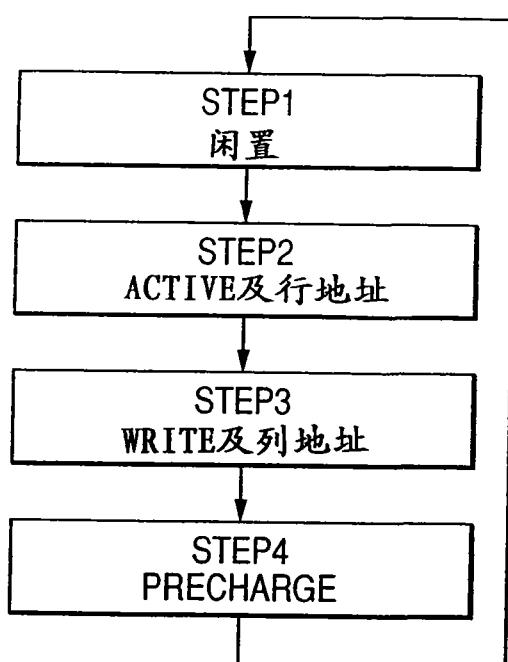


图 9

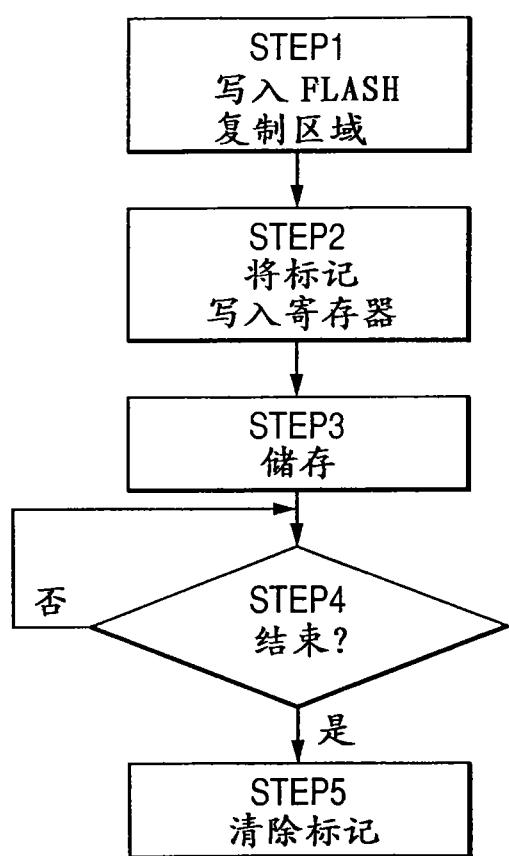


图 10

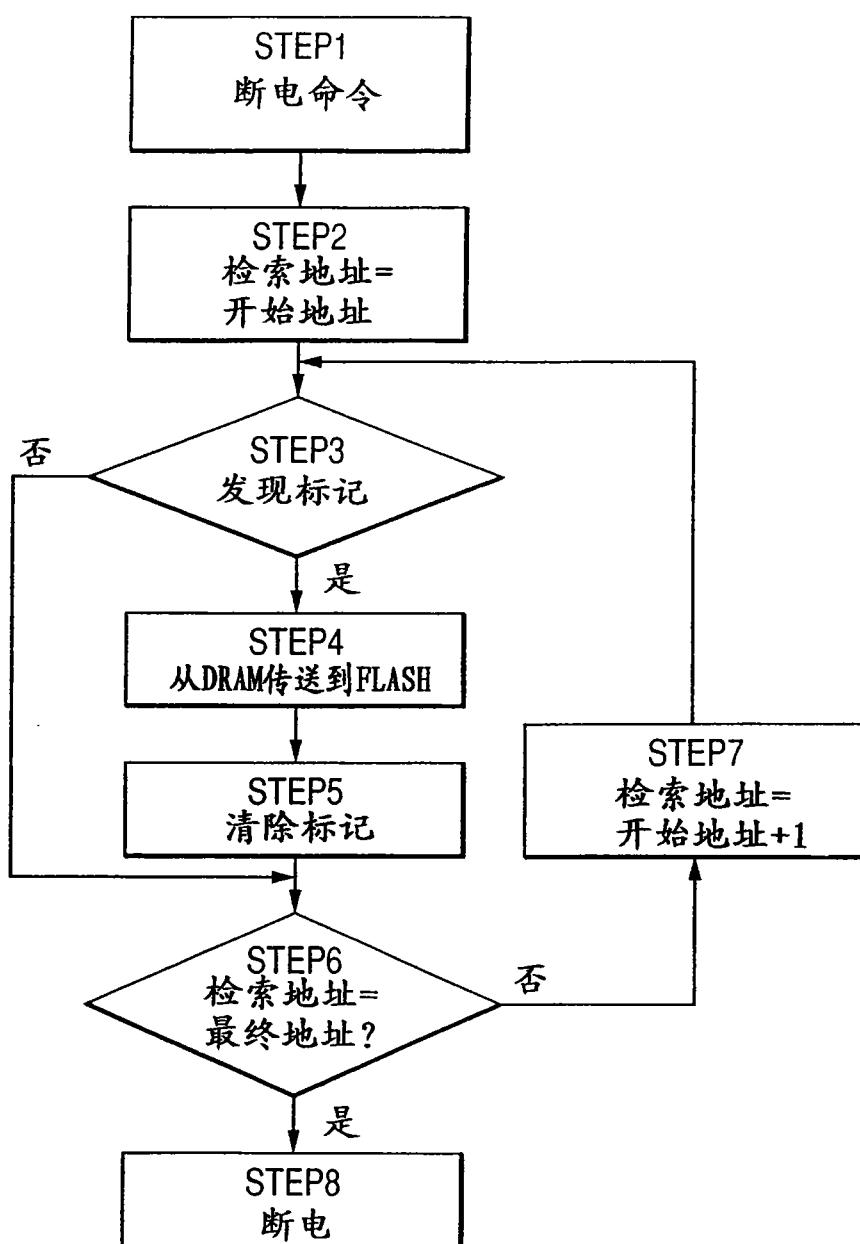


图 11

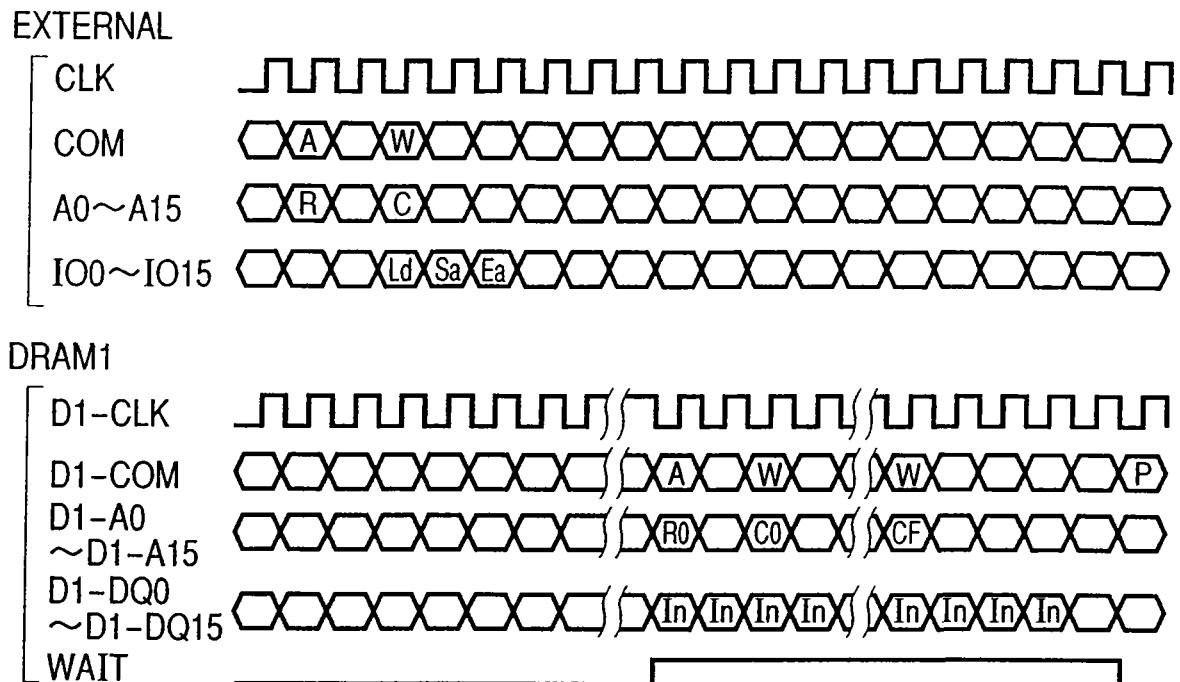


图 12

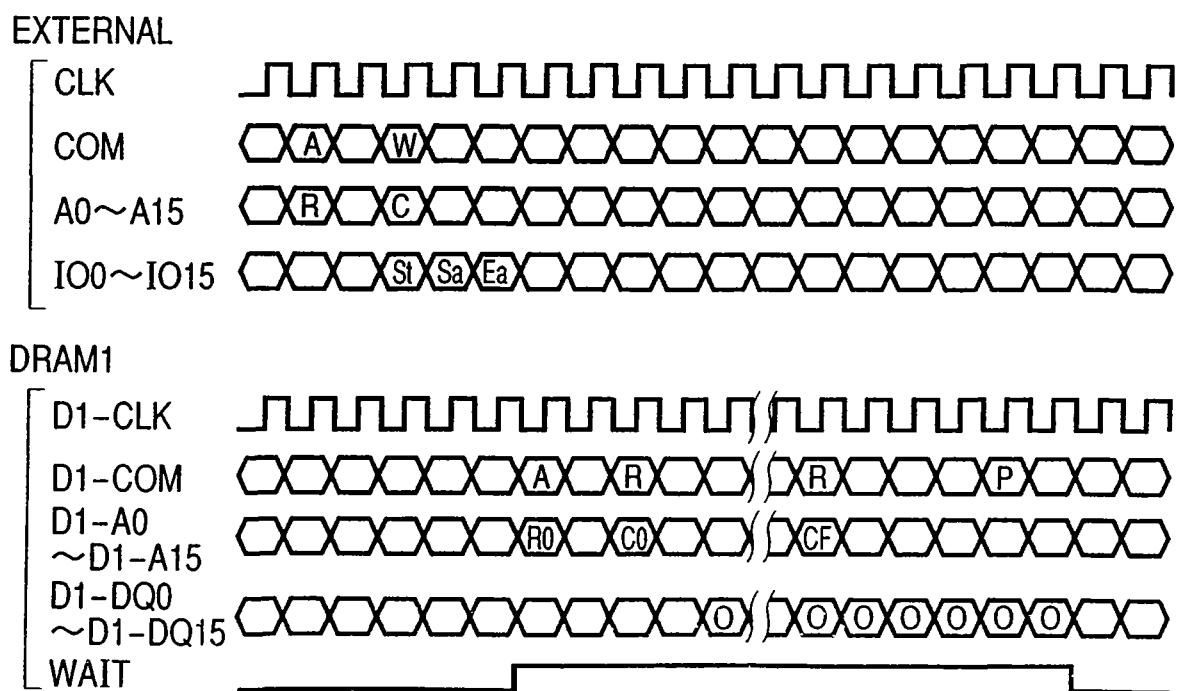


图 13(A)

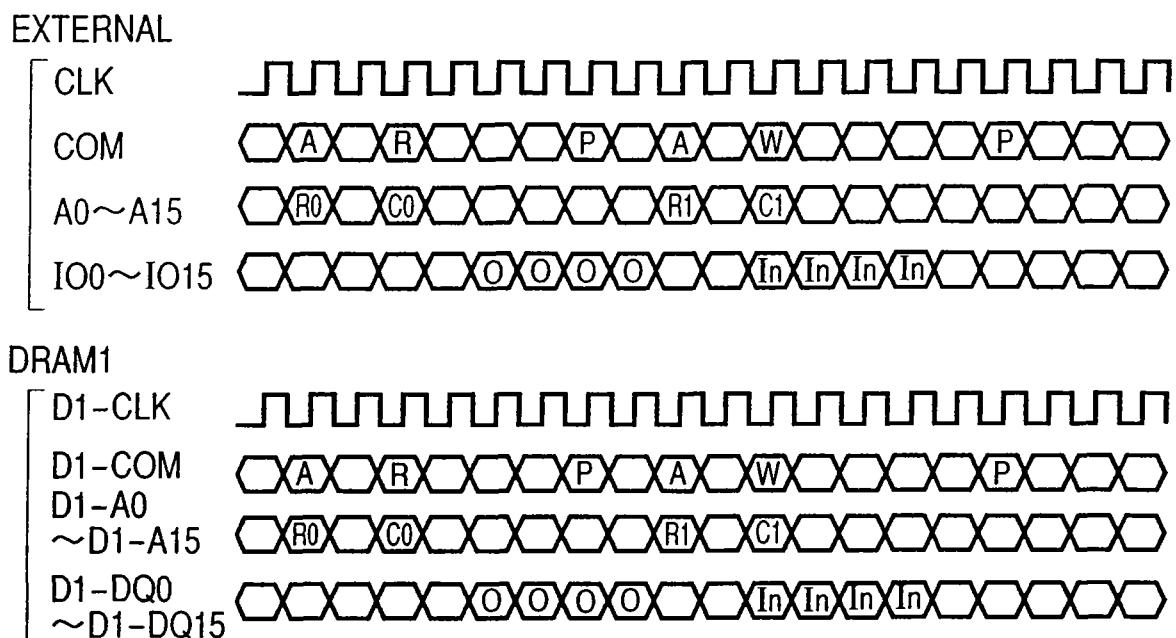


图 13(B)

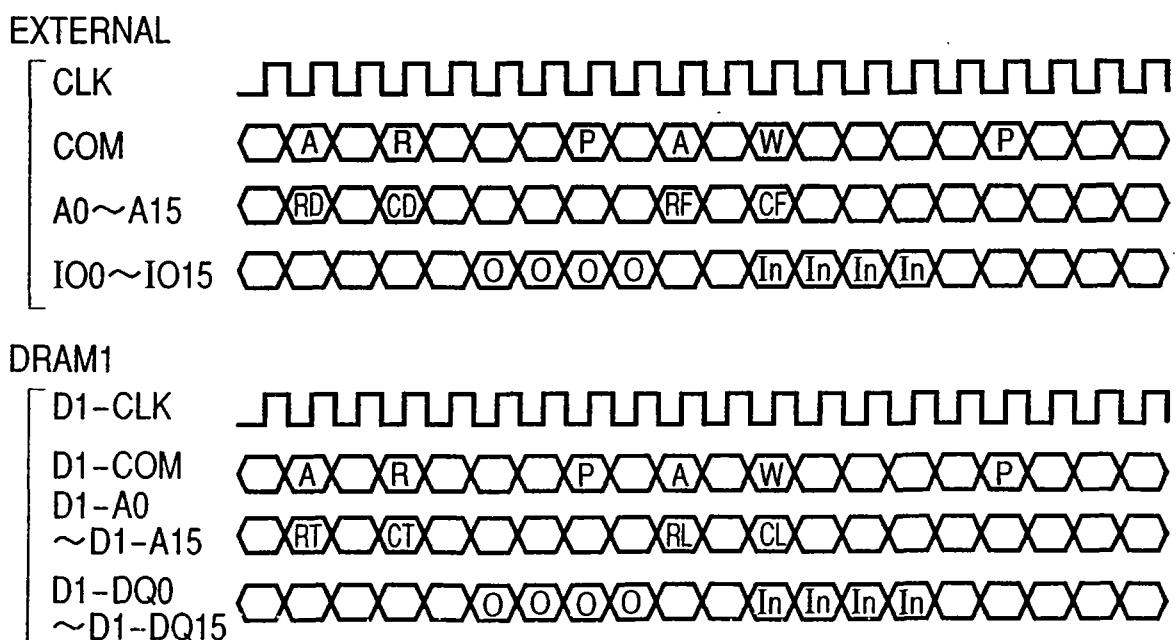


图 14

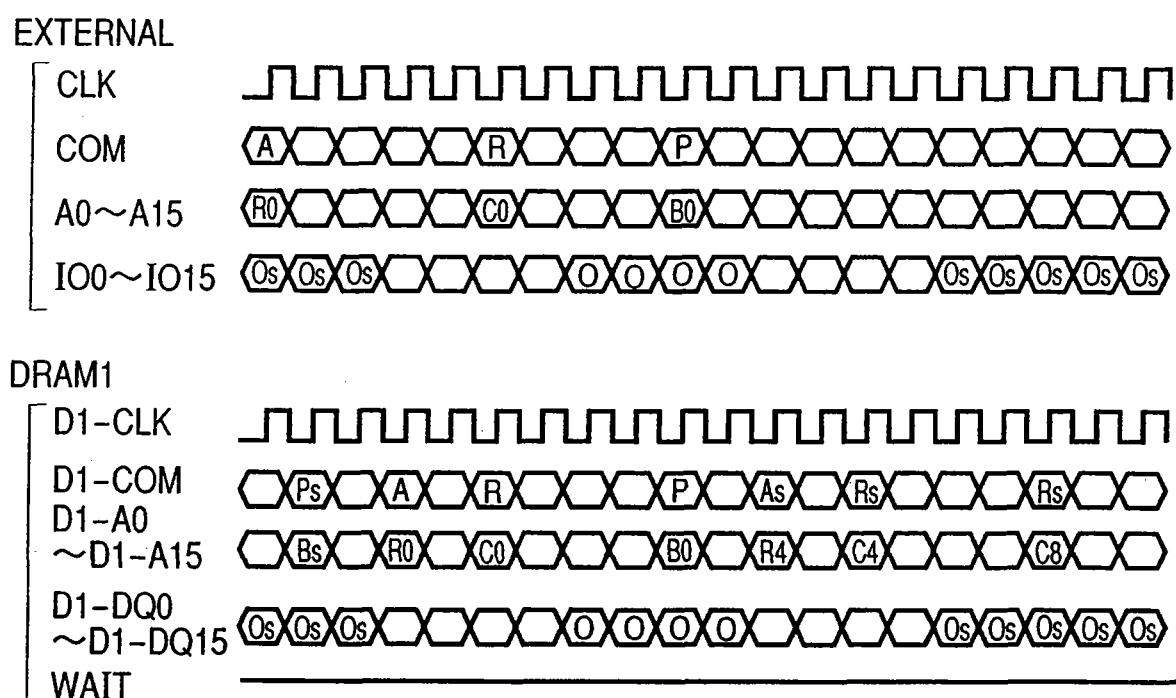


图 15

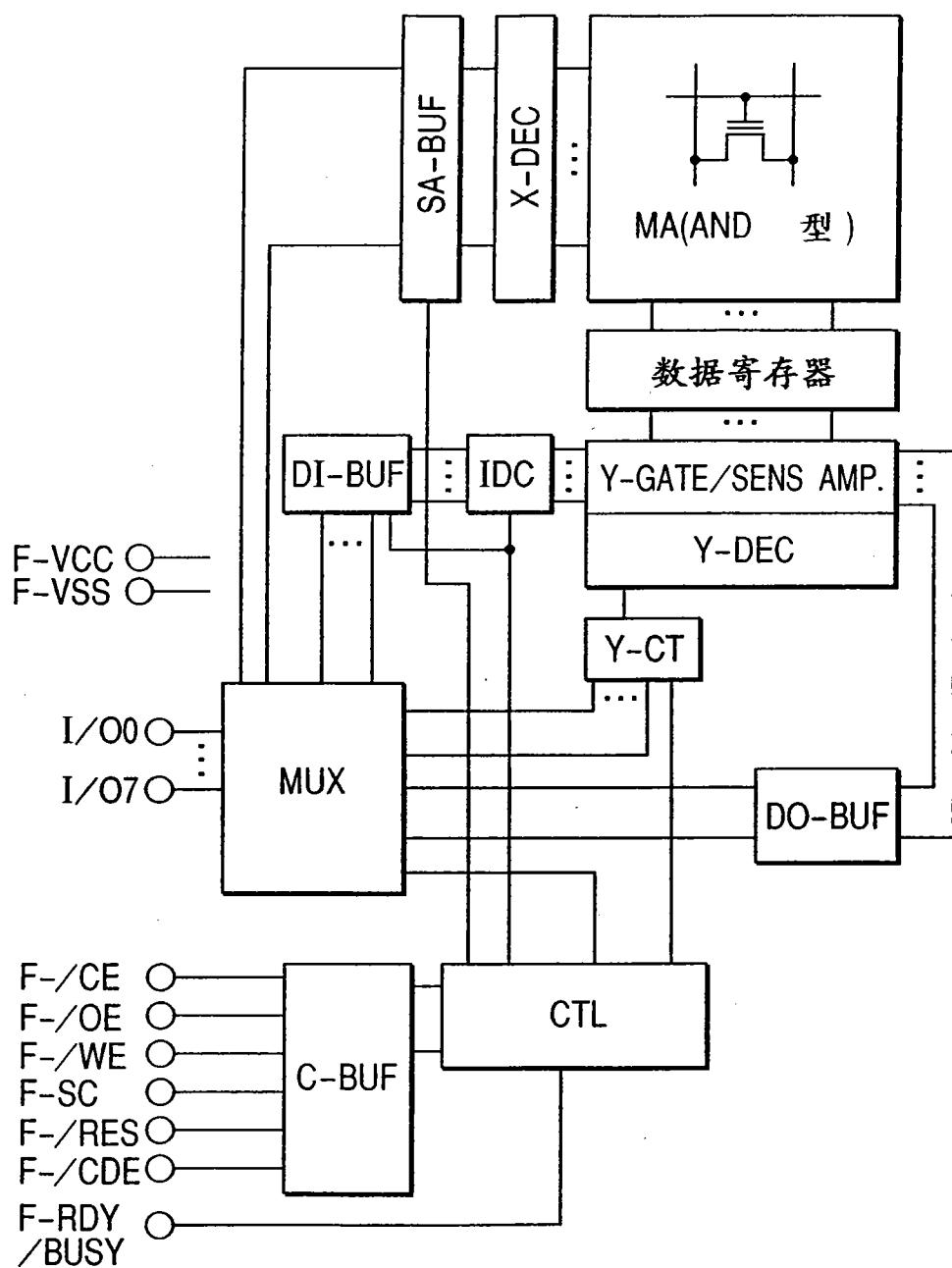


图 16

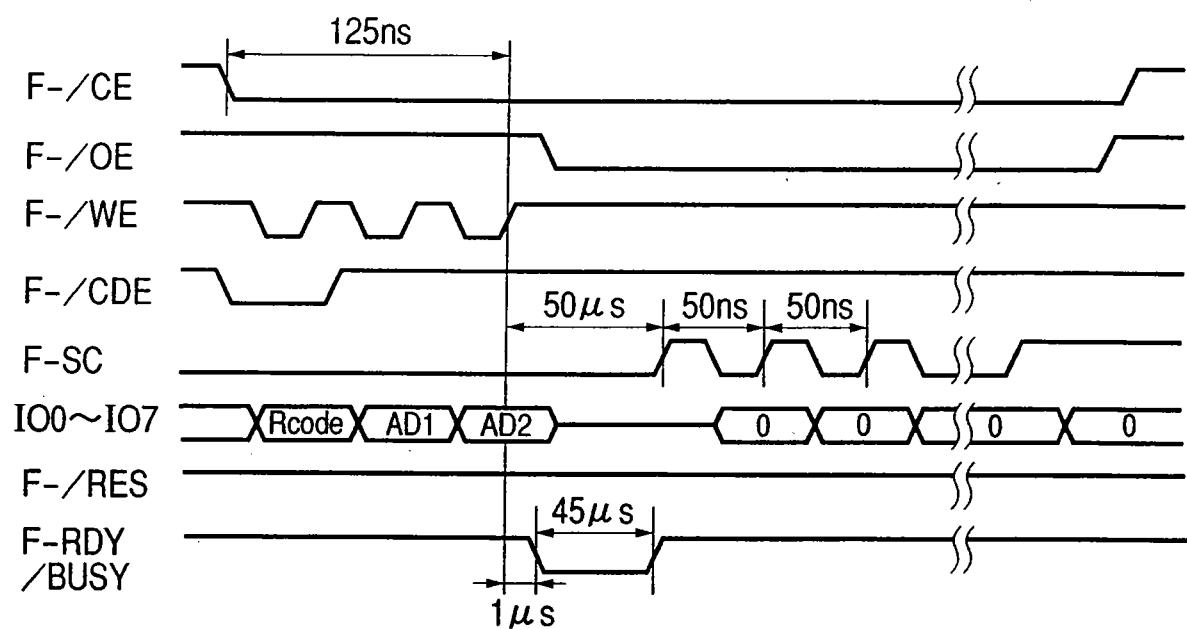


图 17

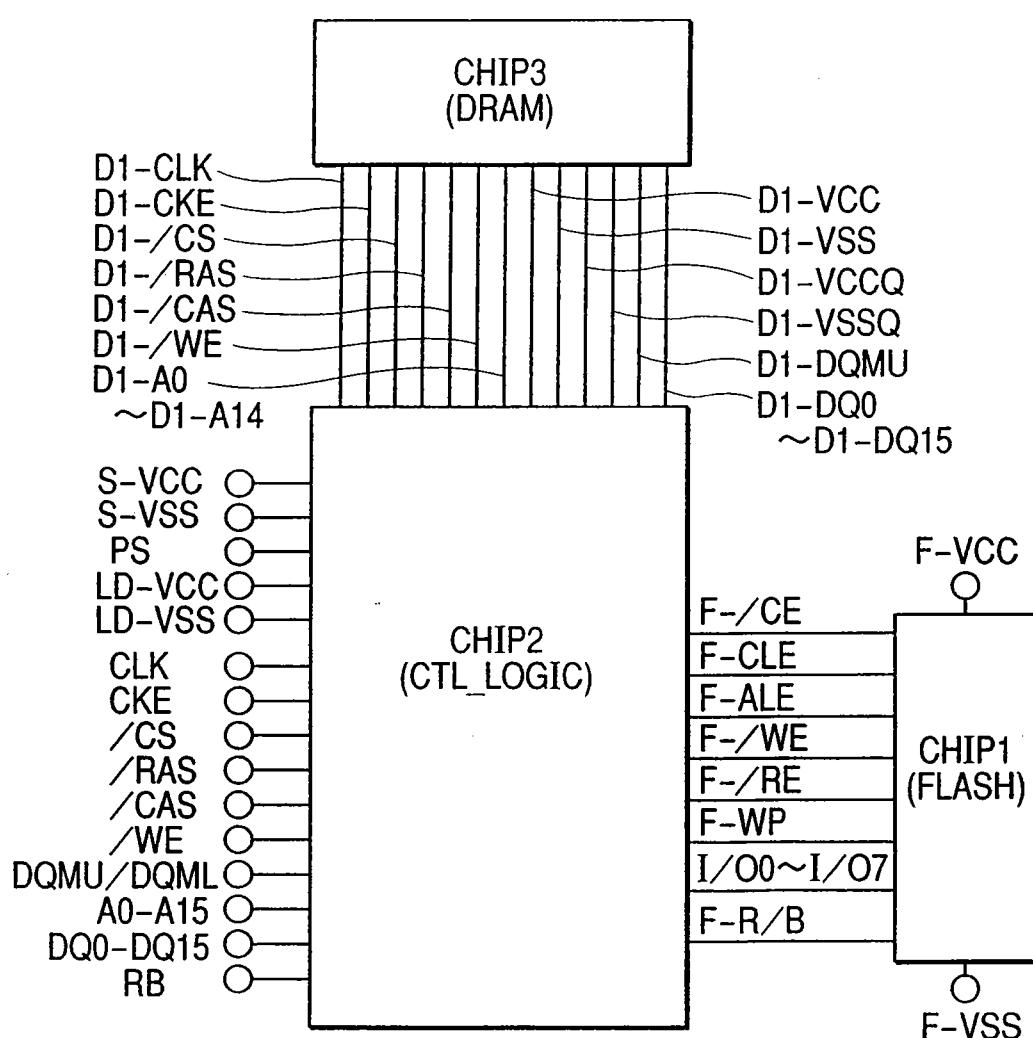


图 18

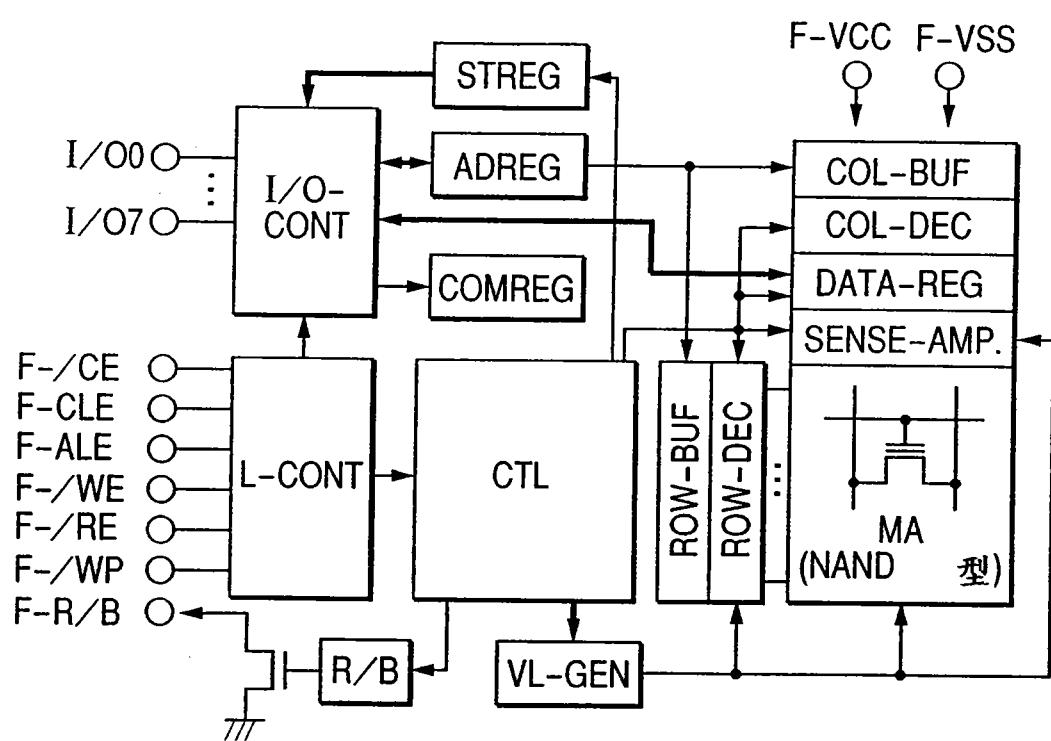


图 19

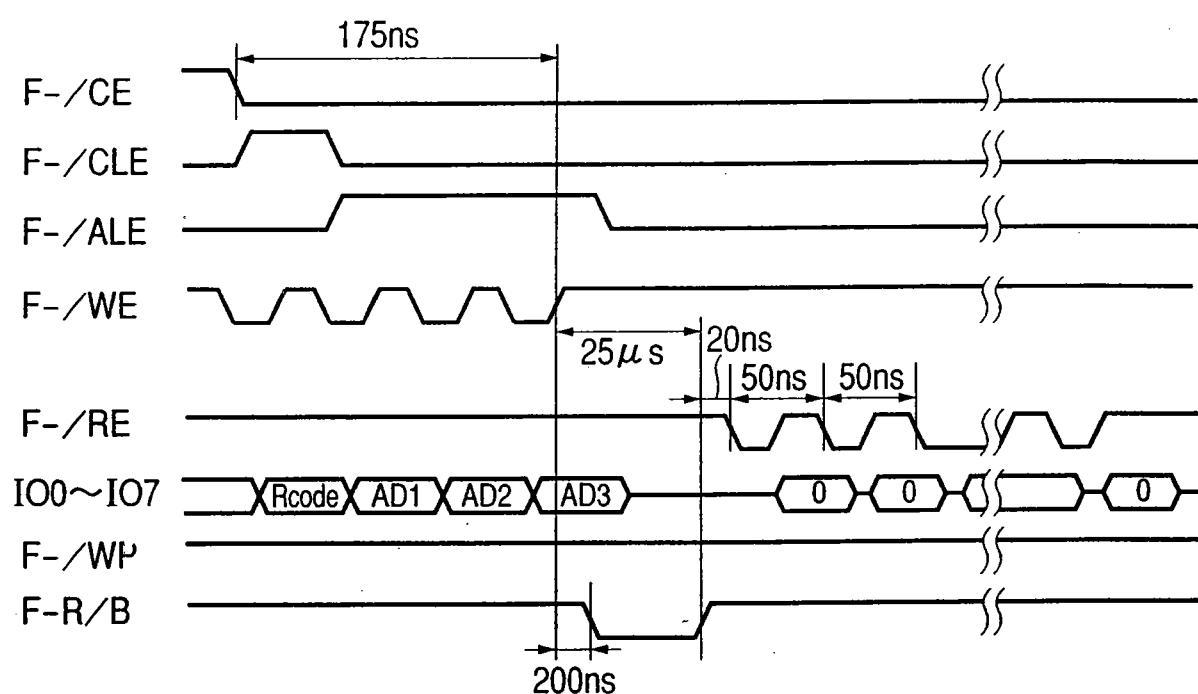


图 20

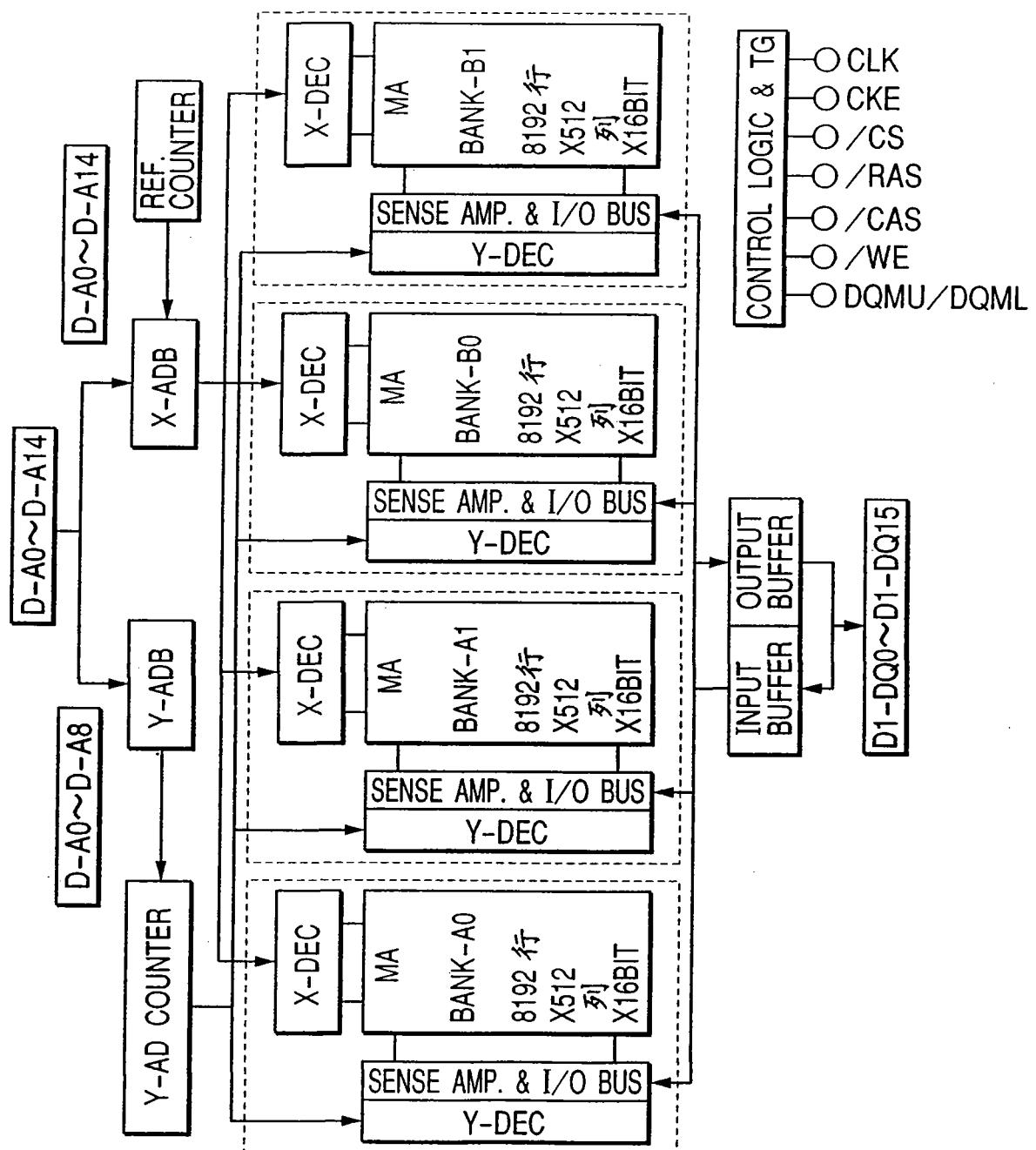


图 21

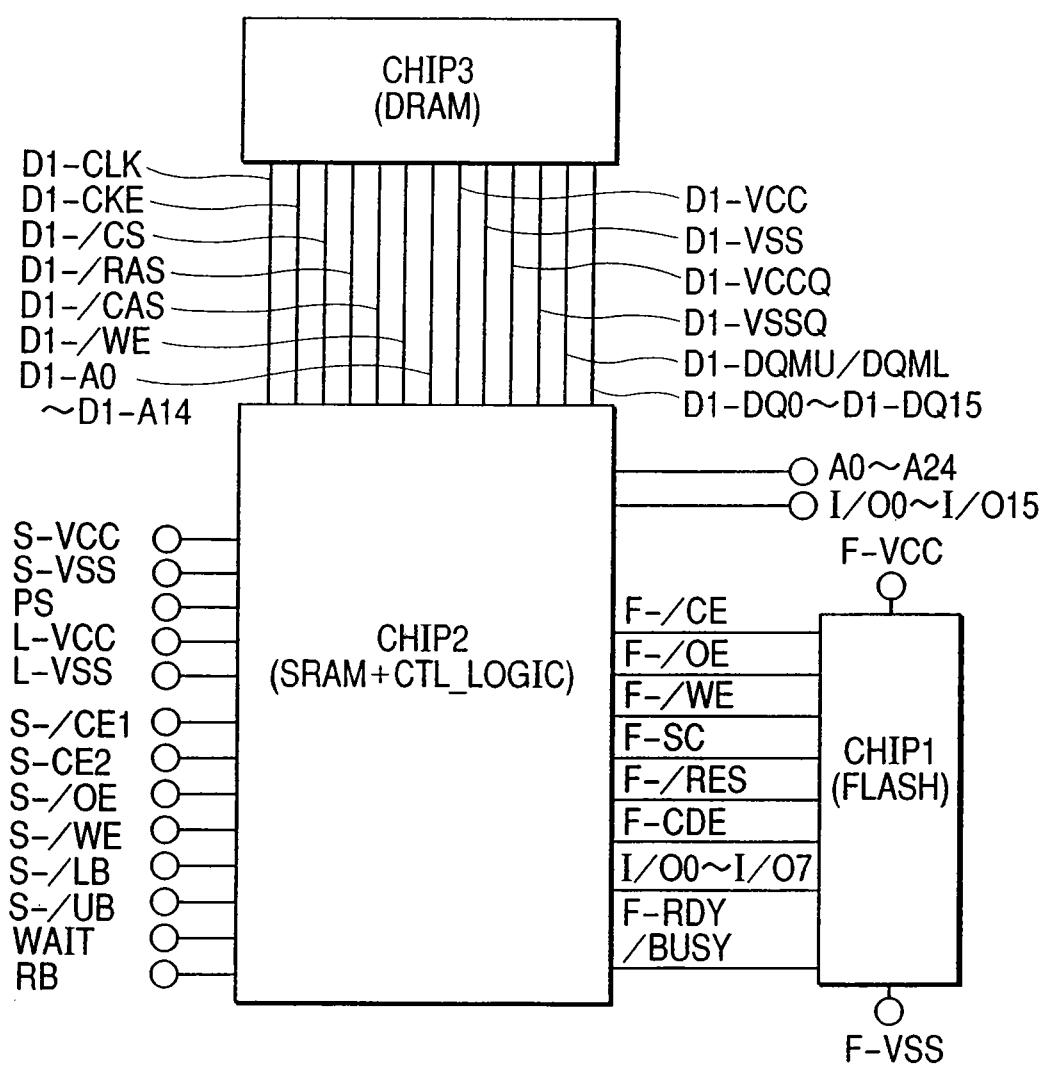


图 22

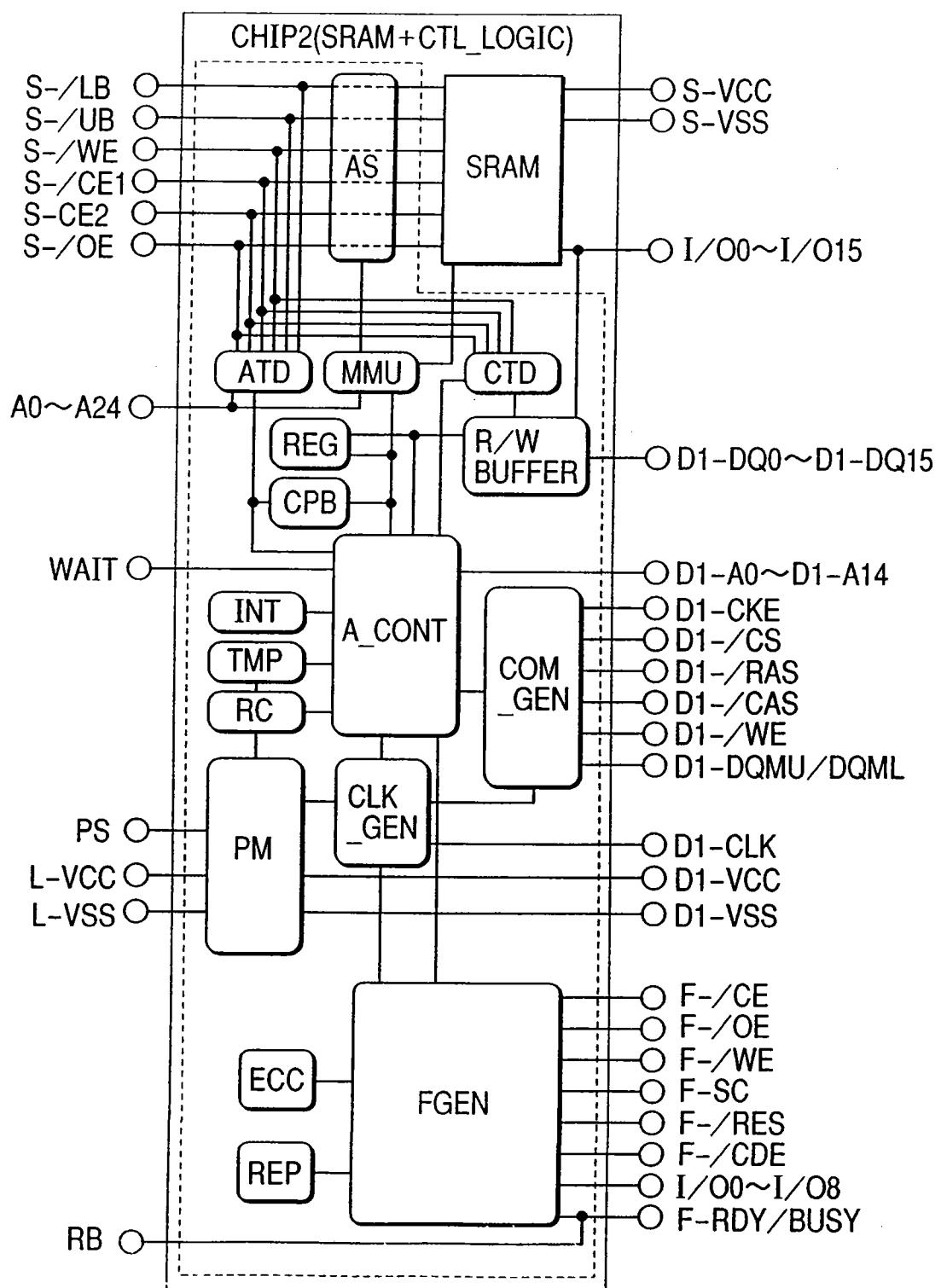


图 23

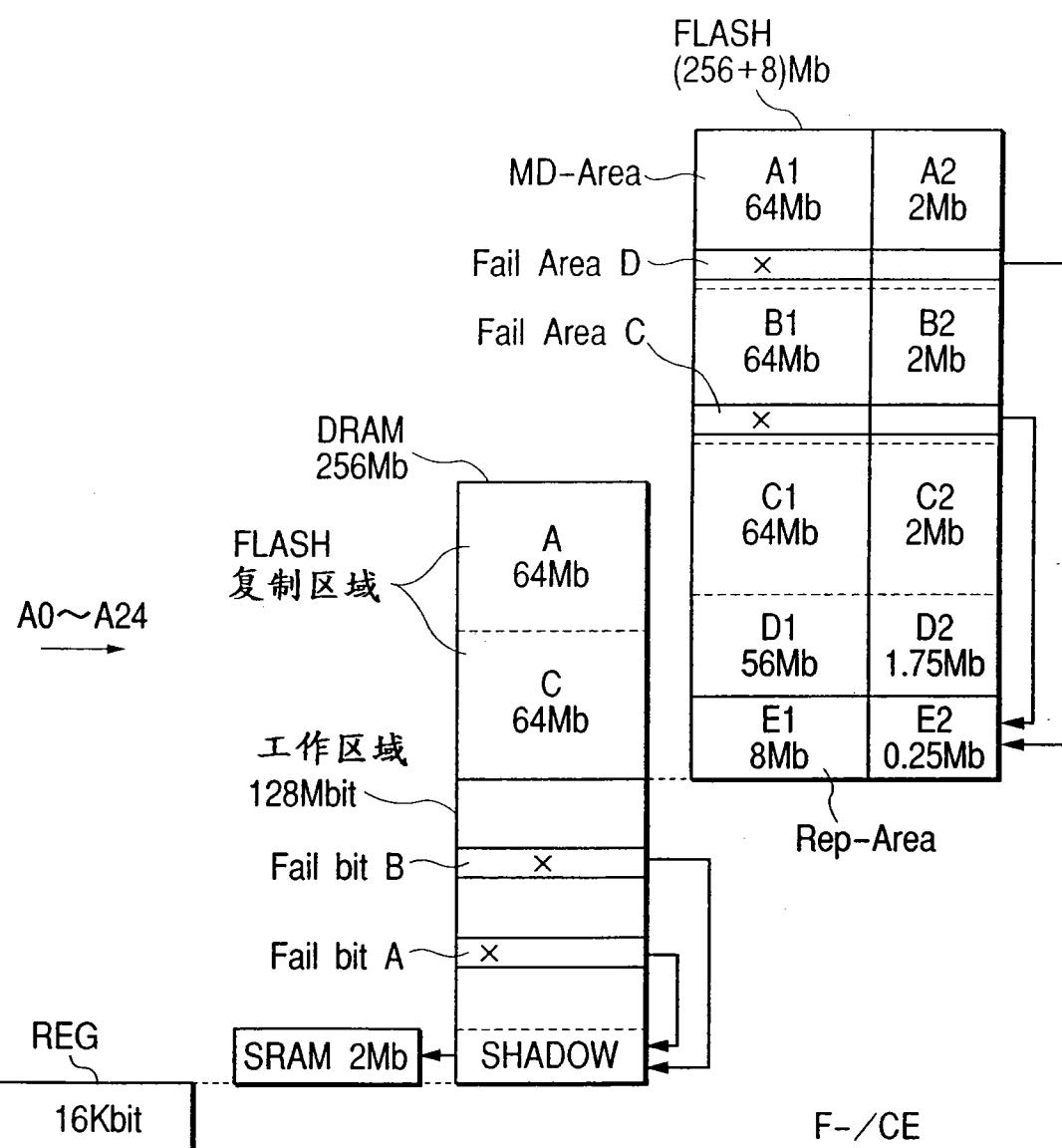


图 24

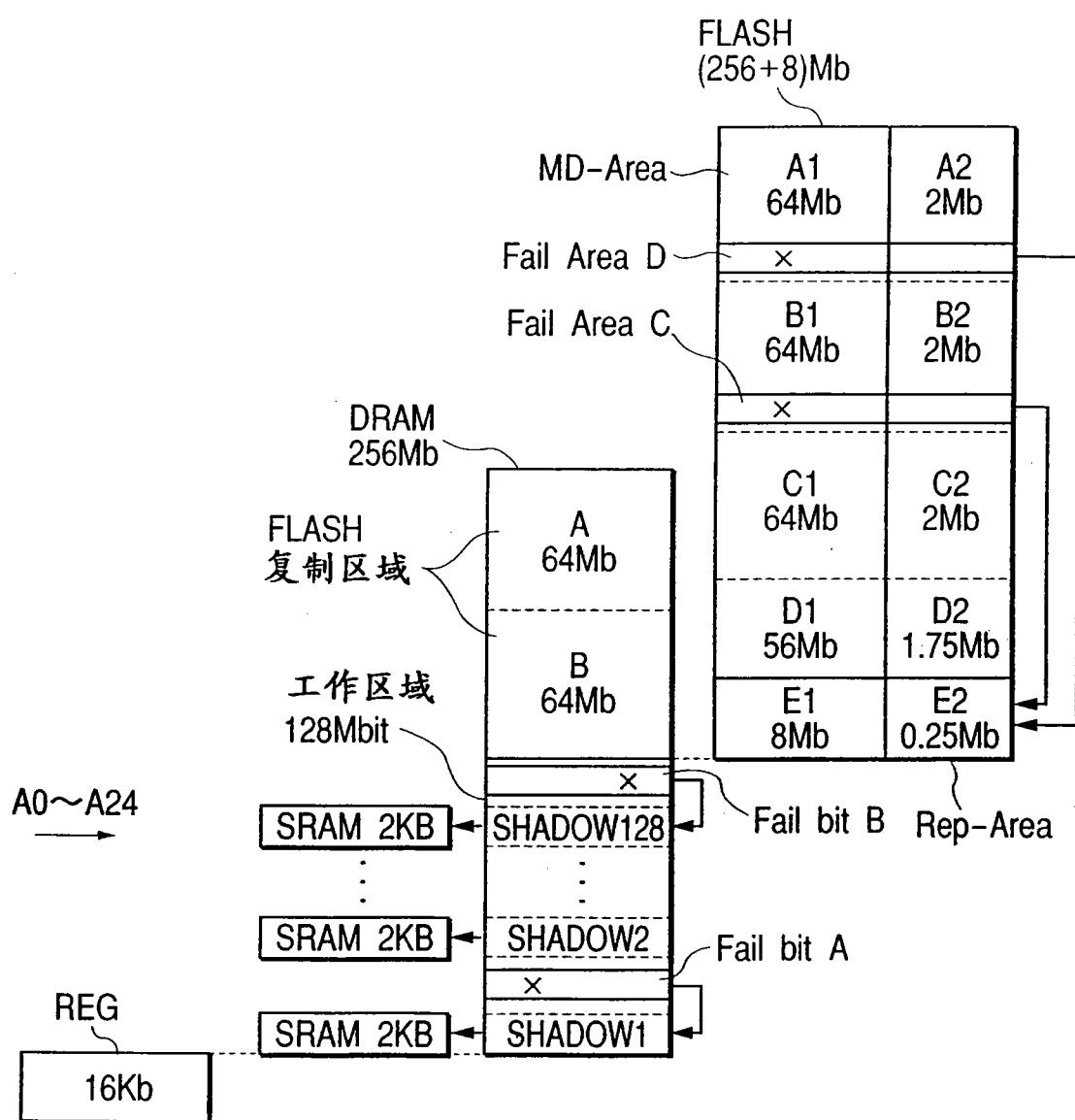


图 25

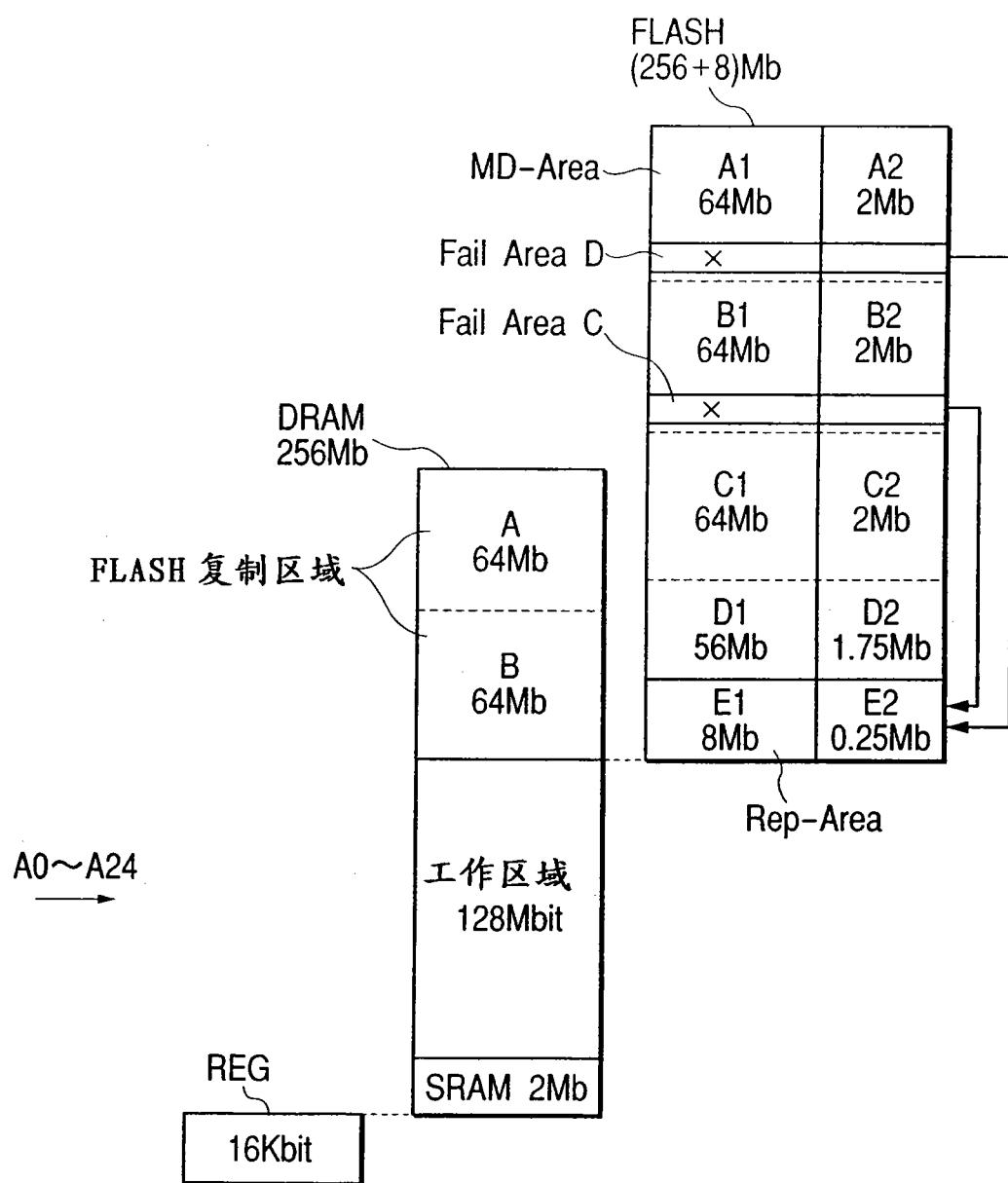


图 26

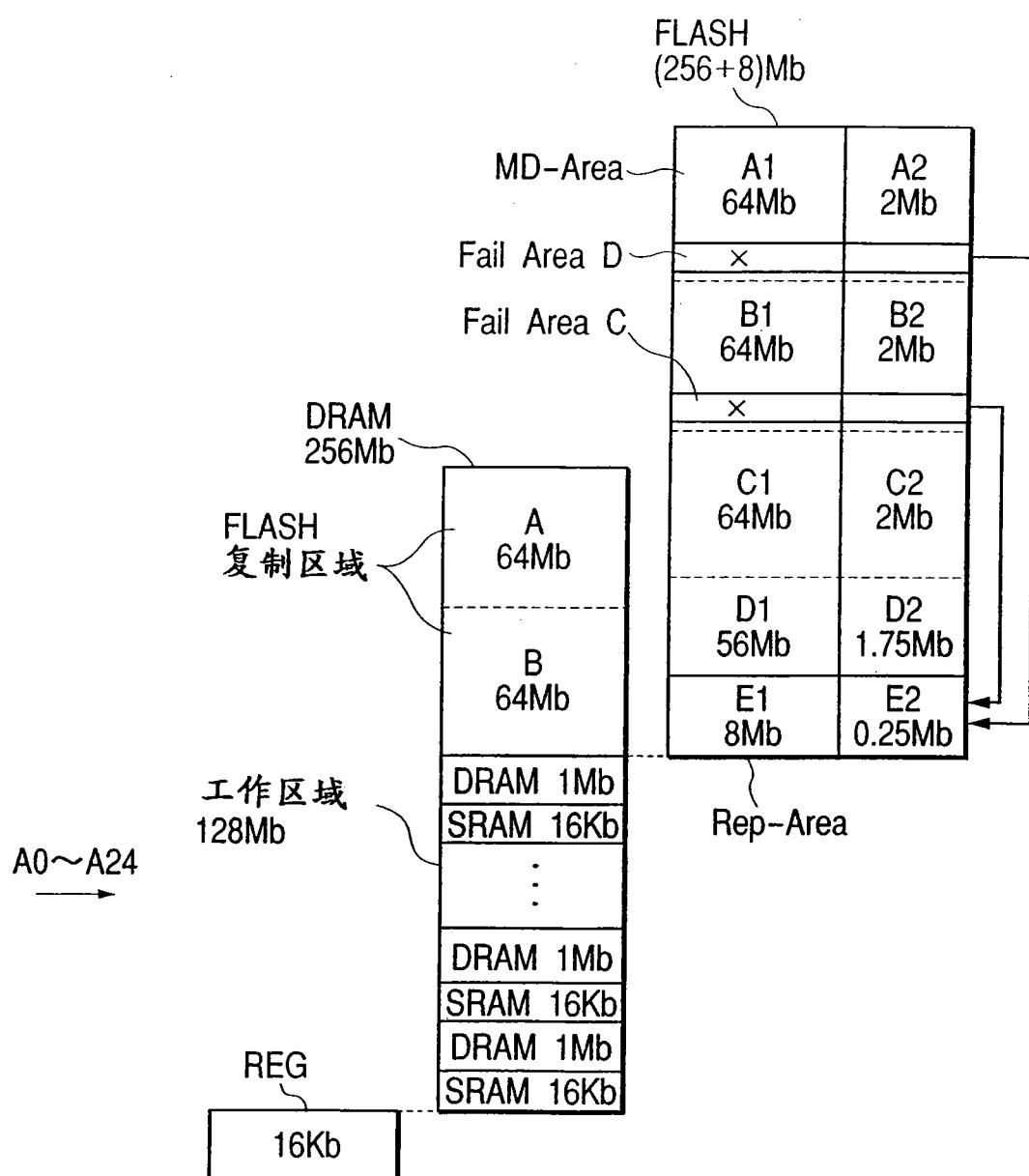


图 27(A)

按 ②&gt;①&gt;③的优先顺序执行

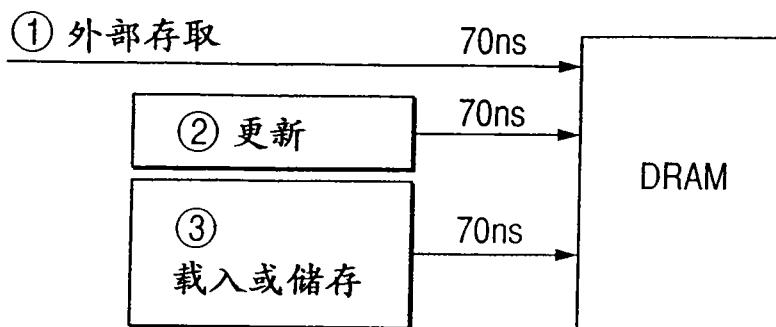


图 27(B)

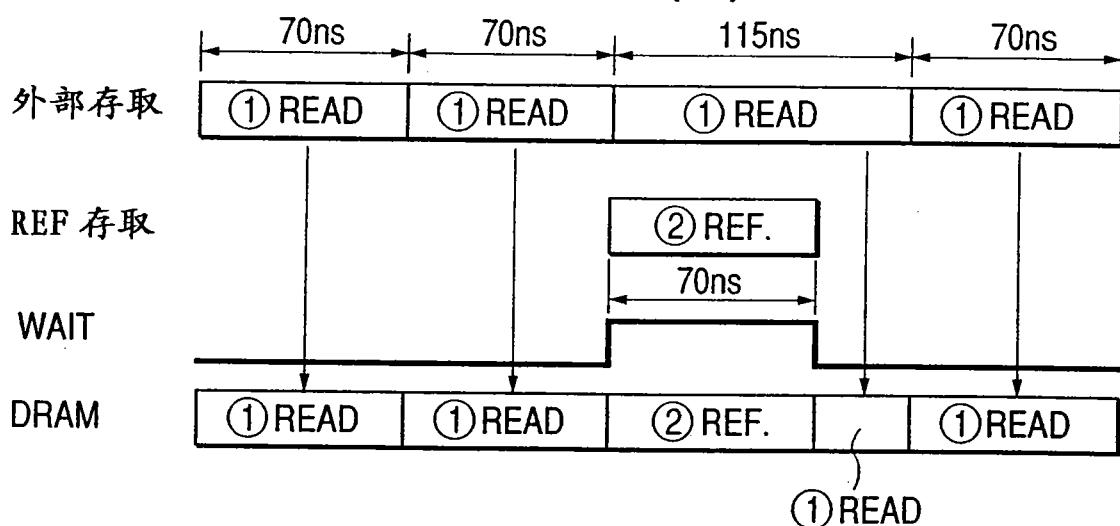


图 27(C)

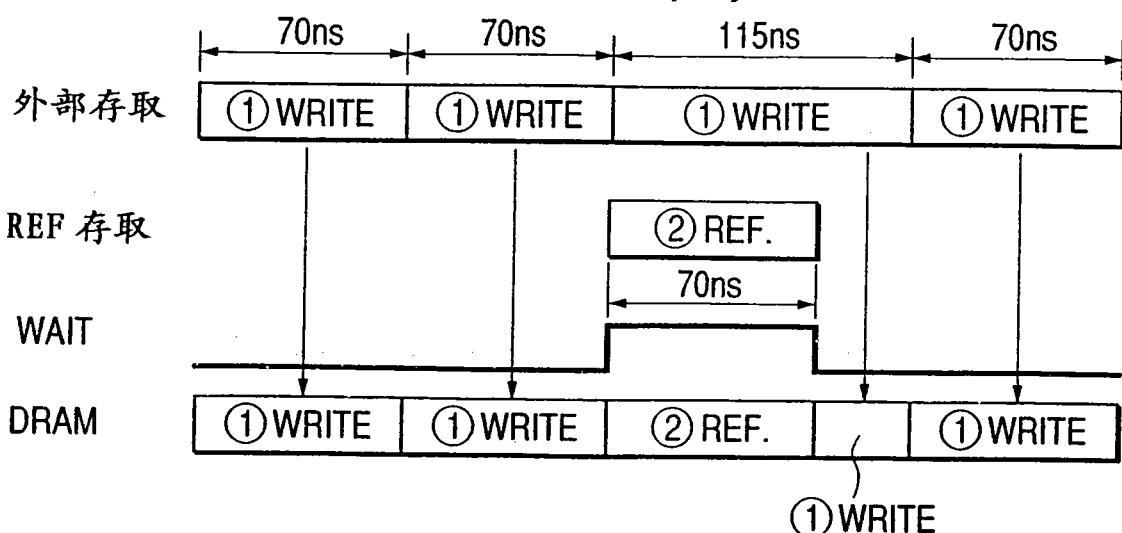


图 28(A)

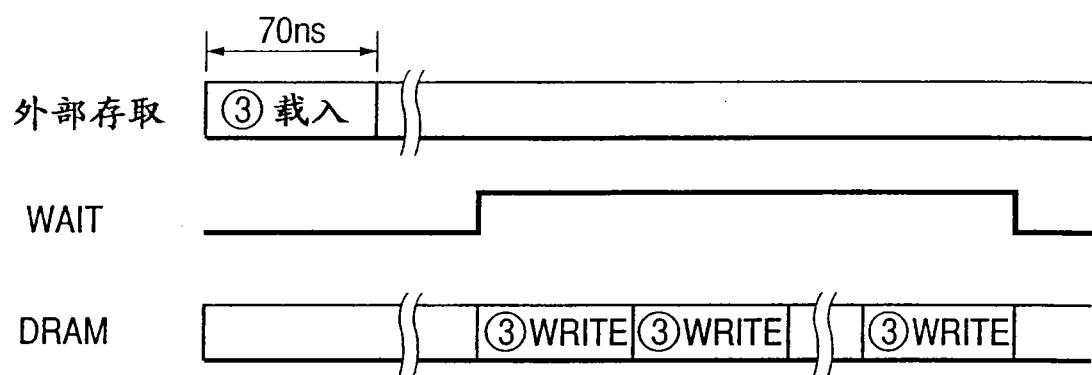


图 28(B)

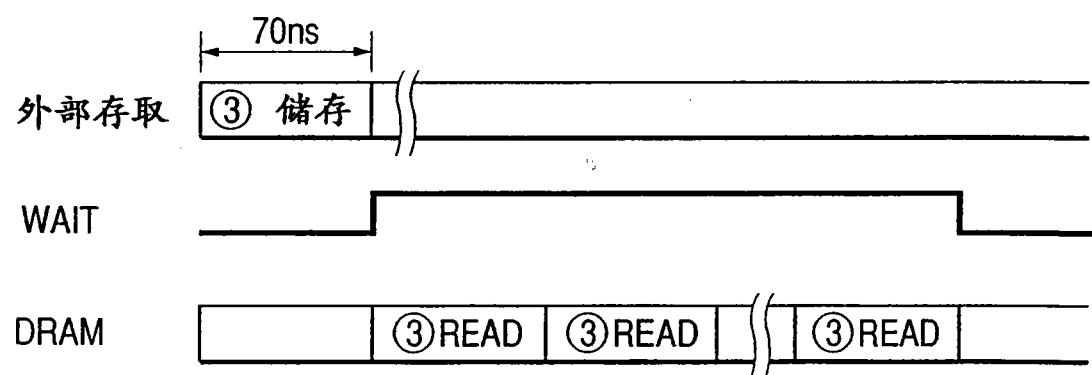


图 29(A)

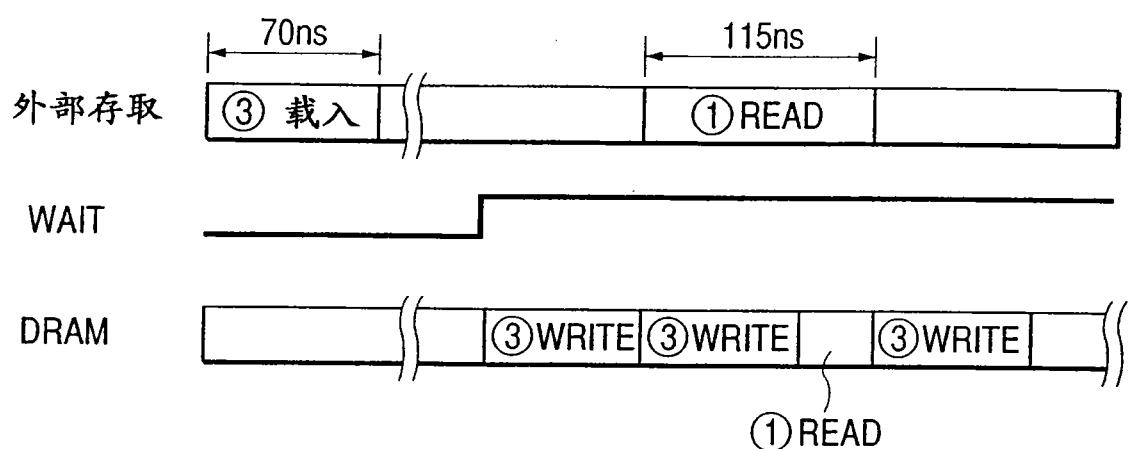


图 29(B)

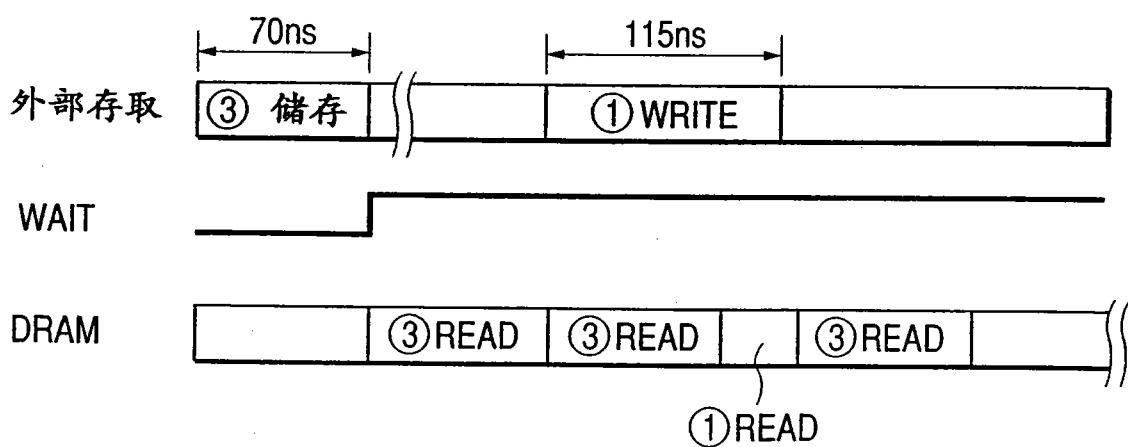


图 30

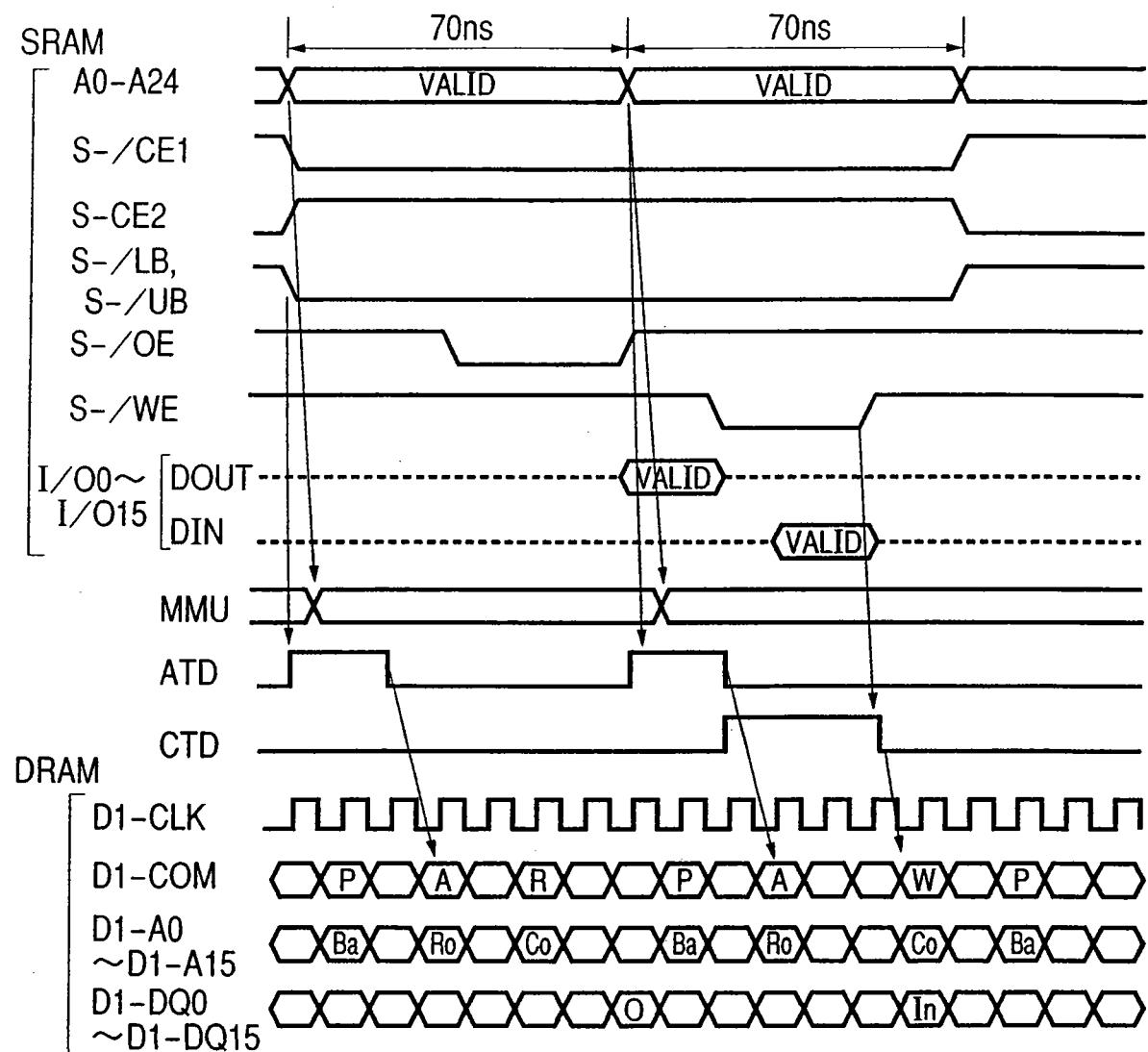


图 31

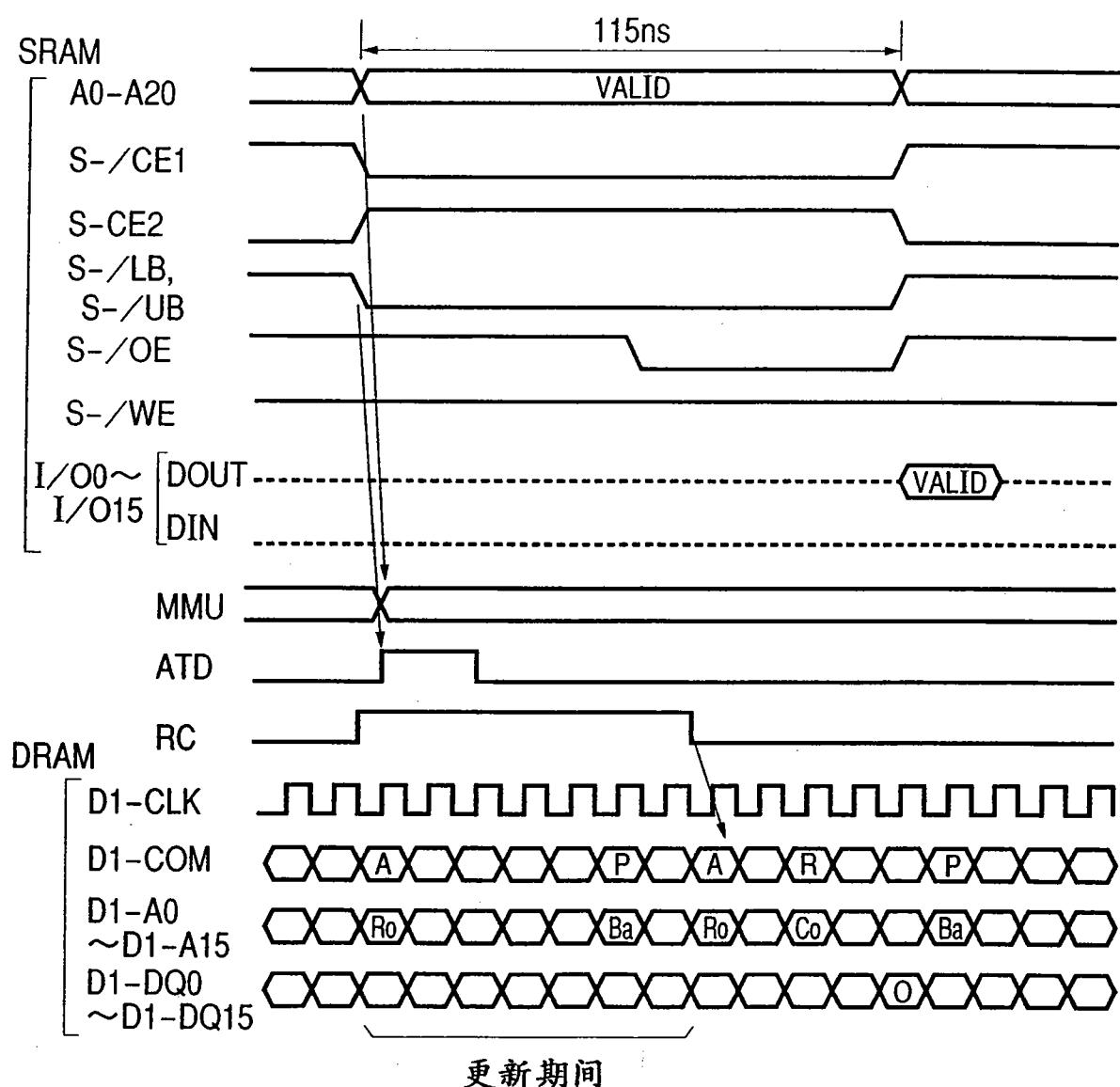


图 32

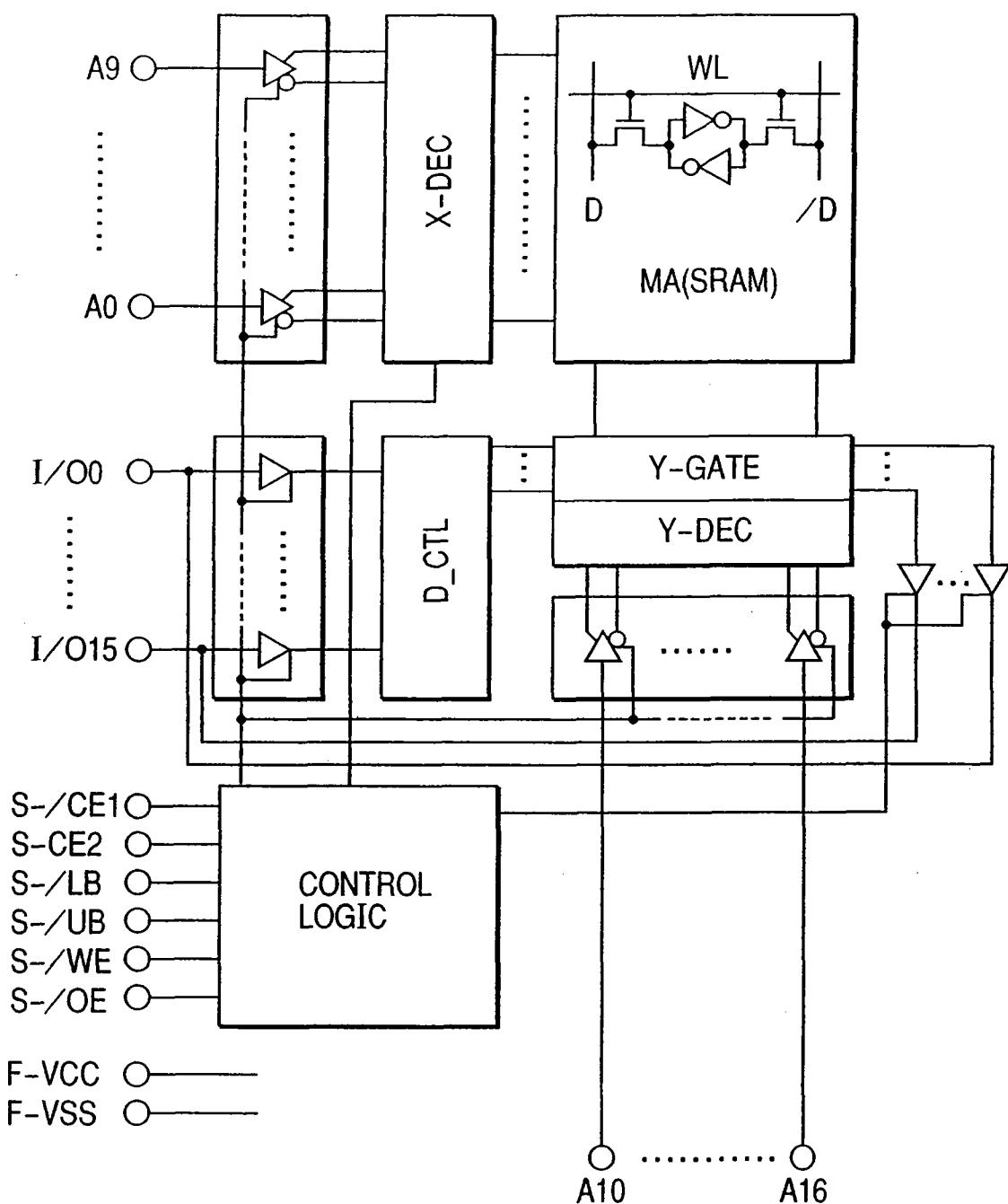


图 33(A)

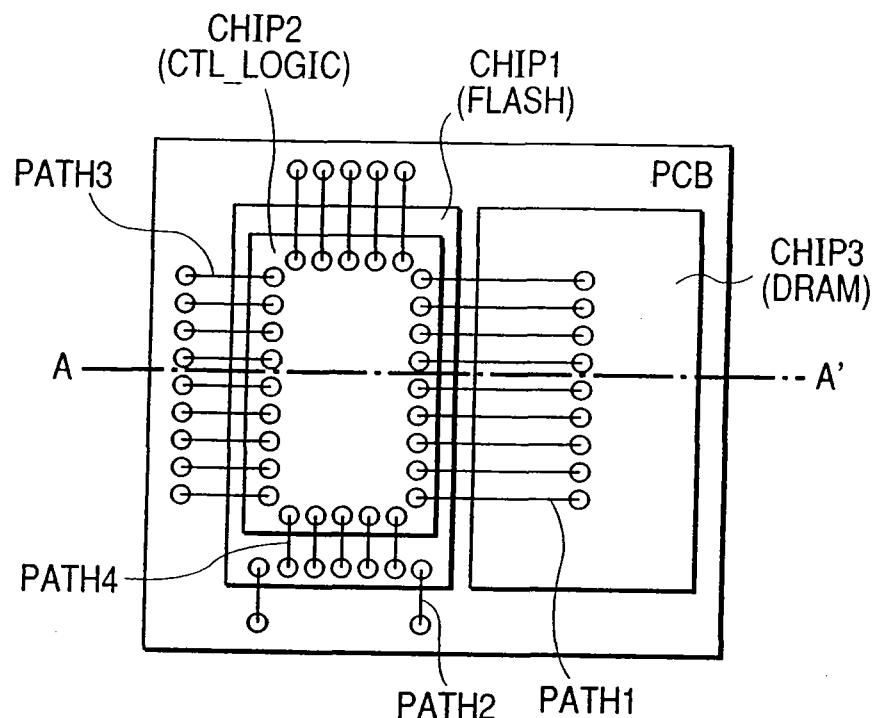


图 33(B)

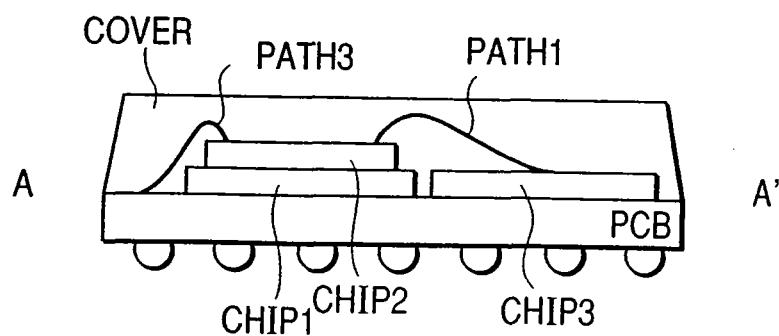


图 34(A)

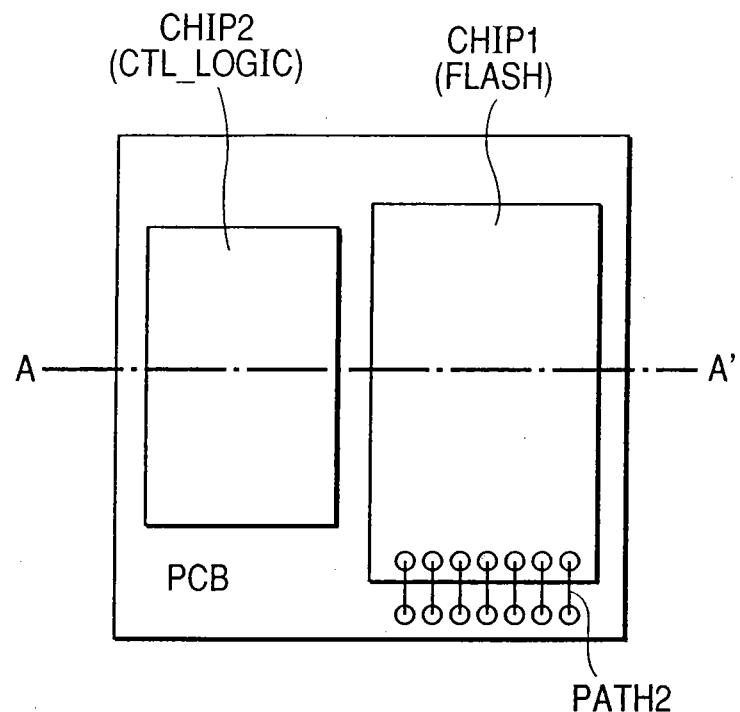


图 34(B)

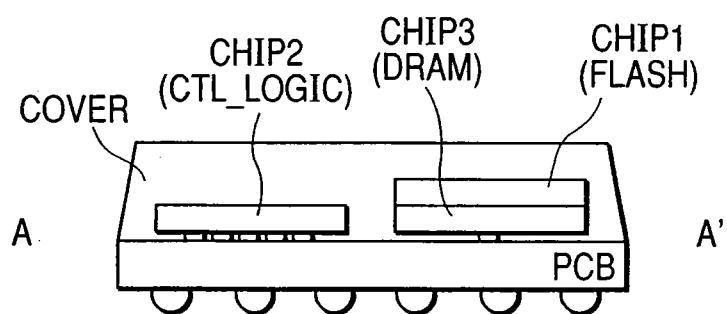


图 35

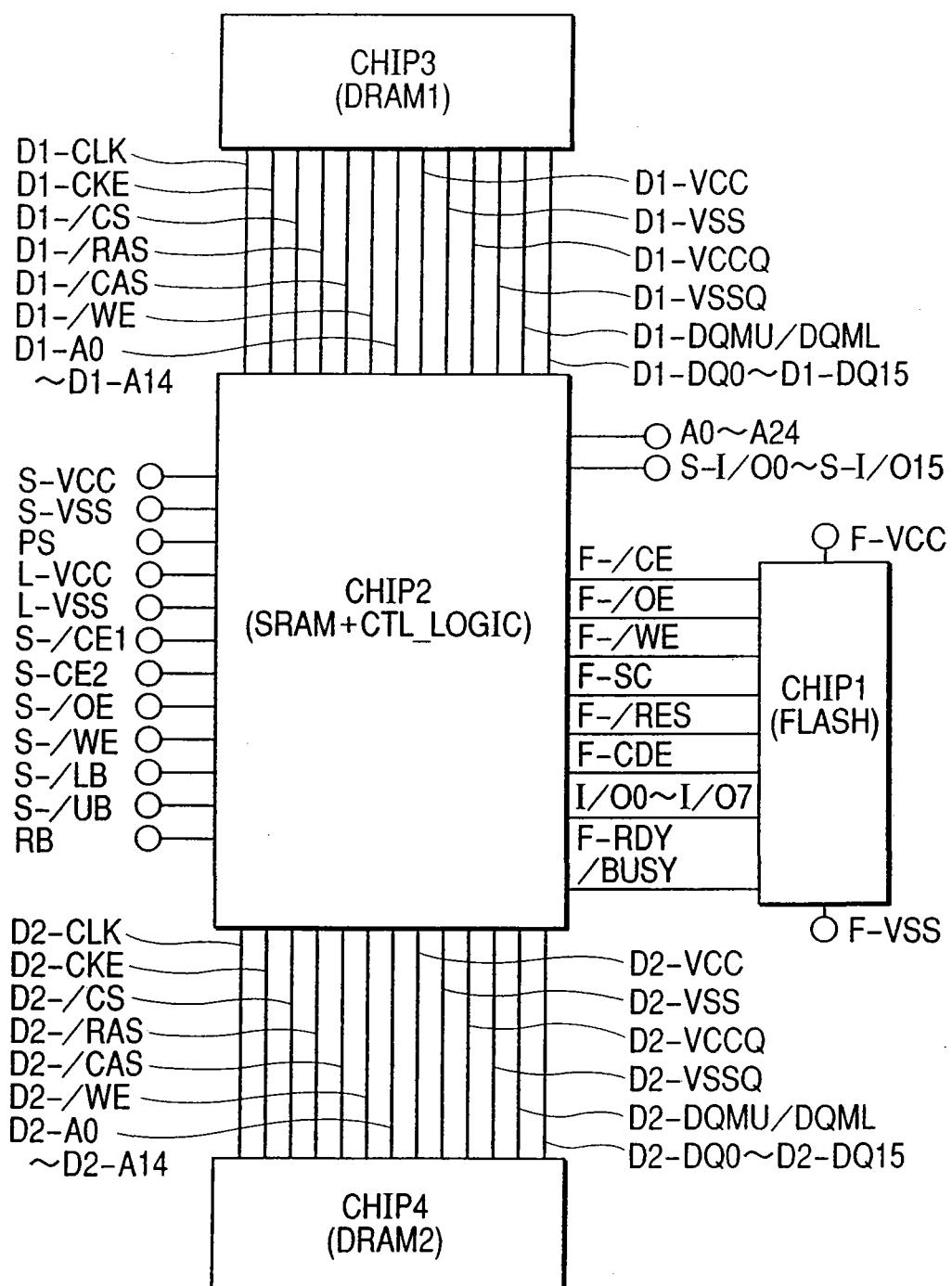


图 36

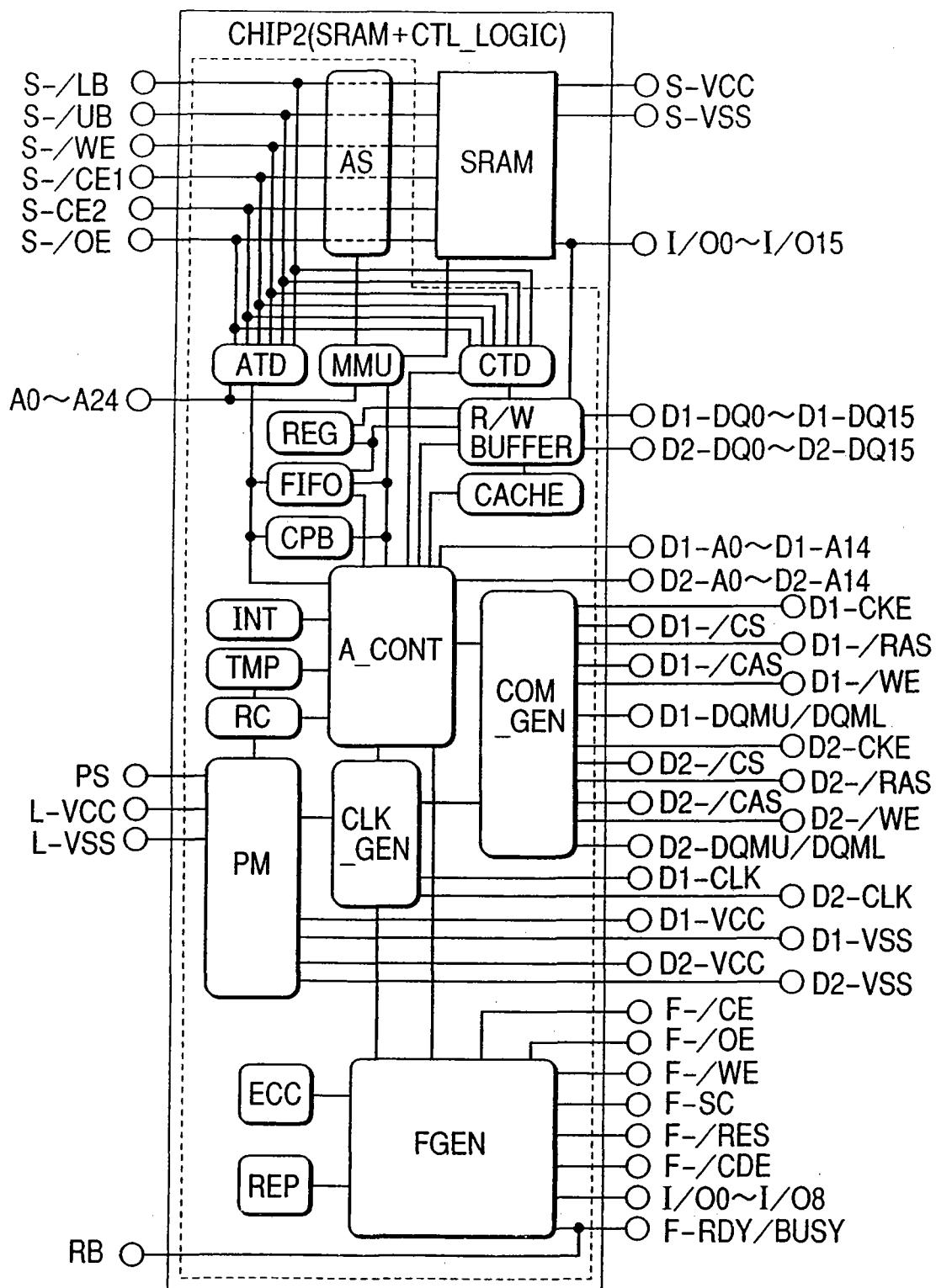


图 37

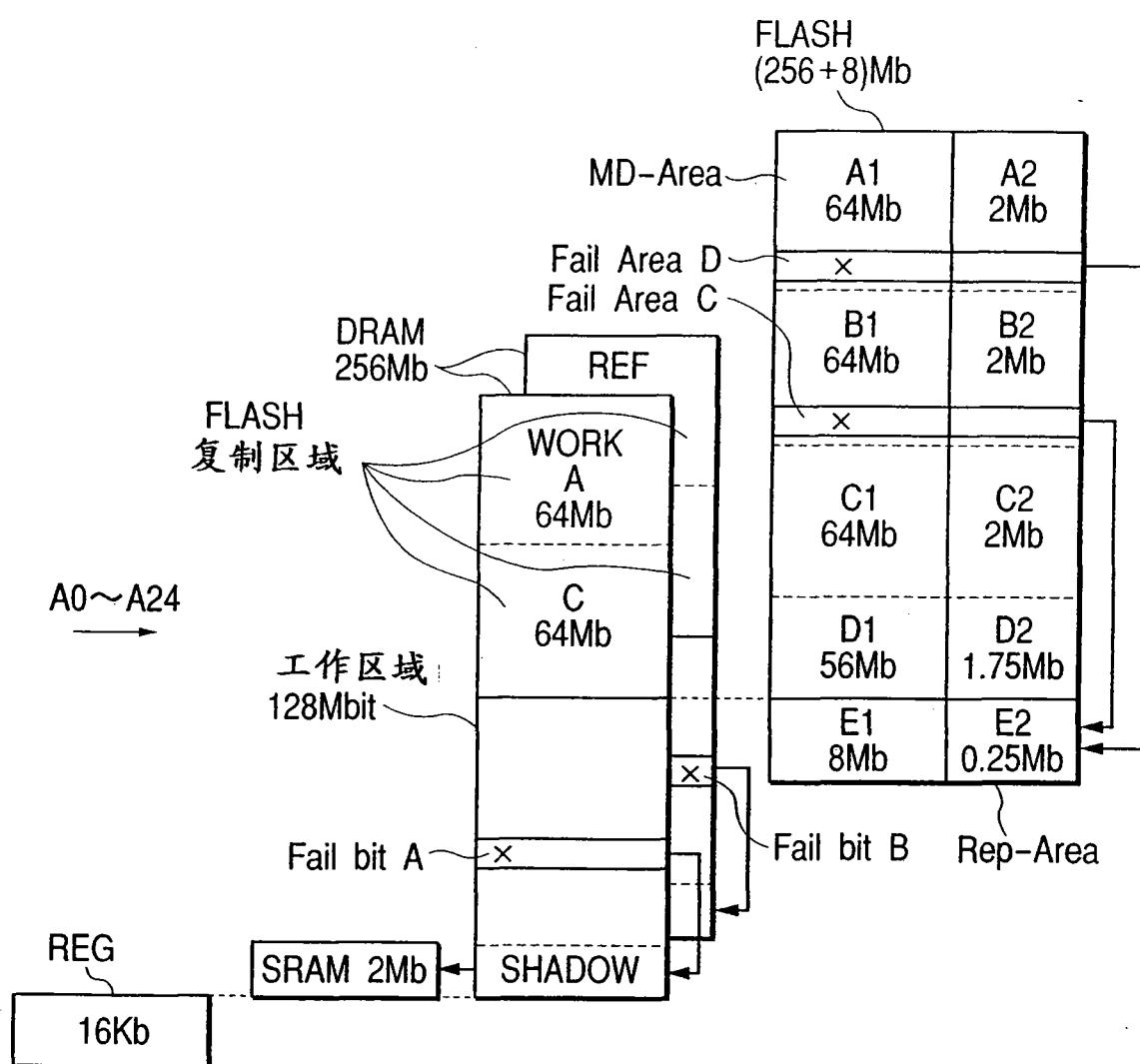


图 38(A)

只执行①

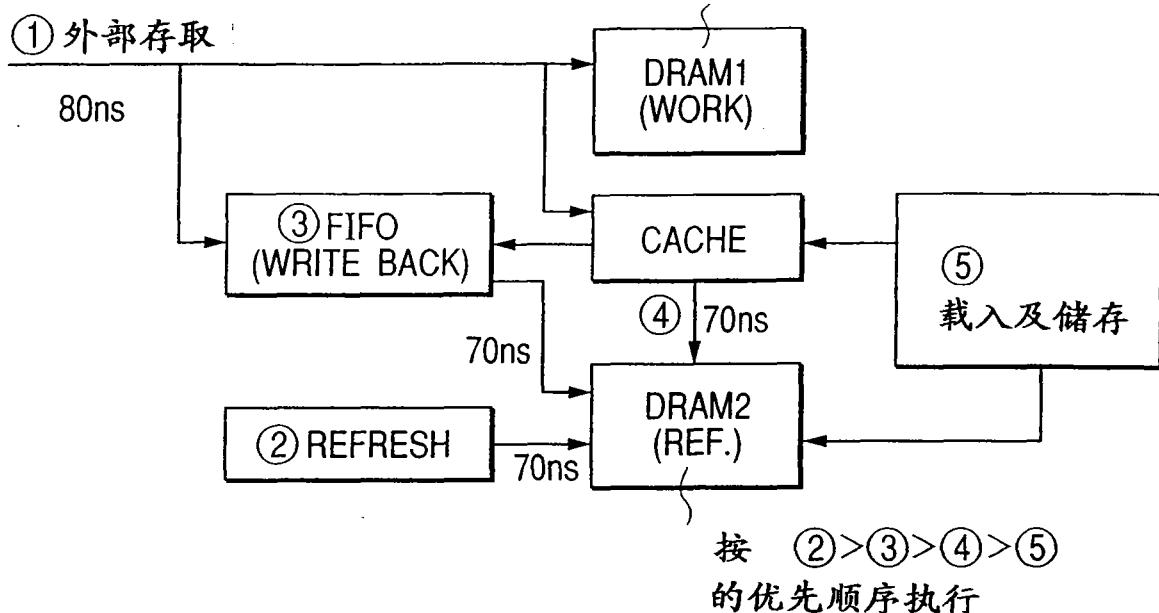


图 38(B)

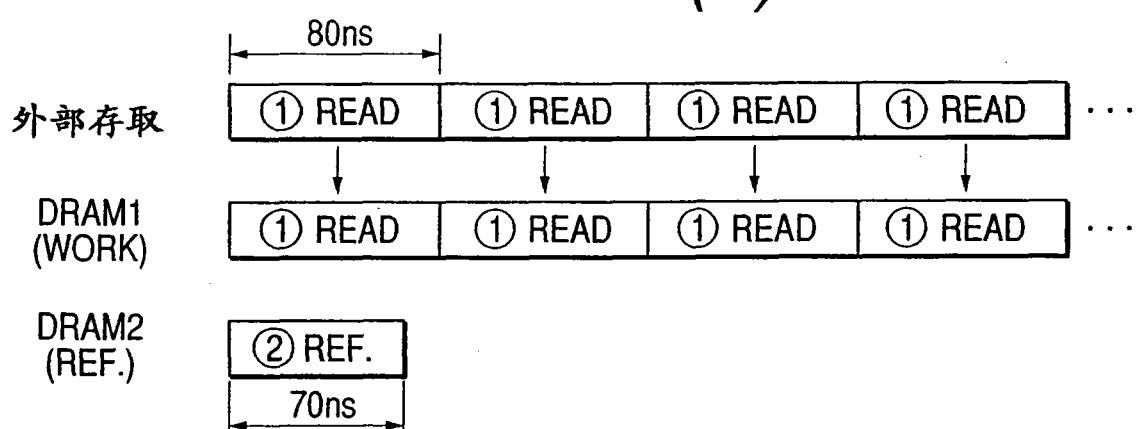


图 38(C)

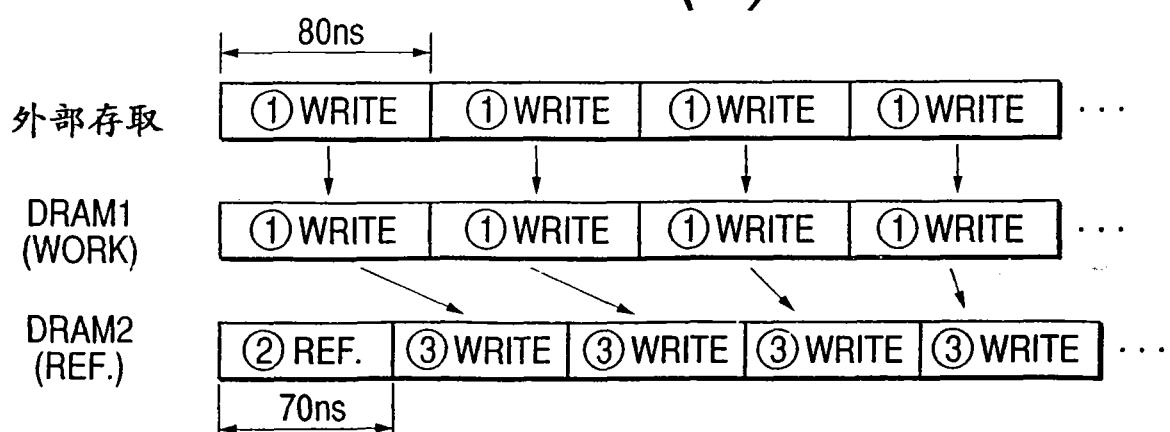


图 39(A)

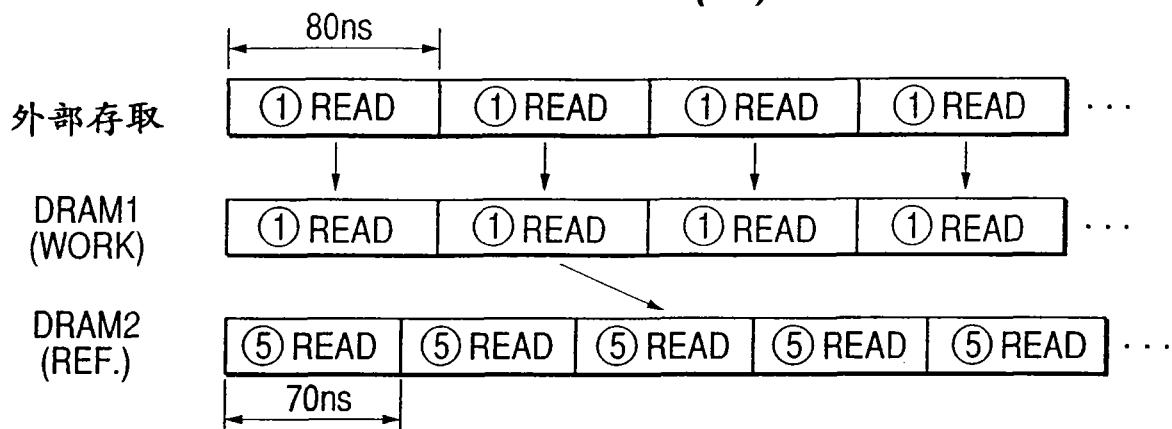


图 39(B)

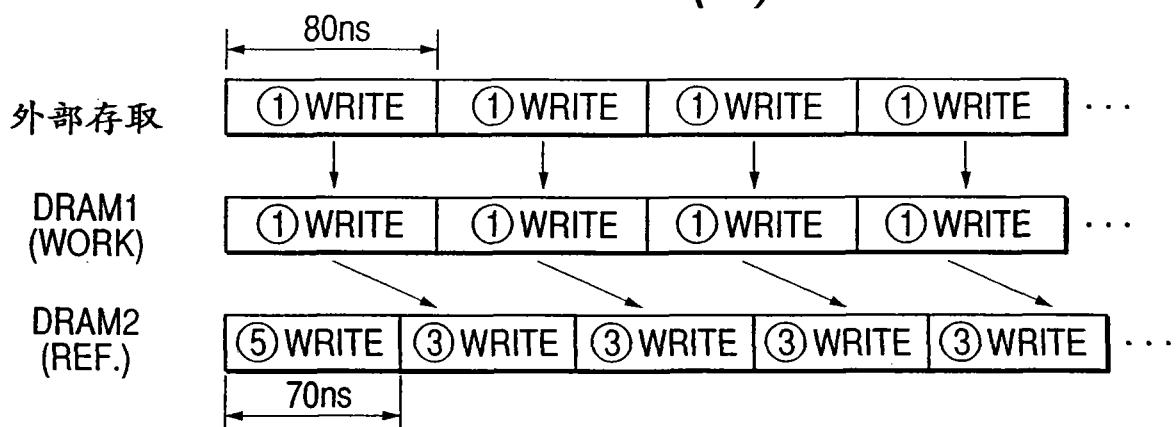


图 39(C)

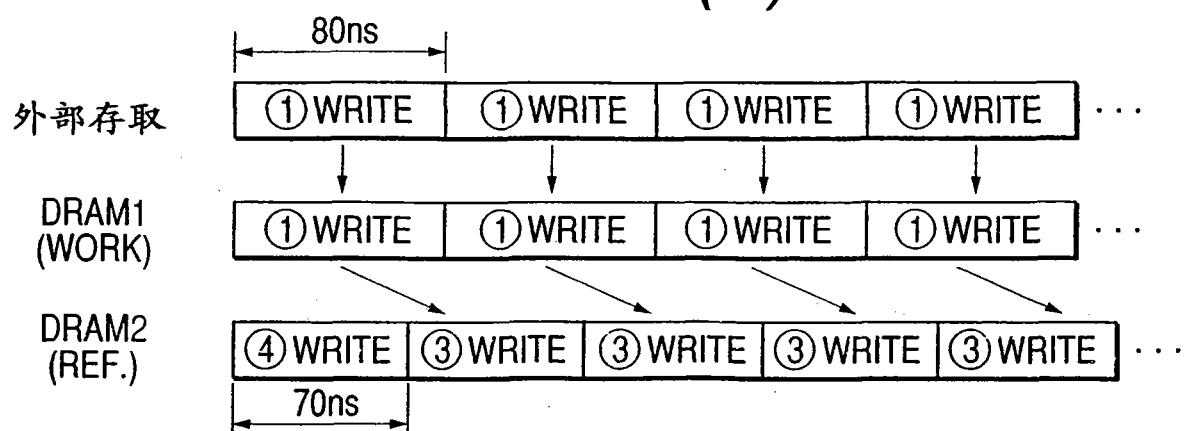


图 40(A)

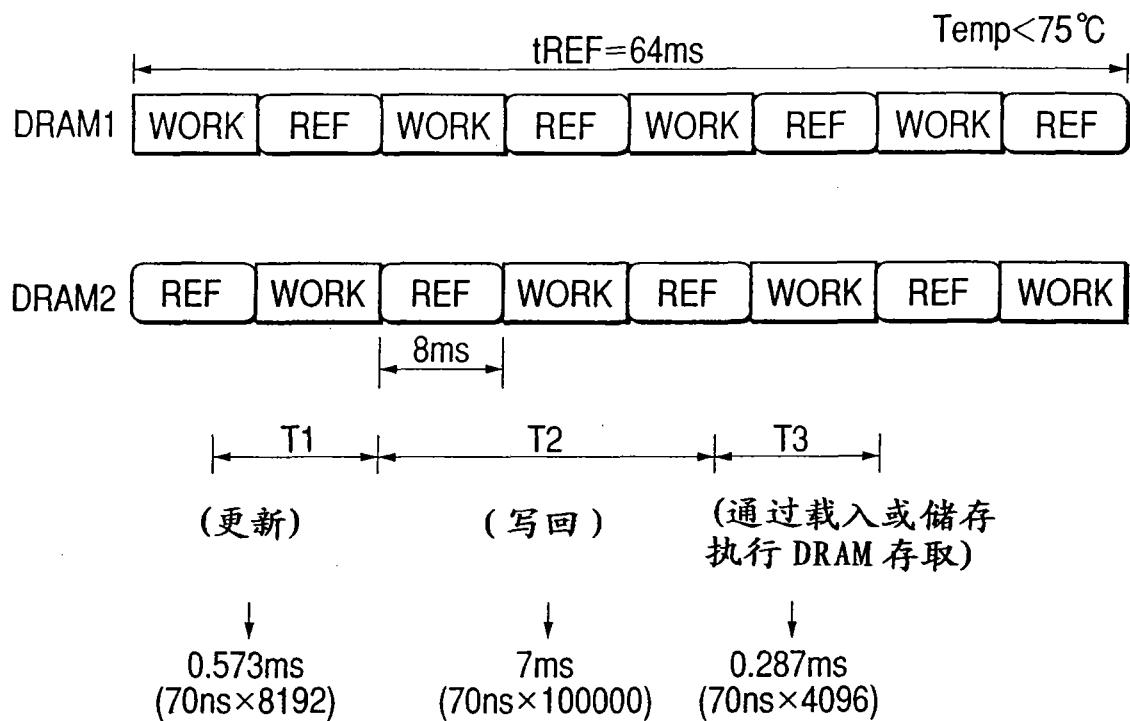


图 40(B)

Temp	$t_{REF}$ (ms)	T1 $[70\text{ns} \times 8192]$	T2 $[70\text{ns} \times t_{REF}/8/80\text{ns}]$	T3
高温	48	0.573ms	5.25ms	0.144ms
常温	64	0.573ms	7ms	0.287ms
低温	128	0.573ms	14ms	1.15ms

图 41(A)

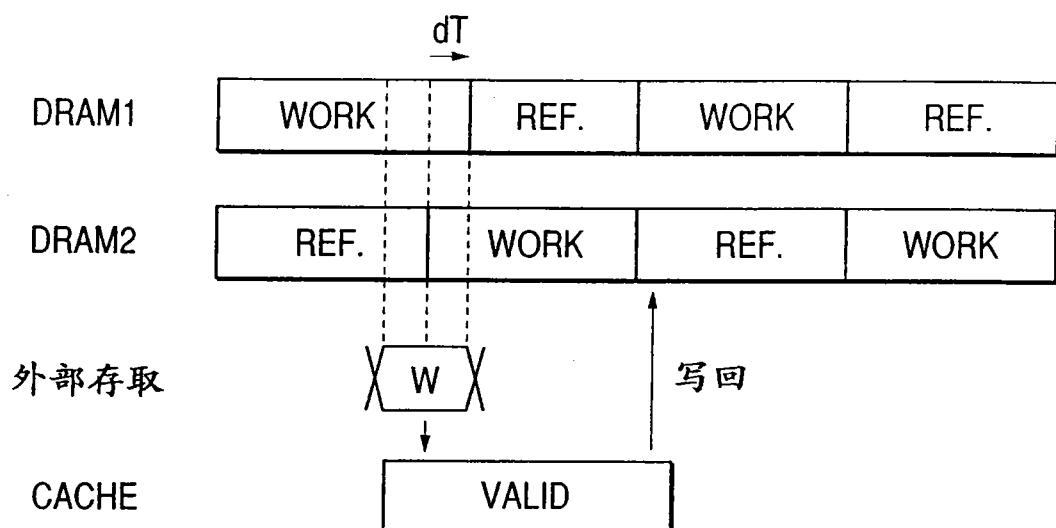


图 41(B)

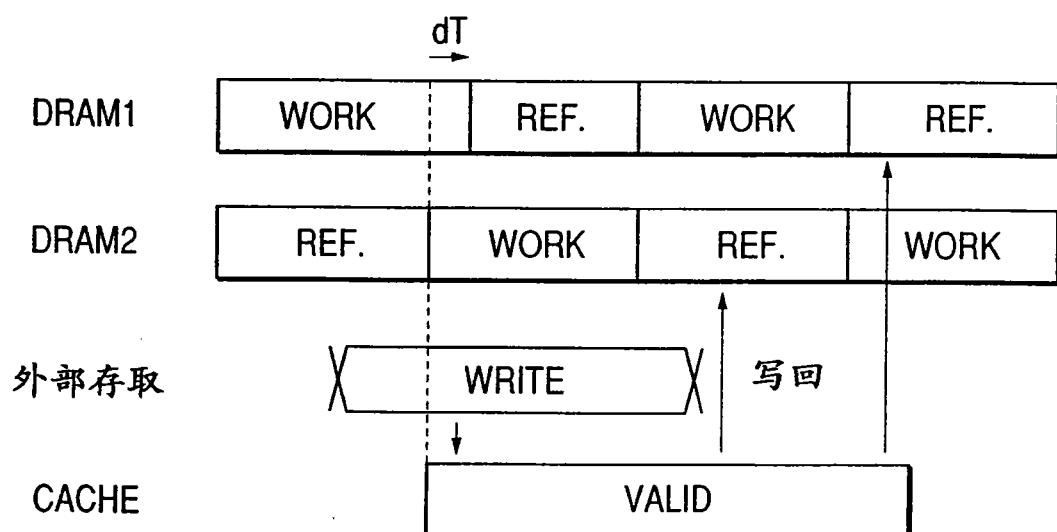


图 42

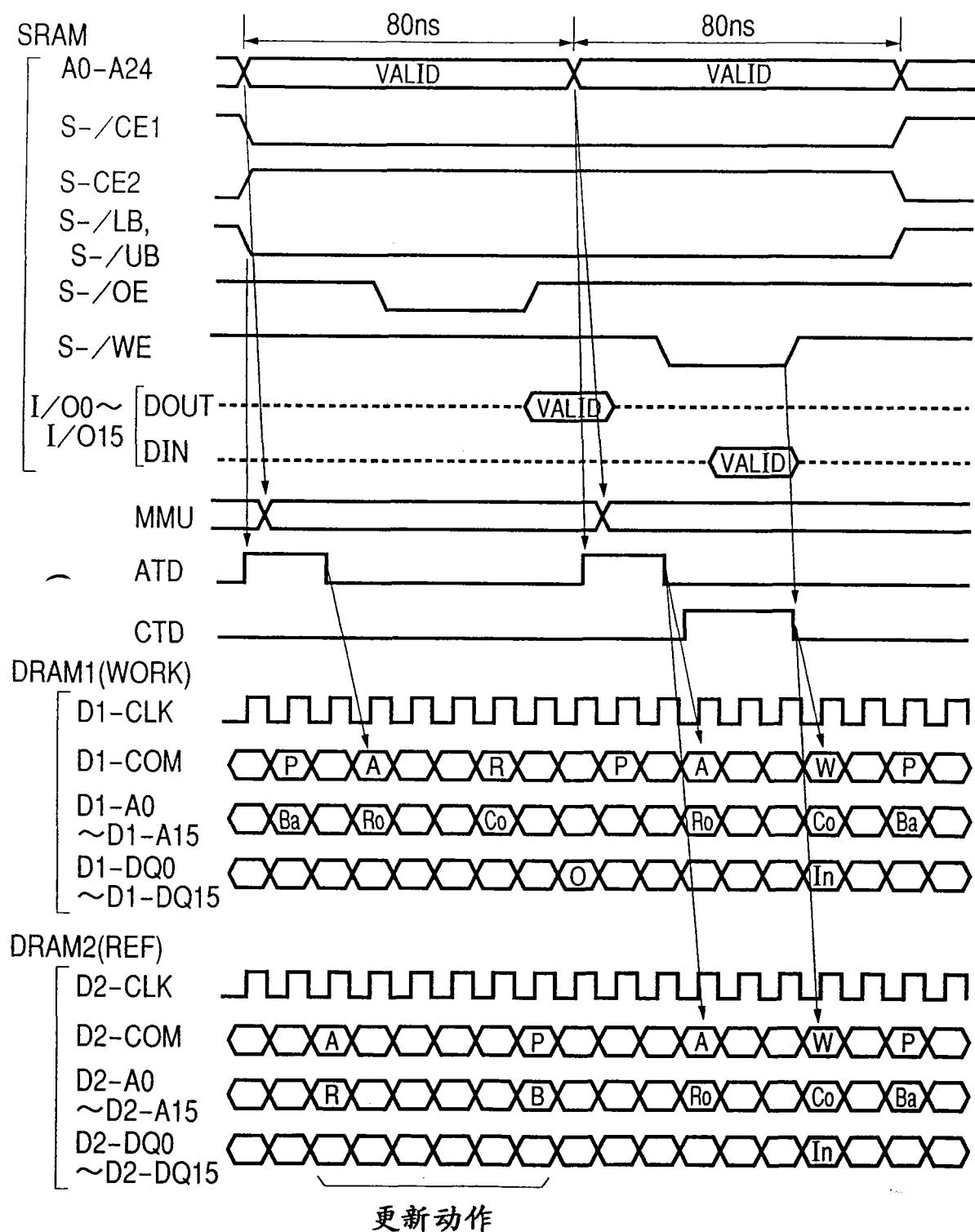


图 43(A)

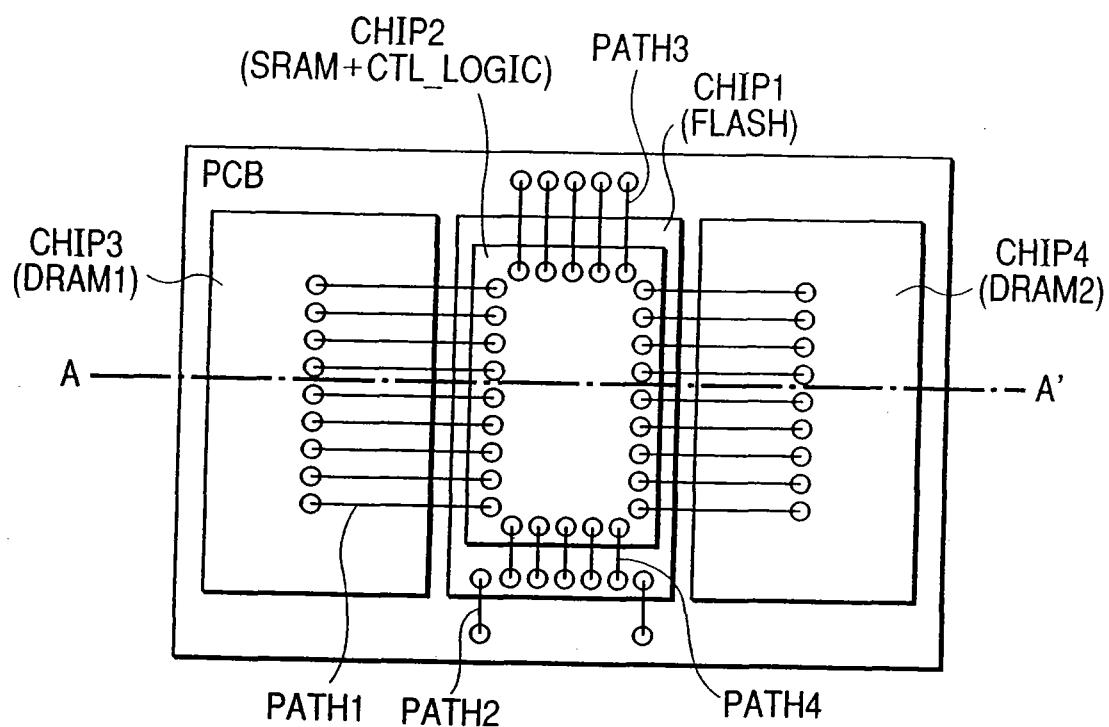


图 43(B)

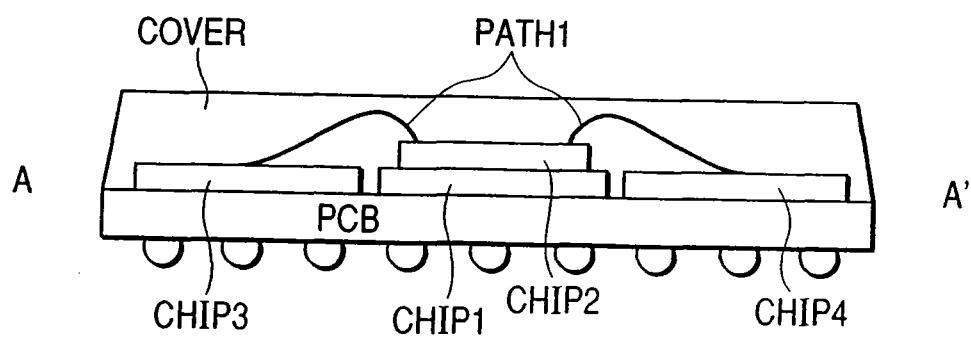


图 44(A)

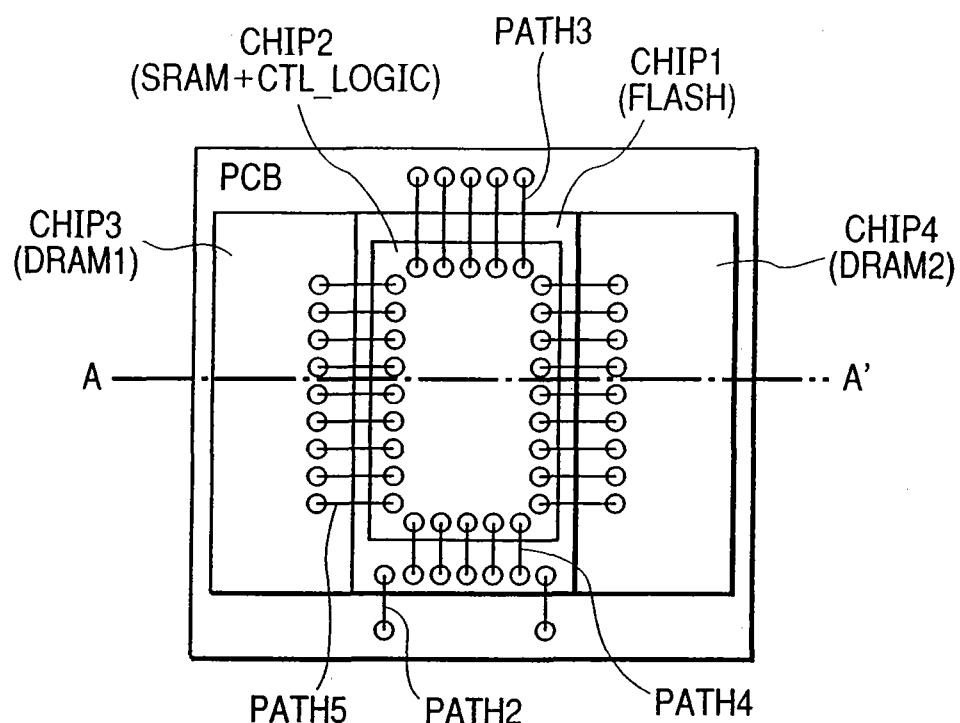


图 44(B)

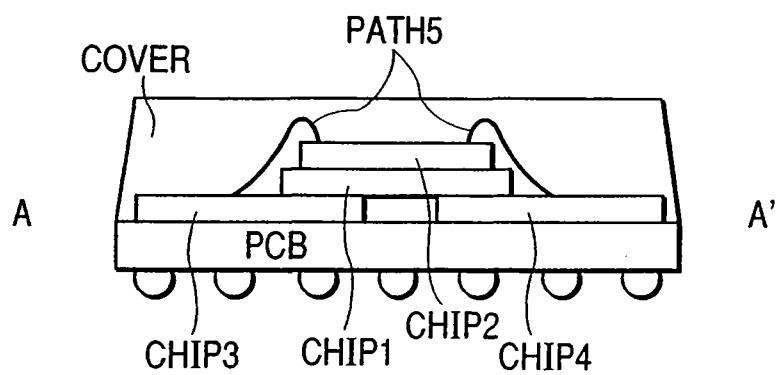


图 45

