

申請日期: 8.18

案號: 88114111

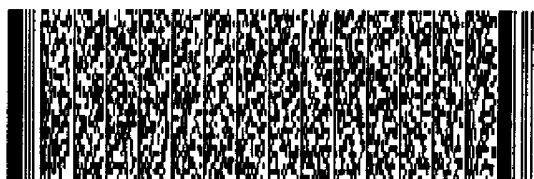
類別: H01L 27/08, H01L 27/04

(以上各欄由本局填註)

發明專利說明書

466603

一、 發明名稱	中文	半導體裝置及其製造方法
	英文	SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF
二、 發明人	姓名 (中文)	1. 艾伯特 奧斯卡 亞登
	姓名 (英文)	1. ALBERTO OSCAR ADAN
	國籍	1. 阿根廷
	住、居所	1. 日本國奈良縣生駒市光丘3-1-30
三、 申請人	姓名 (名稱) (中文)	1. 日商夏普股份有限公司
	姓名 (名稱) (英文)	1. SHARP KABUSHIKI KAISHA
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國大阪府大阪市阿倍野區長池町22番22號
	代表人 姓名 (中文)	1. 町田 勝彦
	代表人 姓名 (英文)	1. KATSUHIKO MACHIDA



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

日本 JP

1998/09/22 特願平10-268103

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

〔技術之領域〕

本發明與一種半導體裝置及其製造方法有關，詳言之、與具有以容量值不依靠施加電壓之金屬/金屬形成之電容器，並以構成配線之疊層膜同一材料、同一步驟形成之半導體裝置及其製造方法有關。

〔先前之技藝〕

近年來、高集成化之積體電路，使用具有各種構造之電容器。

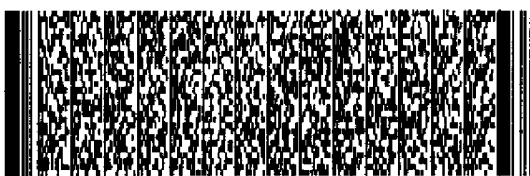
例如、可舉：具有形成於基板內擴散層與形成於基板上聚矽電極間夾持絕緣膜構造之電容器；具有上下部聚矽電極間夾持絕緣膜構造之電容器；具有上下部金屬電極間夾持絕緣膜構造之電容器等。

上述電容器中，因構成類比電路之電容器決定輸出訊號大小，故電容器之不均勻以輸出訊號之不均勻出現。因此、例如A-D/D-A變換器，為了避免工作錯誤希望容量值之施加電壓依靠性小之電容器構造。

擴散層與聚矽電極間夾持絕緣膜構造之電容器，在擴散層與基板間形成PN接合容量。該PN接合容量，因容量值之電壓依靠性高，故欲獲得不依靠施加電壓之電容器容量困難。

又、在上下部聚矽電極間夾持絕緣膜構造之電容器，為了降低聚矽製電極之電阻及電壓依靠係數，需以高濃度摻雜聚矽電極之濃度。

然而、隨著製造過程之簡化及裝置之細小化，聚矽之摻



五、發明說明 (2)

雜能與電晶體之源/汲區域形成用摻雜同時進行，更為抑制源/汲區域形成用不純物之擴散，縮短熱處理時間。因此、對聚矽電極之摻雜濃度亦降低，結果、有不能充分減低電極之電阻及電壓依靠係數之問題。

一方面、上下部金屬電極間夾持絕緣膜構造之電容器，因能獲得不依靠施加電壓之電容器，故特別對類比電容器有效。

例如、日本特開平5-129522號公報記載：如第4圖所示、以鋁構成電容器上部電極26、並以高熔點金屬構成下部電極22之金屬/金屬・電容器構造。又、茲為防止起因製造過程之熱處理之鋁製上部電極26形成小堆，在電容絕緣膜24之上部鋁電極側形成導電性保護膜25。

故、使用此種金屬/金屬・電容器構造，即可實現不僅可增進施加電壓依靠性，更能增進絕緣耐壓之有效電容器。

〔發明欲解決之課題〕

可是、使用如上述金屬/金屬・電容器構造，為簡化半導體裝置之製造過程，需以同一材料及同一步驟形成上部電極及下部電極與配線。

例如、通常積體電路使用之配線，由混金屬與鋁膜製疊層膜形成(參考特開平8-274172)。茲混金屬係以TiN/Ti層形成。Ti層具有還元金屬間氧化物以得良好之電連接之作用，而TiN層具有強化鋁之電徙動(因電流之金屬原子之移動)之作用。又、混金屬具有妨礙其下層形成之例如構成



五、發明說明 (3)

鎢插頭之鎢與其上層形成之鋁之直接接觸，防止鎢與鋁合金形成之作用。

惟第4圖所示電容器構造，係在具有元件分離膜21之半導體基板20上，經電容器下部電極22層之形成/形成圖案、層間絕緣膜23之形成/開口、導電性保護膜25及上部電極26層之形成/形成圖案之一連串過程形成。故、雖對配線並無任何記載，惟若形成配線時因配線僅能與上部電極26同一過程形成，致僅與電容器上部電極26同一材料構成，而有無法形成如通常之積體電路使用之疊層膜混金屬之問題。

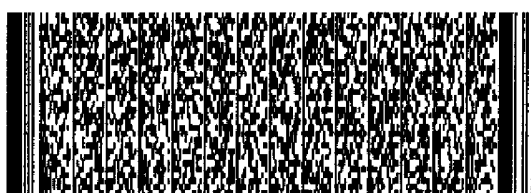
又、如上述第4圖所示電容器構造，必須分別進行電容器下部電極22形成用照相石版印刷過程與上部電極26形成用照相石版印刷過程，而有製造過程煩雜之問題。

發明之概述

〔解決課題之方法〕

依本發明所提供之半導體裝置，係在半導體基板上具有：電容器，由下部電極、容量絕緣膜及上部電極構成；及配線，由第1配線層及疊層在該第1配線層上之第2配線層構成，而前述下部電極與第1配線層由第1金屬層形成，且前述上部電極與第2配線層由第2金屬層形成，前述容量絕緣膜僅形成在下部電極上。

又、依本發明所提供之半導體裝置之製造方法，包含：
(i)在半導體基板上形成下部電極與構成第1配線層之第1金屬層，(ii)在前述第1金屬層上疊層絕緣膜，將該絕緣



五、發明說明 (4)

膜形成圖案以形成容量絕緣膜，(iii)覆蓋該容量絕緣膜所得基板上全面形成第2金屬層，(iv)形成一定形狀之抗蝕屏蔽，在用該抗蝕屏蔽僅蝕刻前述第1金屬層及第2金屬層之條件下，蝕刻前述第1金屬層及第2金屬層，以同時形成電容器與配線。

〔實施形態〕

本發明之半導體裝置，包含：電容器，形成在半導體基板上由下部電極、容量絕緣膜及上部電極構成；及配線，由第2配線層/第1配線層之疊層構造構成。電容器係將容量絕緣膜僅配設在下部電極上構成。又、電容器之下部電極與配線之第1配線層由第1金屬層形成，且電容器之上部電極與配線之第2配線層由第2金屬層形成。

本發明之半導體裝置之半導體基板，祇要通常形成半導體裝置時使用之基板並不特別加以限制，其材料可舉例如、矽、鍺等半導體、GaAs、InGaAs等化合物半導體等。又、此半導體基板在半導體基板表面具有第1及/或第2導電型不純物區域、元件分離膜等亦可，由MOS電晶體、電容器、電阻等元件、配線、絕緣膜等或由此等形成亦可。

電容器之下部電極，與構成配線之第1配線層一併由第1金屬層形成。第1金屬層祇要由導電性膜形成，其材料並不特別加以限制，惟通常可使用構成配線時之能成為混金屬之材料。第1配線層材料以例如、Ti、Ta、W、Mo等高熔點金屬之單層或2層以上之疊層膜為宜。又、祇要使用此等高熔點金屬形成，高熔點金屬之氮化膜或與矽化膜等之



五、發明說明 (5)

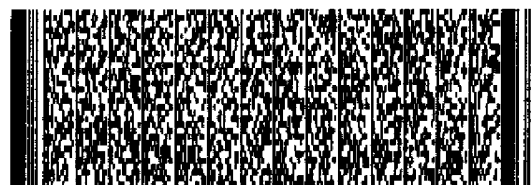
2層以上之疊層構造亦可。第1配線層材料之具體例可舉Ti、W、Mo、TiN、TiW、WSi、MoSi、TiSi、TiN/Ti、WSi/W、MoSi/Mo、TiSi/Ti、TiW/Ti、TiW/W等。第1配線層之膜厚雖未加以限制，惟可舉例如、約50nm~500nm。

用第1配線層形成下部電極時，下部電極之形狀並未特別限定，而可依半導體裝置之功能、施加於電容器之電壓大小等適宜選擇。

電容器之容量絕緣膜，係形成在下部電極上，其材料並未特別限定，祇要通常做為電容器絕緣膜使用者即可。例如、可舉SiO₂、SiN等電介質膜；PZT、PLZT等強電介質膜等單層膜或2層以上疊層膜。此等容量絕緣膜之膜厚雖未加以限制，惟可舉例如、約5nm~50nm。又、容量絕緣膜之大小雖未特別限定，惟至少以下部電極同等大小或小於下部電極為宜。

電容器之上部電極與構成配線之第2配線層一併由第2金屬層形成。第2金屬層祇要由導電性膜形成，其材料並不特別加以限制，惟以鋁系金屬為宜。具體而言、可舉鋁、AlCu、AlSi、AlCuSi等單層膜或2層以上疊層膜。第2配線層之膜厚雖未加以限制，惟可舉例如、約50nm~1500nm。

用第2配線層形成上部電極時，雖上部電極之形狀並未特別限定，而可依半導體裝置之功能、施加於電容器之電壓大小等適宜選擇，惟以具有比下部電極寬度例如小約1μm之寬度為宜。此乃因若上部電極之尺寸與下部電極之尺寸相同時，在蝕刻此等電極層時下部電極材料將附著於



五、發明說明 (6)

容量絕緣膜側壁，而成為電容器上部電極與下部電極之短路原因之故。又、因可確保照相石版印刷過程之對準邊際之故。

本發明之半導體裝置之配線，由第1配線層及其上形成之第2配線層構成。第1配線層及第2配線層之材料及膜厚如上述。

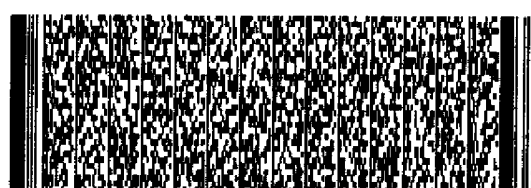
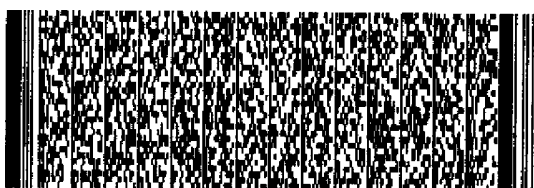
又、依本發明之半導體裝置之製造方法，步驟(i)在半導體基板上形成第1金屬層。第1金屬層之形成方法雖依使用材料而異，惟可舉例如、高熔點金屬之單層或2層以上疊層膜時，用高熔點金屬靶之濺射法、CVD法等。

步驟(ii)在第1金屬層上疊層絕緣膜。該絕緣膜形成在第1金屬層上略全面。絕緣膜之形成方法雖依使用材料而異，惟可舉例如矽烷氣與任意用氮氣之CVD法、溶膠-凝膠法等。

其次、將形成之絕緣膜形成圖案完成容量絕緣膜。此形成圖案係在僅蝕刻絕緣膜，而存在其下之第1金屬層幾乎不蝕刻之條件進行。此時形成圖案，可由照相石版印刷及蝕刻過程形成具有所需形狀之抗蝕圖案後，以用 CF_4 、 CHF_3 等乾蝕刻或氫氟酸、磷酸等之濕蝕刻法等實施。

步驟(iii)在略完全覆蓋容量絕緣膜所得基板上全面形成第2金屬層。第2金屬層之形成方法雖依使用材料而異，惟可舉例如用鋁或鋁系金屬靶之濺射法、CVD法等。

在步驟(iv)首先形成一定形狀之抗蝕屏蔽。該抗蝕屏蔽得以公知之照相石版印刷及蝕刻過程實施。抗蝕屏蔽之形



五、發明說明 (7)

狀，為形成上部電極及配線之第2配線層，以覆蓋此等形成區域之形狀為宜。

其次、用上述抗蝕屏蔽蝕刻第2金屬層、甚至第1金屬層。此蝕刻條件需選擇僅蝕刻第1金屬層及第2金屬層，而幾乎不蝕刻容量絕緣膜之條件。即、可舉第1金屬層及第2金屬層與容量絕緣膜之蝕刻比為約10~20:1之條件。

本發明由上述步驟(i)~步驟(iv)能以同一材料、同時形成電容器與配線。又、重覆上述步驟可形成2層以上之多層構造之半導體裝置。

以下、依圖說明本發明之半導體裝置及其製造方法之實施例。

實施例1

以第1圖表示本實施例之半導體裝置。

該半導體裝置係在形成元件分離膜2之矽基板1上具有閘絕緣膜、閘電極3、源/汲區域而成之MOS電晶體，並在該MOS電晶體上形成層間絕緣膜5。又、在源/汲區域4上之層間絕緣膜5形成接觸孔，將鎢插頭7埋設在該接觸孔。更在接觸插頭7上依次疊層第1金屬層即TiN/Ti之2層構造而成之下部電極8、SiO₂而成之容量絕緣膜9、第2金屬層即鋁製寬度比下部電極8及容量絕緣膜9窄之上部電極12，形成電容器。又、在其他接觸插頭7上形成由第1金屬層而成之第1配線層8b、與第2金屬層而成之第2配線層12b疊層而成之配線14。

又、在此等電容器及配線14上，藉層間絕緣膜15及鎢插



五、發明說明 (8)

頭16形成由第1金屬層而成之第1配線層17、與第2金屬層而成之第1配線層18疊層而成之配線19。

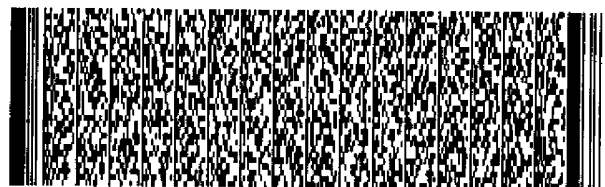
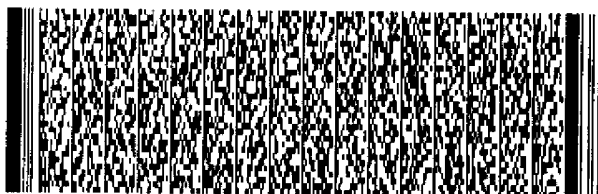
此種半導體裝置可製造如下。

首先、如第2(a)圖所示，在矽基板1上以部位(Locus)法形成具有300~500nm膜厚之元件分離膜2並制定有效區域。在有效區域形成閘絕緣膜、閘電極3、源/汲區域4而成之MOS電晶體。在MOS電晶體上全面以CVD法形成膜厚約700~1000nm之層間絕緣膜5，以CMP使層間絕緣膜5表面平坦。其次、為了以電連接源/汲區域4，在源/汲區域4上之層間絕緣膜5用照相石版印刷及蝕刻過程形成接觸孔6。接著、將鎢插頭7埋設在接觸孔6內。又、茲將鎢插頭7直接埋進接觸孔6內，惟先以TiN/Ti膜覆蓋接觸孔6內後，埋設鎢插頭7亦可。

其次、在含接觸孔6上之層間絕緣膜5上全面，以濺射法形成電容器下部電極及配線之第1配線層之高熔點金屬製第1金屬層8a。此第1金屬層8a由TiN/Ti之2層構造，從矽基板1依Ti、TiN之順序形成。又、TiN/Ti之膜厚形成TiN/Ti=70~130nm/40~80nm以確保均一性。

又、TiN/Ti做為混金屬使用，Ti層還元金屬間之氧化物以得良好之電連接，而TiN強化鋁與電徙動耐性。又、TiN/Ti避免構成鎢插頭7之鎢與後述構成第2金屬層之鋁之直接接觸，防止鎢與鋁之合金之形成。

其次、在第1金屬層8a上全面，以TEOS等離子CVD(~400℃)法形成每單位面積容量值目標為 $1.5 \times 10^{-15} \text{F}/\mu\text{m}^2$ 時膜



五、發明說明 (9)

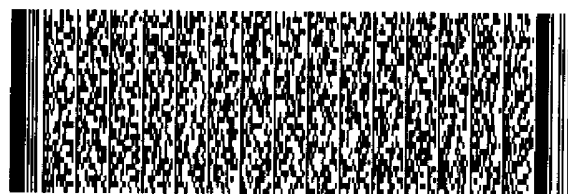
厚約23nm之電容器容量絕緣膜。

接著、如第2(b)圖所示，在絕緣膜9a上形成具有所希形狀之抗蝕圖案10，將該抗蝕圖案10做為屏蔽使用，蝕刻絕緣膜9a以形成電容器之容量絕緣膜9。又、此時之蝕刻氣體為 CF_4 與 CHF_3 之混合氣。

其次、如第2(c)圖所示，在第1金屬層8a上全面，以濺射法形成膜厚400~600nm之鋁製第2金屬層12a。第2金屬層12a在後步驟被形成圖案於電容器上部電極及配線之第2配線層12b。其次、在第2金屬層12a上形成所希形狀之抗蝕圖案13。

然後、如第2(d)圖所示，將抗蝕圖案13做為屏蔽使用，以僅蝕刻第2金屬層12a與第1金屬層8a之條件，將此等蝕刻並將電容器上部電極12及配線之第2配線層12b同時形成圖案，更將電容器下部電極8及配線之第1配線層8b同時形成圖案。因此、能同時形成電容器與配線14。又、此時之蝕刻條件係使用 BCl_3 與 Cl_2 之混合氣(1:1)、動力400W、壓力80~120mtorr。又、因為此條件之鋁製第2金屬層12a與 SiO_2 而成之容量絕緣膜9之蝕刻比為10:1，故容量絕緣膜9幾乎不被蝕刻。故、可將容量絕緣膜9做為其下存在之電容器下部電極8之屏蔽使用。又、此時對下部電極之約50 μm 寬度，使上部電極寬度縮窄至約49 μm 。

更如第1圖所示，全面以TEOS系等離子CVD法形成700nm~1000nm膜厚之層間絕緣膜15，以CMP使層間絕緣膜15表面平坦，以照相石版印刷過程將接觸孔形成在電容器上部電極12及配線之第2配線層12b上之層間絕緣膜15。其次將鈎



五、發明說明 (10)

插頭16埋設於接觸孔，與上述同樣形成由第1層17與第2層18構成之配線19。

實施例2

第3圖表示本實施例之半導體裝置。本實施例除沿C1~C3之3層形成電容器及配線之具有3層配線構造之處外，實質上其構造與實施例1之2層配線構造之半導體裝置相同。

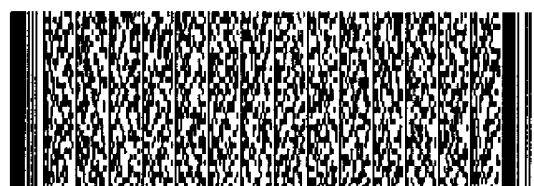
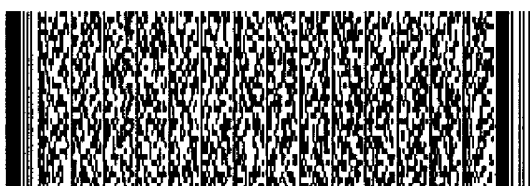
又、第3圖所示半導體裝置，實質上重覆實施例1同樣之方法即可製造。

〔發明之效果〕

依本發明之半導體裝置，分別能以同一材料形成電容器下部電極與配線之第1配線層、電容器上部電極與配線之第2配線層，而可提供更廉價之半導體裝置。尤其、因第1金屬層使用高熔點金屬時，可將具有配線之混金屬功能之膜做為第1配線層形成，故可避免配線部之第1配線層下層之接觸插頭與第1配線層上層金屬接觸之不良反應，而形成信賴性更高之配線。

又、將電容器上部電極寬度形成比下部電極寬度小時，可防止電容器上部電極與下部電極之短路，並能確保後過程之照相石版印刷過程之對準邊際。

又、依本發明之半導體裝置之製造方法，因能以同一材料、同時形成/形成圖案：電容器下部電極與配線之第1配線層、電容器上部電極與配線之第2配線層，故無需因形成電容器與配線雙方而追加特別之步驟，而能更簡化製造



五、發明說明 (11)

過程。故、能以更低之製造成本生產信賴性更高之半導體裝置。

〔圖式之簡單說明〕

第1圖係依照本發明之半導體裝置之實施例要部概略斷面圖。

第2(a~d)圖係說明本發明之半導體裝置製造方法要部概略斷面製造步驟圖。

第3圖係本發明之半導體裝置之其他實施例要部概略斷面圖。

第4圖係先前之半導體裝置之要部概略斷面圖。

〔圖號說明〕

- | | |
|-------|-------|
| 1 | 矽基板 |
| 2 | 元件分離膜 |
| 3 | 閘電極 |
| 4 | 源/汲區域 |
| 5、15 | 層間絕緣膜 |
| 6 | 接觸孔 |
| 7、16 | 鎢插頭 |
| 8 | 下部電極 |
| 8a | 第1金屬層 |
| 8b、17 | 第1配線層 |
| 9 | 容量絕緣膜 |
| 9a | 第2金屬層 |
| 10、13 | 抗蝕模式 |



五、發明說明 (12)

12 上部電極
12a 第2金屬層
12b、18 第2配線層
14、19 配線



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

其課題為：以同一材料、同一步驟同時製造電容器與配線，俾簡化製造過程、甚至降低製造成本為目的。

其解決方法為：半導體基板上具有：電容器，由下部電極、容量絕緣膜及上部電極構成；及配線，由第1配線層及疊層在該第1配線層上之第2配線層構成，而前述下部電極與第1配線層由第1金屬層形成，且前述上部電極與第2配線層由第2金屬層形成，前述容量絕緣膜僅形成在下部電極上。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

A semiconductor device includes a capacitor and an interconnect layer disposed on a semiconductor substrate. The capacitor is formed of a bottom electrode, a capacitor dielectric film and a top electrode. The interconnect layer is formed of a first interconnect layer and a second interconnect layer laminated on the first interconnect layer. The bottom electrode and the first interconnect layer are formed of a first metal layer. The top electrode and the second interconnect layer are



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF)

formed of a second metal layer. The capacitor dielectric film is formed only on the bottom electrode.



六、申請專利範圍

1. 一種半導體裝置，其特徵為：半導體基板上具有：電容器，由下部電極、容量絕緣膜及上部電極構成；及配線，由第1層及疊層在該第1層上之第2層構成；

前述下部電極與第1層由第1金屬層形成，且前述上部電極與第2層由第2金屬層形成，前述容量絕緣膜僅形成在下部電極上。

2. 如申請專利範圍第1項之半導體裝置，其中第1金屬層用高熔點金屬形成，而第2金屬層用鋁系金屬形成。

3. 如申請專利範圍第1項之半導體裝置，其中上部電極形成比下部電極為小。

4. 如申請專利範圍第1項之半導體裝置，其中上部電極之面積形成比容量絕緣膜之面積為小。

5. 一種半導體裝置之製造方法，該半導體裝置係如申請專利範圍第1項所揭示者，其中

(i) 在半導體基板上形成下部電極與構成第1層之第1金屬層，

(ii) 在前述第1金屬層上疊層絕緣膜，將該絕緣膜形成圖案以形成容量絕緣膜，

(iii) 覆蓋該容量絕緣膜所得基板上全面形成第2金屬層，

(iv) 形成一定形狀之抗蝕屏蔽，在用該抗蝕屏蔽僅蝕刻前述第1金屬層及第2金屬層之條件下，蝕刻前述第1金屬層及第2金屬層，以同時形成電容器與配線。

6. 如申請專利範圍第5項之半導體裝置之製造方法，其



六、申請專利範圍

中用高熔點金屬形成第1金屬層，用鋁系金屬形成第2金屬層。



圖式

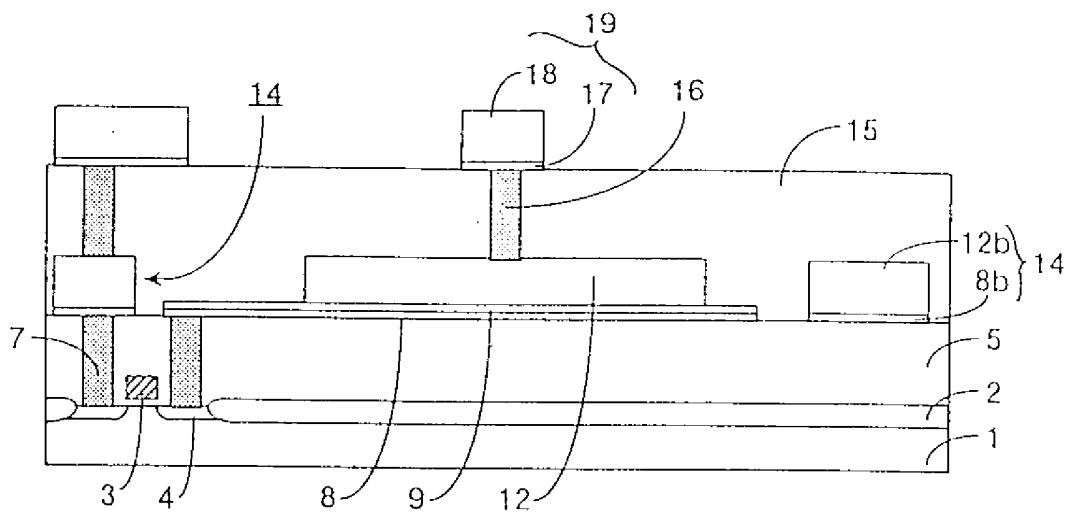


圖 1

圖式

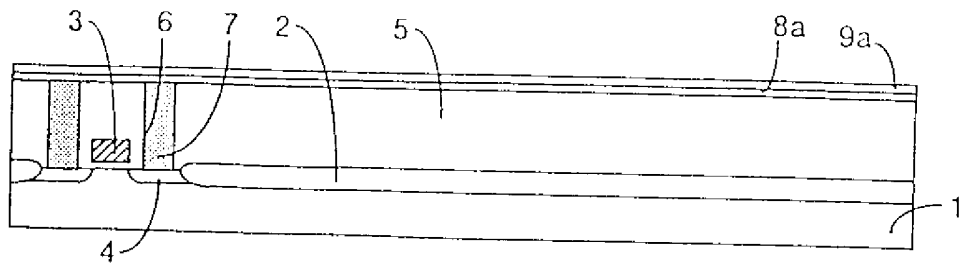


圖 2(a)

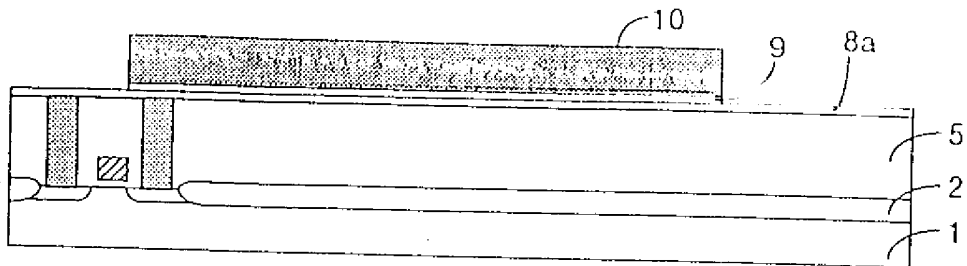


圖 2(b)

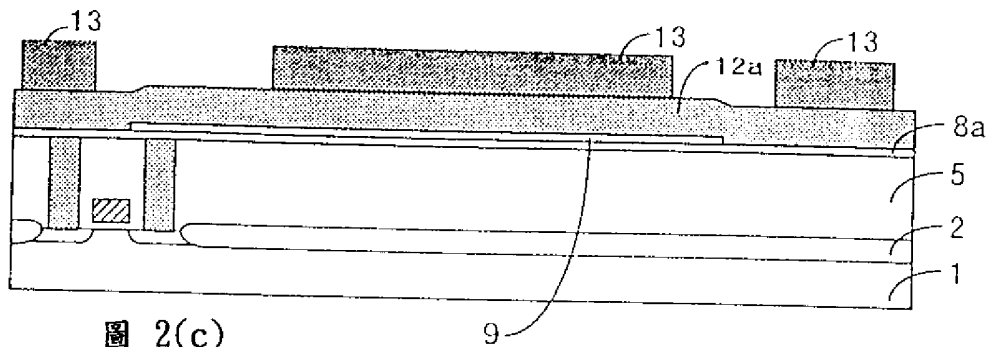


圖 2(c)

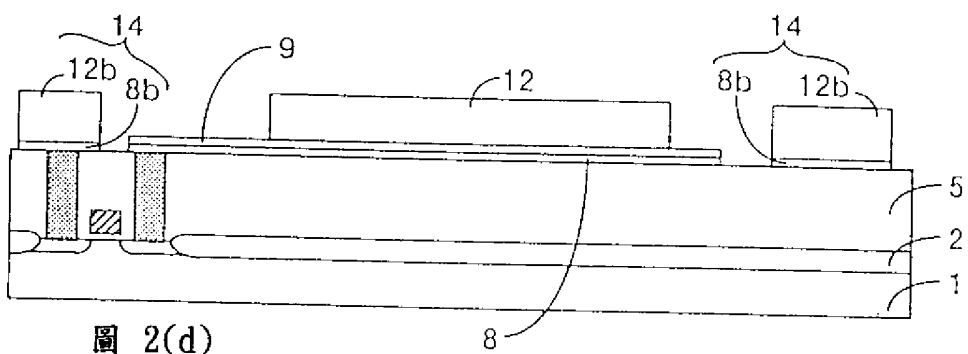


圖 2(d)

圖式

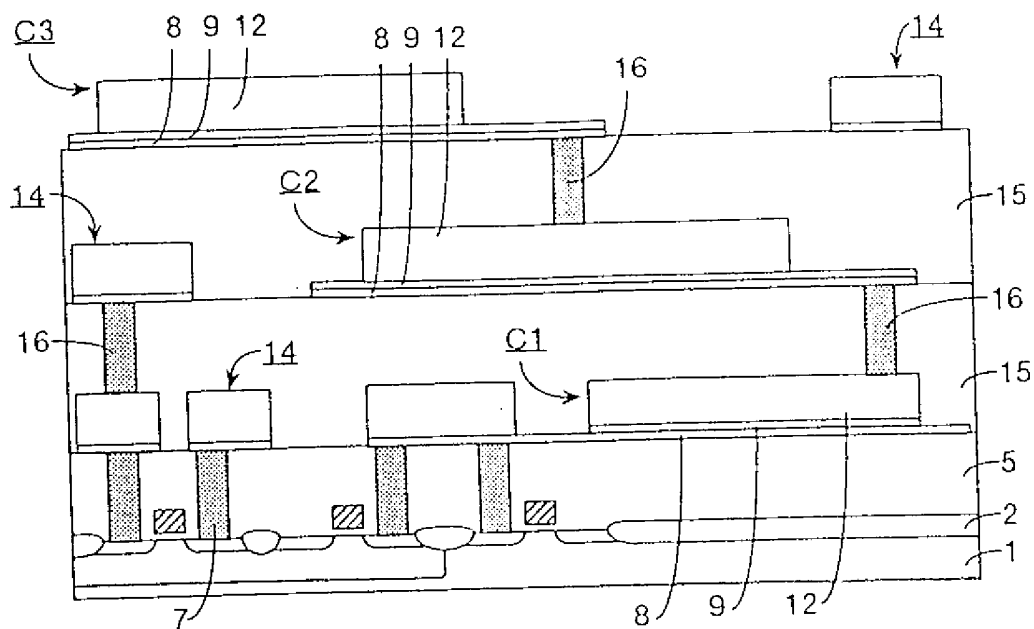


圖 3

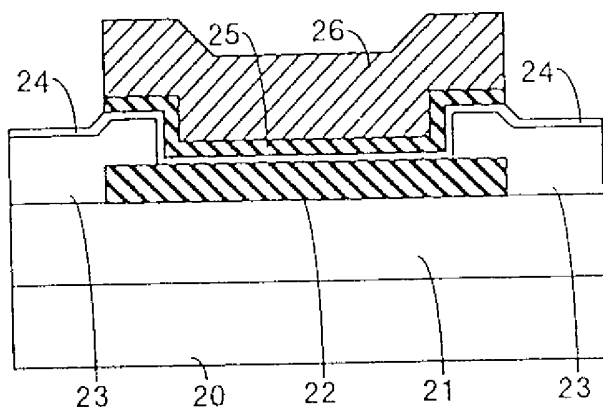


圖 4 (先前技藝)

五、發明說明 (8)

頭16形成由第1金屬層而成之第1配線層17、與第2金屬層而成之第1配線層18疊層而成之配線19。

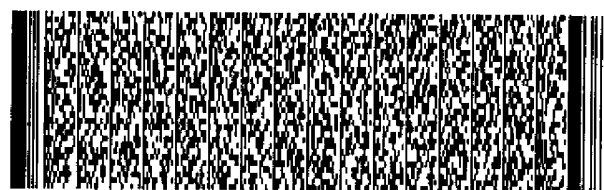
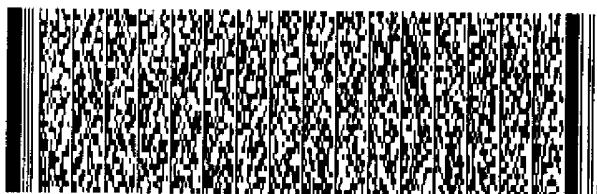
此種半導體裝置可製造如下。

首先、如第2(a)圖所示，在矽基板1上以部位(Locus)法形成具有300~500nm膜厚之元件分離膜2並制定有效區域。在有效區域形成閘絕緣膜、閘電極3、源/汲區域4而成之MOS電晶體。在MOS電晶體上全面以CVD法形成膜厚約700~1000nm之層間絕緣膜5，以CMP使層間絕緣膜5表面平坦。其次、為了以電連接源/汲區域4，在源/汲區域4上之層間絕緣膜5用照相石版印刷及蝕刻過程形成接觸孔6。接著、將鎢插頭7埋設在接觸孔6內。又、茲將鎢插頭7直接埋進接觸孔6內，惟先以TiN/Ti膜覆蓋接觸孔6內後，埋設鎢插頭7亦可。

其次、在含接觸孔6上之層間絕緣膜5上全面，以濺射法形成電容器下部電極及配線之第1配線層之高熔點金屬製第1金屬層8a。此第1金屬層8a由TiN/Ti之2層構造，從矽基板1依Ti、TiN之順序形成。又、TiN/Ti之膜厚形成TiN/Ti=70~130nm/40~80nm以確保均一性。

又、TiN/Ti做為混金屬使用，Ti層還元金屬間之氧化物以得良好之電連接，而TiN強化鋁與電徙動耐性。又、TiN/Ti避免構成鎢插頭7之鎢與後述構成第2金屬層之鋁之直接接觸，防止鎢與鋁之合金之形成。

其次、在第1金屬層8a上全面，以TEOS等離子CVD(~400℃)法形成每單位面積容量值目標為 $1.5 \times 10^{-15} \text{F}/\mu\text{m}^2$ 時膜



五、發明說明 (9)

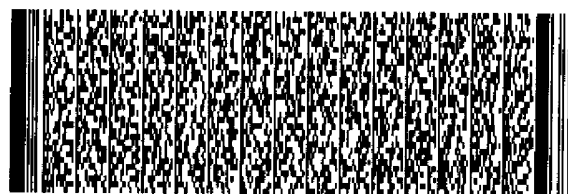
厚約23nm之電容器容量絕緣膜。

接著、如第2(b)圖所示，在絕緣膜9a上形成具有所希形狀之抗蝕圖案10，將該抗蝕圖案10做為屏蔽使用，蝕刻絕緣膜9a以形成電容器之容量絕緣膜9。又、此時之蝕刻氣體為 CF_4 與 CHF_3 之混合氣。

其次、如第2(c)圖所示，在第1金屬層8a上全面，以濺射法形成膜厚400~600nm之鋁製第2金屬層12a。第2金屬層12a在後步驟被形成圖案於電容器上部電極及配線之第2配線層12b。其次、在第2金屬層12a上形成所希形狀之抗蝕圖案13。

然後、如第2(d)圖所示，將抗蝕圖案13做為屏蔽使用，以僅蝕刻第2金屬層12a與第1金屬層8a之條件，將此等蝕刻並將電容器上部電極12及配線之第2配線層12b同時形成圖案，更將電容器下部電極8及配線之第1配線層8b同時形成圖案。因此、能同時形成電容器與配線14。又、此時之蝕刻條件係使用 BCl_3 與 Cl_2 之混合氣(1:1)、動力400W、壓力80~120mtorr。又、因為此條件之鋁製第2金屬層12a與 SiO_2 而成之容量絕緣膜9之蝕刻比為10:1，故容量絕緣膜9幾乎不被蝕刻。故、可將容量絕緣膜9做為其下存在之電容器下部電極8之屏蔽使用。又、此時對下部電極之約50 μm 寬度，使上部電極寬度縮窄至約49 μm 。

更如第1圖所示，全面以TEOS系等離子CVD法形成700nm~1000nm膜厚之層間絕緣膜15，以CMP使層間絕緣膜15表面平坦，以照相石版印刷過程將接觸孔形成在電容器上部電極12及配線之第2配線層12b上之層間絕緣膜15。其次將鈎



五、發明說明 (10)

插頭16埋設於接觸孔，與上述同樣形成由第1層17與第2層18構成之配線19。

實施例2

第3圖表示本實施例之半導體裝置。本實施例除沿C1~C3之3層形成電容器及配線之具有3層配線構造之處外，實質上其構造與實施例1之2層配線構造之半導體裝置相同。

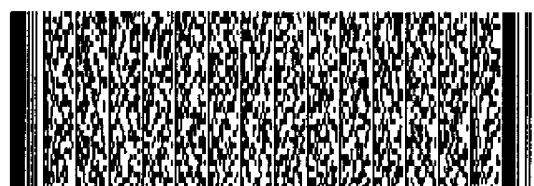
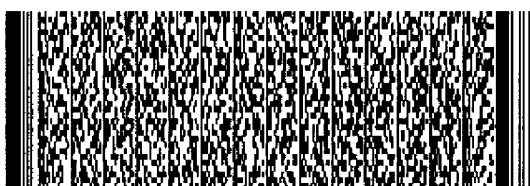
又、第3圖所示半導體裝置，實質上重覆實施例1同樣之方法即可製造。

〔發明之效果〕

依本發明之半導體裝置，分別能以同一材料形成電容器下部電極與配線之第1配線層、電容器上部電極與配線之第2配線層，而可提供更廉價之半導體裝置。尤其、因第1金屬層使用高熔點金屬時，可將具有配線之混金屬功能之膜做為第1配線層形成，故可避免配線部之第1配線層下層之接觸插頭與第1配線層上層金屬接觸之不良反應，而形成信賴性更高之配線。

又、將電容器上部電極寬度形成比下部電極寬度小時，可防止電容器上部電極與下部電極之短路，並能確保後過程之照相石版印刷過程之對準邊際。

又、依本發明之半導體裝置之製造方法，因能以同一材料、同時形成/形成圖案：電容器下部電極與配線之第1配線層、電容器上部電極與配線之第2配線層，故無需因形成電容器與配線雙方而追加特別之步驟，而能更簡化製造



六、申請專利範圍

1. 一種半導體裝置，其特徵為：半導體基板上具有：電容器，由下部電極、容量絕緣膜及上部電極構成；及配線，由第1層及疊層在該第1層上之第2層構成；

前述下部電極與第1層由第1金屬層形成，且前述上部電極與第2層由第2金屬層形成，前述容量絕緣膜僅形成在下部電極上。

2. 如申請專利範圍第1項之半導體裝置，其中第1金屬層用高熔點金屬形成，而第2金屬層用鋁系金屬形成。

3. 如申請專利範圍第1項之半導體裝置，其中上部電極形成比下部電極為小。

4. 如申請專利範圍第1項之半導體裝置，其中上部電極之面積形成比容量絕緣膜之面積為小。

5. 一種半導體裝置之製造方法，該半導體裝置係如申請專利範圍第1項所揭示者，其中

(i) 在半導體基板上形成下部電極與構成第1層之第1金屬層，

(ii) 在前述第1金屬層上疊層絕緣膜，將該絕緣膜形成圖案以形成容量絕緣膜，

(iii) 覆蓋該容量絕緣膜所得基板上全面形成第2金屬層，

(iv) 形成一定形狀之抗蝕屏蔽，在用該抗蝕屏蔽僅蝕刻前述第1金屬層及第2金屬層之條件下，蝕刻前述第1金屬層及第2金屬層，以同時形成電容器與配線。

6. 如申請專利範圍第5項之半導體裝置之製造方法，其



六、申請專利範圍

中用高熔點金屬形成第1金屬層，用鋁系金屬形成第2金屬層。

