(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201230284 A1
(43)公開日： 中華民國 101 (2012) 年 07 月 16 日

(21)申請案號：100144086 (22)申請日： 中華民國 100 (2011) 年 12 月 01 日
(51)Int. Cl.： *H01L23/552 (2006.01)* *H01L23/60 (2006.01)*
H01L23/488 (2006.01) *H01L21/58 (2006.01)*
(30)優先權：2010/12/02 南韓 10-2010-0122012
(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓
(72)發明人：金容勳 KIM, YONG-HOON (KR) ；李稀石 LEE, HEE-SEOK (KR) ；辛成浩 SHIN, SEONG-HO (KR) ；俞世浩 YOU, SE-HO (KR) ；李允熙 LEE, YUN-HEE (KR)
(74)代理人：詹銘文
申請實體審查：無 申請專利範圍項數：44 項 圖式數：8 共 64 頁

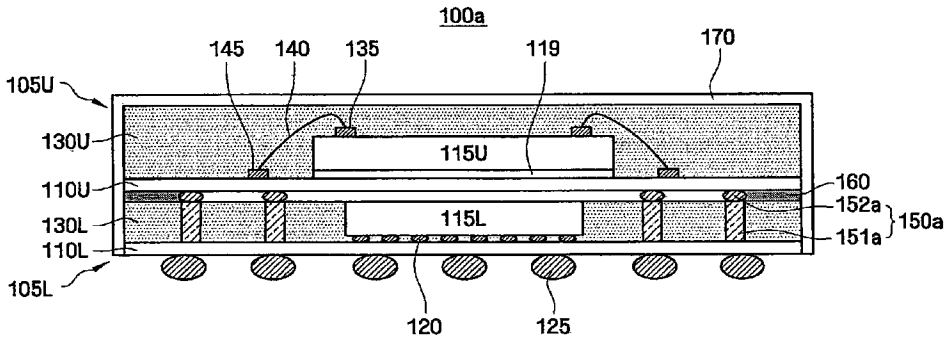
(54)名稱

堆疊的封裝結構、封裝層疊裝置及其製造方法

STACKED PACKAGE STRUCTURE, PACKAGE-ON-PACKAGE DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

提供一種堆疊的封裝結構。堆疊的封裝結構包含：堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。



100a：堆疊的封裝結構
105L：下部半導體封裝
105U：上部半導體封裝
110L：下部封裝基板
110U：上部封裝基板
115L：下部半導體晶片
115U：上部半導體晶片/第一上部半導體晶片
119：絕緣黏著劑
120：傳導性晶片凸塊
125：傳導性焊球

130L：下部模製化合物

130U：上部模製化合物

135：晶片墊

140：導線

145：線結合墊

150a：封裝間連接部分/封裝間連接導體

151a：部分/下部導體

152a：上部導體

160：絕緣層

170：屏蔽層/電磁屏蔽層

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201230284 A1
(43)公開日： 中華民國 101 (2012) 年 07 月 16 日

(21)申請案號：100144086 (22)申請日： 中華民國 100 (2011) 年 12 月 01 日
(51)Int. Cl.： *H01L23/552 (2006.01)* *H01L23/60 (2006.01)*
H01L23/488 (2006.01) *H01L21/58 (2006.01)*
(30)優先權：2010/12/02 南韓 10-2010-0122012
(71)申請人：三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓
(72)發明人：金容勳 KIM, YONG-HOON (KR) ；李稀石 LEE, HEE-SEOK (KR) ；辛成浩 SHIN, SEONG-HO (KR) ；俞世浩 YOU, SE-HO (KR) ；李允熙 LEE, YUN-HEE (KR)
(74)代理人：詹銘文
申請實體審查：無 申請專利範圍項數：44 項 圖式數：8 共 64 頁

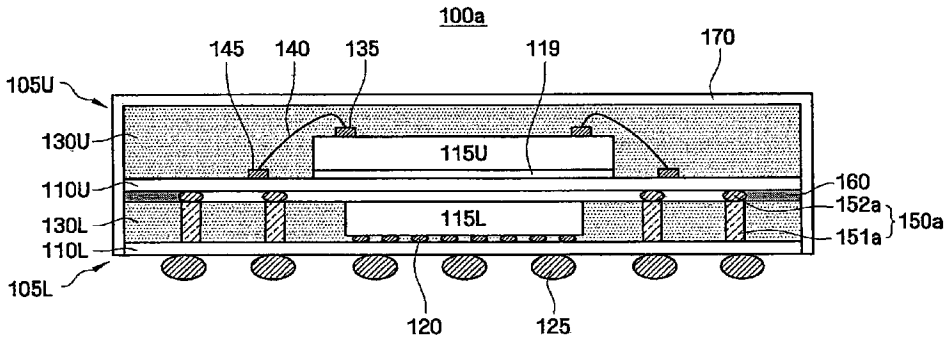
(54)名稱

堆疊的封裝結構、封裝層疊裝置及其製造方法

STACKED PACKAGE STRUCTURE, PACKAGE-ON-PACKAGE DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)摘要

提供一種堆疊的封裝結構。堆疊的封裝結構包含：堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。



100a：堆疊的封裝結構
105L：下部半導體封裝
105U：上部半導體封裝
110L：下部封裝基板
110U：上部封裝基板
115L：下部半導體晶片
115U：上部半導體晶片/第一上部半導體晶片
119：絕緣黏著劑
120：傳導性晶片凸塊
125：傳導性焊球

六、發明說明：

【對相關申請案之對照參考】

本申請案主張2010年12月2日在韓國智慧產權局申請之韓國專利申請案第10-2010-0122012號之優先權以及在35 U.S.C. 119下自其產生之所有權利，此案之全部內容以引用的方式併入本文中。

【發明所屬之技術領域】

本揭露內容是關於一種堆疊的封裝結構。

【先前技術】

半導體封裝被日益開發以滿足包含多功能、高容量、緊密性以及小尺寸之要求。為了跟上發展，已提出系統級封裝（system in package；SIP），其中將多個半導體封裝整合為一單一半導體封裝，從而實現高容量以及多功能，同時顯著地減小半導體封裝之尺寸。

SIP之一技術為垂直地堆疊經個別組裝且已經歷電測試之半導體封裝。此被稱作封裝層疊（package-on-package；POP）或堆疊的封裝。

在堆疊的封裝中，由於多個半導體封裝嵌入至單一電子裝置中，因此在半導體封裝之間可能產生電磁干擾（electromagnetic interference；EMI），因此使電子裝置之總體效能降級且引起電子裝置之故障。

【發明內容】

本揭露內容提供一種堆疊的封裝結構，其可藉由有效地抑制自堆疊的封裝所產生之電磁波使電磁干擾（EMI）

最小化。

本揭露內容之以上以及其他目標將在較佳實施例之以下描述中描述或因較佳實施例之以下描述而顯而易見。

根據一實施例，提供一種堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝，同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。

根據另一實施例，提供一種堆疊的封裝結構，堆疊的封裝結構包含：下部半導體封裝，其包含下部封裝基板、形成於下部封裝基板之頂表面上的下部半導體晶片，以及至少包圍下部半導體晶片之側表面的下部模製化合物；上部半導體封裝，其包含上部封裝基板，以及形成於上部封裝基板之頂表面上的上部半導體晶片，所述上部半導體晶片安置於下部半導體封裝上使得上部封裝基板之底表面與下部模製化合物間隔開預定距離；封裝間連接部分，其自下部封裝基板之頂表面延伸穿過下部模製化合物，且將下部封裝基板之頂表面連接至上部封裝基板之底表面；絕緣層，其至少安置於封裝間連接部分之外部且填充上部封裝基板之底表面與下部模製化合物之間的空間；以及電磁屏蔽層，其包圍包含下部半導體封裝、上部半導體封裝、封

裝間連接部分以及絕緣層的結構之側表面以及頂表面。

根據另一實施例，揭露一種封裝層疊裝置。封裝層疊裝置包含：下部封裝，其至少包含堆疊於下部封裝基板上之第一下部半導體晶片；上部封裝，其至少包含堆疊於上部封裝基板上之第一上部半導體晶片；多個連接導體，其安置於上部封裝基板與下部封裝基板之間，此多個連接導體包圍第一下部半導體晶片之側面，且此多個連接導體中之每一連接導體至少自下部封裝基板之頂表面延伸至上部封裝基板之底表面以將上部封裝實體且電連接至下部封裝；絕緣層，其經安置以側向地包圍安置有此多個連接導體之區域；以及電磁屏蔽層，其包圍封裝層疊裝置之側表面以及頂表面。

根據另一實施例，揭露一種封裝層疊裝置。封裝層疊裝置包含：下部封裝，其至少包含堆疊於下部封裝基板上之第一下部半導體晶片；上部封裝，其至少包含堆疊於上部封裝基板上之第一上部半導體晶片；多個連接導體，其安置於上部封裝基板與下部封裝基板之間，此多個連接導體水平地包圍第一下部半導體晶片，且此多個連接導體中之每一連接導體至少自下部封裝基板之頂表面延伸至上部封裝基板之底表面以將上部封裝實體且電連接至下部封裝；絕緣層，其經安置以水平地包圍安置有此多個連接導體之區域；以及電磁屏蔽層，其覆蓋封裝層疊裝置之側表面且接觸絕緣層。

根據另一實施例，揭露一種形成封裝層疊裝置之方

法。方法包含：形成下部封裝，其至少包含堆疊於下部封裝基板上之第一下部半導體晶片以及包圍第一下部半導體晶片之側面的下部模製部分；在下部模製部分中形成多個開口；形成上部封裝，其至少包含堆疊於上部封裝基板上之第一上部半導體晶片；分別在此多個開口中形成多個第一導體；將上部封裝堆疊於下部封裝上，使得包含此多個第一導體之多個連接導體分別安置於上部封裝基板與下部封裝基板之間，此多個連接導體安置於包圍第一下部半導體晶片之側面的區域中，且其中此多個連接導體中之每一連接導體至少自下部封裝基板之頂表面延伸至上部封裝基板之底表面以將上部封裝實體且電連接至下部封裝；形成絕緣層以側向地包圍安置有此多個連接導體之區域；以及形成電磁屏蔽層以包圍封裝層疊裝置之側表面以及頂表面。

藉由參看所附圖式詳細描述本揭露內容之各種實施例，本揭露內容之以上以及其他特徵與優點將變得更顯而易見。

【實施方式】

現將在下文參看展示各種實施例的隨附圖式更充分地描述本揭露內容。然而，本發明可按不同形式體現且不應被解釋為限於本文中所闡述之實施例。在附圖中，為了清晰起見，層以及區域之厚度被誇示。

亦應理解，當層、元件或基板被稱作“在另一層、元件或基板上”、“在另一層、元件或基板上方”、“在另

一層、元件或基板下方”、“連接至”或“耦接至”另一層、元件或基板時，其可直接在另一層、元件或基板上、上方、下方、直接連接至或耦接至另一層、元件或基板，或亦可存在介入層、元件或基板。對比而言，當元件被稱作“直接在另一元件上”、“直接在另一元件上方”、“直接在另一元件下方”、“直接連接至”或“直接耦接至”另一元件時，不存在介入元件。然而，如本文中所使用，術語“接觸”暗示直接接觸，除非另有指示。

如本文中所使用，單數形式“一”以及“所述”意欲亦包含複數形式，除非上下文另有清晰指示。應進一步理解，術語“包括”或“包含”在於此說明書中使用時指所陳述特徵、區域、整體、步驟、操作、元件及/或組件之存在，且並不排除一或多個其他特徵、區域、整體、步驟、操作、元件、組件及/或其群組之存在或添加。

將藉由理想示意圖參照平面圖及/或橫截面圖描述本文中所描述之實施例。因此，例示性視圖可根據製造技術及/或容許度而變化。因此，所揭露之實施例並不限於視圖中所展示之實施例，而包含以製造程序為基礎所形成的修改組態。因此，在圖中所例示之區域具有示意性性質，且圖中所展示的區域之形狀例示元件之區域的特定形狀，且特定性質以及形狀不限制本發明之態樣。

如本文中所使用的諸如“相同”、“平坦”或“共平面”之術語在指代定向、佈局、位置、形狀、尺寸、量或其他量度時未必意謂精確相同的定向、佈局、位置、形狀、

尺寸、量或其他量度，而意欲包含（例如）歸因於製造程序而可能發生之可接受變化內的幾乎相同的定向、佈局、位置、形狀、尺寸、量或其他量度。

為了易於描述，諸如“在.....下”、“在.....下方”、“下部”、“在.....上方”、“上部”以及其類似者之空間相對術語可在本文中用以描述如在圖中所說明的一元件或特徵與另一（多個）元件或特徵之關係。應理解，此等空間相對術語意欲包含除了圖中所描繪之定向之外的在使用或操作中的裝置之不同定向。舉例而言，若翻轉圖中之裝置，則描述為“在其他元件或特徵下方”或“在其他元件或特徵下”之元件將定向為“在其他元件或特徵上方”。因此，例示性術語“在.....下方”可包含“在.....上方”以及“在.....下方”之兩個定向。裝置可以其他方示定向（旋轉90度或按其他定向），且相應地解譯本文中所使用之空間相對描述詞。

應理解，儘管術語第一、第二等可在本文中用以描述各種元件，但此等元件不應受此等術語限制。除非另有指示，否則此等術語僅用以將一元件與另一者區分開。舉例而言，在不脫離本揭露內容之教示的情況下，可將第一晶片稱作第二晶片，且類似地，可將第二晶片稱作第一晶片。

除非另有定義，否則本文中所使用之所有術語（包含技術以及科學術語）具有與由一般熟習本揭露內容所屬技術者通常理解之含義相同的含義。應進一步理解，諸如在普通使用之詞典中所定義之術語的術語應解譯為具有與其

在相關技術及/或本申請案之情況下的含義一致之含義，且不應按理想化或過於形式化的意義來解譯，除非本文中明確地如此定義。

下文，將參看圖 1 以及圖 2A 至圖 2F 描述根據第一實施例之堆疊的封裝結構以及其修改實例。圖 1 為說明在根據某些實施例之堆疊的封裝結構中所包含的下部封裝以及封裝間連接部分之平面圖，且圖 2A 至圖 2F 為說明根據第一實施例以及其修改實例之堆疊的封裝結構的橫截面圖。圖 2A 至圖 2F 中所展示之堆疊的封裝結構包含具有相同組態（除了每一封裝間連接部分外）之下部以及上部封裝。因此，在以下描述中，將首先參看圖 1 以及圖 2A 描述根據第一實施例之堆疊的封裝結構，且接著將詳細描述在圖 2B 至圖 2F 中所展示的根據第一實施例之修改實例之堆疊的封裝結構，其強調與根據第一實施例之堆疊的封裝結構之差異（亦即封裝間連接部分），且將不提供其他組件之描述。

參看圖 1 以及圖 2A，根據第一實施例之堆疊的封裝結構 100a 包含：下部半導體封裝 105L；上部半導體封裝 105U，其安置於下部半導體封裝 105L 上，與下部半導體封裝 105L 間隔開預定距離；封裝間連接部分 150a，其電連接下部半導體封裝 105L 與上部半導體封裝 105U，同時支撐其間之空間；絕緣層 160，其安置於封裝間連接部分 150a 之外部且填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間；以及屏蔽層 170，其包圍包含前述組

件（亦即，下部半導體封裝 105L、上部半導體封裝 105U、封裝間連接部分 150a 以及絕緣層 160）的結構之側表面以及頂表面。在以下描述中，為了方便解釋，包含下部半導體封裝 105L、上部半導體封裝 105U、封裝間連接部分 150a 以及絕緣層 160 之結構（排除屏蔽層 170）將被稱作堆疊的封裝，且包含堆疊的封裝以及屏蔽層 170 之結構將被稱作堆疊的封裝結構或封裝層疊裝置。

下部半導體封裝 105L 包含下部封裝基板 110L、形成於下部封裝基板 110L 之頂表面上的下部半導體晶片 115L、下部模製化合物 130L，以及形成於下部封裝基板 110L 之底表面上的傳導性焊球 125。

下部封裝基板 110L 可為用於封裝之基板（亦即，封裝基板），例如，印刷電路板或陶瓷板。

下部半導體晶片 115L 可為諸如微處理器之邏輯裝置。可藉由覆晶結合將下部半導體晶片 115L 安裝於下部封裝基板 110L 上。因此，將多個傳導性晶片凸塊 120 安置於下部封裝基板 110L 與下部半導體晶片 115L 之間以電連接下部封裝基板 110L 與下部半導體晶片 115L。傳導性晶片凸塊 120 可藉由焊接製程形成。儘管僅展示一個下部半導體晶片 115L，但下部半導體封裝 105L 可包含配置於堆疊中且包含第一、第二等晶片之多個半導體晶片。晶片中之一或多者可為邏輯晶片，且晶片中之一或多者可為另一類型之晶片，諸如記憶體晶片。某些晶片可具有組合式邏輯（combined logic）以及記憶體儲存功能性。

下部模製化合物130L可在下部封裝基板110L之頂表面上形成模製層，且可形成以包圍下部半導體晶片 115L之側表面，同時填充下部半導體晶片 115L 與下部封裝基板110L之間的空間。另外，下部模製化合物130L包圍稍後將描述的封裝間連接部分150a之一部分（151a）的側表面，此部分延伸穿過下部模製化合物130L。下部模製化合物 130L 可包含環氧樹脂模製化合物（epoxy molding compound；EMC）或聚醯亞胺。

在此實施例中，下部模製化合物 130L 具有實質上與下部半導體晶片 115L 之高度相同或小於下部半導體晶片115L之高度的高度，因此暴露下部半導體晶片 115L 之頂表面。如上文所述，在下部半導體晶片 115L 之頂表面暴露至下部模製化合物 130L 之外部的情況下，下部半導體封裝105L之總厚度以及堆疊的封裝結構100a之總厚度減小，且熱耗散特性得以改良。另外，對高溫製程之抵抗性以及抗彎曲或抗扭曲性可增加。此外，由於在不使用模製化合物之情況下直接將實體壓力施加至下部半導體晶片115L之一表面，因此可穩定地使用柵格陣列技術或多層模製技術。若下部模製化合物 130L 之厚度減小，則可減小稍後將描述的封裝間連接部分150a之總高度，藉此便利封裝間連接部分150a之形成，但所揭露之實施例不限於此。或者，下部模製化合物 130L 可形成以覆蓋下部半導體晶片 115L（見圖 4）。

焊球 125 可為用於將堆疊的封裝結構 100a 電連接至

模組板或主電路板之組件。亦可使用焊料凸塊替代焊球125。

上部半導體封裝105U可包含上部封裝基板110U、形成於上部封裝基板110U之頂表面上的上部半導體晶片115U，以及上部模製化合物130U。

上部封裝基板110U可為用於封裝之基板（亦即，封裝基板），例如，印刷電路板或陶瓷板。

上部半導體晶片115U可為DRAM或快閃記憶體。在一實施例中，可藉由線結合將上部半導體晶片115U安裝於上部封裝基板110U上。因此，上部半導體晶片115U與上部封裝基板110U可藉由導線140電連接。詳細而言，使用絕緣黏著劑119將上部半導體晶片115U附著至上部封裝基板110U之頂表面。安置於上部半導體晶片115U之頂表面上的晶片墊135與安置於上部封裝基板110U之頂表面上的線結合墊145可藉由導線140電連接。然而，無需使用線結合，且可使用諸如穿孔（through via）（亦即，基板穿孔或矽穿孔）之其他連接將上部半導體晶片115U電連接至上部封裝基板110U。另外，儘管僅展示一個上部半導體晶片115U，但上部半導體封裝105U可包含配置於堆疊中且包含第一、第二等晶片之多個半導體晶片。晶片中之一或多者可為邏輯晶片，且晶片中之一或多者可為另一類型之晶片，諸如記憶體晶片。某些晶片可具有組合式邏輯以及記憶體儲存功能性。

在一實施例中，上部半導體晶片115U可具有大於下

部半導體晶片 115L 的水平寬度或面積。在一實施例中，由於稍後將描述之封裝間連接部分 150a 安置於上部封裝基板 110U 之底表面與下部封裝基板 110L 之頂表面之間，因此由封裝間連接部分 150a 所佔據之面積不受上部半導體晶片 115U 之面積影響，而受下部半導體晶片 115L 之面積影響。因此，上部半導體晶片 115U 可在水平方向上大於下部半導體晶片 115L，藉此改良空間效率同時減小空間限制。然而，當前的實施例並不將上部封裝基板 110U 以及下部封裝基板 110L 之尺寸限於本文中所說明之實例。上部半導體晶片 115U 在水平寬度或面積上可大於或小於下部半導體晶片 115L。

上部模製化合物 130U 可形成上部模製層，其形成於上部封裝基板 110U 之頂表面上，以便覆蓋且包圍上部半導體晶片 115U。上部模製化合物 130U 可包含環氧樹脂模製化合物（EMC）或聚醯亞胺。

在一實施例中，上部半導體封裝 105U 與下部半導體封裝 105L 在垂直方向上彼此間隔開預定距離，且為上下配置。詳細而言，預定空間存在於上部封裝基板 110U 之底表面與下部模製化合物 130L 及/或下部半導體晶片 115L 之間。預定空間亦在本文中被稱作分隔區域。

封裝間連接部分 150a 包含水平地安置於下部半導體晶片 115L 周圍（例如）以包圍下部半導體晶片 115L 之多個封裝間連接導體。封裝間連接部分 150a 可包含包圍下部半導體晶片 115L 之側面的內區域，且所述內區域之側由

外周邊區域包圍。舉例而言，在一實施例中，封裝間連接導體可按陣列形成及/或可形成包圍下部半導體晶片 115L 之一系列同心環（例如，矩形），如圖 1 中所示。然而，亦可實施其他配置。

封裝間連接部分 150a 可電連接下部半導體封裝 105L 與上部半導體封裝 105U，同時垂直地支撐下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間，藉此電連接且實體連接此兩個封裝。更特定言之，封裝間連接部分 150a 實體連接且電連接下部封裝基板 110L 之頂表面與上部封裝基板 110 之底表面。為此，每一封裝間連接導體 150a 自下部封裝基板 110L 之頂表面延伸或突出穿過下部模製化合物 130L，以將下部封裝基板 110L 之頂表面連接至上部封裝基板 110U 之底表面。封裝間連接導體可連接（例如）至下部封裝基板 110L 上之墊以及上部封裝基板 110U 上之墊，此等墊連接至基板內之電路，用於將信號發送至所安裝之上部晶片 115U 以及下部晶片 115L 以及自所安裝之上部晶片 115U 以及下部晶片 115L 發送信號。

封裝間連接部分 150a 的總體或一部分可實質上形成為下部半導體封裝 105L 之部分及/或上部半導體封裝 105U 之部分。另外，封裝間連接部分 150a 可包含單一導體或多個導體之堆疊的結構，此等導體可藉由獨立的製程形成或可具有不同之形狀、高度以及寬度。

在一實施例中，封裝間連接部分 150a 中之每一者包含下部導體 151a 以及上部導體 152a，下部導體 151a 具有

與下部模製化合物 130L 之厚度相同的高度同時延伸穿過下部模製化合物 130L 以接著接觸下部封裝基板 110L 之頂表面，且上部導體 152a 安置於下部導體 151a 上且接觸上部封裝基板 110U 之底表面。

因此，在此實施例中，上部導體 152a 支撐下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。此處，下部導體 151a 可形成為貫孔（via），且上部導體 152a 可由焊接材料製成。在以下描述中，待形成為貫孔之組件意謂其可藉由貫孔形成製程（亦即，藉由移除下部模製化合物 130L 之一部分形成通孔以便暴露下部封裝基板 110L 之頂表面且用傳導性材料填充通孔之製程）形成。貫孔亦可被稱作穿孔，或當用傳導性材料填充時被稱作傳導性穿孔。另外，定義為由焊接材料製成及/或為凸塊或球之組件意謂其可藉由焊接製程形成。然而，本揭露內容不限於此。或者，封裝間連接部分 150a 可具有包含各種導體的堆疊的結構（見圖 2B 至圖 2E）。

在一實施例中，將絕緣層 160（其防止在稍後將描述之屏蔽層 170 與封裝間連接部分 150a 之間的電短路）水平地安置於封裝間連接部分 150a 之外部以便包圍封裝間連接部分 150a（例如，包圍安置有封裝間連接導體之區域），且垂直地安置以填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。更特定言之，在一實施例中，絕緣層 160 垂直地接觸下部模製化合物 130L 之頂表面以及上部封裝基板 110U 之底表面。另外，絕緣層 160 可水平

地安置於周邊區域中，例如，在由如圖 1 中所示之點線輪廓的區域之外部。因而，絕緣層 160 之內側表面或內邊緣可藉由接觸最外封裝間連接導體中之一或多者而接觸封裝間連接部分 150a，且絕緣層 160 之外側表面或外邊緣可接觸屏蔽層 170。此外，絕緣層 160 可填充上部半導體封裝 105U 與下部半導體封裝 105L 之間的整個垂直距離以充當實體障壁（例如，充當插塞），以防止在沈積屏蔽層 170 時來自屏蔽層 170 之傳導性材料接觸封裝間連接部分 150a 並引起與封裝間連接部分 150a 的短路。

除了絕緣性質之外，絕緣層 160 亦可具有黏著性質。舉例而言，絕緣層 160 可包含黏著性底部填充材料、介電材料或絕緣膠帶。或者，絕緣層 160 可由與下部模製化合物 130L 相同的材料（例如，環氧樹脂模製化合物（EMC）或聚醯亞胺）形成。

在一實施例中，包含下部半導體封裝 105L、上部半導體封裝 105U、封裝間連接部分 150a 以及絕緣層 160 之結構（亦即，堆疊的封裝）可具有六面體形狀。

在一實施例中，屏蔽層 170 形成以包圍且覆蓋六面體堆疊封裝之表面（特定言之，頂表面以及側表面，排除安置有焊球 125 之其底表面）。屏蔽層 170（因為其屏蔽電磁輻射，所以亦被稱作電磁屏蔽層 170）移除自堆疊的封裝結構 100a 中所包含的下部半導體晶片 115L 或上部半導體晶片 115U 所產生之電磁波，防止電磁波發射至外部，或防止外部電磁波影響下部半導體晶片 115L 或上部半導體

晶片 115U，藉此使 EMI 最小化。

屏蔽層 170 可具有傳導率。屏蔽層 170 可包含（例如）軟磁材料、鐵氧體奈米管或金屬層。軟磁材料之實例可包含軟金屬粉末、軟合金粉末或鐵氧體材料。鐵氧體材料之實例可包含氧化鐵（諸如，FeO、Fe_2O_3、Fe_2O_4 或 Fe_3O_4）以及與氧化鐵組合使用之至少一金屬。與氧化鐵組合使用的金屬之實例可包含鎳（Ni）、鋅（Zn）、錳（Mn）、鈷（Co）、鎂（Mg）、鋁（Al）、鋇（Ba）、銅（Cu）以及鐵（Fe）。鐵氧體材料具有高的電阻率以及低的磁飽和。另外，由於鐵氧體材料具有低的機械強度，因此可將其與金屬組合使用。軟磁材料可連續或不連續地配置於屏蔽層 170 內。

可藉由塗佈或電鍍（指用於製造堆疊的封裝結構之方法，其將稍後描述）而形成屏蔽層 170。若藉由塗佈或電鍍形成屏蔽層 170，則其可具有小的厚度。在此情況下，堆疊的封裝結構 100a 與其鄰近封裝結構之間的 EMI 可最小化，同時防止堆疊的封裝結構 100a 因屏蔽層 170 而過大。

此外，即使藉由塗佈或電鍍形成屏蔽層 170，在下部半導體封裝 105L 與上部半導體封裝 105U 之間所暴露的封裝間連接部分 150a 之部分（見 152a）仍由絕緣層 160 包圍，藉此允許部分 152a 與屏蔽層 170 之間電性斷接。結果，因為絕緣層 160 包圍暴露的封裝間連接部分 150a，所以用於形成屏蔽層 170 之屏蔽材料不可在塗佈或電鍍期間穿透至下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間中。因此，易於將封裝間連接部分 150a 與屏蔽層 170

彼此電性斷接。

接下來，參看圖 2B，除了封裝間連接部分 150b 外，根據第一實施例之第一修改實例之堆疊的封裝結構 100b 具有實質上與根據本發明之第一實施例之堆疊的封裝結構 100a 之組態相同的組態。

封裝間連接部分 150b 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 153b 以及上部導體 154b，此通孔暴露下部導體 153b 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 153b 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 154b 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上突出的下部部分。

下部導體 153b 以及上部導體 154b 可包括由焊接材料製成之焊料凸塊或焊球。因此，下部導體 153b 以及上部導體 154b 可分別具有實質上球形以及半球形形狀。舉例而言，如圖 2B 中所示，下部導體 153b 實質上形成為半球形，其中心點在下部封裝基板 110L 之頂表面上方，而上部導體 154b 實質上形成為球體，但本發明不限於此。下部導體 153b 以及上部導體 154b 可具有各種形狀。

另外，下部導體 153b 之垂直高度可小於下部模製化合物 130L 之厚度且小於上部導體 154b 之垂直高度。下部導體 153b 之水平寬度或面積可小於上部導體 154b 之水平

寬度或面積。換言之，下部導體 153b 在尺寸上可小於上部導體 154b。如可自稍後將描述的用於製造堆疊的封裝結構之方法看出，下部導體 153b 可形成為下部半導體封裝 105L 之部分，且上部導體 154b 可形成為上部半導體封裝 105U 之部分。因此，可藉由減小下部導體 153b 之尺寸且增大上部導體 154b 之尺寸來改良封裝間連接部分 150b 的尺寸以及配置準確性。

接下來，參看圖 2C，除了封裝間連接部分 150c 外，根據第一實施例之第二修改實例之堆疊的封裝結構 100c 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。

封裝間連接部分 150c 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 155c 以及上部導體 154c，此通孔暴露下部導體 155c 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 155c 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 154c 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上方突出的上部部分。

下部導體 155c 可為成形為柱狀（諸如，圓柱或多稜柱）之導體，其是藉由包含澆鑄、沈積、黏著、電鍍等等之多種方法形成。上部導體 154c 可由焊接材料製成（如同圖 2B 中所示之上部導體 154b），且可具有實質上球形以及

半球形形狀。

另外，下部導體 155c 之垂直高度可小於下部模製化合物 130L 之厚度且小於上部導體 154c 之垂直高度。下部導體 155c 之水平寬度或面積可小於上部導體 154c 之水平寬度或面積。換言之，下部導體 155c 在尺寸上可小於上部導體 154c。如可自稍後將描述的用於製造堆疊的封裝結構之方法看出，下部導體 155c 可形成為下部半導體封裝 105L 之部分，且上部導體 154c 可形成為上部半導體封裝 105U 之部分。

接下來，參看圖 2D，除了封裝間連接部分 150d 外，根據第一實施例之第三修改實例之堆疊的封裝結構 100d 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。

封裝間連接部分 150d 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 153d 以及上部導體 156d，此通孔暴露下部導體 153d 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 153d 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 156d 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上方突出的下部部分。

下部導體 153d 可實質上與圖 2B 中所示之下部導體 153b 相同。舉例而言，下部導體 153d 可為下部半導體封

裝 105L 之部分且可由焊接材料製成，使得其可具有實質上球形或半球形形狀。上部導體 156d 可為上部半導體封裝 105U 之部分。更特定言之，可藉由獨立製程將上部導體 156d 附著至上部封裝基板 110U 之底表面。上部導體 156d 可由金屬依照短釘、棒或柱形狀製成。或者，上部導體 156d 可為下部半導體封裝 150L 之部分，且可填充下部模製化合物 130L 中之孔。

接下來，參看圖 2E，根據第一實施例之第四修改實例之堆疊的封裝結構 100e 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態，除了封裝間連接部分 150e 外。

封裝間連接部分 150e 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 155e、上部導體 156d 以及介入於下部導體 155e 與上部導體 156d 之間的中間導體 158e，此通孔暴露下部導體 155e 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 155e 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 156d 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上突出的下部部分。中間導體 158e 介入於下部導體 155e 與上部導體 156d 之間。

下部導體 155e 可實質上與圖 2C 中所示之下部導體 155c 或圖 2D 中所示之上部導體 156d 相同。舉例而言，下

部導體 155e 可為下部半導體封裝 105L 之部分且可實質上成形為柱狀。上部導體 156e 可為（例如）作為上部半導體封裝 105U 之部分的封裝凸塊。中間導體 158e 可介入於下部導體 155e 與上部導體 156e 之間，以將下部導體 155e 與上部導體 156e 彼此連接，且可（例如）由傳導性黏著材料製成。

接下來，參看圖 2F，除了屏蔽層 171 外，根據第一實施例之第五修改實例之堆疊的封裝結構 100f 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。屏蔽層 171 可形成於下部半導體晶片 115L 上。更特定言之，屏蔽層 171 可鄰近於下部半導體晶片 115L 之部分以及下部模製化合物 130L 之部分形成（例如，在下部半導體晶片 115L 以及下部模製化合物 130L 之頂表面上），且可形成為帶狀形式。屏蔽層 171 移除或屏蔽下部半導體晶片 115L 與上部半導體晶片 116U 之間的電磁波。因而，可使下部半導體晶片 115L 與上部半導體晶片 116U 之間的 EMI 最小化。

根據第一實施例以及其修改實例的上述封裝間連接部分 150a-150e 包含兩個或兩個以上導體之堆疊的結構。在一實施例中，封裝間連接部分 150 中所包含之堆疊的導體分別藉由獨立製程形成，且可形成為下部半導體封裝 105L 或上部半導體封裝 105U 之部分。各別導體可具有不同之形狀、高度或寬度。

在上述第一實施例以及其修改實例中，已描述包含下

部半導體晶片 115L（藉由覆晶結合安裝）的下部半導體封裝 105L 以及包含上部半導體晶片 115U（藉由線結合安裝）的上部半導體封裝 105U，但本發明不限於此。或者，下部半導體封裝 105L 之下部半導體晶片 115L 以及上部半導體封裝 105U 之上部半導體晶片 115U 兩者可藉由覆晶結合或線結合安裝。相反地，與在第一實施例以及其修改實例中不同，下部半導體封裝 105L 之下部半導體晶片 115L 以及上部半導體封裝 105U 之上部半導體晶片 115U 可分別藉由線結合以及覆晶結合安裝。又，如上文所述，可使用傳導性穿孔電極將晶片電連接至各別封裝基板，且每一半導體封裝中可包含一或多個晶片。

下文，將參看圖 3 描述根據本發明之第二實施例之堆疊的封裝結構。圖 3 為說明根據本發明之第二實施例之堆疊的封裝結構之橫截面圖。此處，除了於上部半導體封裝中包含兩個垂直堆疊的上部半導體晶片外，圖 3 中所示之堆疊的封裝結構具有實質上與根據本發明之第一實施例之堆疊的封裝結構 100a 之組態相同的組態。因此，在以下描述中，將強調與根據第一實施例之堆疊的封裝結構之差異來詳細描述堆疊的封裝結構，且將不提供其他組件之描述。

參看圖 3，根據第二實施例之堆疊的封裝結構 200a 包含堆疊的封裝以及包圍堆疊的封裝之側表面以及頂表面之屏蔽層 170，堆疊的封裝包含：下部半導體封裝 105L；上部半導體封裝 205U，其安置於下部半導體封裝 105L 上，與下部半導體封裝 105L 間隔開預定距離；封裝間連接部

分 150a，其電連接下部半導體封裝 105L 與上部半導體封裝 205U 同時支撐其間之空間；以及絕緣層 160，其安置於封裝間連接部分 150a 之周邊區域中且填充下部半導體封裝 105L 與上部半導體封裝 205U 之間的空間。

上部半導體封裝 205U 包含上部封裝基板 110U、安置於上部封裝基板 110U 之頂表面上的第一上部半導體晶片 115U、安置於第一上部半導體晶片 115U 之頂表面上的第二上部半導體晶片 215U，以及上部模製化合物 130U。此處，第一上部半導體晶片 115U 具有實質上與根據第一實施例之上部半導體晶片 115U 之組態相同的組態，但以第一上部半導體晶片 115U 表示，以與第二上部半導體晶片 215U 區分開。

第二上部半導體晶片 215U 安置於第一上部半導體晶片 115U 上，且可藉由導線 240 電連接至上部封裝基板 110U。特定言之，可使用絕緣黏著劑（未圖示）將第二上部半導體晶片 215U 附著至第一上部半導體晶片 115U 之頂表面。安置於第二上部半導體晶片 215U 之頂表面上的晶片墊 235 與安置於上部封裝基板 110U 之頂表面上的線結合墊 145 可藉由導線 240 彼此電連接。或者，可使用穿孔（例如，基板穿孔或矽穿孔）來電連接晶片。

在此實施例中，第一上部半導體晶片 115U 在水平方向上的寬度或面積上大於第二上部半導體晶片 215U，但本揭露內容不限於此。或者，第一上部半導體晶片 115U 在水平方向上的寬度或面積上可等於或小於第二上部半導體

晶片 215U。

另外，第一上部半導體晶片 115U 以及第二上部半導體晶片 215U 可為相同類型或不同類型之晶片。

如上文所述，為了促進封裝間連接部分 150a 之形成，可減小下部半導體封裝 105L 之總厚度，而不影響上部半導體封裝 105U 之厚度。因此，如在此實施例中，上部半導體封裝 205U 可包含兩個垂直堆疊之半導體晶片，但本發明不限於此。或者，上部半導體封裝 205U 可包含三個或三個以上具有相同類型或不同類型之垂直堆疊的半導體晶片。

同時，根據第二實施例之堆疊的封裝結構 200a 包含封裝間連接部分 150a，但本揭露內容不限於此。或者，所揭露之實施例之範疇亦可包含下述堆疊的封裝結構：包含根據第一實施例之修改實例的封裝間連接部分 150b-150e 中之至少一者而非根據第一實施例之封裝間連接部分 150a，同時包含具有實質上與堆疊的封裝結構 200a 相同的組態之其他組件之堆疊的封裝結構；或包含本文中未描述的封裝間連接部分之堆疊的封裝結構。

下文，將參看圖 4 描述根據第三實施例之堆疊的封裝結構。圖 4 為說明根據第三實施例之堆疊的封裝結構之橫截面圖。此處，除了下部半導體封裝之下部模製化合物覆蓋下部半導體晶片外，圖 4 中所示之堆疊的封裝結構具有實質上與根據本發明之第一實施例之堆疊的封裝結構 100a 之組態相同的組態。因此，在以下描述中，將強調與

根據第一實施例之堆疊的封裝結構之差異來詳細描述堆疊的封裝結構，且將不提供其他組件之描述。

參看圖 4，根據第三實施例之堆疊的封裝結構 300a 包含堆疊的封裝以及包圍堆疊的封裝之側表面以及頂表面之屏蔽層 170，堆疊的封裝包含：下部半導體封裝 205L；上部半導體封裝 105U，其安置於下部半導體封裝 205L 上，與下部半導體封裝 205L 間隔開預定距離；封裝間連接部分 150a，其電連接下部半導體封裝 205L 與上部半導體封裝 105U，同時支撐其間之空間；以及絕緣層 160，其安置於封裝間連接部分 150a 之周邊區域中且填充下部半導體封裝 205L 與上部半導體封裝 105U 之間的空間。

下部半導體封裝 205U 包含下部封裝基板 110L、藉由覆晶結合形成於下部封裝基板 110L 之頂表面上的下部半導體晶片 115L、下部模製化合物 230L，以及形成於下部封裝基板 110L 之底表面上的傳導性焊球 125。

此處，下部模製化合物 230L 可形成於下部封裝基板 110L 之頂表面上以便覆蓋下部半導體晶片 115L（亦即，以包圍且覆蓋下部半導體晶片 115L 之側表面以及頂表面），同時填充下部半導體晶片 115L 與下部封裝基板 110L 之間的空間。

在一實施例中，根據第三實施例之堆疊的封裝結構 300a 包含根據第二實施例之封裝間連接部分 150a，但本揭露內容不限於此。或者，本揭露內容之範疇亦可包含如下的堆疊的封裝結構：包含根據第一實施例之修改實例的封

裝間連接部分 150b-150e 中之至少一者，而非根據第一實施例之封裝間連接部分 150a，同時包含具有實質上與堆疊的封裝結構 300a 相同的組態之其他組件之堆疊的封裝結構；或包含本文中未描述的封裝間連接部分之堆疊的封裝結構。

下文，將參看圖 5 描述根據第四實施例之堆疊的封裝結構。圖 5 為說明根據第四實施例之堆疊的封裝結構之橫截面圖。此處，除了填充下部半導體封裝與上部半導體封裝之間的空間之絕緣層外，圖 5 中所示之堆疊的封裝結構具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。因此，在以下描述中，將強調與根據第一實施例之堆疊的封裝結構之差異來詳細描述堆疊的封裝結構，且將不提供其他組件之描述。

參看圖 5，根據第四實施例之堆疊的封裝結構 400a 包含堆疊的封裝以及包圍堆疊的封裝之側表面以及頂表面之屏蔽層 170，堆疊的封裝包含：下部半導體封裝 105L；上部半導體封裝 105U，其安置於下部半導體封裝 105L 上，與下部半導體封裝 105L 間隔開預定距離；封裝間連接部分 150a，其電連接下部半導體封裝 105L 與上部半導體封裝 105U，同時支撐其間之空間；以及絕緣層 260，其安置於未形成封裝間連接部分 150a 之區域中且填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。

舉例而言，在此實施例中，絕緣層 260 水平地安置於封裝間連接部分 150a 之周邊區域中，且可進一步安置於不

同於封裝間連接部分 150a 之所有區域中，同時垂直地填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。由於為了防止屏蔽層 170 與封裝間連接部分 150a 之間的電短路而提供絕緣層 260，因此絕緣層 260 可進一步安置於不同於封裝間連接部分 150a 之區域中，只要其形成於封裝間連接部分 150a 之周邊區域中以便包圍封裝間連接部分 150a 即可。

除了絕緣性質之外，絕緣層 260 亦可具有黏著性質。舉例而言，絕緣層 260 可包含黏著性底部填充材料、介電材料或絕緣膠帶。

根據此實施例之堆疊的封裝結構 400a 具有實質上與根據第一實施例之堆疊的封裝結構 100a 相同的組態，但本揭露內容不限於此。或者，在根據第一實施例之修改實例的堆疊的封裝結構 100b-100e 中之每一者中各自包含絕緣層 260 而非包含絕緣層 160 之堆疊的封裝結構亦可包含於本揭露內容之範疇內。

下文，將參看圖 6A 至圖 7E 描述根據第五實施例之製造堆疊的封裝結構之方法。

圖 6A 至圖 6I 為說明根據第五實施例之製造堆疊的封裝結構之方法之橫截面圖。

首先，經由圖 6A 以及圖 6B 中所示之製程提供包含形成於其底表面上之上部導體 152a 的上部半導體封裝 105U，現將更詳細地描述圖 6A 以及圖 6B。

參看圖 6A，將上部半導體晶片 115U 安置於包含線結

合墊 145 以及其他焊盤（land）或墊（未圖示）之上部封裝基板 110U 上。可使用絕緣黏著劑（未圖示）將上部半導體晶片 115U 附著至上部封裝基板 110U。上部半導體晶片 115U 可包含安置於其頂表面上之晶片墊 135 以及其他墊（未圖示）。

接下來，使用導線 140 將安置於上部半導體晶片 115U 之頂表面上的晶片墊 135 與安置於上部封裝基板 110U 之頂表面上的線結合墊 145 彼此電連接。然而，可使用其他元件替代將晶片墊連接至基板墊之導線，諸如穿孔。在此情況下，晶片墊與基板墊可位於不同位置中以允許使用穿孔之連接。

接下來，上部模製化合物 130U 形成於上部封裝基板 110U 之頂表面上以覆蓋且包圍上部半導體晶片 115U。

參看圖 6B，上部導體 152a 形成於上部封裝基板 110U 之底表面上。上部導體 152a 可形成封裝間連接部分 150a 之部分，同時形成上部半導體封裝 105U 之部分。上部導體 152a 可藉由（例如）焊接形成，且可具有（例如）凸塊或小球之形狀。

另外，經由圖 6C 至圖 6F 中所示之製程提供包含下部導體 151a 之下部半導體封裝 105L，現將更詳細地對其進行描述。

參看圖 6C，多個晶片凸塊 120 形成於包含其他必要之焊盤或墊（未圖示）之下部封裝基板 110L 上。晶片凸塊 120 可藉由焊接形成，且可電連接至下部封裝基板 110L

之晶片凸塊焊盤（未圖示）。

接下來，將下部半導體晶片 115L 安裝於晶片凸塊 120 上。下部半導體晶片 115L 可設計為（例如）覆晶，且在一實施例中可為邏輯裝置。

接下來，下部模製化合物 130L 形成至足以暴露下部半導體晶片 115L 之頂表面同時包圍下部半導體晶片 115L 之側表面的厚度。舉例而言，可按以下方式形成下部模製化合物 130L。在一實施例中，形成模製控制薄膜（未圖示）以便緊密地接觸下部半導體晶片 115L 之頂表面以緊固模製控制薄膜與下部封裝基板 110L 之間的空間，繼之以用下部模製化合物 130L 填充空間，藉此形成下部模製化合物 130L，但本揭露內容不限於此。或者，下部模製化合物 130L 可形成以覆蓋下部半導體晶片 115L（見圖 4）。

參看圖 6D，下部模製化合物 130L 之部分（亦即，可能為封裝間連接部分 150a 之區域）被移除，藉此形成暴露下部封裝基板 110L 之頂表面的一或多個開口 O。開口 O 可為通孔。可藉由雷射鑽孔執行下部模製化合物 130L 之部分之移除。

參看圖 6E，以傳導性材料填充每一開口 O 以形成下部導體 151a。下部導體 151a 可為延伸穿過下部模製化合物 130L 之貫孔。下部導體 151a 可形成封裝間連接部分 150a 之部分，同時形成下部半導體封裝 105L 之部分。

參看圖 6F，焊料凸塊或焊球 125 形成於下部封裝基板 110L 之底表面上。焊球 125 可電連接至晶片凸塊 120，且

可（例如）藉由焊接形成。

在執行圖 6A 至圖 6F 中所示之製程之後，參看圖 6G，絕緣層 160 形成於下部模製化合物 130L 之頂表面上，以便自下部導體 151a 之周邊區域側向地包圍下部導體 151a。可（例如）藉由塗佈底部填充材料或附著絕緣膠帶來執行絕緣層 160 之形成，但本揭露內容不限於此。儘管未圖示，但絕緣層 160 也可對應於圖 6G 中所示的絕緣層 160 之位置而形成於上部封裝基板 110U 之底表面上，以便自上部導體 152a 之周邊區域側向地包圍上部導體 152a。

參看圖 6H，上部半導體封裝 105U 堆疊於具有絕緣層 160 之下部半導體封裝 105L 上。更特定言之，上部半導體封裝 105U 安置於具有絕緣層 160 之下部半導體封裝 105L 上，繼之以加熱及/或壓縮，藉此將下部導體 151a 與上部導體 152a 彼此電且實體組合以及連接。結果，經電且實體組合以及連接之每一下部導體 151a 以及上部導體 152a 整體地形成封裝間連接導體，其中多者形成封裝間連接部分（見圖 2A 之 150a）。另外，如上文所述，絕緣層 160 可具有黏著性質，使得下部半導體封裝 105L 的下部模製化合物 130L 之頂表面以及上部半導體封裝 105U 的上部封裝基板 110U 之底表面可附著至絕緣層 160。

參看圖 6I，形成電磁屏蔽層 170 以包圍六面體堆疊封裝（圖 6H 中所示製程之所得產物）之側表面以及頂表面。可（例如）藉由塗佈液體屏蔽材料來執行電磁屏蔽層 170 之形成。舉例而言，塗佈可包含塗漆或噴塗。或者，可藉

由電鍍執行屏蔽層 170 之形成。因為絕緣層 160 形成於封裝間連接部分與堆疊的封裝之外部之間，所以防止用於屏蔽層 170 之材料接觸封裝間連接部分，此防止發生短路。

在根據此實施例之用於製造堆疊的封裝結構之上述方法中，可提供根據第一實施例之堆疊的封裝結構 100a。

然而，在一實施例中，可藉由在根據第五實施例之用於製造堆疊的封裝結構之方法中修改圖 6G 中所示之製程來提供根據第四實施例之堆疊的封裝結構 400a。舉例而言，在執行圖 6A 至圖 6F 中所示之製程之後，替代於圖 6G 中所示之製程，絕緣層 260（見圖 5）可形成於下部模製化合物 130L 之頂表面上的不同於形成下部導體 151a 之區域的區域中。因而，可在執行在上部封裝基板 110U 之底表面上的不同於上部導體 152a 之區域中形成絕緣層 260 之製程之後執行圖 6H 以及圖 6I 中所示的製程。

接下來，將參看圖 6A 至圖 6I 以及圖 7A 至圖 7E 的一部分來描述根據本發明之第六實施例之製造堆疊的封裝結構之方法。圖 7A 至圖 7E 為說明根據第六實施例之製造堆疊的封裝結構之方法之橫截面圖。在描述當前實施例時，將不提供第五實施例的相同以及對應的製程以及圖之詳細描述。

首先，提供如圖 6A 中所示之上部半導體封裝 105U。接著，參看圖 7A，上部導體 154b 形成於上部封裝基板 110U 之底表面上。上部導體 154b 可形成封裝間連接部分 150a 之部分（見圖 6I），同時形成上部半導體封裝 105U 之部分。

上部導體 154b 可藉由（例如）焊接形成，且可具有大於第五實施例之球的球，但本揭露內容不限於此。或者，由作為封裝凸塊之金屬短釘、棒或柱成形之上部導體（見圖 2D 之 156d 或圖 2E 之 156e）可形成於上部封裝基板 110U 之底表面上。

另外，經由（例如）圖 7B 以及圖 7C 中所示之製程提供包含下部導體 153b 之下部半導體封裝 105L，現將詳細地對其進行描述。

參看圖 7B，多個傳導性晶片凸塊 120 以及下部導體 153b 形成於包含必要之焊盤或墊（未圖示）之下部封裝基板 110L 上。晶片凸塊 120 可（例如）藉由焊接製程形成，且可電連接至下部封裝基板 110L 之晶片凸塊焊盤（未圖示）。下部導體 153b 可（例如）藉由焊接形成，且可成形為球形或半球形球，但本揭露內容不限於此。下部導體 153b 可藉由包含鑄造、沈積、黏著、電鍍等等之各種方法形成。柱形下部導體（見圖 2C 之 155c 或圖 2E 之 155e）可形成於下部封裝基板 110L 之頂表面上。晶片凸塊 120 與下部導體 153b 可同時或依序形成。另外，晶片凸塊 120 與下部導體 153b 可具有相同高度或不同高度。

接下來，將下部半導體晶片 115L 安裝於晶片凸塊 120 上，且下部模製化合物 130L 形成至足以暴露下部半導體晶片 115L 之頂表面同時包圍下部半導體晶片 115L 之側表面的厚度，但本揭露內容不限於此。或者，下部模製化合物 130L 可形成以覆蓋下部半導體晶片 115L（見圖 4）。

參看圖 7C，下部模製化合物 130L 之部分（亦即，可能為封裝間連接部分 150a 之區域）被移除，藉此形成暴露下部導體 153b 中之每一者之頂表面的一或多個開口 O。開口 O 可為（例如）通孔。在稍後將描述之堆疊製程中將上部導體 154b 中之每一者的下部部分插入至每一開口 O 中（見圖 7E）。在下部導體 153b 具有小於上部導體 154b 之水平寬度或面積之情況下，每一開口 O 具有逐漸向上增大之水平寬度。可（例如）藉由雷射鑽孔執行下部模製化合物 130L 之部分之移除。

接下來，焊球 125 形成於下部封裝基板 110L 之底表面上。焊球 125 可電連接至晶片凸塊 120，且可藉由焊接形成。

在執行圖 6A 以及圖 7A 至圖 7C 中所示之製程之後，參看圖 7D，絕緣層 160 形成於下部模製化合物 130L 之頂表面上，以便自開口 O 之周邊區域包圍開口 O。可藉由塗佈底部填充材料或附著絕緣膠帶來執行絕緣層 160 之形成，但本揭露內容不限於此。儘管未圖示，但絕緣層 160 可對應於圖 7D 中所示的絕緣層 160 之位置而形成於上部封裝基板 110U 之底表面上，以便自上部導體 154b 之周邊區域包圍上部導體 154b。

參看圖 7E，上部半導體封裝 105U 堆疊於具有絕緣層 160 之下部半導體封裝 105L 上。更特定言之，上部半導體封裝 105U 安置於具有絕緣層 160 之下部半導體封裝 105L 上使得上部導體 154b 中之每一者插入至對應的開口 O

中，繼之以加熱及/或壓縮，藉此將下部導體 153a 與上部導體 154b 彼此電且實體組合以及連接。結果，經彼此電且實體組合以及連接之下部導體 153a 以及上部導體 154b 整體地形成封裝間連接部分（見圖 2B 之 150b）。另外，如上文所述，絕緣層 160 可具有黏著性質，使得下部半導體封裝 105L 的下部模製化合物 130L 之頂表面以及上部半導體封裝 105U 的上部封裝基板 110U 之底表面可附著至絕緣層 160。

接下來，電磁屏蔽層 170 形成以按與在圖 6I 中相同的方式包圍六面體堆疊封裝（圖 7E 中所示製程之所得產物）之側表面以及頂表面。

在根據此實施例之用於製造堆疊的封裝結構之上述方法中，可提供根據第一實施例之修改實例之堆疊的封裝結構 100b-100e。

圖 8 為說明包含根據某些實施例之堆疊的封裝結構之半導體模組之概念圖。

參看圖 8，半導體模組 700 包含模組板 710 以及安裝於模組板 710 上之多個半導體封裝。此多個半導體封裝中之至少一者可包含根據上文所論述之實施例之堆疊的封裝結構 700a。

根據某些實施例之堆疊的封裝結構 700a 為一封裝層疊裝置，其包含由屏蔽層所包圍之堆疊的封裝，藉此使模組板 710 上之鄰近封裝之間的 EMI 最小化。

儘管本揭露內容已參照其例示性實施例特定地展示

以及描述，但一般熟習此項技術者應理解，在不脫離如由下列申請專利範圍所界定的本發明之精神以及範疇之情況下，可在其中進行形式以及細節之各種改變。因此需要將當前實施例的所有層面視為說明性且非限制性的，對所附申請專利範圍而非前述描述進行參考以指示本發明之範疇。

【圖式簡單說明】

圖 1 為說明在根據某些例示性實施例之堆疊的封裝結構中所包含的下部封裝以及封裝間連接部分之平面圖。

圖 2A 至圖 2F 為說明根據第一例示性實施例以及其修改實例之堆疊的封裝結構的橫截面圖。

圖 3 為說明根據第二例示性實施例之堆疊的封裝結構之橫截面圖。

圖 4 為說明根據第三例示性實施例之堆疊的封裝結構之橫截面圖。

圖 5 為說明根據第四例示性實施例之堆疊的封裝結構之橫截面圖。

圖 6A 至圖 6I 為說明根據第五例示性實施例之製造堆疊的封裝結構之方法之橫截面圖。

圖 7A 至圖 7E 為說明根據第六例示性實施例之製造堆疊的封裝結構之方法之橫截面圖。

圖 8 為說明包含根據某些例示性實施例之堆疊的封裝結構之半導體模組之概念圖。

【主要元件符號說明】

100a：堆疊的封裝結構

100b：堆疊的封裝結構

100c：堆疊的封裝結構
100d：堆疊的封裝結構
100e：堆疊的封裝結構
100f：堆疊的封裝結構
105L：下部半導體封裝
105U：上部半導體封裝
110L：下部封裝基板
110U：上部封裝基板
115L：下部半導體晶片
115U：上部半導體晶片/第一上部半導體晶片
119：絕緣黏著劑
120：傳導性晶片凸塊
125：傳導性焊球
130L：下部模製化合物
130U：上部模製化合物
135：晶片墊
140：導線
145：線結合墊
150：封裝間連接部分
150a：封裝間連接部分/封裝間連接導體
150b：封裝間連接部分
150c：封裝間連接部分
150d：封裝間連接部分
150e：封裝間連接部分
151a：部分/下部導體
152a：上部導體

153b：下部導體
153d：下部導體
154b：上部導體
154c：上部導體
155c：下部導體
155e：下部導體
156d：上部導體
156e：上部導體
158e：中間導體
160：絕緣層
170：屏蔽層/電磁屏蔽層
171：屏蔽層
200a：堆疊的封裝結構
205L：下部半導體封裝
205U：上部半導體封裝
215U：第二上部半導體晶片
230L：下部模製化合物
235：晶片墊
240：導線
260：絕緣層
300a：堆疊的封裝結構
400a：堆疊的封裝結構
700：半導體模組
700a：堆疊的封裝結構
710：模組板
O：開口

201230284

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：100144086

※申請日期：100.12.01

※IPC 分類：H01L 23/552 (2006.01)
H01L 23/60 (2006.01)
H01L 23/488 (2006.01)
H01L 21/58 (2006.01)

一、發明名稱：（中文/英文）

堆疊的封裝結構

STACKED PACKAGE STRUCTURE

二、中文發明摘要：

提供一種堆疊的封裝結構。堆疊的封裝結構包含：堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。

三、英文發明摘要：

A stacked package structure is provided. The stacked package structure includes a stacked package including a lower semiconductor package, an upper semiconductor package disposed on the lower semiconductor package and spaced a predetermined distance apart from the lower

semiconductor package, an inter-package connecting portion electrically connecting the lower semiconductor package and the upper semiconductor package while supporting a space therebetween, and an insulation layer disposed at least outside the inter-package connecting portion and filling the space between the lower semiconductor package and the upper semiconductor package, and an electromagnetic shielding layer surrounding lateral and top surfaces of the stacked package.

七、申請專利範圍：

1. 一種堆疊的封裝結構，其包括：

堆疊的封裝，其包括：下部半導體封裝；上部半導體封裝，其安置於所述下部半導體封裝上且與所述下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接所述下部半導體封裝與所述上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於所述封裝間連接部分之外部且填充所述下部半導體封裝與所述上部半導體封裝之間的所述空間；以及

電磁屏蔽層，其包圍所述堆疊的封裝之側表面以及頂表面。

2. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述絕緣層包括黏著性底部填充材料、介電材料或絕緣膠帶。

3. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述絕緣層整體或部分地安置於排除所述封裝間連接部分之區域中。

4. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述屏蔽層包括軟磁材料、鐵氧體奈米管或金屬層。

5. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述屏蔽層是藉由塗佈或電鍍形成。

6. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中：

所述下部半導體封裝包括下部封裝基板、形成於所述

下部封裝基板之頂表面上的下部半導體晶片，以及至少包圍所述下部半導體晶片之側表面的下部模製化合物；

所述上部半導體封裝包括上部封裝基板，以及形成於所述上部封裝基板之頂表面上的上部半導體晶片；且

所述封裝間連接部分自所述下部模製化合物之頂表面突出且延伸穿過所述下部模製化合物，以將所述下部封裝基板之所述頂表面連接至所述上部封裝基板之底表面。

7. 如申請專利範圍第6項所述之堆疊的封裝結構，其中所述封裝間連接部分包括第一導體以及第二導體，所述第一導體接觸所述下部封裝基板之所述頂表面，所述第二導體接觸所述上部封裝基板之所述底表面。

8. 如申請專利範圍第7項所述之堆疊的封裝結構，其中所述下部模製化合物包括延伸穿過所述下部模製化合物以暴露所述下部封裝基板之所述頂表面的開口，且所述第一導體嵌入於所述開口中。

9. 如申請專利範圍第7項所述之堆疊的封裝結構，其中所述下部模製化合物包括延伸穿過所述下部模製化合物以暴露所述第一導體之表面的開口，且所述第二導體包括形成於所述開口中的下部部分以及突出至所述下部模製化合物之頂表面的上部部分。

10. 如申請專利範圍第7項所述之堆疊的封裝結構，其中所述第一導體在尺寸上在垂直高度、水平寬度以及體積中之至少一者上大於所述第二導體。

11. 如申請專利範圍第7項所述之堆疊的封裝結構，

其中所述封裝間連接部分更包括介入於所述第一導體與所述第二導體之間的第三導體。

12. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述下部模製化合物暴露所述下部半導體晶片之頂表面。

13. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述上部半導體晶片具有大於所述下部半導體晶片的水平寬度。

14. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述上部半導體封裝更包括垂直地堆疊於所述上部半導體晶片之頂表面上的一或多個半導體晶片。

15. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述絕緣層安置於所述封裝間連接部分之外部，且由與所述下部模製化合物相同的材料製成。

16. 一種堆疊的封裝結構，其包括：

下部半導體封裝，其包括下部封裝基板、形成於所述下部封裝基板之頂表面上的下部半導體晶片，以及至少包圍所述下部半導體晶片之側表面的下部模製化合物；

上部半導體封裝，其包括上部封裝基板，以及形成於所述上部封裝基板之頂表面上的上部半導體晶片，所述上部半導體封裝安置於所述下部半導體封裝上使得所述上部封裝基板之底表面與所述下部模製化合物間隔開預定距離；

封裝間連接部分，其自所述下部封裝基板之所述頂表

面延伸穿過所述下部模製化合物，且將所述下部封裝基板之所述頂表面連接至所述上部封裝基板之底表面；

絕緣層，其至少安置於所述封裝間連接部分之外部且填充所述上部封裝基板之所述底表面與所述下部模製化合物之間的空間；以及

電磁屏蔽層，其包圍包括所述下部半導體封裝、所述上部半導體封裝、所述封裝間連接部分以及所述絕緣層的結構之側表面以及頂表面。

17. 一種封裝層疊裝置，其包括：

下部封裝，其至少包括堆疊於下部封裝基板上之第一下部半導體晶片；

上部封裝，其至少包括堆疊於上部封裝基板上之第一上部半導體晶片；

多個連接導體，其安置於所述上部封裝基板與所述下部封裝基板之間，所述多個連接導體包圍所述第一下部半導體晶片之側面，且所述多個連接導體中之每一連接導體至少自所述下部封裝基板之頂表面延伸至所述上部封裝基板之底表面以將所述上部封裝實體且電連接至所述下部封裝；

絕緣層，其經安置以側向地包圍安置有所述多個連接導體之區域；以及

電磁屏蔽層，其包圍所述封裝層疊裝置之側表面以及頂表面。

18. 如申請專利範圍第17項所述之封裝層疊裝置，其

中：

所述第一下部半導體晶片安置於所述下部封裝基板與所述上部封裝基板之間，使得其在所述下部封裝基板上方且在所述上部封裝基板下方；

所述第一上部半導體晶片安置於所述上部封裝基板上方；

所述絕緣層安置於位於所述第一下部半導體晶片與所述上部封裝基板之間的空間中。

19. 如申請專利範圍第 18 項所述之封裝層疊裝置，其中：

所述絕緣層之內邊緣接觸所述多個連接導體中之多個最外連接導體；且

所述絕緣層之外邊緣接觸所述電磁屏蔽層。

20. 如申請專利範圍第 19 項所述之封裝層疊裝置，其中：

所述多個連接導體包括實體且電連接所述上部封裝與所述下部封裝的所述連接導體中之全部。

21. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括磁性材料、鐵氧體奈米管或金屬層。

22. 如申請專利範圍第 21 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括藉由塗佈或電鍍所形成之材料。

23. 如申請專利範圍第 21 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括軟磁材料，所述軟磁材料包括下列中之一或多者：軟金屬粉末、軟合金粉末或鐵氧體材料。

24. 如申請專利範圍第 21 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括鐵氧體材料，所述鐵氧體材料包括氧化鐵。

25. 如申請專利範圍第 17 項所述之封裝層疊裝置，其更包括：

分隔區域，其位於所述下部封裝與所述上部封裝之間且將所述下部封裝與所述上部封裝分開預定距離；以及

下部模製化合物，其至少包圍所述第一下部半導體晶片之側表面且安置於所述分隔區域與所述下部封裝基板之頂表面之間；

其中：

所述多個連接導體中之每一連接導體延伸穿過所述下部模製化合物。

26. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

每一連接導體包括接觸所述下部封裝基板之所述頂表面的第一導體以及接觸所述上部封裝基板之所述底表面的第二導體。

27. 如申請專利範圍第 26 項所述之封裝層疊裝置，其

中：

所述下部模製化合物包括延伸穿過所述下部模製化合物以暴露所述下部封裝基板之所述頂表面的開口，且所述第一導體嵌入於所述開口中。

28. 如申請專利範圍第 26 項所述之封裝層疊裝置，其中：

所述第一導體在垂直高度、水平寬度或體積中之至少一者上具有大於所述第二導體的尺寸。

29. 如申請專利範圍第 26 項所述之封裝層疊裝置，其中：

所述第一導體為傳導性凸塊以及穿孔中之一者；且

所述第二導體為傳導性凸塊以及穿孔中之一者。

30. 如申請專利範圍第 29 項所述之封裝層疊裝置，其中：

所述第一導體為直接連接至所述上部封裝基板之傳導性球或凸塊；且

所述第二導體為連接於所述第一導體與所述下部封裝基板之間的傳導性球或凸塊或傳導性穿孔。

31. 如申請專利範圍第 29 項所述之封裝層疊裝置，其更包括：

第三導體，其介入於所述第一導體與所述第二導體之間。

32. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述第一下部半導體晶片具有大於所述第一上部半導體晶片的面積。

33. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述第一下部半導體晶片為堆疊於所述下部封裝基板上的額外半導體晶片堆疊之部分。

34. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述第一上部半導體晶片為堆疊於所述上部封裝基板上的額外半導體晶片堆疊之部分。

35. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述封裝層疊裝置具有六面體形狀；且

所述電磁屏蔽層完全覆蓋所述封裝層疊裝置之五個表面。

36. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中所述絕緣層包括黏著性底部填充材料、介電材料或絕緣膠帶。

37. 一種封裝層疊裝置，其包括：

下部封裝，其至少包括堆疊於下部封裝基板上之第一下部半導體晶片；

上部封裝，其至少包括堆疊於上部封裝基板上之第一上部半導體晶片；

多個連接導體，其安置於所述上部封裝基板與所述下

部封裝基板之間，所述多個連接導體水平地包圍所述第一下部半導體晶片，且所述多個連接導體中之每一連接導體至少自所述下部封裝基板之頂表面延伸至所述上部封裝基板之底表面以將所述上部封裝實體且電連接至所述下部封裝；

絕緣層，其經安置以水平地包圍安置有所述多個連接導體之區域；以及

電磁屏蔽層，其覆蓋所述封裝層疊裝置之側表面且接觸所述絕緣層。

38. 如申請專利範圍第 37 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層亦覆蓋所述封裝層疊裝置之頂表面。

39. 如申請專利範圍第 38 項所述之封裝層疊裝置，其中：

所述封裝層疊裝置具有六面體形狀；且

所述電磁屏蔽層完全覆蓋所述封裝層疊裝置之五個表面。

40. 一種製造封裝層疊裝置之方法，其包括：

形成下部封裝，其至少包括堆疊於下部封裝基板上之第一下部半導體晶片以及包圍所述第一下部半導體晶片之側面的下部模製層；

在所述下部模製部分中形成多個開口；

分別在所述多個開口中形成多個第一導體；

形成上部封裝，其至少包括堆疊於上部封裝基板上之

第一上部半導體晶片；

將所述上部封裝堆疊於所述下部封裝上，使得包括所述多個第一導體之多個連接導體分別安置於所述上部封裝基板與所述下部封裝基板之間，所述多個連接導體安置於包圍所述第一下部半導體晶片之側面的區域中，且其中所述多個連接導體中之每一連接導體至少自所述下部封裝基板之頂表面延伸至所述上部封裝基板之底表面以將所述上部封裝實體且電連接至所述下部封裝；

形成絕緣層以側向地包圍安置有所述多個連接導體之所述區域；以及

形成電磁屏蔽層以包圍所述封裝層疊裝置之側表面以及頂表面。

41. 如申請專利範圍第 40 項所述之製造方法，其中：

形成所述多個第一導體的步驟包括形成傳導性球、凸塊或穿孔；且

所述多個連接導體中之每一連接導體包括傳導性球、凸塊或穿孔以及另一傳導性球、凸塊或穿孔。

42. 如申請專利範圍第 40 項所述之製造方法，其中：

形成所述電磁屏蔽層的步驟包括在所述封裝層疊裝置上塗佈或電鍍所述電磁屏蔽層以覆蓋所述封裝層疊裝置之所述側表面以及所述頂表面。

43. 如申請專利範圍第 42 項所述之製造方法，其中：

所述電磁屏蔽層接觸所述絕緣層。

44. 如申請專利範圍第 40 項所述之製造方法，其更包

括：

藉由形成自所述下部封裝基板之所述頂表面延伸至所述下部封裝之頂表面的傳導性穿孔在所述多個開口中形成所述多個第一導體；

形成多個第二導體的步驟包括在所述上部封裝基板之底表面上形成多個球或凸塊；以及

藉由使所述多個第一導體與所述多個第二導體對準且執行實體連接每一第一導體與各別第二導體之製程來形成所述連接導體。

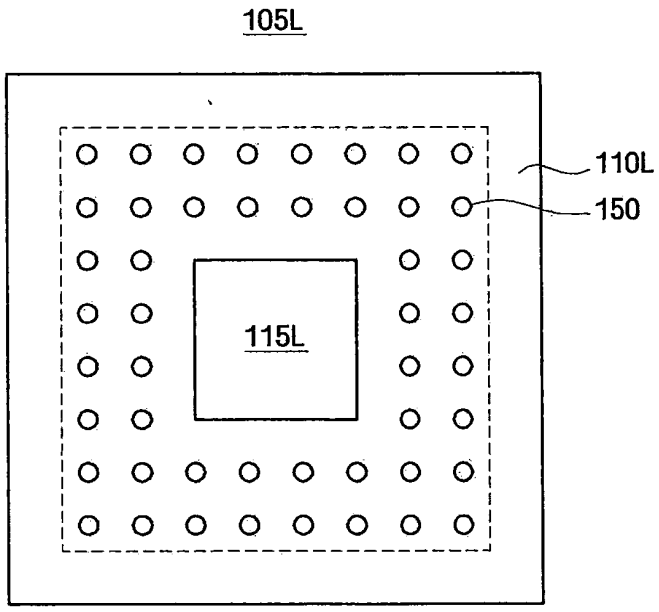

105L
110L
150
115L

圖1

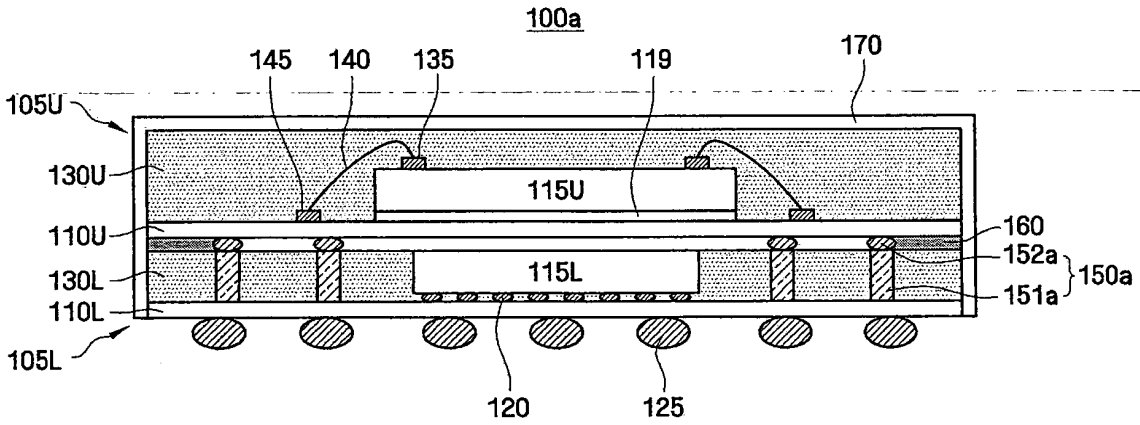

100a
145
140
135
119
170
105U
130U
115U
110U
160
152a
150a
130L
115L
151a
110L
105L
120
125

圖2A

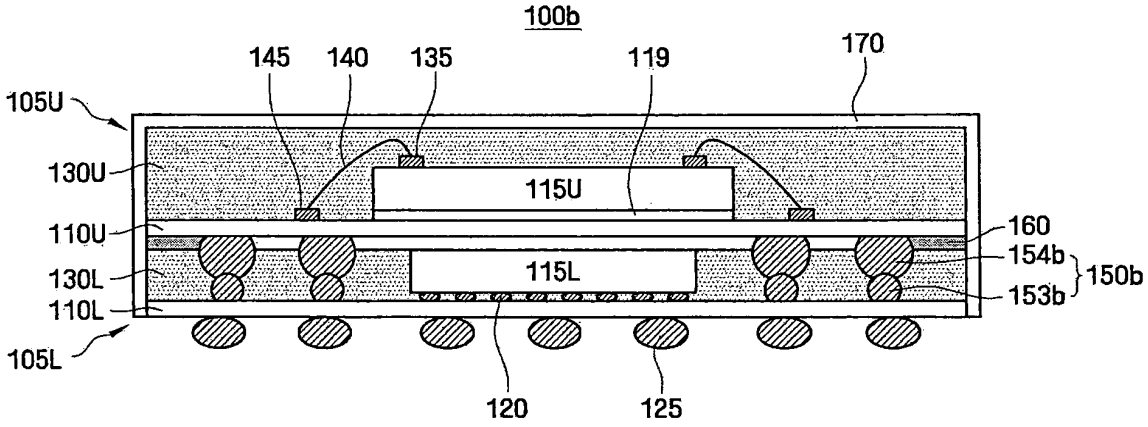

100b
145
140
135
119
170
105U
130U
115U
110U
160
154b
150b
130L
115L
153b
110L
105L
120
125

圖2B

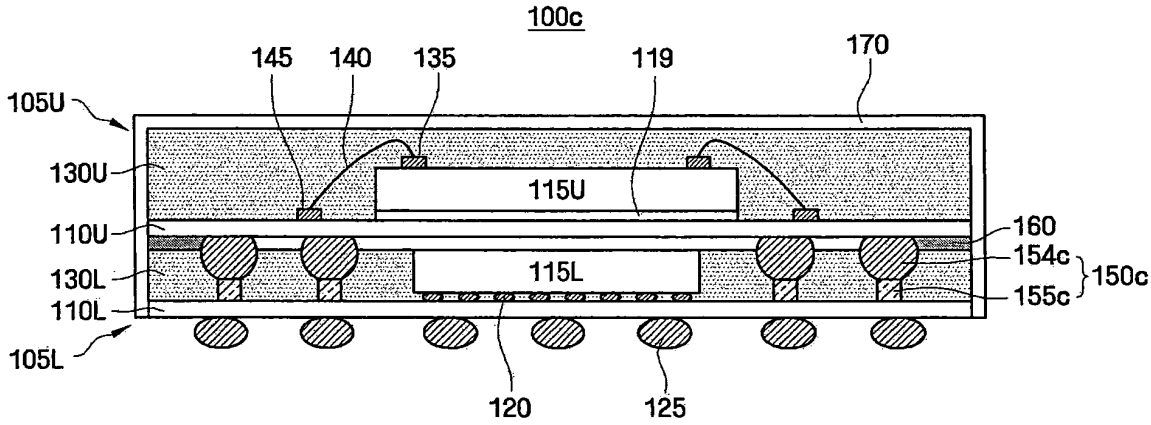

100c
145
140
135
119
170
105U
130U
115U
110U
160
154c
150c
130L
115L
155c
110L
105L
120
125

圖2C

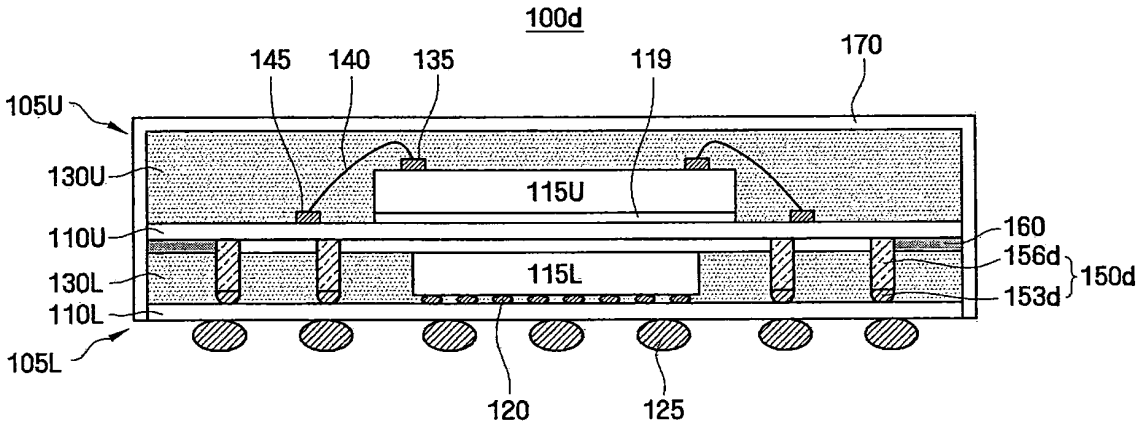

100d
145
140
135
119
170
105U
130U
115U
110U
160
156d
150d
130L
115L
153d
110L
105L
120
125

圖2D

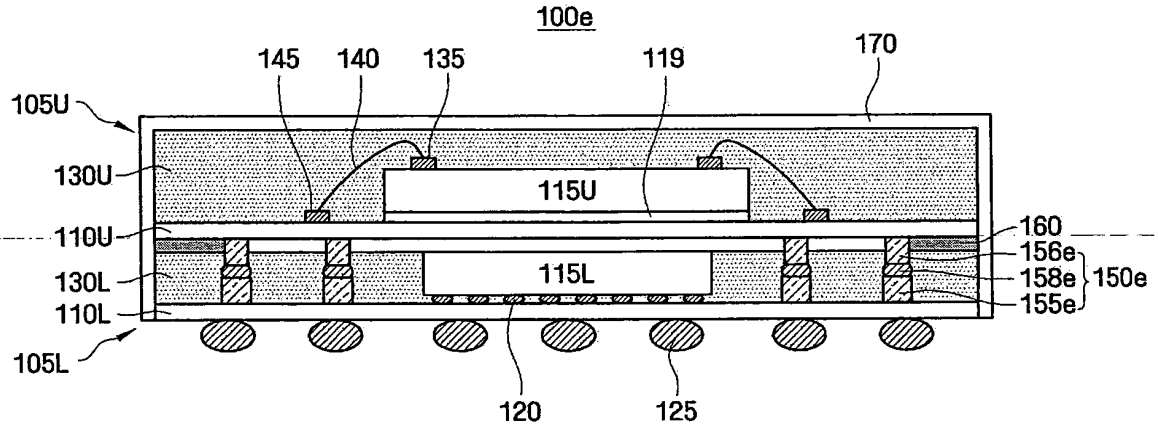

100e
145
140
135
119
170
105U
130U
115U
110U
160
156e
158e
150e
130L
115L
155e
110L
105L
120
125

圖2E

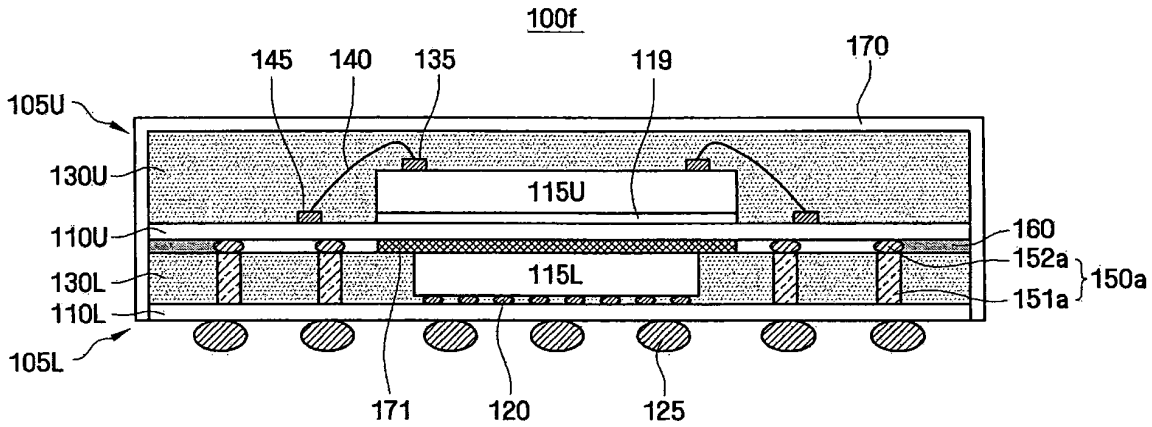

100f
145
140
135
119
170
105U
130U
115U
110U
160
152a
150a
130L
115L
151a
110L
105L
171
120
125

圖2F

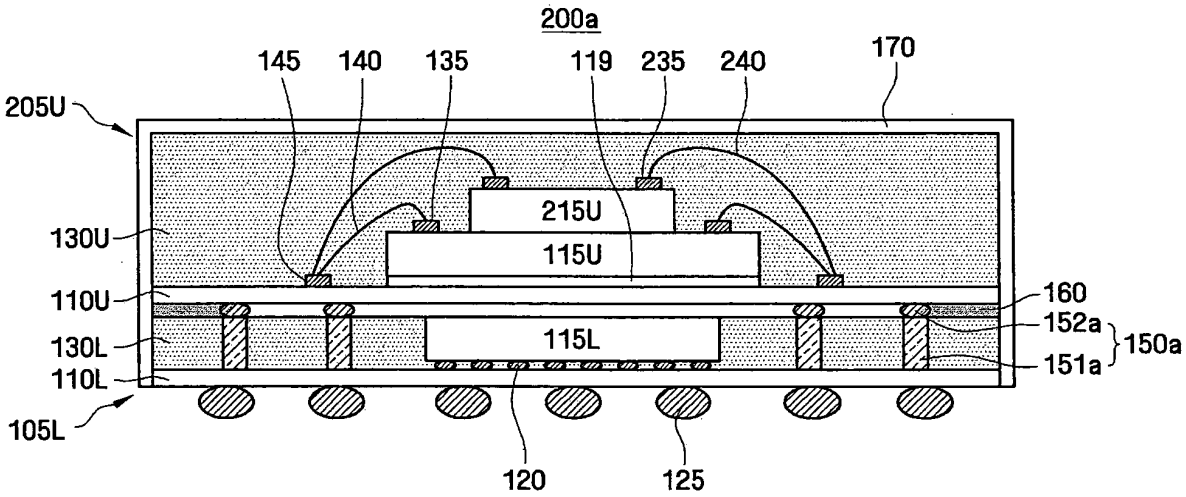

200a
145
140
135
119
235
240
170
205U
215U
130U
115U
110U
160
152a
150a
130L
115L
151a
110L
105L
120
125

圖3

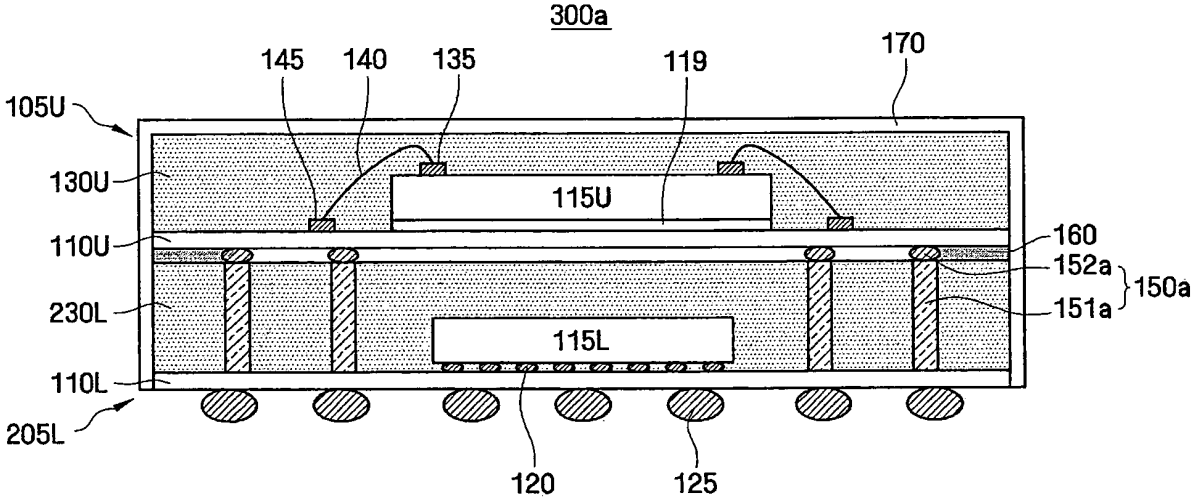

300a
145
140
135
119
170
105U
130U
115U
110U
160
152a
150a
230L
151a
115L
110L
205L
120
125

圖4

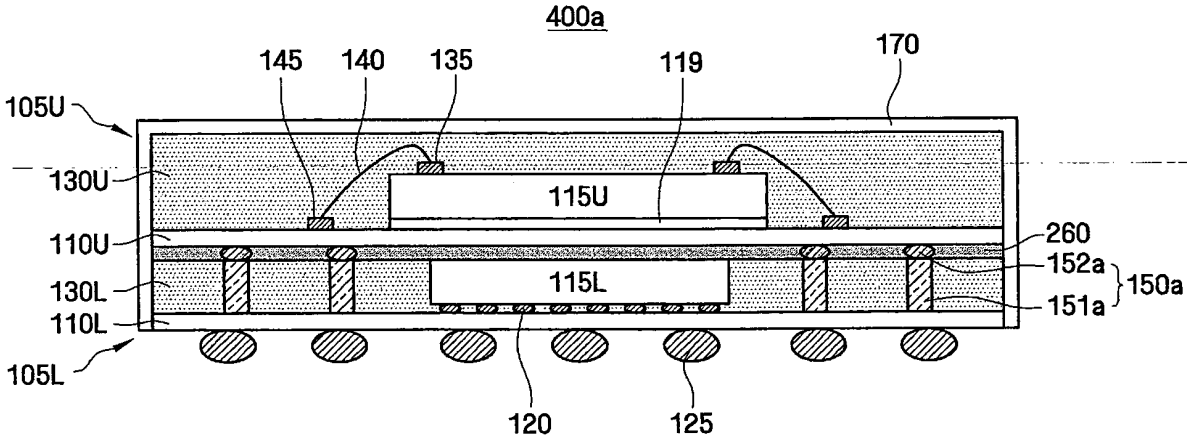

400a
145
140
135
119
170
105U
130U
115U
110U
260
152a
150a
130L
151a
115L
110L
105L
120
125

圖5

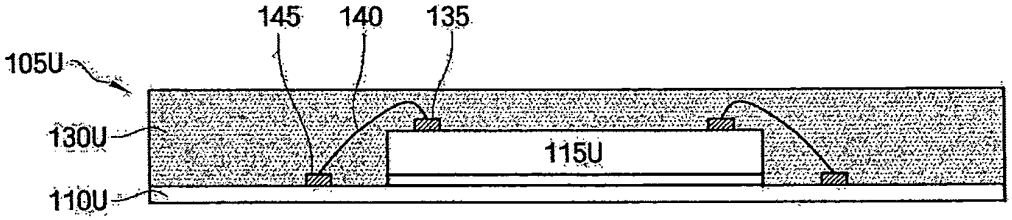

145
140
135
105U
130U
115U
110U

圖6A

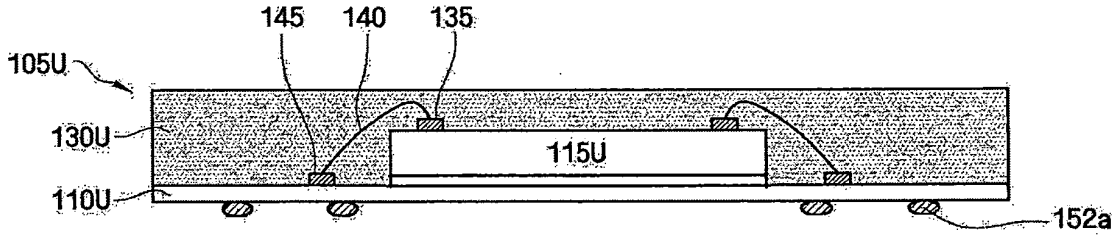

145
140
135
105U
130U
115U
110U
152a

圖6B

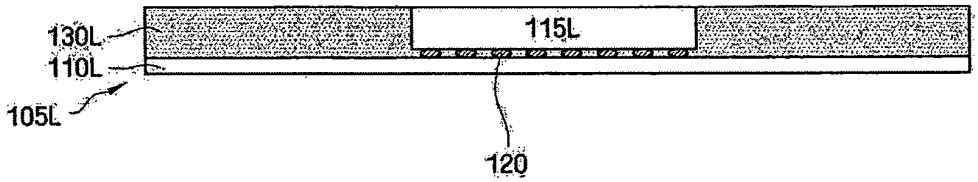

130L
110L
105L
115L
120

圖6C

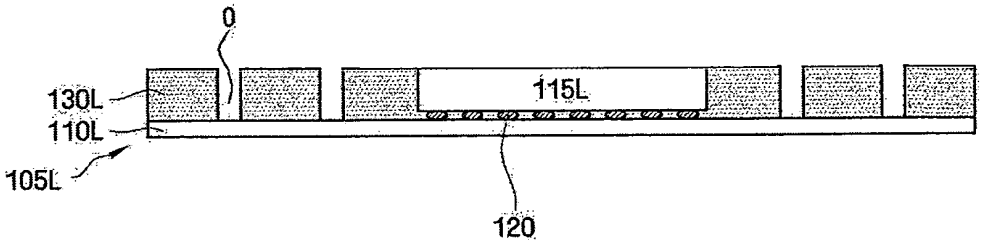

0
130L
110L
105L
115L
120

圖6D

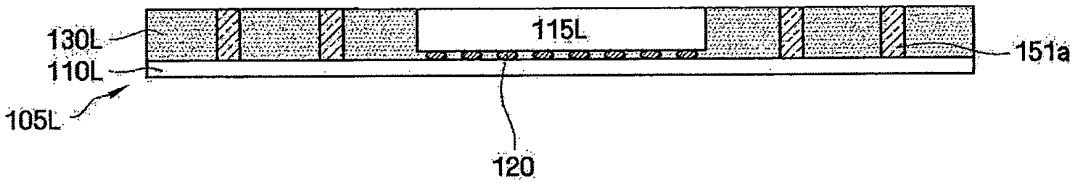

130L
110L
105L
115L
151a
120

圖6E

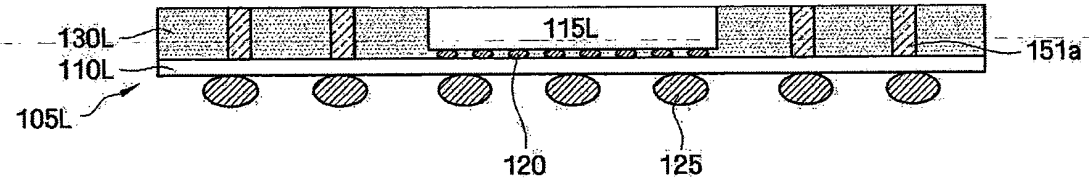

130L
110L
105L
115L
151a
120
125

圖6F

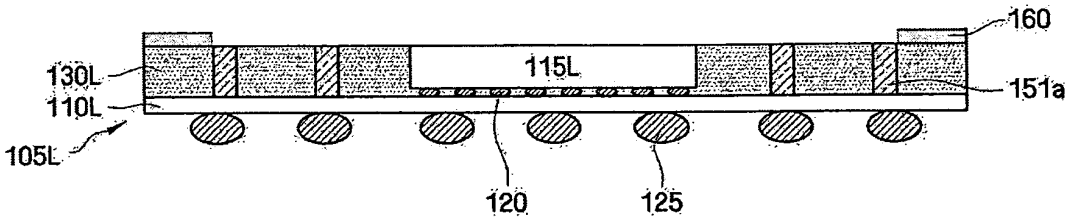

160
130L
115L
151a
110L
105L
120
125

圖6G

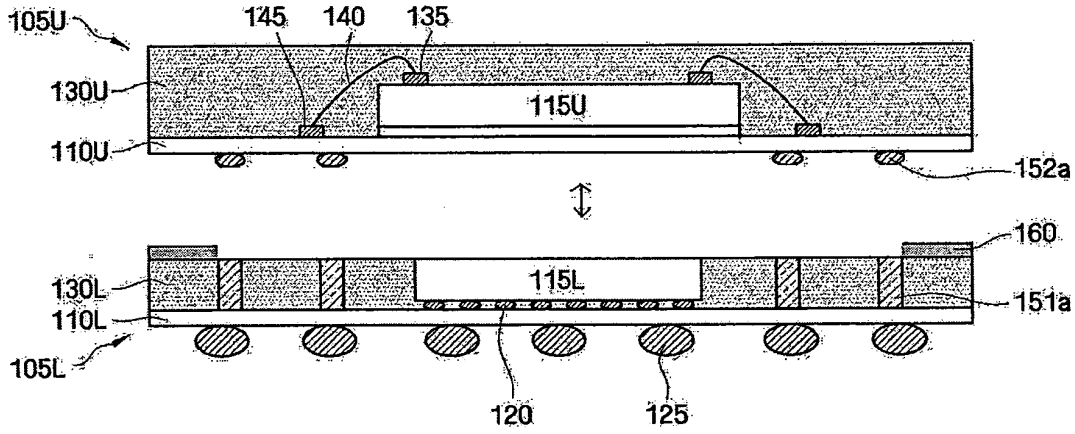

105U
145
140
135
130U
115U
110U
152a
160
130L
115L
151a
110L
105L
120
125

圖6H

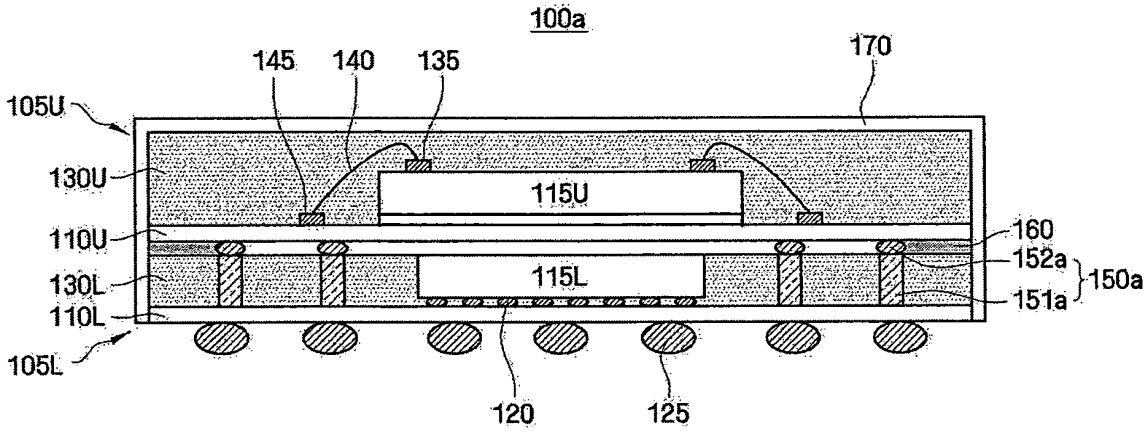

100a
145
140
135
170
105U
130U
115U
110U
160
152a
150a
130L
115L
151a
110L
105L
120
125

圖6I

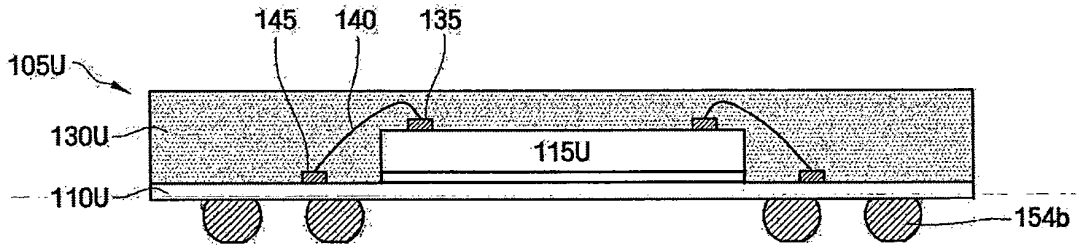

145
140
135
105U
130U
115U
110U
154b

圖7A

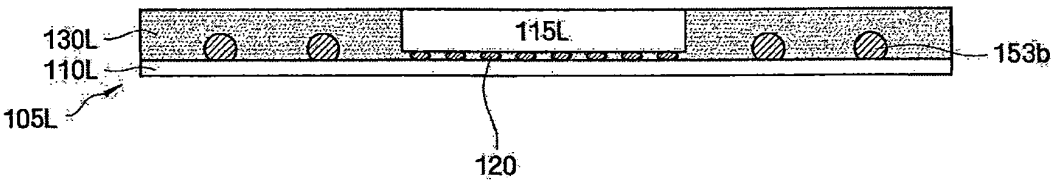

130L
110L
105L
115L
153b
120

圖7B

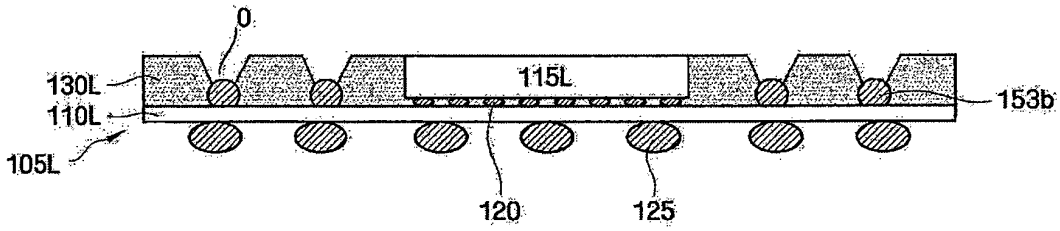

0
130L
110L
105L
115L
153b
120
125

圖7C

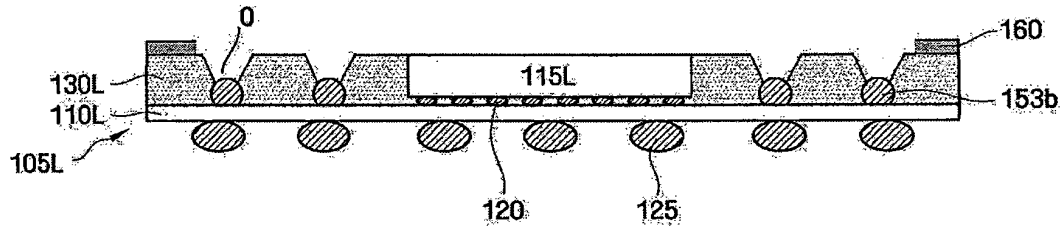

0
160
130L
110L
105L
115L
153b
120
125

圖7D

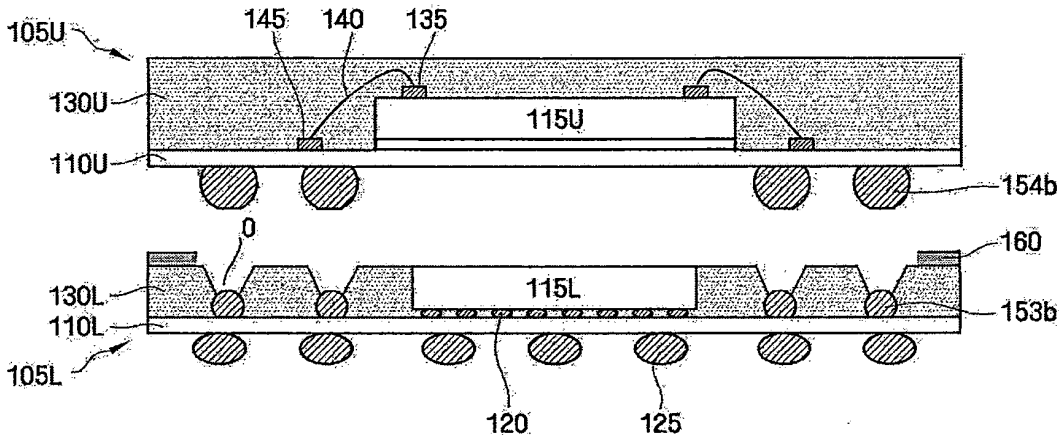

105U
145
140
135
130U
115U
110U
154b
0
160
130L
115L
153b
110L
105L
120
125

圖7E

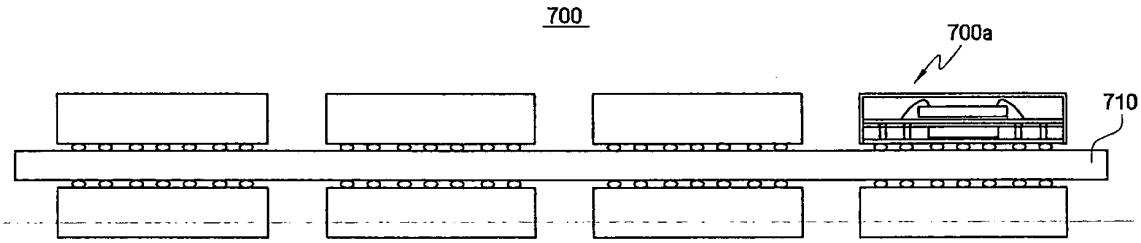

700
700a
710

圖8

四、指定代表圖：

（一）本案之指定代表圖：圖 2A

（二）本代表圖之元件符號簡單說明：

100a：堆疊的封裝結構

105L：下部半導體封裝

105U：上部半導體封裝

110L：下部封裝基板

110U：上部封裝基板

115L：下部半導體晶片

115U：上部半導體晶片/第一上部半導體晶片

119：絕緣黏著劑

120：傳導性晶片凸塊

125：傳導性焊球

130L：下部模製化合物

130U：上部模製化合物

135：晶片墊

140：導線

145：線結合墊

150a：封裝間連接部分/封裝間連接導體

151a：部分/下部導體

152a：上部導體

160：絕緣層

170：屏蔽層/電磁屏蔽層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

爲第 100144085 號中文說明書無劃線修正本　　修正日期:101 年 3 月 23 日

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：

※申請日期：　　※IPC 分類：H01L 23/552 (2006.01)
H01L 23/60 (2006.01)
H01L 23/488 (2006.01)
H01L 21/58 (2006.01)

一、發明名稱：（中文/英文）

堆疊的封裝結構、封裝層疊裝置及其製造方法

STACKED PACKAGE STRUCTURE, PACKAGE-ON-PACKAGE DEVICE AND METHOD OF MANUFACTURING THE SAME

二、中文發明摘要：

提供一種堆疊的封裝結構。堆疊的封裝結構包含：堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。

三、英文發明摘要：

A stacked package structure is provided. The stacked package structure includes a stacked package including a lower semiconductor package, an upper semiconductor

六、發明說明：

【對相關申請案之對照參考】

本申請案主張2010年12月2日在韓國智慧產權局申請之韓國專利申請案第 10-2010-0122012 號之優先權以及在35 U.S.C. 119下自其產生之所有權利，此案之全部內容以引用的方式併入本文中。

【發明所屬之技術領域】

本揭露內容是關於一種堆疊的封裝結構。

【先前技術】

半導體封裝被日益開發以滿足包含多功能、高容量、緊密性以及小尺寸之要求。為了跟上發展，已提出系統級封裝（system in package；SIP），其中將多個半導體封裝整合為一單一半導體封裝，從而實現高容量以及多功能，同時顯著地減小半導體封裝之尺寸。

SIP 之一技術為垂直地堆疊經個別組裝且已經歷電測試之半導體封裝。此被稱作封裝層疊（package-on-package；POP）或堆疊的封裝。

在堆疊的封裝中，由於多個半導體封裝嵌入至單一電子裝置中，因此在半導體封裝之間可能產生電磁干擾（electromagnetic interference；EMI），因此使電子裝置之總體效能降級且引起電子裝置之故障。

【發明內容】

本揭露內容提供一種堆疊的封裝結構，其可藉由有效地抑制自堆疊的封裝所產生之電磁波使電磁干擾（EMI）

最小化。

本揭露內容之以上以及其他目標將在較佳實施例之以下描述中描述或因較佳實施例之以下描述而顯而易見。

根據一實施例，提供一種堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝，同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。

根據另一實施例，提供一種堆疊的封裝結構，堆疊的封裝結構包含：下部半導體封裝，其包含下部封裝基板、形成於下部封裝基板之頂表面上的下部半導體晶片，以及至少包圍下部半導體晶片之側表面的下部模製化合物；上部半導體封裝，其包含上部封裝基板，以及形成於上部封裝基板之頂表面上的上部半導體晶片，所述上部半導體晶片安置於下部半導體封裝上使得上部封裝基板之底表面與下部模製化合物間隔開預定距離；封裝間連接部分，其自下部封裝基板之頂表面延伸穿過下部模製化合物，且將下部封裝基板之頂表面連接至上部封裝基板之底表面；絕緣層，其至少安置於封裝間連接部分之外部且填充上部封裝基板之底表面與下部模製化合物之間的空間；以及電磁屏蔽層，其包圍包含下部半導體封裝、上部半導體封裝、封

裝間連接部分以及絕緣層的結構之側表面以及頂表面。

根據另一實施例，揭露一種封裝層疊裝置。封裝層疊裝置包含：下部封裝，其至少包含堆疊於下部封裝基板上之第一下部半導體晶片；上部封裝，其至少包含堆疊於上部封裝基板上之第一上部半導體晶片；多個連接導體，其安置於上部封裝基板與下部封裝基板之間，此多個連接導體包圍第一下部半導體晶片之側面，且此多個連接導體中之每一連接導體至少自下部封裝基板之頂表面延伸至上部封裝基板之底表面以將上部封裝實體且電連接至下部封裝；絕緣層，其經安置以側向地包圍安置有此多個連接導體之區域；以及電磁屏蔽層，其包圍封裝層疊裝置之側表面以及頂表面。

根據另一實施例，揭露一種封裝層疊裝置。封裝層疊裝置包含：下部封裝，其至少包含堆疊於下部封裝基板上之第一下部半導體晶片；上部封裝，其至少包含堆疊於上部封裝基板上之第一上部半導體晶片；多個連接導體，其安置於上部封裝基板與下部封裝基板之間，此多個連接導體水平地包圍第一下部半導體晶片，且此多個連接導體中之每一連接導體至少自下部封裝基板之頂表面延伸至上部封裝基板之底表面以將上部封裝實體且電連接至下部封裝；絕緣層，其經安置以水平地包圍安置有此多個連接導體之區域；以及電磁屏蔽層，其覆蓋封裝層疊裝置之側表面且接觸絕緣層。

根據另一實施例，揭露一種形成封裝層疊裝置之方

法。方法包含：形成下部封裝，其至少包含堆疊於下部封裝基板上之第一下部半導體晶片以及包圍第一下部半導體晶片之側面的下部模製部分；在下部模製部分中形成多個開口；形成上部封裝，其至少包含堆疊於上部封裝基板上之第一上部半導體晶片；分別在此多個開口中形成多個第一導體；將上部封裝堆疊於下部封裝上，使得包含此多個第一導體之多個連接導體分別安置於上部封裝基板與下部封裝基板之間，此多個連接導體安置於包圍第一下部半導體晶片之側面的區域中，且其中此多個連接導體中之每一連接導體至少自下部封裝基板之頂表面延伸至上部封裝基板之底表面以將上部封裝實體且電連接至下部封裝；形成絕緣層以側向地包圍安置有此多個連接導體之區域；以及形成電磁屏蔽層以包圍封裝層疊裝置之側表面以及頂表面。

藉由參看所附圖式詳細描述本揭露內容之各種實施例，本揭露內容之以上以及其他特徵與優點將變得更顯而易見。

【實施方式】

現將在下文參看展示各種實施例的隨附圖式更充分地描述本揭露內容。然而，本發明可按不同形式體現且不應被解釋為限於本文中所闡述之實施例。在附圖中，為了清晰起見，層以及區域之厚度被誇示。

亦應理解，當層、元件或基板被稱作“在另一層、元件或基板上”、“在另一層、元件或基板上方”、“在另

一層、元件或基板下方”、“連接至”或“耦接至”另一層、元件或基板時，其可直接在另一層、元件或基板上、上方、下方、直接連接至或耦接至另一層、元件或基板，或亦可存在介入層、元件或基板。對比而言，當元件被稱作“直接在另一元件上”、“直接在另一元件上方”、“直接在另一元件下方”、“直接連接至”或“直接耦接至”另一元件時，不存在介入元件。然而，如本文中所使用，術語“接觸”暗示直接接觸，除非另有指示。

如本文中所使用，單數形式“一”以及“所述”意欲亦包含複數形式，除非上下文另有清晰指示。應進一步理解，術語“包括”或“包含”在於此說明書中使用時指所陳述特徵、區域、整體、步驟、操作、元件及/或組件之存在，且並不排除一或多個其他特徵、區域、整體、步驟、操作、元件、組件及/或其群組之存在或添加。

將藉由理想示意圖參照平面圖及/或橫截面圖描述本文中所描述之實施例。因此，例示性視圖可根據製造技術及/或容許度而變化。因此，所揭露之實施例並不限於視圖中所展示之實施例，而包含以製造程序為基礎所形成的修改組態。因此，在圖中所例示之區域具有示意性性質，且圖中所展示的區域之形狀例示元件之區域的特定形狀，且特定性質以及形狀不限制本發明之態樣。

如本文中所使用的諸如“相同”、“平坦”或“共平面”之術語在指代定向、佈局、位置、形狀、尺寸、量或其他量度時未必意謂精確相同的定向、佈局、位置、形狀、

尺寸、量或其他量度，而意欲包含（例如）歸因於製造程序而可能發生之可接受變化內的幾乎相同的定向、佈局、位置、形狀、尺寸、量或其他量度。

為了易於描述，諸如“在.....下”、“在.....下方”、“下部”、“在.....上方”、“上部”以及其類似者之空間相對術語可在本文中用以描述如在圖中所說明的一元件或特徵與另一（多個）元件或特徵之關係。應理解，此等空間相對術語意欲包含除了圖中所描繪之定向之外的在使用或操作中的裝置之不同定向。舉例而言，若翻轉圖中之裝置，則描述為“在其他元件或特徵下方”或“在其他元件或特徵下”之元件將定向為“在其他元件或特徵上方”。因此，例示性術語“在.....下方”可包含“在.....上方”以及“在.....下方”之兩個定向。裝置可以其他方示定向（旋轉 90 度或按其他定向），且相應地解譯本文中所使用之空間相對描述詞。

應理解，儘管術語第一、第二等可在本文中用以描述各種元件，但此等元件不應受此等術語限制。除非另有指示，否則此等術語僅用以將一元件與另一者區分開。舉例而言，在不脫離本揭露內容之教示的情況下，可將第一晶片稱作第二晶片，且類似地，可將第二晶片稱作第一晶片。

除非另有定義，否則本文中所使用之所有術語（包含技術以及科學術語）具有與由一般熟習本揭露內容所屬技術者通常理解之含義相同的含義。應進一步理解，諸如在普通使用之詞典中所定義之術語的術語應解譯為具有與其

在相關技術及/或本申請案之情況下的含義一致之含義，且不應按理想化或過於形式化的意義來解譯，除非本文中明確地如此定義。

下文，將參看圖 1 以及圖 2A 至圖 2F 描述根據第一實施例之堆疊的封裝結構以及其修改實例。圖 1 為說明在根據某些實施例之堆疊的封裝結構中所包含的下部封裝以及封裝間連接部分之平面圖，且圖 2A 至圖 2F 為說明根據第一實施例以及其修改實例之堆疊的封裝結構的橫截面圖。圖 2A 至圖 2F 中所展示之堆疊的封裝結構包含具有相同組態（除了每一封裝間連接部分外）之下部以及上部封裝。因此，在以下描述中，將首先參看圖 1 以及圖 2A 描述根據第一實施例之堆疊的封裝結構，且接著將詳細描述在圖 2B 至圖 2F 中所展示的根據第一實施例之修改實例之堆疊的封裝結構，其強調與根據第一實施例之堆疊的封裝結構之差異（亦即封裝間連接部分），且將不提供其他組件之描述。

參看圖 1 以及圖 2A，根據第一實施例之堆疊的封裝結構 100a 包含：下部半導體封裝 105L；上部半導體封裝 105U，其安置於下部半導體封裝 105L 上，與下部半導體封裝 105L 間隔開預定距離；封裝間連接部分 150a，其電連接下部半導體封裝 105L 與上部半導體封裝 105U，同時支撐其間之空間；絕緣層 160，其安置於封裝間連接部分 150a 之外部且填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間；以及屏蔽層 170，其包圍包含前述組

件（亦即，下部半導體封裝 105L、上部半導體封裝 105U、封裝間連接部分 150a 以及絕緣層 160）的結構之側表面以及頂表面。在以下描述中，為了方便解釋，包含下部半導體封裝 105L、上部半導體封裝 105U、封裝間連接部分 150a 以及絕緣層 160 之結構（排除屏蔽層 170）將被稱作堆疊的封裝，且包含堆疊的封裝以及屏蔽層 170 之結構將被稱作堆疊的封裝結構或封裝層疊裝置。

下部半導體封裝 105L 包含下部封裝基板 110L、形成於下部封裝基板 110L 之頂表面上的下部半導體晶片 115L、下部模製化合物 130L，以及形成於下部封裝基板 110L 之底表面上的傳導性焊球 125。

下部封裝基板 110L 可為用於封裝之基板（亦即，封裝基板），例如，印刷電路板或陶瓷板。

下部半導體晶片 115L 可為諸如微處理器之邏輯裝置。可藉由覆晶結合將下部半導體晶片 115L 安裝於下部封裝基板 110L 上。因此，將多個傳導性晶片凸塊 120 安置於下部封裝基板 110L 與下部半導體晶片 115L 之間以電連接下部封裝基板 110L 與下部半導體晶片 115L。傳導性晶片凸塊 120 可藉由焊接製程形成。儘管僅展示一個下部半導體晶片 115L，但下部半導體封裝 105L 可包含配置於堆疊中且包含第一、第二等晶片之多個半導體晶片。晶片中之一或多者可為邏輯晶片，且晶片中之一或多者可為另一類型之晶片，諸如記憶體晶片。某些晶片可具有組合式邏輯（combined logic）以及記憶體儲存功能性。

下部模製化合物 130L 可在下部封裝基板 110L 之頂表面上形成模製層，且可形成以包圍下部半導體晶片 115L 之側表面，同時填充下部半導體晶片 115L 與下部封裝基板 110L 之間的空間。另外，下部模製化合物 130L 包圍稍後將描述的封裝間連接部分 150a 之一部分（151a）的側表面，此部分延伸穿過下部模製化合物 130L。下部模製化合物 130L 可包含環氧樹脂模製化合物（epoxy molding compound；EMC）或聚醯亞胺。

在此實施例中，下部模製化合物 130L 具有實質上與下部半導體晶片 115L 之高度相同或小於下部半導體晶片 115L 之高度的高度，因此暴露下部半導體晶片 115L 之頂表面。如上文所述，在下部半導體晶片 115L 之頂表面暴露至下部模製化合物 130L 之外部的情況下，下部半導體封裝 105L 之總厚度以及堆疊的封裝結構 100a 之總厚度減小，且熱耗散特性得以改良。另外，對高溫製程之抵抗性以及抗彎曲或抗扭曲性可增加。此外，由於在不使用模製化合物之情況下直接將實體壓力施加至下部半導體晶片 115L 之一表面，因此可穩定地使用柵格陣列技術或多層模製技術。若下部模製化合物 130L 之厚度減小，則可減小稍後將描述的封裝間連接部分 150a 之總高度，藉此便利封裝間連接部分 150a 之形成，但所揭露之實施例不限於此。或者，下部模製化合物 130L 可形成以覆蓋下部半導體晶片 115L（見圖 4）。

焊球 125 可為用於將堆疊的封裝結構 100a 電連接至

模組板或主電路板之組件。亦可使用焊料凸塊替代焊球125。

上部半導體封裝 105U 可包含上部封裝基板 110U、形成於上部封裝基板 110U 之頂表面上的上部半導體晶片 115U，以及上部模製化合物 130U。

上部封裝基板 110U 可為用於封裝之基板（亦即，封裝基板），例如，印刷電路板或陶瓷板。

上部半導體晶片 115U 可為 DRAM 或快閃記憶體。在一實施例中，可藉由線結合將上部半導體晶片 115U 安裝於上部封裝基板 110U 上。因此，上部半導體晶片 115U 與上部封裝基板 110U 可藉由導線 140 電連接。詳細而言，使用絕緣黏著劑 119 將上部半導體晶片 115U 附著至上部封裝基板 110U 之頂表面。安置於上部半導體晶片 115U 之頂表面上的晶片墊 135 與安置於上部封裝基板 110U 之頂表面上的線結合墊 145 可藉由導線 140 電連接。然而，無需使用線結合，且可使用諸如穿孔（through via）（亦即，基板穿孔或矽穿孔）之其他連接將上部半導體晶片 115U 電連接至上部封裝基板 110U。另外，儘管僅展示一個上部半導體晶片 115U，但上部半導體封裝 105U 可包含配置於堆疊中且包含第一、第二等晶片之多個半導體晶片。晶片中之一或多者可為邏輯晶片，且晶片中之一或多者可為另一類型之晶片，諸如記憶體晶片。某些晶片可具有組合式邏輯以及記憶體儲存功能性。

在一實施例中，上部半導體晶片 115U 可具有大於下

部半導體晶片 115L 的水平寬度或面積。在一實施例中，由於稍後將描述之封裝間連接部分 150a 安置於上部封裝基板 110U 之底表面與下部封裝基板 110L 之頂表面之間，因此由封裝間連接部分 150a 所佔據之面積不受上部半導體晶片 115U 之面積影響，而受下部半導體晶片 115L 之面積影響。因此，上部半導體晶片 115U 可在水平方向上大於下部半導體晶片 115L，藉此改良空間效率同時減小空間限制。然而，當前的實施例並不將上部封裝基板 110U 以及下部封裝基板 110L 之尺寸限於本文中所說明之實例。上部半導體晶片 115U 在水平寬度或面積上可大於或小於下部半導體晶片 115L。

上部模製化合物 130U 可形成上部模製層，其形成於上部封裝基板 110U 之頂表面上，以便覆蓋且包圍上部半導體晶片 115U。上部模製化合物 130U 可包含環氧樹脂模製化合物（EMC）或聚醯亞胺。

在一實施例中，上部半導體封裝 105U 與下部半導體封裝 105L 在垂直方向上彼此間隔開預定距離，且為上下配置。詳細而言，預定空間存在於上部封裝基板 110U 之底表面與下部模製化合物 130L 及/或下部半導體晶片 115L 之間。預定空間亦在本文中被稱作分隔區域。

封裝間連接部分 150a 包含水平地安置於下部半導體晶片 115L 周圍（例如）以包圍下部半導體晶片 115L 之多個封裝間連接導體。封裝間連接部分 150a 可包含包圍下部半導體晶片 115L 之側面的內區域，且所述內區域之側由

外周邊區域包圍。舉例而言，在一實施例中，封裝間連接導體可按陣列形成及/或可形成包圍下部半導體晶片 115L 之一系列同心環（例如，矩形），如圖 1 中所示。然而，亦可實施其他配置。

封裝間連接部分 150a 可電連接下部半導體封裝 105L 與上部半導體封裝 105U，同時垂直地支撐下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間，藉此電連接且實體連接此兩個封裝。更特定言之，封裝間連接部分 150a 實體連接且電連接下部封裝基板 110L 之頂表面與上部封裝基板 110U 之底表面。為此，每一封裝間連接導體 150a 自下部封裝基板 110L 之頂表面延伸或突出穿過下部模製化合物 130L，以將下部封裝基板 110L 之頂表面連接至上部封裝基板 110U 之底表面。封裝間連接導體可連接（例如）至下部封裝基板 110L 上之墊以及上部封裝基板 110U 上之墊，此等墊連接至基板內之電路，用於將信號發送至所安裝之上部半導體晶片 115U 以及下部半導體晶片 115L 以及自所安裝之上部半導體晶片 115U 以及下部半導體晶片 115L 發送信號。

封裝間連接部分 150a 的總體或一部分可實質上形成為下部半導體封裝 105L 之部分及/或上部半導體封裝 105U 之部分。另外，封裝間連接部分 150a 可包含單一導體或多個導體之堆疊的結構，此等導體可藉由獨立的製程形成或可具有不同之形狀、高度以及寬度。

在一實施例中，封裝間連接部分 150a 中之每一者包

含下部導體 151a 以及上部導體 152a，下部導體 151a 具有與下部模製化合物 130L 之厚度相同的高度同時延伸穿過下部模製化合物 130L 以接著接觸下部封裝基板 110L 之頂表面，且上部導體 152a 安置於下部導體 151a 上且接觸上部封裝基板 110U 之底表面。

因此，在此實施例中，上部導體 152a 支撐下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。此處，下部導體 151a 可形成為貫孔（via），且上部導體 152a 可由焊接材料製成。在以下描述中，待形成為貫孔之組件意謂其可藉由貫孔形成製程（亦即，藉由移除下部模製化合物 130L 之一部分形成通孔以便暴露下部封裝基板 110L 之頂表面且用傳導性材料填充通孔之製程）形成。貫孔亦可被稱作穿孔，或當用傳導性材料填充時被稱作傳導性穿孔。另外，定義為由焊接材料製成及/或為凸塊或球之組件意謂其可藉由焊接製程形成。然而，本揭露內容不限於此。或者，封裝間連接部分 150a 可具有包含各種導體的堆疊的結構（見圖 2B 至圖 2E）。

在一實施例中，將絕緣層 160（其防止在稍後將描述之屏蔽層 170 與封裝間連接部分 150a 之間的電短路）水平地安置於封裝間連接部分 150a 之外部以便包圍封裝間連接部分 150a（例如，包圍安置有封裝間連接導體之區域），且垂直地安置以填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。更特定言之，在一實施例中，絕緣層 160 垂直地接觸下部模製化合物 130L 之頂表面以及

上部封裝基板 110U 之底表面。另外，絕緣層 160 可水平地安置於周邊區域中，例如，在由如圖 1 中所示之點線輪廓的區域之外部。因而，絕緣層 160 之內側表面或內邊緣可藉由接觸最外封裝間連接導體中之一或多者而接觸封裝間連接部分 150a，且絕緣層 160 之外側表面或外邊緣可接觸屏蔽層 170。此外，絕緣層 160 可填充上部半導體封裝 105U 與下部半導體封裝 105L 之間的整個垂直距離以充當實體障壁（例如，充當插塞），以防止在沈積屏蔽層 170 時來自屏蔽層 170 之傳導性材料接觸封裝間連接部分 150a 並引起與封裝間連接部分 150a 的短路。

除了絕緣性質之外，絕緣層 160 亦可具有黏著性質。舉例而言，絕緣層 160 可包含黏著性底部填充材料、介電材料或絕緣膠帶。或者，絕緣層 160 可由與下部模製化合物 130L 相同的材料（例如，環氧樹脂模製化合物（EMC）或聚醯亞胺）形成。

在一實施例中，包含下部半導體封裝 105L、上部半導體封裝 105U、封裝間連接部分 150a 以及絕緣層 160 之結構（亦即，堆疊的封裝）可具有六面體形狀。

在一實施例中，屏蔽層 170 形成以包圍且覆蓋六面體堆疊封裝之表面（特定言之，頂表面以及側表面，排除安置有焊球 125 之其底表面）。屏蔽層 170（因為其屏蔽電磁輻射，所以亦被稱作電磁屏蔽層 170）移除自堆疊的封裝結構 100a 中所包含的下部半導體晶片 115L 或上部半導體晶片 115U 所產生之電磁波，防止電磁波發射至外部，或

防止外部電磁波影響下部半導體晶片 115L 或上部半導體晶片 115U，藉此使 EMI 最小化。

屏蔽層 170 可具有傳導率。屏蔽層 170 可包含（例如）軟磁材料、鐵氧體奈米管或金屬層。軟磁材料之實例可包含軟金屬粉末、軟合金粉末或鐵氧體材料。鐵氧體材料之實例可包含氧化鐵（諸如，FeO、Fe_2O_3、Fe_2O_4 或 Fe_3O_4）以及與氧化鐵組合使用之至少一金屬。與氧化鐵組合使用的金屬之實例可包含鎳（Ni）、鋅（Zn）、錳（Mn）、鈷（Co）、鎂（Mg）、鋁（Al）、鋇（Ba）、銅（Cu）以及鐵（Fe）。鐵氧體材料具有高的電阻率以及低的磁飽和。另外，由於鐵氧體材料具有低的機械強度，因此可將其與金屬組合使用。軟磁材料可連續或不連續地配置於屏蔽層 170 內。

可藉由塗佈或電鍍（指用於製造堆疊的封裝結構之方法，其將稍後描述）而形成屏蔽層 170。若藉由塗佈或電鍍形成屏蔽層 170，則其可具有小的厚度。在此情況下，堆疊的封裝結構 100a 與其鄰近封裝結構之間的 EMI 可最小化，同時防止堆疊的封裝結構100a因屏蔽層 170 而過大。

此外，即使藉由塗佈或電鍍形成屏蔽層 170，在下部半導體封裝 105L 與上部半導體封裝 105U 之間所暴露的封裝間連接部分 150a 之部分（見 152a）仍由絕緣層 160 包圍，藉此允許部分 152a 與屏蔽層 170 之間電性斷接。結果，因為絕緣層 160 包圍暴露的封裝間連接部分 150a，所以用於形成屏蔽層 170 之屏蔽材料不可在塗佈或電鍍期間穿透至下部半導體封裝 105L 與上部半導體封裝 105U 之間的空

間中。因此，易於將封裝間連接部分 150a 與屏蔽層 170 彼此電性斷接。

接下來，參看圖 2B，除了封裝間連接部分 150b 外，根據第一實施例之第一修改實例之堆疊的封裝結構 100b 具有實質上與根據本發明之第一實施例之堆疊的封裝結構 100a 之組態相同的組態。

封裝間連接部分 150b 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 153b 以及上部導體 154b，此通孔暴露下部導體 153b 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 153b 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 154b 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上突出的上部部分。

下部導體 153b 以及上部導體 154b 可包括由焊接材料製成之焊料凸塊或焊球。因此，下部導體 153b 以及上部導體 154b 可分別具有實質上球形以及半球形形狀。舉例而言，如圖 2B 中所示，下部導體 153b 實質上形成為半球形，其中心點在下部封裝基板 110L 之頂表面上方，而上部導體 154b 實質上形成為球體，但本發明不限於此。下部導體 153b 以及上部導體 154b 可具有各種形狀。

另外，下部導體 153b 之垂直高度可小於下部模製化合物 130L 之厚度且小於上部導體 154b 之垂直高度。下部

導體 153b 之水平寬度或面積可小於上部導體 154b 之水平寬度或面積。換言之，下部導體 153b 在尺寸上可小於上部導體 154b。如可自稍後將描述的用於製造堆疊的封裝結構之方法看出，下部導體 153b 可形成為下部半導體封裝 105L 之部分，且上部導體 154b 可形成為上部半導體封裝 105U 之部分。因此，可藉由減小下部導體 153b 之尺寸且增大上部導體 154b 之尺寸來改良封裝間連接部分 150b 的尺寸以及配置準確性。

接下來，參看圖 2C，除了封裝間連接部分 150c 外，根據第一實施例之第二修改實例之堆疊的封裝結構 100c 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。

封裝間連接部分 150c 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 155c 以及上部導體 154c，此通孔暴露下部導體 155c 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 155c 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 154c 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上方突出的上部部分。

下部導體 155c 可為成形為柱狀（諸如，圓柱或多稜柱）之導體，其是藉由包含澆鑄、沈積、黏著、電鍍等等之多種方法形成。上部導體 154c 可由焊接材料製成（如同

圖 2B 中所示之上部導體 154b)，且可具有實質上球形以及半球形形狀。

另外，下部導體 155c 之垂直高度可小於下部模製化合物 130L 之厚度且小於上部導體 154c 之垂直高度。下部導體 155c 之水平寬度或面積可小於上部導體 154c 之水平寬度或面積。換言之，下部導體 155c 在尺寸上可小於上部導體 154c。如可自稍後將描述的用於製造堆疊的封裝結構之方法看出，下部導體 155c 可形成為下部半導體封裝 105L 之部分，且上部導體 154c 可形成為上部半導體封裝 105U 之部分。

接下來，參看圖 2D，除了封裝間連接部分 150d 外，根據第一實施例之第三修改實例之堆疊的封裝結構 100d 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。

封裝間連接部分 150d 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 153d 以及上部導體 156d，此通孔暴露下部導體 153d 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 153d 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 156d 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上方突出的上部部分。

下部導體 153d 可實質上與圖 2B 中所示之下部導體

153b 相同。舉例而言，下部導體 153d 可為下部半導體封裝 105L 之部分且可由焊接材料製成，使得其可具有實質上球形或半球形形狀。上部導體 156d 可為上部半導體封裝 105U 之部分。更特定言之，可藉由獨立製程將上部導體 156d 附著至上部封裝基板 110U 之底表面。上部導體 156d 可由金屬依照短釘、棒或柱形狀製成。或者，上部導體 156d 可為下部半導體封裝 105L 之部分，且可填充下部模製化合物 130L 中之孔。

接下來，參看圖 2E，根據第一實施例之第四修改實例之堆疊的封裝結構 100e 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態，除了封裝間連接部分 150e 外。

封裝間連接部分 150e 包含封裝間連接導體，此等封裝間連接導體具有堆疊的結構，此堆疊的結構包含形成於通孔內之下部導體 155e、上部導體 156e 以及介入於下部導體 155e 與上部導體 156e 之間的中間導體 158e，此通孔暴露下部導體 155e 之頂表面同時延伸穿過下部模製化合物 130L，且具有在下部模製化合物 130L 之頂表面上突出的部分。下部導體 155e 接觸下部封裝基板 110L 之頂表面，且具有小於下部模製化合物 130L 之厚度的高度。上部導體 156e 具有安置於通孔內之下部部分以及在下部模製化合物 130L 之頂表面上突出的上部部分。中間導體 158e 介入於下部導體 155e 與上部導體 156e 之間。

下部導體 155e 可實質上與圖 2C 中所示之下部導體

155c 或圖 2D 中所示之上部導體 156d 相同。舉例而言，下部導體 155e 可為下部半導體封裝 105L 之部分且可實質上成形為柱狀。上部導體 156e 可為（例如）作為上部半導體封裝 105U 之部分的封裝凸塊。中間導體 158e 可介入於下部導體 155e 與上部導體 156e 之間，以將下部導體 155e 與上部導體 156e 彼此連接，且可（例如）由傳導性黏著材料製成。

接下來，參看圖 2F，除了屏蔽層 171 外，根據第一實施例之第五修改實例之堆疊的封裝結構 100f 具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。屏蔽層 171 可形成於下部半導體晶片 115L 上。更特定言之，屏蔽層 171 可鄰近於下部半導體晶片 115L 之部分以及下部模製化合物 130L 之部分形成（例如，在下部半導體晶片 115L 以及下部模製化合物 130L 之頂表面上），且可形成為帶狀形式。屏蔽層 171 移除或屏蔽下部半導體晶片 115L 與上部半導體晶片 115U 之間的電磁波。因而，可使下部半導體晶片 115L 與上部半導體晶片 115U 之間的 EMI 最小化。

根據第一實施例以及其修改實例的上述封裝間連接部分 150a-150e 包含兩個或兩個以上導體之堆疊的結構。在一實施例中，封裝間連接部分 150 中所包含之堆疊的導體分別藉由獨立製程形成，且可形成為下部半導體封裝 105L 或上部半導體封裝 105U 之部分。各別導體可具有不同之形狀、高度或寬度。

在上述第一實施例以及其修改實例中，已描述包含下部半導體晶片 115L（藉由覆晶結合安裝）的下部半導體封裝 105L 以及包含上部半導體晶片 115U（藉由線結合安裝）的上部半導體封裝 105U，但本發明不限於此。或者，下部半導體封裝 105L 之下部半導體晶片 115L 以及上部半導體封裝 105U 之上部半導體晶片 115U 兩者可藉由覆晶結合或線結合安裝。相反地，與在第一實施例以及其修改實例中不同，下部半導體封裝 105L 之下部半導體晶片 115L 以及上部半導體封裝 105U 之上部半導體晶片 115U 可分別藉由線結合以及覆晶結合安裝。又，如上文所述，可使用傳導性穿孔電極將晶片電連接至各別封裝基板，且每一半導體封裝中可包含一或多個晶片。

下文，將參看圖 3 描述根據本發明之第二實施例之堆疊的封裝結構。圖 3 為說明根據本發明之第二實施例之堆疊的封裝結構之橫截面圖。此處，除了於上部半導體封裝中包含兩個垂直堆疊的上部半導體晶片外，圖 3 中所示之堆疊的封裝結構具有實質上與根據本發明之第一實施例之堆疊的封裝結構 100a 之組態相同的組態。因此，在以下描述中，將強調與根據第一實施例之堆疊的封裝結構之差異來詳細描述堆疊的封裝結構，且將不提供其他組件之描述。

參看圖 3，根據第二實施例之堆疊的封裝結構 200a 包含堆疊的封裝以及包圍堆疊的封裝之側表面以及頂表面之屏蔽層 170，堆疊的封裝包含：下部半導體封裝 105L；上部半導體封裝 205U，其安置於下部半導體封裝 105L 上，

與下部半導體封裝 105L 間隔開預定距離；封裝間連接部分 150a，其電連接下部半導體封裝 105L 與上部半導體封裝 205U 同時支撐其間之空間；以及絕緣層 160，其安置於封裝間連接部分 150a 之周邊區域中且填充下部半導體封裝 105L 與上部半導體封裝 205U 之間的空間。

上部半導體封裝 205U 包含上部封裝基板 110U、安置於上部封裝基板 110U 之頂表面上的第一上部半導體晶片 115U、安置於第一上部半導體晶片 115U 之頂表面上的第二上部半導體晶片 215U，以及上部模製化合物 130U。此處，第一上部半導體晶片 115U 具有實質上與根據第一實施例之上部半導體晶片 115U 之組態相同的組態，但以第一上部半導體晶片 115U 表示，以與第二上部半導體晶片 215U 區分開。

第二上部半導體晶片 215U 安置於第一上部半導體晶片 115U 上，且可藉由導線 240 電連接至上部封裝基板 110U。特定言之，可使用絕緣黏著劑（未圖示）將第二上部半導體晶片 215U 附著至第一上部半導體晶片 115U 之頂表面。安置於第二上部半導體晶片 215U 之頂表面上的晶片墊 235 與安置於上部封裝基板 110U 之頂表面上的線結合墊 145 可藉由導線 240 彼此電連接。或者，可使用穿孔（例如，基板穿孔或矽穿孔）來電連接晶片。

在此實施例中，第一上部半導體晶片 115U 在水平方向上的寬度或面積上大於第二上部半導體晶片 215U，但本揭露內容不限於此。或者，第一上部半導體晶片 115U 在

水平方向上的寬度或面積上可等於或小於第二上部半導體晶片 215U。

另外，第一上部半導體晶片 115U 以及第二上部半導體晶片 215U 可為相同類型或不同類型之晶片。

如上文所述，為了促進封裝間連接部分 150a 之形成，可減小下部半導體封裝 105L 之總厚度，而不影響上部半導體封裝 105U 之厚度。因此，如在此實施例中，上部半導體封裝 205U 可包含兩個垂直堆疊之半導體晶片，但本發明不限於此。或者，上部半導體封裝 205U 可包含三個或三個以上具有相同類型或不同類型之垂直堆疊的半導體晶片。

同時，根據第二實施例之堆疊的封裝結構 200a 包含封裝間連接部分 150a，但本揭露內容不限於此。或者，所揭露之實施例之範疇亦可包含下述堆疊的封裝結構：包含根據第一實施例之修改實例的封裝間連接部分 150b-150e 中之至少一者而非根據第一實施例之封裝間連接部分 150a，同時包含具有實質上與堆疊的封裝結構 200a 相同的組態之其他組件之堆疊的封裝結構；或包含本文中未描述的封裝間連接部分之堆疊的封裝結構。

下文，將參看圖 4 描述根據第三實施例之堆疊的封裝結構。圖 4 為說明根據第三實施例之堆疊的封裝結構之橫截面圖。此處，除了下部半導體封裝之下部模製化合物覆蓋下部半導體晶片外，圖 4 中所示之堆疊的封裝結構具有實質上與根據本發明之第一實施例之堆疊的封裝結構

100a之組態相同的組態。因此，在以下描述中，將強調與根據第一實施例之堆疊的封裝結構之差異來詳細描述堆疊的封裝結構，且將不提供其他組件之描述。

參看圖4，根據第三實施例之堆疊的封裝結構300a包含堆疊的封裝以及包圍堆疊的封裝之側表面以及頂表面之屏蔽層170，堆疊的封裝包含：下部半導體封裝205L；上部半導體封裝105U，其安置於下部半導體封裝205L上，與下部半導體封裝205L間隔開預定距離；封裝間連接部分150a，其電連接下部半導體封裝205L與上部半導體封裝105U，同時支撐其間之空間；以及絕緣層160，其安置於封裝間連接部分150a之周邊區域中且填充下部半導體封裝205L與上部半導體封裝105U之間的空間。

下部半導體封裝205L包含下部封裝基板110L、藉由覆晶結合形成於下部封裝基板110L之頂表面上的下部半導體晶片115L、下部模製化合物230L，以及形成於下部封裝基板110L之底表面上的傳導性焊球125。

此處，下部模製化合物230L可形成於下部封裝基板110L之頂表面上以便覆蓋下部半導體晶片115L（亦即，以包圍且覆蓋下部半導體晶片115L之側表面以及頂表面），同時填充下部半導體晶片115L與下部封裝基板110L之間的空間。

在一實施例中，根據第三實施例之堆疊的封裝結構300a包含根據第二實施例之封裝間連接部分150a，但本揭露內容不限於此。或者，本揭露內容之範疇亦可包含如下

的堆疊的封裝結構：包含根據第一實施例之修改實例的封裝間連接部分 150b-150e 中之至少一者，而非根據第一實施例之封裝間連接部分 150a，同時包含具有實質上與堆疊的封裝結構 300a 相同的組態之其他組件之堆疊的封裝結構；或包含本文中未描述的封裝間連接部分之堆疊的封裝結構。

下文，將參看圖 5 描述根據第四實施例之堆疊的封裝結構。圖 5 為說明根據第四實施例之堆疊的封裝結構之橫截面圖。此處，除了填充下部半導體封裝與上部半導體封裝之間的空間之絕緣層外，圖 5 中所示之堆疊的封裝結構具有實質上與根據第一實施例之堆疊的封裝結構 100a 之組態相同的組態。因此，在以下描述中，將強調與根據第一實施例之堆疊的封裝結構之差異來詳細描述堆疊的封裝結構，且將不提供其他組件之描述。

參看圖 5，根據第四實施例之堆疊的封裝結構 400a 包含堆疊的封裝以及包圍堆疊的封裝之側表面以及頂表面之屏蔽層 170，堆疊的封裝包含：下部半導體封裝 105L；上部半導體封裝 105U，其安置於下部半導體封裝 105L 上，與下部半導體封裝 105L 間隔開預定距離；封裝間連接部分 150a，其電連接下部半導體封裝 105L 與上部半導體封裝 105U，同時支撐其間之空間；以及絕緣層 260，其安置於未形成封裝間連接部分 150a 之區域中且填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。

舉例而言，在此實施例中，絕緣層 260 水平地安置於

封裝間連接部分 150a 之周邊區域中，且可進一步安置於不同於封裝間連接部分 150a 之所有區域中，同時垂直地填充下部半導體封裝 105L 與上部半導體封裝 105U 之間的空間。由於為了防止屏蔽層 170 與封裝間連接部分 150a 之間的電短路而提供絕緣層 260，因此絕緣層 260 可進一步安置於不同於封裝間連接部分 150a 之區域中，只要其形成於封裝間連接部分 150a 之周邊區域中以便包圍封裝間連接部分 150a 即可。

除了絕緣性質之外，絕緣層 260 亦可具有黏著性質。舉例而言，絕緣層 260 可包含黏著性底部填充材料、介電材料或絕緣膠帶。

根據此實施例之堆疊的封裝結構 400a 具有實質上與根據第一實施例之堆疊的封裝結構 100a 相同的組態，但本揭露內容不限於此。或者，在根據第一實施例之修改實例的堆疊的封裝結構 100b-100e 中之每一者中各自包含絕緣層 260 而非包含絕緣層 160 之堆疊的封裝結構亦可包含於本揭露內容之範疇內。

下文，將參看圖 6A 至圖 7E 描述根據第五實施例之製造堆疊的封裝結構之方法。

圖 6A 至圖 6I 為說明根據第五實施例之製造堆疊的封裝結構之方法之橫截面圖。

首先，經由圖 6A 以及圖 6B 中所示之製程提供包含形成於其底表面上之上部導體 152a 的上部半導體封裝 105U，現將更詳細地描述圖 6A 以及圖 6B。

參看圖 6A，將上部半導體晶片 115U 安置於包含線結合墊 145 以及其他焊盤（land）或墊（未圖示）之上部封裝基板 110U 上。可使用絕緣黏著劑（未圖示）將上部半導體晶片 115U 附著至上部封裝基板 110U。上部半導體晶片 115U 可包含安置於其頂表面上之晶片墊 135 以及其他墊（未圖示）。

接下來，使用導線 140 將安置於上部半導體晶片 115U 之頂表面上的晶片墊 135 與安置於上部封裝基板 110U 之頂表面上的線結合墊 145 彼此電連接。然而，可使用其他元件替代將晶片墊連接至基板墊之導線，諸如穿孔。在此情況下，晶片墊與基板墊可位於不同位置中以允許使用穿孔之連接。

接下來，上部模製化合物 130U 形成於上部封裝基板 110U 之頂表面上以覆蓋且包圍上部半導體晶片 115U。

參看圖 6B，上部導體 152a 形成於上部封裝基板 110U 之底表面上。上部導體 152a 可形成封裝間連接部分 150a 之部分，同時形成上部半導體封裝 105U 之部分。上部導體 152a 可藉由（例如）焊接形成，且可具有（例如）凸塊或小球之形狀。

另外，經由圖 6C 至圖 6F 中所示之製程提供包含下部導體 151a 之下部半導體封裝 105L，現將更詳細地對其進行描述。

參看圖 6C，多個晶片凸塊 120 形成於包含其他必要之焊盤或墊（未圖示）之下部封裝基板 110L 上。晶片凸

塊 120 可藉由焊接形成，且可電連接至下部封裝基板 110L 之晶片凸塊焊盤（未圖示）。

接下來，將下部半導體晶片 115L 安裝於晶片凸塊 120 上。下部半導體晶片 115L 可設計為（例如）覆晶，且在一實施例中可為邏輯裝置。

接下來，下部模製化合物 130L 形成至足以暴露下部半導體晶片 115L 之頂表面同時包圍下部半導體晶片 115L 之側表面的厚度。舉例而言，可按以下方式形成下部模製化合物 130L。在一實施例中，形成模製控制薄膜（未圖示）以便緊密地接觸下部半導體晶片 115L 之頂表面以緊固模製控制薄膜與下部封裝基板 110L 之間的空間，繼之以用下部模製化合物 130L 填充空間，藉此形成下部模製化合物 130L，但本揭露內容不限於此。或者，下部模製化合物 130L 可形成以覆蓋下部半導體晶片 115L（見圖 4）。

參看圖 6D，下部模製化合物 130L 之部分（亦即，可能為封裝間連接部分 150a 之區域）被移除，藉此形成暴露下部封裝基板 110L 之頂表面的一或多個開口 O。開口 O 可為通孔。可藉由雷射鑽孔執行下部模製化合物 130L 之部分之移除。

參看圖 6E，以傳導性材料填充每一開口 O 以形成下部導體 151a。下部導體 151a 可為延伸穿過下部模製化合物 130L 之貫孔。下部導體 151a 可形成封裝間連接部分 150a 之部分，同時形成下部半導體封裝 105L 之部分。

參看圖 6F，焊料凸塊或焊球 125 形成於下部封裝基板

110L 之底表面上。焊球 125 可電連接至晶片凸塊 120，且可（例如）藉由焊接形成。

在執行圖 6A 至圖 6F 中所示之製程之後，參看圖 6G，絕緣層 160 形成於下部模製化合物 130L 之頂表面上，以便自下部導體 151a 之周邊區域側向地包圍下部導體 151a。可（例如）藉由塗佈底部填充材料或附著絕緣膠帶來執行絕緣層 160 之形成，但本揭露內容不限於此。儘管未圖示，但絕緣層 160 也可對應於圖 6G 中所示的絕緣層 160 之位置而形成於上部封裝基板 110U 之底表面上，以便自上部導體 152a 之周邊區域側向地包圍上部導體 152a。

參看圖 6H，上部半導體封裝 105U 堆疊於具有絕緣層 160 之下部半導體封裝 105L 上。更特定言之，上部半導體封裝 105U 安置於具有絕緣層 160 之下部半導體封裝 105L 上，繼之以加熱及/或壓縮，藉此將下部導體 151a 與上部導體 152a 彼此電且實體組合以及連接。結果，經電且實體組合以及連接之每一下部導體 151a 以及上部導體 152a 整體地形成封裝間連接導體，其中多者形成封裝間連接部分（見圖 2A 之 150a）。另外，如上文所述，絕緣層 160 可具有黏著性質，使得下部半導體封裝 105L 的下部模製化合物 130L 之頂表面以及上部半導體封裝 105U 的上部封裝基板 110U 之底表面可附著至絕緣層 160。

參看圖 6I，形成電磁屏蔽層 170 以包圍六面體堆疊封裝（圖 6H 中所示製程之所得產物）之側表面以及頂表面。可（例如）藉由塗佈液體屏蔽材料來執行電磁屏蔽層 170

之形成。舉例而言，塗佈可包含塗漆或噴塗。或者，可藉由電鍍執行屏蔽層 170 之形成。因為絕緣層 160 形成於封裝間連接部分與堆疊的封裝之外部之間，所以防止用於屏蔽層 170 之材料接觸封裝間連接部分，此防止發生短路。

在根據此實施例之用於製造堆疊的封裝結構之上述方法中，可提供根據第一實施例之堆疊的封裝結構 100a。

然而，在一實施例中，可藉由在根據第五實施例之用於製造堆疊的封裝結構之方法中修改圖 6G 中所示之製程來提供根據第四實施例之堆疊的封裝結構 400a。舉例而言，在執行圖 6A 至圖 6F 中所示之製程之後，替代於圖 6G 中所示之製程，絕緣層 260（見圖 5）可形成於下部模製化合物 130L 之頂表面上的不同於形成下部導體 151a 之區域的區域中。因而，可在執行在上部封裝基板 110U 之底表面上的不同於上部導體 152a 之區域中形成絕緣層 260 之製程之後執行圖 6H 以及圖 6I 中所示的製程。

接下來，將參看圖 6A 至圖 6I 以及圖 7A 至圖 7E 的一部分來描述根據本發明之第六實施例之製造堆疊的封裝結構之方法。圖 7A 至圖 7E 為說明根據第六實施例之製造堆疊的封裝結構之方法之橫截面圖。在描述當前實施例時，將不提供第五實施例的相同以及對應的製程以及圖之詳細描述。

首先，提供如圖 6A 中所示之上部半導體封裝 105U。接著，參看圖 7A，上部導體 154b 形成於上部封裝基板 110U 之底表面上。上部導體 154b 可形成封裝間連接部分 150a

之部分(見圖 6I),同時形成上部半導體封裝 105U 之部分。上部導體 154b 可藉由(例如)焊接形成,且可具有大於第五實施例之球的球,但本揭露內容不限於此。或者,由作為封裝凸塊之金屬短釘、棒或柱成形之上部導體(見圖 2D 之 156d 或圖 2E 之 156e)可形成於上部封裝基板 110U 之底表面上。

另外,經由(例如)圖 7B 以及圖 7C 中所示之製程提供包含下部導體 153b 之下部半導體封裝 105L,現將詳細地對其進行描述。

參看圖 7B,多個傳導性晶片凸塊 120 以及下部導體 153b 形成於包含必要之焊盤或墊(未圖示)之下部封裝基板 110L 上。晶片凸塊 120 可(例如)藉由焊接製程形成,且可電連接至下部封裝基板 110L 之晶片凸塊焊盤(未圖示)。下部導體 153b 可(例如)藉由焊接形成,且可成形為球形或半球形球,但本揭露內容不限於此。下部導體 153b 可藉由包含鑄造、沈積、黏著、電鍍等等之各種方法形成。柱形下部導體(見圖 2C 之 155c 或圖 2E 之 155e)可形成於下部封裝基板 110L 之頂表面上。晶片凸塊 120 與下部導體 153b 可同時或依序形成。另外,晶片凸塊 120 與下部導體 153b 可具有相同高度或不同高度。

接下來,將下部半導體晶片 115L 安裝於晶片凸塊 120 上,且下部模製化合物 130L 形成至足以暴露下部半導體晶片 115L 之頂表面同時包圍下部半導體晶片 115L 之側表面的厚度,但本揭露內容不限於此。或者,下部模製化合

物 130L 可形成以覆蓋下部半導體晶片 115L（見圖 4）。

參看圖 7C，下部模製化合物 130L 之部分（亦即，可能為封裝間連接部分 150a 之區域）被移除，藉此形成暴露下部導體 153b 中之每一者之頂表面的一或多個開口 O。開口 O 可為（例如）通孔。在稍後將描述之堆疊製程中將上部導體 154b 中之每一者的下部部分插入至每一開口 O 中（見圖 7E）。在下部導體 153b 具有小於上部導體 154b 之水平寬度或面積之情況下，每一開口 O 具有逐漸向上增大之水平寬度。可（例如）藉由雷射鑽孔執行下部模製化合物 130L 之部分之移除。

接下來，焊球 125 形成於下部封裝基板 110L 之底表面上。焊球 125 可電連接至晶片凸塊 120，且可藉由焊接形成。

在執行圖 6A 以及圖 7A 至圖 7C 中所示之製程之後，參看圖 7D，絕緣層 160 形成於下部模製化合物 130L 之頂表面上，以便自開口 O 之周邊區域包圍開口 O。可藉由塗佈底部填充材料或附著絕緣膠帶來執行絕緣層 160 之形成，但本揭露內容不限於此。儘管未圖示，但絕緣層 160 可對應於圖 7D 中所示的絕緣層 160 之位置而形成於上部封裝基板 110U 之底表面上，以便自上部導體 154b 之周邊區域包圍上部導體 154b。

參看圖 7E，上部半導體封裝 105U 堆疊於具有絕緣層 160 之下部半導體封裝 105L 上。更特定言之，上部半導體封裝 105U 安置於具有絕緣層 160 之下部半導體封裝 105L

上使得上部導體 154b 中之每一者插入至對應的開口 O 中，繼之以加熱及/或壓縮，藉此將下部導體 153b 與上部導體 154b 彼此電且實體組合以及連接。結果，經彼此電且實體組合以及連接之下部導體 153b 以及上部導體 154b 整體地形成封裝間連接部分（見圖 2B 之 150b）。另外，如上文所述，絕緣層 160 可具有黏著性質，使得下部半導體封裝 105L 的下部模製化合物 130L 之頂表面以及上部半導體封裝 105U 的上部封裝基板 110U 之底表面可附著至絕緣層 160。

接下來，電磁屏蔽層 170 形成以按與在圖 6I 中相同的方式包圍六面體堆疊封裝（圖 7E 中所示製程之所得產物）之側表面以及頂表面。

在根據此實施例之用於製造堆疊的封裝結構之上述方法中，可提供根據第一實施例之修改實例之堆疊的封裝結構 100b-100e。

圖 8 為說明包含根據某些實施例之堆疊的封裝結構之半導體模組之概念圖。

參看圖 8，半導體模組 700 包含模組板 710 以及安裝於模組板 710 上之多個半導體封裝。此多個半導體封裝中之至少一者可包含根據上文所論述之實施例之堆疊的封裝結構 700a。

根據某些實施例之堆疊的封裝結構 700a 為一封裝層疊裝置，其包含由屏蔽層所包圍之堆疊的封裝，藉此使模組板 710 上之鄰近封裝之間的 EMI 最小化。

儘管本揭露內容已參照其例示性實施例特定地展示

以及描述，但一般熟習此項技術者應理解，在不脫離如由下列申請專利範圍所界定的本發明之精神以及範疇之情況下，可在其中進行形式以及細節之各種改變。因此需要將當前實施例的所有層面視為說明性且非限制性的，對所附申請專利範圍而非前述描述進行參考以指示本發明之範疇。

【圖式簡單說明】

圖 1 為說明在根據某些例示性實施例之堆疊的封裝結構中所包含的下部封裝以及封裝間連接部分之平面圖。

圖 2A 至圖 2F 為說明根據第一例示性實施例以及其修改實例之堆疊的封裝結構的橫截面圖。

圖 3 為說明根據第二例示性實施例之堆疊的封裝結構之橫截面圖。

圖 4 為說明根據第三例示性實施例之堆疊的封裝結構之橫截面圖。

圖 5 為說明根據第四例示性實施例之堆疊的封裝結構之橫截面圖。

圖 6A 至圖 6I 為說明根據第五例示性實施例之製造堆疊的封裝結構之方法之橫截面圖。

圖 7A 至圖 7E 為說明根據第六例示性實施例之製造堆疊的封裝結構之方法之橫截面圖。

圖 8 為說明包含根據某些例示性實施例之堆疊的封裝結構之半導體模組之概念圖。

【主要元件符號說明】

100a：堆疊的封裝結構

100b：堆疊的封裝結構

100c：堆疊的封裝結構
100d：堆疊的封裝結構
100e：堆疊的封裝結構
100f：堆疊的封裝結構
105L：下部半導體封裝
105U：上部半導體封裝
110L：下部封裝基板
110U：上部封裝基板
115L：下部半導體晶片
115U：上部半導體晶片/第一上部半導體晶片
119：絕緣黏著劑
120：傳導性晶片凸塊
125：傳導性焊球
130L：下部模製化合物
130U：上部模製化合物
135：晶片墊
140：導線
145：線結合墊
150：封裝間連接部分
150a：封裝間連接部分/封裝間連接導體
150b：封裝間連接部分
150c：封裝間連接部分
150d：封裝間連接部分
150e：封裝間連接部分
151a：部分/下部導體
152a：上部導體

153b：下部導體
153d：下部導體
154b：上部導體
154c：上部導體
155c：下部導體
155e：下部導體
156d：上部導體
156e：上部導體
158e：中間導體
160：絕緣層
170：屏蔽層/電磁屏蔽層
171：屏蔽層
200a：堆疊的封裝結構
205L：下部半導體封裝
205U：上部半導體封裝
215U：第二上部半導體晶片
230L：下部模製化合物
235：晶片墊
240：導線
260：絕緣層
300a：堆疊的封裝結構
400a：堆疊的封裝結構
700：半導體模組
700a：堆疊的封裝結構
710：模組板
O：開口

爲第 100144085 號中文說明書無劃線修正本　　修正日期:101 年 3 月 23 日

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※申請案號：

※申請日期：　　※IPC 分類：H01L 23/552 (2006.01)
H01L 23/60 (2006.01)
H01L 23/488 (2006.01)
H01L 21/58 (2006.01)

一、發明名稱：（中文/英文）

堆疊的封裝結構、封裝層疊裝置及其製造方法

STACKED PACKAGE STRUCTURE, PACKAGE-ON-PACKAGE DEVICE AND METHOD OF MANUFACTURING THE SAME

二、中文發明摘要：

提供一種堆疊的封裝結構。堆疊的封裝結構包含：堆疊的封裝，其包含：下部半導體封裝；上部半導體封裝，其安置於下部半導體封裝上且與下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接下部半導體封裝與上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於封裝間連接部分之外部且填充下部半導體封裝與上部半導體封裝之間的空間；以及電磁屏蔽層，其包圍堆疊的封裝之側表面以及頂表面。

三、英文發明摘要：

A stacked package structure is provided. The stacked package structure includes a stacked package including a lower semiconductor package, an upper semiconductor

package disposed on the lower semiconductor package and spaced a predetermined distance apart from the lower semiconductor package, an inter-package connecting portion electrically connecting the lower semiconductor package and the upper semiconductor package while supporting a space therebetween, and an insulation layer disposed at least outside the inter-package connecting portion and filling the space between the lower semiconductor package and the upper semiconductor package, and an electromagnetic shielding layer surrounding lateral and top surfaces of the stacked package.

七、申請專利範圍：

1. 一種堆疊的封裝結構，其包括：

堆疊的封裝，其包括：下部半導體封裝；上部半導體封裝，其安置於所述下部半導體封裝上且與所述下部半導體封裝間隔開預定距離；封裝間連接部分，其電連接所述下部半導體封裝與所述上部半導體封裝同時支撐其間之空間；以及絕緣層，其至少安置於所述封裝間連接部分之外部且填充所述下部半導體封裝與所述上部半導體封裝之間的所述空間；以及

電磁屏蔽層，其包圍所述堆疊的封裝之側表面以及頂表面。

2. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述絕緣層包括黏著性底部填充材料、介電材料或絕緣膠帶。

3. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述絕緣層整體或部分地安置於排除所述封裝間連接部分之區域中。

4. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述電磁屏蔽層包括軟磁材料、鐵氧體奈米管或金屬層。

5. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中所述電磁屏蔽層是藉由塗佈或電鍍形成。

6. 如申請專利範圍第 1 項所述之堆疊的封裝結構，其中：

所述下部半導體封裝包括下部封裝基板、形成於所述

下部封裝基板之頂表面上的下部半導體晶片，以及至少包圍所述下部半導體晶片之側表面的下部模製化合物；

所述上部半導體封裝包括上部封裝基板，以及形成於所述上部封裝基板之頂表面上的上部半導體晶片；且

所述封裝間連接部分自所述下部模製化合物之頂表面突出且延伸穿過所述下部模製化合物，以將所述下部封裝基板之所述頂表面連接至所述上部封裝基板之底表面。

7. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述封裝間連接部分包括第一導體以及第二導體，所述第一導體接觸所述下部封裝基板之所述頂表面，所述第二導體接觸所述上部封裝基板之所述底表面。

8. 如申請專利範圍第 7 項所述之堆疊的封裝結構，其中所述下部模製化合物包括延伸穿過所述下部模製化合物以暴露所述下部封裝基板之所述頂表面的開口，且所述第一導體嵌入於所述開口中。

9. 如申請專利範圍第 7 項所述之堆疊的封裝結構，其中所述下部模製化合物包括延伸穿過所述下部模製化合物以暴露所述第一導體之表面的開口，且所述第二導體包括形成於所述開口中的下部部分以及突出至所述下部模製化合物之頂表面的上部部分。

10. 如申請專利範圍第 7 項所述之堆疊的封裝結構，其中所述第一導體在尺寸上在垂直高度、水平寬度以及體積中之至少一者上大於所述第二導體。

11. 如申請專利範圍第 7 項所述之堆疊的封裝結構，

其中所述封裝間連接部分更包括介入於所述第一導體與所述第二導體之間的第三導體。

12. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述下部模製化合物暴露所述下部半導體晶片之頂表面。

13. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述上部半導體晶片具有大於所述下部半導體晶片的水平寬度。

14. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述上部半導體封裝更包括垂直地堆疊於所述上部半導體晶片之頂表面上的一或多個半導體晶片。

15. 如申請專利範圍第 6 項所述之堆疊的封裝結構，其中所述絕緣層安置於所述封裝間連接部分之外部，且由與所述下部模製化合物相同的材料製成。

16. 一種堆疊的封裝結構，其包括：

下部半導體封裝，其包括下部封裝基板、形成於所述下部封裝基板之頂表面上的下部半導體晶片，以及至少包圍所述下部半導體晶片之側表面的下部模製化合物；

上部半導體封裝，其包括上部封裝基板，以及形成於所述上部封裝基板之頂表面上的上部半導體晶片，所述上部半導體封裝安置於所述下部半導體封裝上使得所述上部封裝基板之底表面與所述下部模製化合物間隔開預定距離；

封裝間連接部分，其自所述下部封裝基板之所述頂表

面延伸穿過所述下部模製化合物，且將所述下部封裝基板之所述頂表面連接至所述上部封裝基板之底表面；

絕緣層，其至少安置於所述封裝間連接部分之外部且填充所述上部封裝基板之所述底表面與所述下部模製化合物之間的空間；以及

電磁屏蔽層，其包圍包括所述下部半導體封裝、所述上部半導體封裝、所述封裝間連接部分以及所述絕緣層的結構之側表面以及頂表面。

17. 一種封裝層疊裝置，其包括：

下部封裝，其至少包括堆疊於下部封裝基板上之第一下部半導體晶片；

上部封裝，其至少包括堆疊於上部封裝基板上之第一上部半導體晶片；

多個連接導體，其安置於所述上部封裝基板與所述下部封裝基板之間，所述多個連接導體包圍所述第一下部半導體晶片之側面，且所述多個連接導體中之每一連接導體至少自所述下部封裝基板之頂表面延伸至所述上部封裝基板之底表面以將所述上部封裝實體且電連接至所述下部封裝；

絕緣層，其經安置以側向地包圍安置有所述多個連接導體之區域；以及

電磁屏蔽層，其包圍所述封裝層疊裝置之側表面以及頂表面。

18. 如申請專利範圍第 17 項所述之封裝層疊裝置，其

中：

所述第一下部半導體晶片安置於所述下部封裝基板與所述上部封裝基板之間，使得其在所述下部封裝基板上方且在所述上部封裝基板下方；

所述第一上部半導體晶片安置於所述上部封裝基板上方；

所述絕緣層安置於位於所述第一下部半導體晶片與所述上部封裝基板之間的空間中。

19. 如申請專利範圍第 18 項所述之封裝層疊裝置，其中：

所述絕緣層之內邊緣接觸所述多個連接導體中之多個最外連接導體；且

所述絕緣層之外邊緣接觸所述電磁屏蔽層。

20. 如申請專利範圍第 19 項所述之封裝層疊裝置，其中：

所述多個連接導體包括實體且電連接所述上部封裝與所述下部封裝的所述連接導體中之全部。

21. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括磁性材料、鐵氧體奈米管或金屬層。

22. 如申請專利範圍第 21 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括藉由塗佈或電鍍所形成之材料。

23. 如申請專利範圍第 21 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括軟磁材料，所述軟磁材料包括下列中之一或多者：軟金屬粉末、軟合金粉末或鐵氧體材料。

24. 如申請專利範圍第 21 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層包括鐵氧體材料，所述鐵氧體材料包括氧化鐵。

25. 如申請專利範圍第 17 項所述之封裝層疊裝置，其更包括：

分隔區域，其位於所述下部封裝與所述上部封裝之間且將所述下部封裝與所述上部封裝分開預定距離；以及

下部模製化合物，其至少包圍所述第一下部半導體晶片之側表面且安置於所述分隔區域與所述下部封裝基板之頂表面之間；

其中：

所述多個連接導體中之每一連接導體延伸穿過所述下部模製化合物。

26. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

每一連接導體包括接觸所述下部封裝基板之所述頂表面的第一導體以及接觸所述上部封裝基板之所述底表面的第二導體。

27. 如申請專利範圍第 26 項所述之封裝層疊裝置，其

中：

所述下部模製化合物包括延伸穿過所述下部模製化合物以暴露所述下部封裝基板之所述頂表面的開口，且所述第一導體嵌入於所述開口中。

28. 如申請專利範圍第 26 項所述之封裝層疊裝置，其中：

所述第一導體在垂直高度、水平寬度或體積中之至少一者上具有大於所述第二導體的尺寸。

29. 如申請專利範圍第 26 項所述之封裝層疊裝置，其中：

所述第一導體為傳導性凸塊以及穿孔中之一者；且

所述第二導體為傳導性凸塊以及穿孔中之一者。

30. 如申請專利範圍第 29 項所述之封裝層疊裝置，其中：

所述第一導體為直接連接至所述上部封裝基板之傳導性球或凸塊；且

所述第二導體為連接於所述第一導體與所述下部封裝基板之間的傳導性球或凸塊或傳導性穿孔。

31. 如申請專利範圍第 29 項所述之封裝層疊裝置，其更包括：

第三導體，其介入於所述第一導體與所述第二導體之間。

32. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述第一下部半導體晶片具有大於所述第一上部半導體晶片的面積。

33. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述第一下部半導體晶片為堆疊於所述下部封裝基板上的額外半導體晶片堆疊之部分。

34. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述第一上部半導體晶片為堆疊於所述上部封裝基板上的額外半導體晶片堆疊之部分。

35. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中：

所述封裝層疊裝置具有六面體形狀；且

所述電磁屏蔽層完全覆蓋所述封裝層疊裝置之五個表面。

36. 如申請專利範圍第 17 項所述之封裝層疊裝置，其中所述絕緣層包括黏著性底部填充材料、介電材料或絕緣膠帶。

37. 一種封裝層疊裝置，其包括：

下部封裝，其至少包括堆疊於下部封裝基板上之第一下部半導體晶片；

上部封裝，其至少包括堆疊於上部封裝基板上之第一上部半導體晶片；

多個連接導體，其安置於所述上部封裝基板與所述下

部封裝基板之間，所述多個連接導體水平地包圍所述第一下部半導體晶片，且所述多個連接導體中之每一連接導體至少自所述下部封裝基板之頂表面延伸至所述上部封裝基板之底表面以將所述上部封裝實體且電連接至所述下部封裝；

絕緣層，其經安置以水平地包圍安置有所述多個連接導體之區域；以及

電磁屏蔽層，其覆蓋所述封裝層疊裝置之側表面且接觸所述絕緣層。

38. 如申請專利範圍第 37 項所述之封裝層疊裝置，其中：

所述電磁屏蔽層亦覆蓋所述封裝層疊裝置之頂表面。

39. 如申請專利範圍第 38 項所述之封裝層疊裝置，其中：

所述封裝層疊裝置具有六面體形狀；且

所述電磁屏蔽層完全覆蓋所述封裝層疊裝置之五個表面。

40. 一種製造封裝層疊裝置之方法，其包括：

形成下部封裝，其至少包括堆疊於下部封裝基板上之第一下部半導體晶片以及包圍所述第一下部半導體晶片之側面的下部模製部分；

在所述下部模製部分中形成多個開口；

分別在所述多個開口中形成多個第一導體；

形成上部封裝，其至少包括堆疊於上部封裝基板上之

第一上部半導體晶片；

將所述上部封裝堆疊於所述下部封裝上，使得包括所述多個第一導體之多個連接導體分別安置於所述上部封裝基板與所述下部封裝基板之間，所述多個連接導體安置於包圍所述第一下部半導體晶片之側面的區域中，且其中所述多個連接導體中之每一連接導體至少自所述下部封裝基板之頂表面延伸至所述上部封裝基板之底表面以將所述上部封裝實體且電連接至所述下部封裝；

形成絕緣層以側向地包圍安置有所述多個連接導體之所述區域；以及

形成電磁屏蔽層以包圍所述封裝層疊裝置之側表面以及頂表面。

41. 如申請專利範圍第 40 項所述之製造方法，其中：

形成所述多個第一導體的步驟包括形成傳導性球、凸塊或穿孔；且

所述多個連接導體中之每一連接導體包括傳導性球、凸塊或穿孔以及另一傳導性球、凸塊或穿孔。

42. 如申請專利範圍第 40 項所述之製造方法，其中：

形成所述電磁屏蔽層的步驟包括在所述封裝層疊裝置上塗佈或電鍍所述電磁屏蔽層以覆蓋所述封裝層疊裝置之所述側表面以及所述頂表面。

43. 如申請專利範圍第 42 項所述之製造方法，其中：

所述電磁屏蔽層接觸所述絕緣層。

44. 如申請專利範圍第 40 項所述之製造方法，其更包

括：

藉由形成自所述下部封裝基板之所述頂表面延伸至所述下部封裝之頂表面的傳導性穿孔在所述多個開口中形成所述多個第一導體；

形成多個第二導體的步驟包括在所述上部封裝基板之底表面上形成多個球或凸塊；以及

藉由使所述多個第一導體與所述多個第二導體對準且執行實體連接每一第一導體與各別第二導體之製程來形成所述連接導體。

四、指定代表圖：

（一）本案之指定代表圖：圖 2A

（二）本代表圖之元件符號簡單說明：

100a：堆疊的封裝結構

105L：下部半導體封裝

105U：上部半導體封裝

110L：下部封裝基板

110U：上部封裝基板

115L：下部半導體晶片

115U：上部半導體晶片/第一上部半導體晶片

119：絕緣黏著劑

120：傳導性晶片凸塊

125：傳導性焊球

130L：下部模製化合物

130U：上部模製化合物

135：晶片墊

140：導線

145：線結合墊

150a：封裝間連接部分/封裝間連接導體

151a：部分/下部導體

152a：上部導體

160：絕緣層

170：屏蔽層/電磁屏蔽層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無