

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和1年9月26日(2019.9.26)

【公表番号】特表2018-537859(P2018-537859A)

【公表日】平成30年12月20日(2018.12.20)

【年通号数】公開・登録公報2018-049

【出願番号】特願2018-528801(P2018-528801)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 29/12 (2006.01)

H 01 L 29/739 (2006.01)

【F I】

H 01 L 29/78 6 5 8 B

H 01 L 29/78 6 5 2 T

H 01 L 29/78 6 5 5 A

H 01 L 29/78 6 5 5 B

H 01 L 29/78 6 5 5 G

H 01 L 29/78 6 5 2 S

H 01 L 29/78 6 5 2 C

H 01 L 29/78 6 5 2 D

H 01 L 29/78 6 5 2 E

H 01 L 29/78 6 5 8 G

【手続補正書】

【提出日】令和1年8月14日(2019.8.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体装置の製造方法であって、

(a) 前記半導体装置内にドリフト層(2)を形成する第1の導電型の低濃度ドープ層を有するワイドバンドギャップ基板製品(10)を提供する工程であって、前記基板製品(10)は、第1の面(12)および前記第1の面(12)に対向する第2の面(14)を有し、前記低濃度ドープ層は、前記第1の面(12)上に配置される工程、

(b) 次いで、前記第1の面(12)上の前記ワイドバンドギャップ基板製品内に、前記ドリフト層(2)より高いドーピング濃度を有する前記第1の導電型の2つのソース領域(3, 3')をソース領域深さ(30)まで形成し、チャネル層深さ(40)を有し、前記2つのソース領域(3, 3')を前記第1の面(12)に平行な横方向に取り囲み、それによって前記2つのソース領域(3, 3')を前記ドリフト層(2)から前記横方向に分離する、前記第1の導電型とは異なる第2の導電型の2つのチャネル層(4, 4')を形成し、および少なくとも前記チャネル層深さ(40)と同じ深さの井戸層深さ(50)を有し、前記少なくとも1つのチャネル層(4, 4')よりも高いドーピング濃度を有し、前記第1の面(12)に対向する前記少なくとも1つの井戸層の面上の前記ドリフト層(2)から前記2つのソース領域(3, 3')を分離する、前記第2の導電型の少なくとも1つの井戸層(5, 5')を形成し、

ここで、前記 2 つのソース領域（3，3'）を形成するための開口部を有する前記第 1 の面（12）上に第 1 のマスク（34）を適用し、前記第 1 のマスク（34）は、第 1 のマスク層（35）および前記第 1 のマスク層（35）上の第 2 のマスク層（36）を含み、ここで、前記第 1 のマスク層（35）は、前記第 2 のマスク層（36）よりも高いエッティング選択性を有し、

次いで、前記 2 つのソース領域（3，3'）を前記ソース領域深さ（30）まで形成するための前記第 1 の導電型の第 2 のドーパント（31）を適用し、

次いで、前記 2 つのソース領域（3，3'）間に配置された前記第 1 のマスク（34）の部分を除去し、それによって第 2 のマスク（54）を形成し、

前記少なくとも 1 つの井戸層（5，5'）を前記井戸層深さ（50）に形成するための前記第 2 の導電型の第 3 のドーパント（51）を適用し、

前記第 1 の面（12）にエッティング工程を行って、エッティングによって、前記第 1 のマスク層（35）は、前記開口部で前記第 2 のマスク層（36）よりもさらに除去され、

前記第 2 のマスク層（36）を除去し、前記残留する第 1 のマスク層（35'）は第 3 のマスク（46）を形成し、

次いで、2 つのチャネル層（4，4'）を形成するための前記第 2 の導電型の第 1 のドーパント（41）を前記チャネル層深さ（40）まで適用する工程、

(c) 工程 (b) 後に、少なくとも前記 2 つのソース領域（3，3'）および前記 2 つのチャネル層（4，4'）を覆う第 4 のマスクを適用し、

次いで、前記井戸層深さ（50）と少なくとも同じ深さのプラグ深さ（60）を有し、前記少なくとも 1 つの井戸層（5，5'）よりも高いドーピング濃度を有するプラグ（6）を形成するための前記第 2 の導電型の第 4 のドーパントを適用する工程、

(d) 工程 (c) 後に、前記第 1 の面（12）上に 2 つのゲート電極（7）を形成し、2 つのゲート電極（7）のそれぞれが絶縁層によって任意のドープ層から分離される工程、

(e) 工程 (c) 後に、前記第 1 の面（12）上にオームニック接触として第 1 の主電極（9）を形成し、前記 2 つのソース領域（3，3'）および前記プラグ（6）に接触する工程を含む方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法であって、

工程 (c) において、前記少なくとも 1 つの井戸層（5，5'）が前記プラグ（6）を前記横方向に囲むように前記第 4 のマスクが前記 2 つのソース領域（3，3'）に隣接する前記井戸層（5，5'）の一部を突出させるように、および前記少なくとも 1 つの井戸層（5，5'）が前記プラグ（6）を前記 2 つのソース領域（3，3'）から分離するように、前記第 4 のマスクを適用することを特徴とする方法。

【請求項 3】

請求項 1 乃至 2 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (c) において、前記少なくとも 1 つの井戸層（5，5'）のドーピング濃度の少なくとも 10 倍であるドーピング濃度を有する前記プラグ（6）を形成する、または前記少なくとも 1 つの井戸層（5，5'）のドーピング濃度の 10 倍から 100 倍のドーピング濃度を有する前記プラグ（6）を形成することを特徴とする方法。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (b) において、前記 2 つのチャネル層（4，4'）のドーピング濃度の少なくとも 10 倍であるドーピング濃度を有する前記少なくとも 1 つの井戸層（5，5'）を形成する、または工程 (b) において、前記 2 つのチャネル層（4，4'）のドーピング濃度の 10 倍から 100 倍のドーピング濃度を有する前記少なくとも 1 つの井戸層（5，5'）を形成することを特徴とする方法。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (b)において、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ または $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ のドーピング濃度を有する前記少なくとも 1 つの井戸層 (5 , 5') を形成することを特徴とする方法。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (b)において、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ のドーピング濃度を有する前記 2 つのチャネル層 (4 , 4') を形成することを特徴とする方法。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (c)において、 $2 \times 10^{17} \sim 2 \times 10^{21} \text{ cm}^{-3}$ または $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ のドーピング濃度を有する前記プラグ (6) を形成することを特徴とする方法。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (b)において、前記ソース領域 (3 , 3') の横方向の領域において前記第 1 の面 (12) に低いドーピング濃度を有する共通層 (4 , 5 および 4' , 5') として、前記少なくとも 1 つの井戸層 (5 , 5') および前記 2 つのチャネル層 (4 , 4') を形成し、前記ドーピング濃度は、次いで前記ソース領域 (3 , 3') の下においてより高いドーピング濃度に上昇することを特徴とする方法。

【請求項 9】

第 1 の正面 (20) と前記第 1 の正面 (20) に対向する装置の第 2 の正面 (22) との間に第 1 の導電型の低濃度ドープドリフト層 (2) を含むワイドバンドギャップ半導体装置であって、

さらに、前記第 1 の正面 (20) 上に、ソース領域深さ (30) を有する前記第 1 の導電型の 2 つのソース領域 (3 , 3') であり、前記 2 つのソース領域 (3 , 3') が前記ドリフト層 (2) よりも高いドーピング濃度を有する、2 つのソース領域 (3 , 3') と、

前記ソース領域深さ (30) と少なくとも同じ深さのチャネル層深さ (40) を有する、前記第 1 の導電型とは異なる第 2 の導電型の 2 つのチャネル層 (4 , 4') であり、各ソース領域 (3 , 3') は、前記第 1 の正面 (20) に平行な方向にチャネル層 (4 , 4') によって前記ドリフト層 (2) から分離された、第 2 の導電型の 2 つのチャネル層 (4 , 4') と、

少なくとも前記チャネル層深さ (40) と同じ深さの井戸層深さ (50) を有する前記第 2 の導電型の 2 つの井戸層 (5 , 5') であり、前記井戸層 (5) は、前記チャネル層 (4 , 4') よりも高いドーピング濃度を有し、前記井戸層 (5 , 5') は、前記第 1 の正面 (20) と対向する前記井戸層の面上に前記ドリフト層 (2) から前記 2 つのソース領域 (3 , 3') を分離する、第 2 の導電型の 2 つの井戸層 (5 , 5') と、

少なくとも前記井戸層深さ (50) と同じ深さであるプラグ深さ (60) を有し、前記井戸層 (5 , 5') よりも高いドーピング濃度を有する前記第 2 の導電型のプラグ (6) であり、前記プラグ (6) は、前記 2 つのソース領域 (3 , 3') 間に配置され、前記 2 つの井戸層 (5 , 5') は、前記プラグ (6) を前記横方向に囲み、前記 2 つの井戸層 (5 , 5') は前記 2 つのソース領域 (3 , 3') から前記プラグ (6) を分離する、プラグ (6) と、

前記第 1 の正面 (20) 上にそれぞれ配置された 2 つのゲート電極 (7) であって、各ゲート電極 (7) は、第 1 の絶縁層 (72) によって任意のドープ層から分離されたゲート層 (70) を含む、2 つのゲート電極 (7) と、

前記第 1 の正面 (20) 上にオーミック接觸としての、少なくとも前記 2 つのソース領域 (3 , 3') および前記プラグ (6) に接觸する第 1 の主電極 (9) とを含むワイドバンドギャップ半導体装置。

【請求項 10】

請求項 9 に記載のワイドバンドギャップ半導体装置であって、前記 2 つのソース領域 (3, 3')、前記チャネル層 (4, 4')、前記井戸層 (5, 5') および前記プラグ (6) は、前記第 1 の主面 (20) 上に 1 つの平面を形成することを特徴とするワイドバンドギャップ半導体装置。

【請求項 11】

請求項 9 または 10 に記載のワイドバンドギャップ半導体装置であって、前記プラグ (6) のドーピング濃度は、前記井戸層 (5, 5') のドーピング濃度の少なくとも 10 倍である、または前記プラグ (6) のドーピング濃度は、前記井戸層 (5, 5') のドーピング濃度の 10 倍から 100 倍であることを特徴とするワイドバンドギャップ半導体装置。

【請求項 12】

請求項 9 乃至 11 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、前記井戸層 (5, 5') のドーピング濃度は、前記チャネル層 (4, 4') のドーピング濃度の少なくとも 10 倍である、または前記井戸層 (5, 5') のドーピング濃度は、前記チャネル層 (4, 4') のドーピング濃度の 10 倍から 100 倍であることを特徴とするワイドバンドギャップ半導体装置。

【請求項 13】

請求項 9 乃至 12 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、前記プラグ (6) は、 $2 \times 10^{17} \sim 2 \times 10^{21} \text{ cm}^{-3}$ または $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$ のドーピング濃度を有する、前記井戸層 (5, 5') は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$ または $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$ のドーピング濃度を有する、および前記チャネル層 (4, 4') は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ のドーピング濃度を有する、の少なくとも 1 つを特徴とするワイドバンドギャップ半導体装置。

【請求項 14】

請求項 9 乃至 13 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、前記井戸層 (5, 5') および前記チャネル層 (4, 4') は、前記ソース領域 (3, 3') の横方向の領域において前記第 1 の主面 (20) に低ドーピング濃度を有する共通層 (4, 5 および 4', 5') として形成され、前記ドーピング濃度は、次いで前記ソース領域 (3, 3') の下においてより高いドーピング濃度まで上昇することを特徴とするワイドバンドギャップ半導体装置。

【請求項 15】

請求項 9 乃至 14 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、前記装置は、絶縁ゲートバイポーラトランジスタまたは金属酸化物半導体電界効果トランジスタであることを特徴とするワイドバンドギャップ半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

発明の開示

本発明の目的は、改善された電気的特性を有するパワー半導体デバイスを製造する方法を提供することであり、

(a) 半導体装置内にドリフト層を形成する第 1 の導電型の低濃度ドープ層を有するワイドバンドギャップ基板製品を提供する工程であって、基板製品は、第 1 の面および第 1 の面に対向する第 2 の面を有し、低濃度ドープ層は、第 1 の面上に配置される工程、

(b) 次いで、第 1 の面上に、ドリフト層より高いドーピング濃度を有する第 1 の導電型の 2 つのソース領域をソース領域深さまで形成し、チャネル層深さを有し、2 つのソース領域を第 1 の面に平行な横方向に取り囲み、それによって 2 つのソース領域をドリフト

層から横方向に分離する、第1の導電型とは異なる第2の導電型の少なくとも1つのチャネル層を形成し、少なくともチャネル層深さと同じ深さの井戸層深さを有し、少なくとも1つのチャネル層よりも高いドーピング濃度を有する少なくとも1つの第2の導電型の井戸層を形成し、ここで、少なくとも1つの井戸層は、第1の面に対向する少なくとも1つの井戸層の面上のドリフト層から2つのソース領域を分離し、ここで、開口部を有する第1の面上に第1のマスクを適用し、第1のマスクは、第1のマスク層および第1のマスク層上に第2のマスク層を含み、ここで、第1のマスク層は、第2のマスク層よりも高いエッティング選択性を有し、

次いで、2つのソース領域をソース領域深さまで形成するための第1の導電型の第2のドーパントを適用し、

次いで、2つのソース領域間に配置された第1のマスクの部分を除去し、それによって第2のマスクを形成し、

次いで、少なくとも1つの井戸層を井戸層深さまで形成するための第2の導電型の第3のドーパントを適用し、

第1の面にエッティング工程を行って、エッティングによって、第1のマスク層は開口部で第2のマスク層よりもさらに除去され、

第2のマスク層を除去し、ここで、残留する第1のマスク層は第3のマスクを形成し、

次いで、2つのチャネル層をチャネル層深さまで形成するための第2の導電型の第1のドーパントを適用する工程、

(c) 工程 (b) 後に、井戸層深さと少なくとも同じ深さのプラグ深さを有し、少なくとも1つの井戸層よりも高いドーピング濃度を有する第2の導電型のプラグを形成し、ここで、プラグは2つのソース領域間に配置される工程、

(d) 工程 (c) 後に、第1の面上に2つのゲート電極を形成し、2つのゲート電極のそれぞれが絶縁層によって任意のドープ層から分離される工程、

(e) 工程 (c) 後に、第1の面上にオーミック接触として第1の主電極を形成し、2つのソース領域およびプラグに接触する工程を含む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

【図1】本発明のIGBTを示す。

【図2】本発明のMOSFETを示す。

【図3】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図4】別の製造工程(a)を示す。

【図5】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図6】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図7】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図8】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図9】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図10】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図11】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造

方法の工程を示す。

【図12】ワイドバンドギャップ半導体装置（IGBT/MOSFET）の本発明の製造方法の工程を示す。

【図13】ワイドバンドギャップ半導体装置（IGBT/MOSFET）の本発明の製造方法の工程を示す。

【図14】従来技術の炭化ケイ素MOSFETを示す。

【図15】図2に例示されたMOSセル構造を通る異なる切断部に沿った電界を示す。

【図16】図2に例示されたMOSセル構造を通る異なる切断部に沿った電界を示す。

【図17】図2に例示されたMOSセル構造を通る異なる切断部に沿った電界を示す。

【図18】図2に例示されたMOSセル構造を通る異なる切断部に沿った電界を示す。

【図19】早期破壊を引き起こす短チャネル効果の減少を示す。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正の内容】

【0058】

次に、第4のマスク62を除去し（図11）、第1の絶縁層72を適用することによってゲート電極7を形成し（図12）、第1の面12の表面、チャネル層4, 4'およびソース領域3, 3'の外側部に延在する部分でドリフト層2を覆う。外側部は、互いに対向していない2つのソース領域3, 3'の部分を意味するものとする。導電性ゲート層70が適用され、その上に、第2の絶縁層74が適用されて、第1の主電極9からゲート層70を電気的に絶縁する。プラグ6および井戸層5, 5'を介してゲート電極7で覆われていないソース領域3, 3'上の開口部には、IGBT1用エミッタ電極またはMOSFET1'（金属酸化膜半導体電界効果トランジスタ）用のソース電極の形態でのオーミック接触としての第1の主電極9が形成される。例示的には、第1の主電極9は、開口部に金属層を最初に適用してp++プラグ6、井戸層5, 5'およびソース領域3, 3'に接触することによって形成し、次いでゲート層70上の第2の絶縁層74をさらに覆う別の金属層を適用する（図13）。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

図6～図13に示すプロセスでは、1つのMOSセル内にpチャネル層4, 4'およびソース領域3, 3'を別個の領域として形成し、井戸層5をまず1つの共通層として形成し（図8）、p++プラグ6の導入によって、井戸層5は、プラグ6の側面上の2つの別個の井戸層5, 5'に分割される。したがって、井戸層という用語は、プラグ6によって互いに分離された2つの井戸層5, 5'を含み、チャネル層という用語は、井戸層5, 5'によって互いに分離された2つのチャネル層4, 4'を含むものとする。