

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 9 月 26 日 (2019.9.26)

【公表番号】特表 2018-537859 (P2018-537859A)

【公表日】平成 30 年 12 月 20 日 (2018.12.20)

【年通号数】公開・登録公報 2018-049

【出願番号】特願 2018-528801 (P2018-528801)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/78 (2006.01)

H 0 1 L 29/12 (2006.01)

H 0 1 L 29/739 (2006.01)

【F I】

H 0 1 L 29/78 6 5 8 B

H 0 1 L 29/78 6 5 2 T

H 0 1 L 29/78 6 5 5 A

H 0 1 L 29/78 6 5 5 B

H 0 1 L 29/78 6 5 5 G

H 0 1 L 29/78 6 5 2 S

H 0 1 L 29/78 6 5 2 C

H 0 1 L 29/78 6 5 2 D

H 0 1 L 29/78 6 5 2 E

H 0 1 L 29/78 6 5 8 G

【手続補正書】

【提出日】令和 1 年 8 月 14 日 (2019.8.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体装置の製造方法であって、

(a) 前記半導体装置内にドリフト層 (2) を形成する第 1 の導電型の低濃度ドーブ層を有するワイドバンドギャップ基板製品 (10) を提供する工程であって、前記基板製品 (10) は、第 1 の面 (12) および前記第 1 の面 (12) に対向する第 2 の面 (14) を有し、前記低濃度ドーブ層は、前記第 1 の面 (12) 上に配置される工程、

(b) 次いで、前記第 1 の面 (12) 上の前記ワイドバンドギャップ基板製品内に、前記ドリフト層 (2) より高いドーピング濃度を有する前記第 1 の導電型の 2 つのソース領域 (3, 3') をソース領域深さ (30) まで形成し、チャネル層深さ (40) を有し、前記 2 つのソース領域 (3, 3') を前記第 1 の面 (12) に平行な横方向に取り囲み、それによって前記 2 つのソース領域 (3, 3') を前記ドリフト層 (2) から前記横方向に分離する、前記第 1 の導電型とは異なる第 2 の導電型の 2 つのチャネル層 (4, 4') を形成し、および少なくとも前記チャネル層深さ (40) と同じ深さの井戸層深さ (50) を有し、前記少なくとも 1 つのチャネル層 (4, 4') よりも高いドーピング濃度を有し、前記第 1 の面 (12) に対向する前記少なくとも 1 つの井戸層の面上の前記ドリフト層 (2) から前記 2 つのソース領域 (3, 3') を分離する、前記第 2 の導電型の少なくとも 1 つの井戸層 (5, 5') を形成し、

ここで、前記2つのソース領域(3, 3')を形成するための開口部を有する前記第1の面(12)上に第1のマスク(34)を適用し、前記第1のマスク(34)は、第1のマスク層(35)および前記第1のマスク層(35)上の第2のマスク層(36)を含み、ここで、前記第1のマスク層(35)は、前記第2のマスク層(36)よりも高いエッチング選択性を有し、

次いで、前記2つのソース領域(3, 3')を前記ソース領域深さ(30)まで形成するための前記第1の導電型の第2のドーパント(31)を適用し、

次いで、前記2つのソース領域(3, 3')間に配置された前記第1のマスク(34)の部分除去し、それによって第2のマスク(54)を形成し、

前記少なくとも1つの井戸層(5, 5')を前記井戸層深さ(50)に形成するための前記第2の導電型の第3のドーパント(51)を適用し、

前記第1の面(12)にエッチング工程を行って、エッチングによって、前記第1のマスク層(35)は、前記開口部で前記第2のマスク層(36)よりもさらに除去され、

前記第2のマスク層(36)を除去し、前記残留する第1のマスク層(35')は第3のマスク(46)を形成し、

次いで、2つのチャンネル層(4, 4')を形成するための前記第2の導電型の第1のドーパント(41)を前記チャンネル層深さ(40)まで適用する工程、

(c)工程(b)後に、少なくとも前記2つのソース領域(3, 3')および前記2つのチャンネル層(4, 4')を覆う第4のマスクを適用し、

次いで、前記井戸層深さ(50)と少なくとも同じ深さのプラグ深さ(60)を有し、前記少なくとも1つの井戸層(5, 5')よりも高いドーピング濃度を有するプラグ(6)を形成するための前記第2の導電型の第4のドーパントを適用する工程、

(d)工程(c)後に、前記第1の面(12)上に2つのゲート電極(7)を形成し、2つのゲート電極(7)のそれぞれが絶縁層によって任意のドーブ層から分離される工程、

(e)工程(c)後に、前記第1の面(12)上にオーミック接触として第1の主電極(9)を形成し、前記2つのソース領域(3, 3')および前記プラグ(6)に接触する工程を含む方法。

#### 【請求項2】

請求項1に記載の半導体装置の製造方法であって、

工程(c)において、前記少なくとも1つの井戸層(5, 5')が前記プラグ(6)を前記横方向に囲むように前記第4のマスクが前記2つのソース領域(3, 3')に隣接する前記井戸層(5, 5')の一部を突出させるように、および前記少なくとも1つの井戸層(5, 5')が前記プラグ(6)を前記2つのソース領域(3, 3')から分離するように、前記第4のマスクを適用することを特徴とする方法。

#### 【請求項3】

請求項1乃至2のいずれか1項に記載の半導体装置の製造方法であって、

工程(c)において、前記少なくとも1つの井戸層(5, 5')のドーピング濃度の少なくとも10倍であるドーピング濃度を有する前記プラグ(6)を形成する、または前記少なくとも1つの井戸層(5, 5')のドーピング濃度の10倍から100倍のドーピング濃度を有する前記プラグ(6)を形成することを特徴とする方法。

#### 【請求項4】

請求項1乃至3のいずれか1項に記載の半導体装置の製造方法であって、

工程(b)において、前記2つのチャンネル層(4, 4')のドーピング濃度の少なくとも10倍であるドーピング濃度を有する前記少なくとも1つの井戸層(5, 5')を形成する、または工程(b)において、前記2つのチャンネル層(4, 4')のドーピング濃度の10倍から100倍のドーピング濃度を有する前記少なくとも1つの井戸層(5, 5')を形成することを特徴とする方法。

#### 【請求項5】

請求項1乃至4のいずれか1項に記載の半導体装置の製造方法であって、

工程 (b) において、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$  または  $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$  のドーピング濃度を有する前記少なくとも 1 つの井戸層 (5, 5') を形成することを特徴とする方法。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (b) において、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$  のドーピング濃度を有する前記 2 つのチャネル層 (4, 4') を形成することを特徴とする方法。

【請求項 7】

請求項 1 乃至 6 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (c) において、 $2 \times 10^{17} \sim 2 \times 10^{21} \text{ cm}^{-3}$  または  $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$  のドーピング濃度を有する前記プラグ (6) を形成することを特徴とする方法。

【請求項 8】

請求項 1 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法であって、

工程 (b) において、前記ソース領域 (3, 3') の横方向の領域において前記第 1 の面 (12) に低いドーピング濃度を有する共通層 (4, 5 および 4', 5') として、前記少なくとも 1 つの井戸層 (5, 5') および前記 2 つのチャネル層 (4, 4') を形成し、前記ドーピング濃度は、次いで前記ソース領域 (3, 3') の下においてより高いドーピング濃度に上昇することを特徴とする方法。

【請求項 9】

第 1 の主面 (20) と前記第 1 の主面 (20) に対向する装置の第 2 の主面 (22) との間に第 1 の導電型の低濃度ドープドリフト層 (2) を含むワイドバンドギャップ半導体装置であって、

さらに、前記第 1 の主面 (20) 上に、ソース領域深さ (30) を有する前記第 1 の導電型の 2 つのソース領域 (3, 3') であり、前記 2 つのソース領域 (3, 3') が前記ドリフト層 (2) よりも高いドーピング濃度を有する、2 つのソース領域 (3, 3') と、

前記ソース領域深さ (30) と少なくとも同じ深さのチャネル層深さ (40) を有する、前記第 1 の導電型とは異なる第 2 の導電型の 2 つのチャネル層 (4, 4') であり、各ソース領域 (3, 3') は、前記第 1 の主面 (20) に平行な方向にチャネル層 (4, 4') によって前記ドリフト層 (2) から分離された、第 2 の導電型の 2 つのチャネル層 (4, 4') と、

少なくとも前記チャネル層深さ (40) と同じ深さの井戸層深さ (50) を有する前記第 2 の導電型の 2 つの井戸層 (5, 5') であり、前記井戸層 (5) は、前記チャネル層 (4, 4') よりも高いドーピング濃度を有し、前記井戸層 (5, 5') は、前記第 1 の主面 (20) と対向する前記井戸層の面上に前記ドリフト層 (2) から前記 2 つのソース領域 (3, 3') を分離する、第 2 の導電型の 2 つの井戸層 (5, 5') と、

少なくとも前記井戸層深さ (50) と同じ深さであるプラグ深さ (60) を有し、前記井戸層 (5, 5') よりも高いドーピング濃度を有する前記第 2 の導電型のプラグ (6) であり、前記プラグ (6) は、前記 2 つのソース領域 (3, 3') 間に配置され、前記 2 つの井戸層 (5, 5') は、前記プラグ (6) を前記横方向に囲み、前記 2 つの井戸層 (5, 5') は前記 2 つのソース領域 (3, 3') から前記プラグ (6) を分離する、プラグ (6) と、

前記第 1 の主面 (20) 上にそれぞれ配置された 2 つのゲート電極 (7) であって、各ゲート電極 (7) は、第 1 の絶縁層 (72) によって任意のドープ層から分離されたゲート層 (70) を含む、2 つのゲート電極 (7) と、

前記第 1 の主面 (20) 上にオーミック接触としての、少なくとも前記 2 つのソース領域 (3, 3') および前記プラグ (6) に接触する第 1 の主電極 (9) とを含むワイドバンドギャップ半導体装置。

【請求項 10】

請求項 9 に記載のワイドバンドギャップ半導体装置であって、

前記 2 つのソース領域 ( 3 , 3 ' )、前記チャネル層 ( 4 , 4 ' )、前記井戸層 ( 5 , 5 ' ) および前記プラグ ( 6 ) は、前記第 1 の主面 ( 2 0 ) 上に 1 つの平面を形成することを特徴とするワイドバンドギャップ半導体装置。

【請求項 1 1】

請求項 9 または 1 0 に記載のワイドバンドギャップ半導体装置であって、

前記プラグ ( 6 ) のドーピング濃度は、前記井戸層 ( 5 , 5 ' ) のドーピング濃度の少なくとも 1 0 倍である、または前記プラグ ( 6 ) のドーピング濃度は、前記井戸層 ( 5 , 5 ' ) のドーピング濃度の 1 0 倍から 1 0 0 倍であることを特徴とするワイドバンドギャップ半導体装置。

【請求項 1 2】

請求項 9 乃至 1 1 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、

前記井戸層 ( 5 , 5 ' ) のドーピング濃度は、前記チャネル層 ( 4 , 4 ' ) のドーピング濃度の少なくとも 1 0 倍である、または前記井戸層 ( 5 , 5 ' ) のドーピング濃度は、前記チャネル層 ( 4 , 4 ' ) のドーピング濃度の 1 0 倍から 1 0 0 倍であることを特徴とするワイドバンドギャップ半導体装置。

【請求項 1 3】

請求項 9 乃至 1 2 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、

前記プラグ ( 6 ) は、 $2 \times 10^{17} \sim 2 \times 10^{21} \text{ cm}^{-3}$  または  $1 \times 10^{19} \sim 2 \times 10^{21} \text{ cm}^{-3}$  のドーピング濃度を有する、

前記井戸層 ( 5 , 5 ' ) は、 $1 \times 10^{17} \sim 1 \times 10^{21} \text{ cm}^{-3}$  または  $1 \times 10^{18} \sim 1 \times 10^{20} \text{ cm}^{-3}$  のドーピング濃度を有する、および

前記チャネル層 ( 4 , 4 ' ) は、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$  のドーピング濃度を有する、の少なくとも 1 つを特徴とするワイドバンドギャップ半導体装置。

【請求項 1 4】

請求項 9 乃至 1 3 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、

前記井戸層 ( 5 , 5 ' ) および前記チャネル層 ( 4 , 4 ' ) は、前記ソース領域 ( 3 , 3 ' ) の横方向の領域において前記第 1 の主面 ( 2 0 ) に低ドーピング濃度を有する共通層 ( 4 , 5 および 4 ' , 5 ' ) として形成され、前記ドーピング濃度は、次いで前記ソース領域 ( 3 , 3 ' ) の下においてより高いドーピング濃度まで上昇することを特徴とするワイドバンドギャップ半導体装置。

【請求項 1 5】

請求項 9 乃至 1 4 のいずれか 1 項に記載のワイドバンドギャップ半導体装置であって、

前記装置は、絶縁ゲートバイポーラトランジスタまたは金属酸化物半導体電界効果トランジスタであることを特徴とするワイドバンドギャップ半導体装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

発明の開示

本発明の目的は、改善された電気的特性を有するパワー半導体デバイスを製造する方法を提供することであり、

( a ) 半導体装置内にドリフト層を形成する第 1 の導電型の低濃度ドーブ層を有するワイドバンドギャップ基板製品を提供する工程であって、基板製品は、第 1 の面および第 1 の面に対向する第 2 の面を有し、低濃度ドーブ層は、第 1 の面上に配置される工程、

( b ) 次いで、第 1 の面上に、ドリフト層より高いドーピング濃度を有する第 1 の導電型の 2 つのソース領域をソース領域深さまで形成し、チャネル層深さを有し、2 つのソース領域を第 1 の面に平行な横方向に取り囲み、それによって 2 つのソース領域をドリフト

層から横方向に分離する、第1の導電型とは異なる第2の導電型の少なくとも1つのチャネル層を形成し、少なくともチャネル層深さと同じ深さの井戸層深さを有し、少なくとも1つのチャネル層よりも高いドーピング濃度を有する少なくとも1つの第2の導電型の井戸層を形成し、ここで、少なくとも1つの井戸層は、第1の面に対向する少なくとも1つの井戸層の面上のドリフト層から2つのソース領域を分離し、ここで、開口部を有する第1の面上に第1のマスクを適用し、第1のマスクは、第1のマスク層および第1のマスク層上に第2のマスク層を含み、ここで、第1のマスク層は、第2のマスク層よりも高いエッチング選択性を有し、

次いで、2つのソース領域をソース領域深さまで形成するための第1の導電型の第2のドーパントを適用し、

次いで、2つのソース領域間に配置された第1のマスクの部分を除去し、それによって第2のマスクを形成し、

次いで、少なくとも1つの井戸層を井戸層深さまで形成するための第2の導電型の第3のドーパントを適用し、

第1の面にエッチング工程を行って、エッチングによって、第1のマスク層は開口部で第2のマスク層よりもさらに除去され、

第2のマスク層を除去し、ここで、残留する第1のマスク層は第3のマスクを形成し、

次いで、2つのチャネル層をチャネル層深さまで形成するための第2の導電型の第1のドーパントを適用する工程、

(c) 工程(b)後に、井戸層深さと少なくとも同じ深さのプラグ深さを有し、少なくとも1つの井戸層よりも高いドーピング濃度を有する第2の導電型のプラグを形成し、ここで、プラグは2つのソース領域間に配置される工程、

(d) 工程(c)後に、第1の面上に2つのゲート電極を形成し、2つのゲート電極のそれぞれが絶縁層によって任意のドーブ層から分離される工程、

(e) 工程(c)後に、第1の面上にオーミック接触として第1の主電極を形成し、2つのソース領域およびプラグに接触する工程を含む。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

【図1】本発明のIGBTを示す。

【図2】本発明のMOSFETを示す。

【図3】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図4】別の製造工程(a)を示す。

【図5】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図6】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図7】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図8】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図9】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図10】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造方法の工程を示す。

【図11】ワイドバンドギャップ半導体装置(IGBT/MOSFET)の本発明の製造

方法の工程を示す。

【図 1 2】ワイドバンドギャップ半導体装置 ( I G B T / M O S F E T ) の本発明の製造方法の工程を示す。

【図 1 3】ワイドバンドギャップ半導体装置 ( I G B T / M O S F E T ) の本発明の製造方法の工程を示す。

【図 1 4】従来技術の炭化ケイ素 M O S F E T を示す。

【図 1 5】図 2 に例示された M O S セル構造を通る異なる切断部に沿った電界を示す。

【図 1 6】図 2 に例示された M O S セル構造を通る異なる切断部に沿った電界を示す。

【図 1 7】図 2 に例示された M O S セル構造を通る異なる切断部に沿った電界を示す。

【図 1 8】図 2 に例示された M O S セル構造を通る異なる切断部に沿った電界を示す。

【図 1 9】早期破壊を引き起こす短チャネル効果の減少を示す。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 8

【補正方法】変更

【補正の内容】

【0 0 5 8】

次に、第 4 のマスク 6 2 を除去し ( 図 1 1 ) 、第 1 の絶縁層 7 2 を適用することによってゲート電極 7 を形成し ( 図 1 2 ) 、第 1 の面 1 2 の表面、チャネル層 4 , 4 ' およびソース領域 3 , 3 ' の外側部に延在する部分でドリフト層 2 を覆う。外側部は、互いに対向していない 2 つのソース領域 3 , 3 ' の部分を意味するものとする。導電性ゲート層 7 0 が適用され、その上に、第 2 の絶縁層 7 4 が適用されて、第 1 の主電極 9 からゲート層 7 0 を電氣的に絶縁する。プラグ 6 および井戸層 5 , 5 ' を介してゲート電極 7 で覆われていないソース領域 3 , 3 ' 上の開口部には、I G B T 1 用エミッタ電極または M O S F E T 1 ' ( 金属酸化膜半導体電界効果トランジスタ ) 用のソース電極の形態でのオーミック接触としての第 1 の主電極 9 が形成される。例示的には、第 1 の主電極 9 は、開口部に金属層を最初に適用して p + + プラグ 6 、井戸層 5 , 5 ' およびソース領域 3 , 3 ' に接触することによって形成し、次いでゲート層 7 0 上の第 2 の絶縁層 7 4 をさらに覆う別の金属層を適用する ( 図 1 3 ) 。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 0

【補正方法】変更

【補正の内容】

【0 0 6 0】

図 6 ~ 図 1 3 に示すプロセスでは、1 つの M O S セル内に p チャネル層 4 , 4 ' およびソース領域 3 , 3 ' を別個の領域として形成し、井戸層 5 をまず 1 つの共通層として形成し ( 図 8 ) 、p + + プラグ 6 の導入によって、井戸層 5 は、プラグ 6 の側面上の 2 つの別個の井戸層 5 , 5 ' に分割される。したがって、井戸層という用語は、プラグ 6 によって互いに分離された 2 つの井戸層 5 , 5 ' を含み、チャネル層という用語は、井戸層 5 , 5 ' によって互いに分離された 2 つのチャネル層 4 , 4 ' を含むものとする。