公告本

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：94100081

※ 申請日期：94 1 3　　※IPC 分類：G06F 15/16

一、發明名稱：（中文/英文）

一邏輯分割資料處理系統中減少功率損耗之方法及裝置

METHOD AND APPARATUS FOR REDUCING POWER CONSUMPTION IN A LOGICALLY PARTITIONED DATA PROCESSING SYSTEM

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：（中文/英文）

傑拉德　羅森賽

ROSENTHAL, GERALD

住居所或營業所地址：（中文/英文）

美國紐約州阿蒙市新果園路

NEW ORCHARD ROAD, ARMONK, NY 10504, U. S. A.

國　籍：（中文/英文）

美國 U.S.A.

三、發明人：（共 1 人）

姓　名：（中文/英文）

馬克　伊洛特　哈克

HACK, MARK ELLIOTT

國　籍：（中文/英文）

南非 SOUTH AFRICA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年01月22日；10/763,094

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體上係關於一種改良的資料處理系統，且尤其係關於一種用於處理資料之方法及裝置。更明確地說，本發明提供一種用於在邏輯分割資料處理系統中減少功率損耗之方法、裝置及電腦指令。

【先前技術】

關於提供給使用者之處理功率量，資料處理系統正變得日益強大。處理功率中之一增加來自更快處理器之使用。經由具有多個處理器之資料處理系統提供處理功率中之另一增加。

在該等類型之系統中，使用多個處理器來執行不同的任務。在處理多個任務中，可為該等處理器而劃分用於不同任務之線程之處理時間。在對稱型多重處理系統(SMP)中，多個程序可執行於任何可用處理器上，且單一程序之線程可同時執行於不同的處理器上。所有處理器可自動地用於執行系統中存在之任何線程。另外，可藉由不同的處理器並行地執行線程。結果，多線程應用程式可同時執行多個線程，使得可在更少的時間內完成更多的任務。

隨著處理器之數量增加且該等類型之多處理器資料處理系統之速度增加，功率損耗及熱產生變成更普遍的問題。舉例而言，隨著由處理器所使用之時脈頻率增加，由處理器所產生之熱量增加。隨著更多處理器被添加或包括在一多處理器資料處理系統中，熱量亦上升。

在處理該等問題中，冷卻系統並縮減處理器操作之頻率為當前所使用之技術。冷卻系統常常係昂貴的且會經受故障。該等類型之系統僅處理熱問題，且並不處理功率損耗之問題。縮減用於資料處理系統中處理器之時脈週期之頻率需要使特定介面曝露於作業系統，其暗示了功率減少方法係不透明的，且在無作業系統修改之情況下不可應用。

因此，具有一用於在資料處理系統中減少功率損耗之改良的方法、裝置及電腦指令將係有利的。

【發明內容】

本發明提供一種用於管理一組處理器之方法、裝置及電腦指令。接收一來自作業系統之呼叫。該呼叫指示在一時間段內不需要該組處理器中之所選處理器。回應接收此呼叫，改變該所選處理器之操作以減少該時間段期間之功率使用。

【實施方式】

常常將日益大的對稱型多處理器資料處理系統進行分割並用作邏輯分割(LPAR)資料處理系統，該等對稱型多處理器資料處理系統諸如可購自International Business Machines公司之IBM eServer P690、可購自Hewlett-Packard公司之DHP9000 Superdome Enterprise Server、及可購自Sun Microsystems, Inc.之Sunfire 15K伺服器。資料處理系統內之邏輯分割功能性允許單一作業系統之多個複本或多個異質作業系統同時執行於單一資料處理系統平臺上。可在該等類型之LPAR資料處理系統中實施本發明，

以減少功率使用而無需使特定介面曝露於作業系統。

作業系統影像執行於其內之一分割被指派平臺資源之一非重疊子集。平臺之可配置資源包括一或多個架構上不同之處理器，其具有其中斷管理區域、系統記憶體區、及輸入/輸出(I/O)配接器匯流排槽。藉由平臺之韌體將分割之資源表示給作業系統影像。

執行於一平臺內之每一不同作業系統或一作業系統之影像彼此受到保護，使得一邏輯分割上之軟體誤差不可影響任何其它分割之校正操作。藉由配置直接由每一作業系統影像所管理之一組不相交的平臺資源並藉由提供用於確保各種影像不可控制未被配置給該影像之任何資源之機制來提供此保護。此外，阻止作業系統之配置資源之控制中之軟體誤差影響任何其它影像之資源。因此，作業系統之每一影像或每一不同作業系統直接控制平臺內之一組不同的可配置資源。關於邏輯分割資料處理系統中之硬體資源，在各種分割之中分離地共用該等資源。該等資源可包括(例如)輸入/輸出(I/O)配接器、記憶體DIMM、非揮發性隨機存取記憶體(NVRAM)及硬碟機。可反覆地啟動並關閉LPAR資料處理系統內之每一分割而不必動力循環(power-cycle)整個資料處理系統。

本發明提供一用於在諸如LPAR資料處理系統之包括用於管理多個分割之軟體之多處理器系統中管理功率損耗之方法、裝置及電腦指令。可在用於管理分割之軟體內實施呼叫，以減少LPAR資料處理系統內之所選處理器之功率

使用。在說明性實例中，當用於管理多個分割之軟體接收到在某時間段內交出或不需要處理器之指示時，減少處理器之功率使用。可經由接收自作業系統之呼叫或訊息來識別此指示。

現參看諸圖，且特別參看圖1，該圖描繪可於其中實施本發明之資料處理系統之方塊圖。資料處理系統100可為一包括連接至系統匯流排106之複數個處理器101、102、103及104之對稱型多處理器(SMP)系統。舉例而言，資料處理系統100可為IBM eServer，其為被實施為網路內之伺服器之Armonk, New York的International Business Machines公司之產品。或者，可使用單一處理器系統。亦連接至系統匯流排106的係將介面提供至複數個區域記憶體160-163之記憶體控制器/快取記憶體108。I/O匯流排橋接器110連接至系統匯流排106，且將介面提供至I/O匯流排112。如所描繪，可將記憶體控制器/快取記憶體108與I/O匯流排橋接器110進行整合。

資料處理系統100為邏輯分割(LPAR)資料處理系統。因此，資料處理系統100可具有同時執行之多個異質作業系統(或單一作業系統之多個實體)。該等多個作業系統之每一者可具有於其內執行之任何數量之軟體程式。將資料處理系統100進行邏輯分割，使得可將不同的PCI I/O配接器120-121、128-129及136、圖形配接器148及硬碟配接器149指派給不同的邏輯分割。在此狀況下，圖形配接器148對顯示設備(未圖示)提供連接，而硬碟配接器149對控制硬碟

150提供連接。

因此，舉例而言，假設將資料處理系統100分成三個邏輯分割P1、P2及P3。將每一PCI I/O配接器120-121、128-129、136、圖形配接器148、硬碟配接器149、每一主機處理器101-104、及來自區域記憶體160-163之記憶體分別指派給該等三個分割。在該等實例中，記憶體160-163可採取雙面針腳記憶體模組(DIMM)之形式。通常並非按照DIMM將每一DIMM指派給各分割。實情為，一分割將得到由平臺所見之全部記憶體之一部分。舉例而言，可將處理器101、來自區域記憶體160-163之記憶體之某一部分、及I/O配接器120、128及129指派給邏輯分割P1；可將處理器102-103、來自區域記憶體160-163之記憶體之某一部分、及PCI I/O配接器121及136指派給分割P2；再將處理器104、來自區域記憶體160-163之記憶體之某一部分、圖形配接器148及硬碟配接器149指派給邏輯分割P3。

將在資料處理系統100內執行之每一作業系統指派給不同的邏輯分割。因此，在資料處理系統100內執行之每一作業系統僅可存取在其邏輯分割內之該等I/O單元。因此，舉例而言，進階互動式執行(AIX)作業系統之一實體可在分割P1內執行，AIX作業系統之第二實體(影像)可在分割P2內執行，而Windows XP作業系統則可在邏輯分割P3內操作。Windows XP為Redmond, Washington的Microsoft公司之產品及商標。

連接至I/O匯流排112之周邊組件互連(PCI)主機橋接器

114將介面提供至PCI區域匯流排115。許多PCI輸入/輸出配接器120-121可經由PCI至PCI橋接器116、PCI匯流排118、PCI匯流排119、I/O槽170及I/O槽171而連接至PCI匯流排115。PCI至PCI橋接器116將介面提供至PCI匯流排118及PCI匯流排119。PCI I/O配接器120與121分別置放於I/O槽170與171中。典型的PCI匯流排實施例將支持四個與八個之間之I/O配接器(意即，用於內插連接器之膨脹槽)。每一PCI I/O配接器120-121在資料處理系統100與諸如(例如)其它網路電腦之輸入/輸出設備(其為資料處理系統100之用戶端)之間提供介面。

額外PCI主機橋接器122對額外PCI匯流排123提供介面。PCI匯流排123連接至複數個PCI I/O配接器128-129。PCI I/O配接器128-129可經由PCI至PCI橋接器124、PCI匯流排126、PCI匯流排127、I/O槽172及I/O槽173而連接至PCI匯流排123。PCI至PCI橋接器124將介面提供至PCI匯流排126及PCI匯流排127。PCI I/O配接器128與129分別置放於I/O槽172與173中。以此方式，可經由PCI I/O配接器128-129之每一者支持諸如(例如)數據機或網路配接器之額外I/O設備。以此方式，資料處理系統100允許至多個網路電腦之連接。

插入於I/O槽174中之記憶體映射圖形配接器148可經由PCI匯流排144、PCI至PCI橋接器142、PCI匯流排141及PCI主機橋接器140而連接至I/O匯流排112。硬碟配接器149可置放於連接至PCI匯流排145之I/O槽175中。接著，此匯流

排連接至藉由PCI匯流排141而連接至PCI主機橋接器140之PCI至PCI橋接器142。

PCI主機橋接器130對PCI匯流排131提供介面以連接至I/O匯流排112。PCI I/O配接器136連接至藉由PCI匯流排133而連接至PCI至PCI橋接器132之I/O槽176。PCI至PCI橋接器132連接至PCI匯流排131。此PCI匯流排亦將PCI主機橋接器130連接至服務處理器郵箱介面及ISA匯流排存取通過邏輯194與PCI至PCI橋接器132。服務處理器郵箱介面及ISA匯流排存取通過邏輯194轉發去往PCI/ISA橋接器193之PCI存取。NVRAM儲存器192連接至ISA匯流排196。服務處理器135經由區域PCI匯流排195而耦接至服務處理器郵箱介面及ISA匯流排存取通過邏輯194。服務處理器135亦經由複數個JTAG/I^2C匯流排134而連接至處理器101-104。JTAG/I^2C匯流排134為JTAG/掃描匯流排(見IEEE 1149.1)與Phillips I^2C匯流排之組合。然而，或者，可由單獨的Phillips I^2C匯流排或單獨的JTAG/掃描匯流排替代JTAG/I^2C匯流排134。主機處理器101、102、103及104之所有SP-ATTH訊號一起連接至服務處理器之中斷輸入訊號。服務處理器135具有其自己的區域記憶體191，且能夠存取硬體操作面板(OP-panel)190。

當初始地給資料處理系統100加電時，服務處理器135使用JTAG/I^2C匯流排134來詢問系統(主機)處理器101-104、記憶體控制器/快取記憶體108及I/O橋接器110。在此步驟完成時，服務處理器135具有對資料處理系統100之詳細目

錄及拓撲理解。服務處理器135亦在藉由詢問主機處理器101-104、記憶體控制器/快取記憶體108及I/O橋接器110而發現之所有元件上執行內建式自我測試(BIST)、基本保證測試(BAT)及記憶體測試。藉由服務處理器135收集並報告在BIST、BAT及記憶體測試期間所偵測到之故障之任何誤差資訊。

若在取出於BIST、BAT及記憶體測試期間被發現有故障之元件之後仍可能存在系統資源之有意義的/有效的組態，則允許資料處理系統100進行將可執行程式碼載入於區域(本機)記憶體160-163中。然後，服務處理器135釋放用於執行被載入於區域記憶體160-163中之程式碼之主機處理器101-104。當主機處理器101-104正執行來自資料處理系統100內之個別作業系統之程式碼時，服務處理器135進入監視及報告誤差之模式。由服務處理器135所監視之項目類型包括(例如)冷卻風扇速度及操作、熱感測器、電源調整器及由處理器101-104、區域記憶體160-163與I/O橋接器110所報告之可恢復及不可恢復誤差。

服務處理器135負責保存並報告關於資料處理系統100中之所有監視到之項目之誤差資訊。服務處理器135亦基於誤差類型及界定之臨限值採取行動。舉例而言，服務處理器135可注意到處理器之快取記憶體上之過多可恢復誤差並判定此為硬故障之預示。基於此判定，服務處理器135可標記用於在當前的執行會話及將來的初始程式載入(IPL)期間解組態之彼資源。有時亦將IPL稱為"啟動"或"引導

(bootstrap)"。

可使用各種市售電腦系統來實施資料處理系統100。舉例而言，可使用可購自International Business Machines公司之IBM eServer iSeries模型840系統來實施資料處理系統100。該系統可使用亦可購自International Business Machines公司之OS/400作業系統來支持邏輯分割。

一般技術者將瞭解到，圖1中所描繪之硬體可變化。舉例而言，諸如光碟機及其類似物之其它周邊設備亦可用於增加至或替代所描繪之硬體。所描繪之實例並不意謂暗示關於本發明之架構限制。

現參看圖2，該圖描繪可於其中實施本發明之示範邏輯分割平臺之方塊圖。可如(例如)圖1中之資料處理系統100實施邏輯分割平臺200中之硬體。邏輯分割平臺200包括分割硬體230、作業系統202及分割管理韌體210。通常，邏輯分割平臺200除了含有作業系統202之外還含有許多作業系統。在此等說明性實例中，描述關於單一分割中之單一作業系統之本發明之機制。當然，亦可在含有多個分割中之多個作業系統之邏輯分割平臺中實施本發明。當使用多個作業系統時，此等作業系統可為同時執行於邏輯分割平臺200上之單一作業系統之多個複本或多個異質作業系統。

在此等說明性實例中，可使用被設計成與諸如超級監督器之可購自International Business Machines公司之公開韌體(open firmware)建立介面之OS/400來實施作業系統

202。作業系統202位於單一分割(分割203)中。另外，分割203包括韌體載入器211。可使用可購自International Business Machines公司之IEEE-1275標準公開韌體及執行時間提取軟體(RTAS)來實施韌體載入器211。當例示分割203時，藉由超級監督器之分割管理器將公開韌體之複本載入於分割203中。然後，將關聯至或指派給分割203之處理器分派至分割之記憶體以執行分割韌體。

分割硬體230包括複數個處理器232-238、複數個系統記憶體單元240-246、複數個輸入/輸出(I/O)配接器248-262及一儲存單元270。分割硬體230亦包括服務處理器290，其可用於提供各種服務，諸如處理分割中之誤差。將處理器232-238、記憶體單元240-246、NVRAM儲存器298及I/O配接器248-262之每一者指派給邏輯分割平臺200內之分割203。若存在多個分割，則可將分割硬體230內之不同組件指派給不同分割。

分割管理韌體(超級監督器)210執行用於邏輯分割平臺200中之分割203之許多功能及服務。分割管理韌體210為相同於下層硬體之韌體實施虛擬機器。超級監督器軟體為一分割管理韌體類型，其可購自International Business Machines公司。韌體為儲存於一在無電功率之情況下保持其內容之記憶體晶片中之"軟體"，該記憶體晶片諸如(例如)唯讀記憶體(ROM)、可程式化ROM(PROM)、可擦除可程式化ROM(EPROM)、電可擦除可程式化ROM(EEPROM)及非揮發性隨機存取記憶體(非揮發性RAM)。因此，藉由

虛擬化邏輯分割平臺200之所有硬體資源，分割管理韌體210允許同時執行獨立的OS影像。

可經由諸如硬體管理控制臺280之硬體管理控制臺來控制不同分割之操作。硬體管理控制臺280為一單獨的資料處理系統，系統管理者可自該系統執行包括將資源重新配置至不同分割之各種功能。藉由此類型之系統，可應用子處理器分割。此類型之分割允許將一實體處理器映射至多個邏輯處理器，以支持比實體處理器更大量之邏輯處理器。以此方式，可支持比實體處理器更大量之分割。

在此等說明性實例中，僅使用一單一分割。本發明之機制管理處理器之功率損耗，以回應由作業系統202對分割管理韌體210所做出之呼叫。當在一時間段內可能不需要邏輯處理器時，作業系統202將訊息或呼叫發送至分割管理韌體210。此等呼叫為通常以邏輯分割平臺中之子處理器分割方式使用以請求或交出使用邏輯處理器之呼叫。藉由子處理器分割，分割管理韌體210能夠控制用於不同分割之個別處理器之配置或使用。藉由此類型之分割，可將處理器配置至一個以上分割。換言之，此類型之組態允許比系統中之實體處理器更大量之分割之實施例。

本發明之機制使用此呼叫或訊息發送系統以對於執行於分割203中之程式而言透明之方式來減少功率損耗及熱產生。當不需要處理器時，將處理器置放於功率節省模式，而非允許在該時間段內由另一分割使用該處理器。本發明之機制並不需要任何特定類型之功率節省模式，且可使用

任何類型之功率節省機制。

詳言之，作業系統202可產生對分割管理韌體210之閒置呼叫。此呼叫為一包括交出或不需要與邏輯處理器相關聯之實體處理器之時間量之訊息。分割管理韌體210可將實體處理器置放於功率節省模式中，以回應接收來自作業系統202之閒置呼叫。此功率節省模式可包括(例如)縮減時脈速度頻率或將處理器置放於睡眠模式中。當處理器處於睡眠模式中時，整個處理器完全地被關閉，其中為了快速恢復僅將處理器之狀態儲存於動態隨機存取記憶體(DRAM)狀態中。在此模式中，停止外部處理器匯流排時脈。

以此方式，本發明之機制允許藉由當在某一時間段內不需要該等處理器時將處理器置放於功率節省模式中來減少對多處理器資料處理系統中之功率之使用。因為本發明之機制不依賴於用於減少功率使用之任何作業系統支持，所以可藉由支持分割之任何作業系統來實施本發明之機制。另外，因為僅當存在閒置時間時將處理器置放於功率節省模式中，所以本發明之機制對效能具有最小影響。

現轉向圖3，其根據本發明之較佳實施例描繪一用於管理邏輯分割資料處理系統中之處理器之程序之流程圖。可以諸如圖2中之分割管理韌體210之控制程序實施圖3中所說明之程序。在此等說明性實例中，將此程序與諸如圖2中之邏輯分割平臺200之僅具有單一分割之邏輯分割資料處理系統相比。當然，亦可將此機制應用於具有一個以上分割之系統。

該程序藉由接收交出邏輯處理器之呼叫(步驟300)而開始。自作業系統接收此呼叫，且通常係當該作業系統不需要邏輯處理器時產生此呼叫。此呼叫亦稱為閒置呼叫，且包括待交出之處理器之識別以及待交出處理器之時間量。在此等實例中，處理器之映射為一邏輯處理器至一實體處理器。結果，當自作業系統接收呼叫時，很清楚，可將與邏輯處理器相關聯之實體處理器置放於功率節省模式中。

接下來，做出關於期間不需要處理器之等待時間是否小於臨限值之判定(步驟302)。可根據將處理器置放於功率節省模式中及/或將處理器返回至正常操作模式所需之時間來選擇該臨限值。若等待時間不小於臨限值，則將映射至邏輯處理器之實體處理器置放於功率節省模式中(步驟304)。此功率節省模式可採取各種形式，例如，可將處理器置放於睡眠模式中、可縮減時脈速度、或可使用任何其它功率縮減方法或機制。當處於功率節省模式中時，可執行其它任務以阻止處理器被存取。舉例而言，可停用用於處理器之中斷。

其後，處理器等待一事件(步驟306)。該事件可為期間作業系統不需要或交出處理器之時間時期滿。另外，該事件亦可為(例如)由作業系統對邏輯處理器之指示或請求。在接收該事件之後，執行後處理(步驟308)，然後控制返回至呼叫器。後處理包含將實體處理器置放回至先前操作模式中、以及執行允許處理器執行工作或任務所需之任何任務。返回參考步驟302，若不滿足等待臨限值條件，則該

程序亦將控制返回至呼叫器而不將處理器置放於功率節省模式中。

因此，本發明之機制提供一用於在多處理資料處理系統中減少功率損耗之方法、裝置及電腦指令。在該等說明性實例中，在存在一用於管理一或多個分割之控制程式之單一或多處理器資料處理系統中實施本發明之機制。在此類型之系統中，當在某一所選時間段內作業系統不需要邏輯處理器時，作業系統產生對控制程式之呼叫。回應此呼叫，將映射至邏輯處理器之實體處理器置放於功率節省模式中，直至諸如所選時間段期滿之事件發生。以此方式，在處理器之閒置時間期間減少了功率使用。因為僅使用閒置時間，所以此機制避免或使效能降級最小化。

儘管說明性實例係針對僅具有單一分割之邏輯分割資料處理系統，但是可藉由記錄以下事實將本發明之機制應用於多個分割：處理器處於睡眠模式中，且因此不可用於作為主動處理器而參與，直至接收事件來將處理器恢復成全操作模式。

重要的是應注意，儘管已在全面運行之資料處理系統的情形下描述了本發明，但是一般技術者將瞭解到，能夠以指令之電腦可讀取媒體之形式及各種形式來分配本發明之程序，且本發明在不管實際上用於進行該分配之特定類型之訊號承載媒體的情況下而同樣應用。電腦可讀取媒體之實例包括：可記錄型媒體，諸如軟碟、硬碟機、RAM(隨機存取記憶體)、CD-ROM(緊密光碟-唯讀記憶體)、DVD-

ROM(數位化通用光碟-唯讀記憶體)；及傳輸型媒體，諸如數位及類比通訊鏈路、使用諸如(例如)射頻及光波傳輸之傳輸形式之有線或無線通訊鏈路。電腦可讀取媒體可採取為在特定資料處理系統中實際使用而解碼之編碼格式之形式。

已為說明及描述之目的而呈現了對本發明之描述，且該描述並不意欲為詳盡的或限制於所揭示之形式之本發明。許多修改及變化對於一般技術者而言將係顯而易見的。選擇並描述實施例以最好地解釋本發明之原則及實際應用，且使其他一般技術者能夠理解用於具有適合於所涵蓋之特定使用之各種修改之各種實施例之本發明。

【圖式簡單說明】

圖1為可於其中實施本發明之資料處理系統之方塊圖；

圖2為可於其中實施本發明之示範邏輯分割平臺之方塊圖；且

圖3為用於根據本發明之較佳實施例在邏輯分割資料處理系統中管理處理器之程序之流程圖。

【主要元件符號說明】

100	資料處理系統
101, 102, 103, 104	處理器
106	系統匯流排
108	記憶體控制器/快取記憶體
110	I/O橋接器
112	I/O匯流排

114, 122, 130, 140	PCI主機橋接器
115, 118, 119, 123, 126, 127, 131, 133, 141, 144, 145, 195	PCI匯流排
116, 124, 132, 142	PCI至PCI橋接器
120, 121, 128, 129, 136	PCI I/O配接器
134	JTAG/I^2C匯流排
135	服務處理器
148	圖形配接器
149	硬碟配接器
150	硬碟
160, 161, 162, 163	區域記憶體
170, 171, 172, 173, 174, 175, 176	I/O槽
190	操作面板
191	記憶體
192	非揮發性隨機存取記憶體(NVRAM)儲存器
193	PCI/ISA橋接器
194	服務處理器郵箱介面及ISA匯流排存取通過邏輯
196	ISA匯流排
200	邏輯分割平臺
202	作業系統
203	分割
210	分割管理韌體

211	韌體載入器
230	分割硬體
232, 234, 236, 238	處理器
240, 242, 244, 246	記憶體單元
248, 250, 252, , 254, 256, 258, 260, 262	I/O配接器
270	儲存單元
280	硬體管理控制臺
290	服務處理器
298	NVRAM儲存器

五、中文發明摘要：

本發明提供一種用於管理一組處理器之方法、裝置及電腦指令。接收一來自一作業系統之呼叫。該呼叫指示在一時間段內不需要該組處理器中之一所選處理器。回應於接收此呼叫，改變該所選處理器之操作以減少該時間段內之功率使用。

六、英文發明摘要：

十一、圖式：

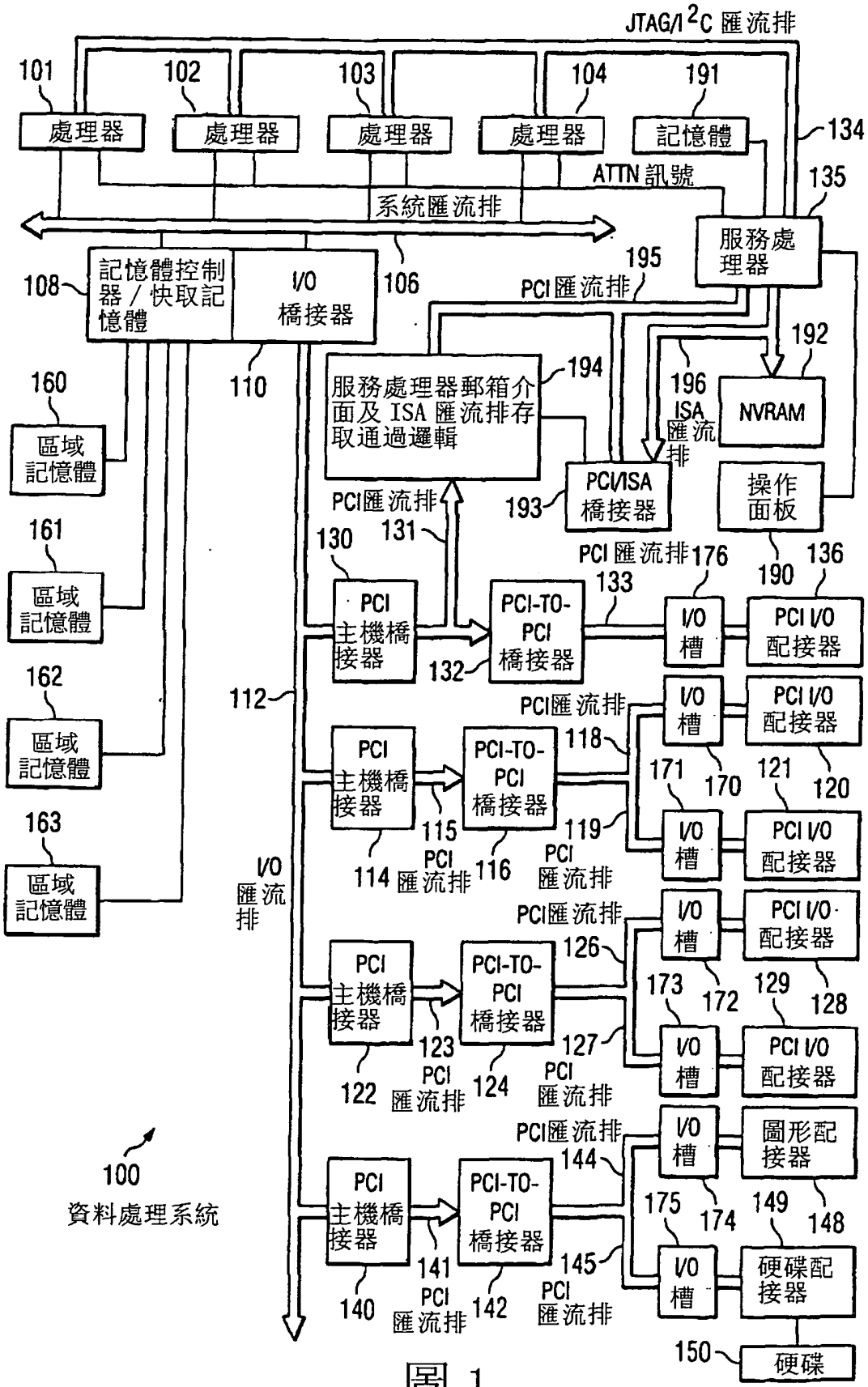

JTAG/I2C 匯流排
101
102
103
104
191
處理器
處理器
處理器
處理器
記憶體
134
ATTN 訊號
135
系統匯流排
106
服務處理器
195
PCI 匯流排
108
記憶體控制器／快取記憶體
I/O 橋接器
192
194
服務處理器郵箱介面及 ISA 匯流排存取通過邏輯
196
ISA 匯流排
NVRAM
160
區域記憶體
110
PCI/ISA 橋接器
193
操作面板
PCI 匯流排
161
區域記憶體
130
131
PCI 匯流排
176
190
136
133
PCI 主機橋接器
PCI-TO-PCI 橋接器
I/O 槽
PCI I/O 配接器
132
162
區域記憶體
112
PCI匯流排
I/O 槽
PCI I/O 配接器
118
PCI 主機橋接器
PCI-TO-PCI 橋接器
171
170
121
120
163
區域記憶體
115
119
I/O 槽
PCI I/O 配接器
114
PCI 匯流排
116
PCI 匯流排
I/O 匯流排
PCI匯流排
I/O 槽
PCI I/O 配接器
126
PCI 主機橋接器
PCI-TO-PCI 橋接器
173
172
129
128
123
127
I/O 槽
PCI I/O 配接器
122
PCI 匯流排
124
PCI 匯流排
PCI匯流排
I/O 槽
圖形配接器
144
PCI 主機橋接器
PCI-TO-PCI 橋接器
175
174
149
148
141
145
I/O 槽
硬碟配接器
140
PCI 匯流排
142
PCI 匯流排
150
硬碟
100
資料處理系統

圖 1

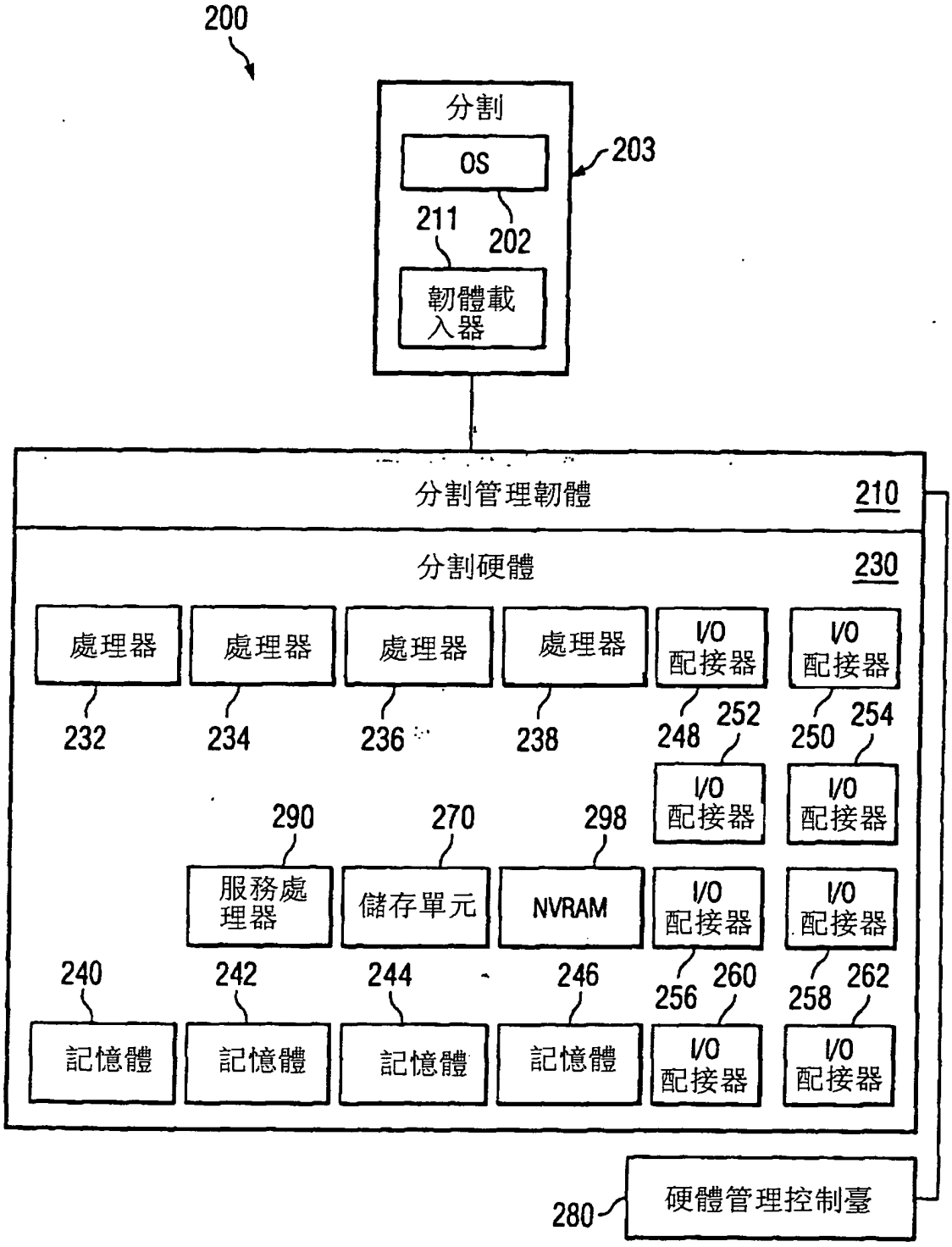

200
分割
OS
203
211
202
韌體載入器
分割管理韌體
210
分割硬體
230
處理器
處理器
處理器
處理器
I/O 配接器
I/O 配接器
232
234
236
238
248
252
250
254
I/O 配接器
I/O 配接器
290
270
298
服務處理器
儲存單元
NVRAM
I/O 配接器
I/O 配接器
240
242
244
246
256
260
258
262
記憶體
記憶體
記憶體
記憶體
I/O 配接器
I/O 配接器
280
硬體管理控制臺

圖 2

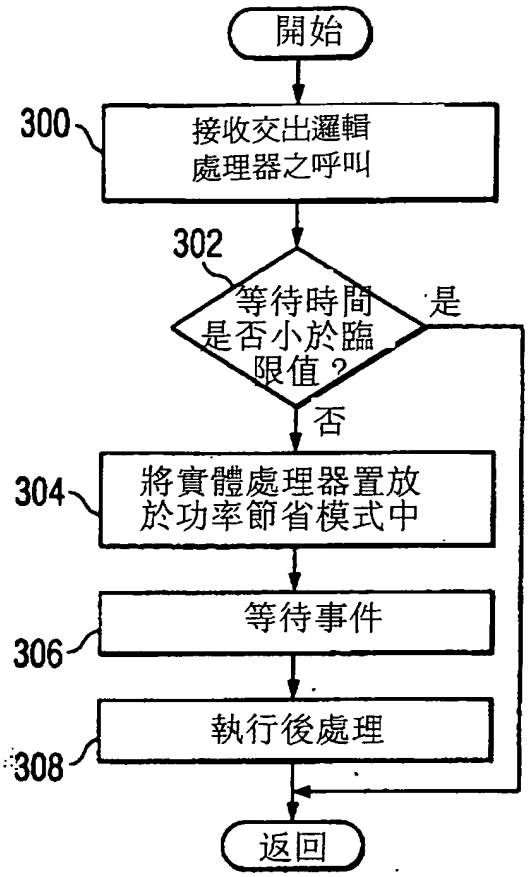

開始
300
接收交出邏輯
處理器之呼叫
302
等待時間
是否小於臨
限值？
是
否
304
將實體處理器置放
於功率節省模式中
306
等待事件
308
執行後處理
返回

圖 3

七、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100	資料處理系統
101, 102, 103, 104	處理器
106	系統匯流排
108	記憶體控制器/快取記憶體
110	I/O橋接器
112	I/O匯流排
114, 122, 130, 140	PCI主機橋接器
115, 118, 119, 123, 126, 127, 131, 133, 141, 144, 145, 195	PCI匯流排
116, 124, 132, 142	PCI至PCI橋接器
120, 121, 128, 129, 136	PCI I/O配接器
134	JTAG/I^2C匯流排
135	服務處理器
148	圖形配接器
149	硬碟配接器
150	硬碟
160, 161, 162, 163	區域記憶體
170, 171, 172, 173, 174, 175, 176 I/O	槽
190	操作面板
191	記憶體

192	非揮發性隨機存取記憶體(NVRAM)儲存器
193	PCI/ISA橋接器
194	服務處理器郵箱介面及ISA匯流排存取通過邏輯
196	ISA匯流排

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

第 094100081 號專利申請案
中文申請專利範圍替換本(99 年 3 月)

99年3月19日修(更)正本

十、申請專利範圍：

1. 一種用於在一資料處理系統中管理一組處理器之方法，該方法包含：

接收一來自一作業系統之呼叫，其中該呼叫指示在包括於來自該作業系統之該呼叫中之一時間段內不需要該組處理器中之一所選處理器，其中該呼叫為由複數個不同作業系統之一者發送之一子處理器分割呼叫，該等作業系統之每一者在一多重分割資料處理系統中之一分別分割中執行，其中該多重分割資料處理系統之每一分割係由一執行時間提取層所管理且(i)係被指派該資料處理系統之資源之一非重疊子集且(ii)可被獨立啟動及關閉而不須動力循環該資料處理系統之整體；及

改變該所選處理器之操作以減少在該時間段內之功率使用，其中該接收步驟及該改變步驟係藉由從同時執行於該資料處理系統之複數個作業系統之至少一者接收該呼叫之該執行時間提取層所執行。

2. 如請求項1之方法，其中該時間段係特定於來自該作業系統之該呼叫中且為其間存在用於該所選處理器之多個閒置週期之一時間。

3. 如請求項1之方法，其中在改變該所選處理器之操作之前，該所選處理器係處於一初始狀態中，且該方法進一步包含：

在該時間段過去之後，將該所選處理器返回至該初始狀態。

4. 如請求項3之方法，其進一步包含：

若該時間段未過去且接收到一指示存在用於該所選處理器之工作之外部中斷，則將該所選處理器返回至該初始狀態。

5. 如請求項1之方法，其中該改變步驟包含：

縮減該所選處理器之一時脈速度。

6. 如請求項1之方法，其中該改變步驟包含：

若該時間段大於一預定臨限，則將該所選處理器置放於一睡眠模式中。

7. 一種用於管理一組處理器之資料處理系統，該資料處理系統包含：

接收構件，其用於接收一來自一作業系統之呼叫，其中該呼叫指示在包括於來自該作業系統之該呼叫中之一時間段內不需要該組處理器中之一所選處理器，其中該呼叫為由複數個不同作業系統之一者發送之一子處理器分割呼叫，該等作業系統之每一者在一多重分割資料處理系統中之一分別分割中執行，其中該多重分割資料處理系統之每一分割係由一執行時間提取層所管理且(i)係被指派該資料處理系統之資源之一非重疊子集且(ii)可被獨立啟動及關閉而不須動力循環該資料處理系統之整體；及

改變構件，其用於改變該所選處理器之操作以減少在該時間段內之功率使用，其中該接收構件及該改變構件係位於從同時執行於該資料處理系統之複數個作業系統

之至少一者接收該呼叫之該執行時間提取層中。

8. 如請求項7之資料處理系統，其中該時間段係特定於來自該作業系統之該呼叫中且為其間存在用於該所選處理器之多個閒置週期之一時間。

9. 如請求項7之資料處理系統，其中在改變該所選處理器之操作之前，該所選處理器係處於一初始狀態中，且該資料處理系統進一步包含：

返回構件，其用於在該時間段過去之後將該所選處理器返回至該初始狀態。

10. 如請求項9之資料處理系統，其中該返回構件為一第一返回構件，且該資料處理系統進一步包含：

第二返回構件，其用於若該時間段未過去且接收到一指示存在用於該所選處理器之工作之外部中斷，則將該所選處理器返回至該初始狀態。

11. 如請求項7之資料處理系統，其中該改變構件包含：

用於縮減該所選處理器之一時脈速度之縮減構件。

12. 如請求項7之資料處理系統，其中該改變構件包含：

置放構件，其用於若該時間段大於一預定臨限則將該所選處理器置放於一睡眠模式中。

13. 一種用於編碼於一電腦可讀取媒體中管理一組處理器之電腦程式產品，該電腦程式產品包含：

第一指令，其用於接收一來自一作業系統之呼叫，其中該呼叫指示在包括於來自該作業系統之該呼叫中之一時間段內不需要該組處理器中之一所選處理器，其中該

呼叫為由複數個不同作業系統之一者發送之一子處理器分割呼叫，該等作業系統之每一者在一多重分割資料處理系統中之一分別分割中執行，其中該多重分割資料處理系統之每一分割係由一執行時間提取層所管理且(i)係被指派該資料處理系統之資源之一非重疊子集且(ii)可被獨立啟動及關閉而不須動力循環該資料處理系統之整體；及

第二指令，其用於改變該所選處理器之操作以減少在該時間段內之功率使用，其中該第一指令及該第二指令係位於從同時執行於該資料處理系統之複數個作業系統之至少一者接收該呼叫之該執行時間提取層中。

14. 如請求項13之電腦程式產品，其中該時間段係特定於來自該作業系統之該呼叫中且為其間存在用於該所選處理器之多個閒置週期之一時間。

15. 如請求項13之電腦程式產品，其中在改變該所選處理器之操作之前，該所選處理器係處於一初始狀態中，且該電腦程式產品進一步包含：

第三指令，其用於在該時間段過去之後將該所選處理器返回至該初始狀態。

16. 如請求項15之電腦程式產品，其進一步包含：

第四指令，其用於若該時間段未過去且接收到一指示存在用於該所選處理器之工作之外部中斷，則將該所選處理器返回至該初始狀態。

17. 如請求項13之電腦程式產品，其中該等第二指令包含：

用於縮減該所選處理器之一時脈速度之多個子指令。

18. 如請求項13之電腦程式產品，其中該等第二指令包含：

用於若該時間段大於一預定臨限則將該所選處理器置放於一睡眠模式中之多個子指令。

19. 一種資料處理系統，其包含：

一匯流排系統；

一記憶體，其連接至該匯流排系統，其中該記憶體包括一組指令；及

一處理單元，其連接至該匯流排系統，其中該處理單元執行一組指令以接收一來自一作業系統之呼叫，其中該呼叫指示在如特定於來自該作業系統之該呼叫中之一時間段內不需要一組處理器中之一所選處理器；並改變該所選處理器之操作以減少在該時間段內之功率使用，其中該呼叫為由複數個不同作業系統之一者發送之一子處理器分割呼叫，該等作業系統之每一者在一多重分割資料處理系統中之一分別分割中執行，其中該多重分割資料處理系統之每一分割係由一執行時間提取層所管理且(i)係被指派該資料處理系統之資源之一非重疊子集且(ii)可被獨立啟動及關閉而不須動力循環該資料處理系統之整體，以及其中該組指令係位於從同時執行於該資料處理系統之複數個作業系統之至少一者接收該呼叫之該執行時間提取層中。