



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/115 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월08일 10-0654341 2006년11월29일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2004-0103102 2004년12월08일 2004년12월08일	(65) 공개번호 (43) 공개일자	10-2006-0064296 2006년06월13일
----------------------------------	---	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 김기철
 경기 수원시 영통구 영통동 955-1 황골마을1단지아파트 130동 106호

 정영천
 경기 수원시 영통구 영통동 993-8번지 202호

 권혁기
 경기도 수원시 영통구 영통동 972-2 벽적골주공아파트 841-201

(74) 대리인 정상빈
 김동진

심사관 : 박근오

전체 청구항 수 : 총 44 항

(54) 비휘발성 메모리 소자 및 그 제조방법

(57) 요약

고집적화를 이루면서 유효 채널 길이를 효과적으로 늘여 펀치 쓰루를 방지하고, 프로그램과 소거 동작의 효율을 증가시킬 수 있는 비휘발성 메모리 소자 및 그 제조방법이 제공된다. 비휘발성 메모리 소자의 제조방법은, (a) 기판 내에 트렌치를 형성하는 단계와, (b) 트렌치의 내벽을 따라 게이트 절연막을 형성하는 단계와, (c) 트렌치 내의 상기 게이트 절연막 상에 기판 상부로 일부 돌출되어 플로팅 게이트를 형성하는 단계와, (d) 플로팅 게이트 상에 게이트간 절연막을 형성하는 단계와, (e) 결과물 상면에 터널링 산화막을 형성하는 단계와, (f) 플로팅 게이트의 상부로부터 플로팅 게이트의 일측벽을 따라 컨트롤 게이트를 형성하는 단계와, (g) 플로팅 게이트의 타측벽에 정렬되는 소스 영역과 컨트롤 게이트의 일측벽에 정렬되는 드레인 영역을 기판 내에 형성하는 단계를 포함한다.

대표도

도 3a

특허청구의 범위

청구항 1.

기관 내의 트렌치에 일부가 형성되고, 상기 기관 상에 일부가 돌출된 플로팅 게이트;

상기 트렌치의 내벽을 따라 상기 트렌치와 플로팅 게이트 사이에 형성된 게이트 절연막;

상기 플로팅 게이트의 일측벽에 정렬되어 상기 기관 내에 형성된 소스 영역;

상기 플로팅 게이트 상부로부터 상기 플로팅 게이트의 타측벽을 따라 절연되어 형성된 컨트롤 게이트;

상기 플로팅 게이트 상에 형성되어 상기 플로팅 게이트와 컨트롤 게이트 사이에 개재되고, 양면 볼록 렌즈 형상의 게이트 간 절연막; 및

상기 컨트롤 게이트의 일측벽에 정렬되어 상기 기관 내에 형성된 드레인 영역을 포함하는 비휘발성 메모리 소자.

청구항 2.

제 1항에 있어서, 상기 플로팅 게이트는 상기 기관 내에 위치하는 높이가 상기 기관 상부로 돌출되는 높이보다 더 큰 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 3.

제 2 항에 있어서, 상기 플로팅 게이트의 하단 가장자리가 모서리지는 형태를 갖는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 4.

제 1 항에 있어서, 상기 플로팅 게이트는 상기 트렌치의 형태를 따라 컨포말한 형태를 갖는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 5.

제 4 항에 있어서, 상기 플로팅 게이트는 '요(凹)'자 형태를 갖는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 6.

제 5 항에 있어서, 상기 플로팅 게이트의 '요(凹)'자 형태를 채우는 절연물질을 더 포함하는 비휘발성 메모리 소자.

청구항 7.

제 1항에 있어서, 상기 플로팅 게이트는 상기 기관 내에 위치하는 높이가 상기 기관 상부로 돌출되는 높이보다 더 작은 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 8.

제7 항에 있어서, 상기 플로팅 게이트의 하단 가장자리가 라운드 형태를 갖는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 9.

제1 항에 있어서, 상기 트렌치는 500 - 2000 Å의 깊이를 가지는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 10.

제1 항에 있어서, 상기 플로팅 게이트는 폴리 실리콘, 불순물이 이온주입된 폴리 실리콘 또는 금속성 도전막으로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 11.

제10 항에 있어서, 상기 플로팅 게이트는 상기 플로팅 게이트의 측벽을 따라 상기 기판 상부를 향하는 팁이 형성되어 있는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 12.

제1 항에 있어서, 상기 소스 영역의 정션 깊이는 상기 플로팅 게이트의 하단보다 더 깊은 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 13.

제1 항에 있어서, 상기 게이트 절연막은 질화물, 산화질화물, high-k 물질 또는 이들의 조합으로 이루어지는 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 14.

제1 항에 있어서, 상기 게이트 절연막은 N_2O 열처리를 한 MTO와 같은 다층 박막, N_2O 열처리를 한 열산화막/MTO로 조합된 다층 박막, 또는 N_2O 열처리를 한 열산화막/SiON/MTO로 조합된 다층 박막인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 15.

제1 항에 있어서, 상기 게이트 절연막은 산화막, 질화막 및 산화막이 적층된 ONO 적층막인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 16.

제1 항에 있어서, 상기 게이트 절연막은 산화막, high-k 물질 및 산화막으로 이루어진 적층막이거나, 산화막, high-k 물질과 질화막이 교대로 적층된 다층막 및 산화막으로 이루어진 적층막인 것을 특징으로 하는 비휘발성 메모리 소자.

청구항 17.

- (a) 기판 내에 트렌치를 형성하는 단계;
- (b) 상기 트렌치의 내벽을 따라 게이트 절연막을 형성하는 단계;
- (c) 상기 트렌치 내의 상기 게이트 절연막 상에 상기 기판 상부로 일부 돌출되어 플로팅 게이트를 형성하는 단계;
- (d) 상기 플로팅 게이트 상에 양면 볼록 렌즈 형상의 게이트간 절연막을 형성하는 단계;
- (e) 상기 결과물 상면에 터널링 산화막을 형성하는 단계;
- (f) 상기 플로팅 게이트의 상부로부터 상기 플로팅 게이트의 일측벽을 따라 컨트롤 게이트를 형성하는 단계; 및
- (g) 상기 플로팅 게이트의 타측벽에 정렬되는 소스 영역과 상기 컨트롤 게이트의 일측벽에 정렬되는 드레인 영역을 상기 기판 내에 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 18.

제17 항에 있어서, 상기 (a) 단계는,

상기 기판 상에 트렌치를 정의하는 산화방지막 패턴을 형성하는 단계; 및 상기 산화방지막 패턴을 식각 마스크로 이용하여 상기 기판 내에 상기 트렌치를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 19.

제18 항에 있어서, 상기 (c) 단계는,

상기 트렌치 내에 도전막을 충분히 충전하는 단계; 및 상기 산화방지막 패턴이 노출되도록 상기 도전막을 평탄화하여 플로팅 게이트를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 20.

제19 항에 있어서, 상기 산화방지막 패턴은 질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 21.

제19 항에 있어서,

상기 (d) 단계는 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계이고,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에서 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 22.

제19 항에 있어서,

상기 (d) 단계는, 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상부에 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 증착하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에서 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 23.

제19 항에 있어서,

상기 (d) 단계는, 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에서 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 24.

제18 항에 있어서, 상기 (c) 단계는,

상기 트렌치 내벽을 따라 상기 게이트 절연막 상에 콘포말하게 도전막을 형성하는 단계; 상기 도전막 상의 '요(凹)'자 형태를 채우는 절연물질로 충전하는 단계; 및 상기 산화방지막 패턴이 노출되도록 상기 도전막 및 절연물질을 평탄화하여 '요(凹)'자형 플로팅 게이트를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 25.

제24 항에 있어서, 상기 산화방지막 패턴은 질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 26.

제24 항에 있어서,

상기 (d) 단계는 상기 산화방지막 패턴 및 절연물질에 의해 노출된 상기 '요(凹)'자형 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계이고,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에서 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 27.

제24 항에 있어서,

상기 (d) 단계는 상기 산화방지막 패턴 및 절연물질에 의해 노출된 상기 '요(凹)'자형 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상부에 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 증착하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 28.

제24 항에 있어서,

상기 (d) 단계는 상기 산화방지막 패턴 및 절연물질에 의해 노출된 상기 '요(凹)'자형 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 29.

제17 항에 있어서, 상기 (a) 단계는,

상기 기판 상에 트렌치를 정의하는 산화방지막 패턴을 형성하는 단계; 상기 산화방지막 패턴을 이용하여 노출된 상기 기판에 열산화막을 형성하는 단계; 및 상기 열산화막을 제거하여 상기 기판 내에 상기 트렌치를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 30.

제29 항에 있어서, 상기 (c) 단계는,

상기 트렌치 내에 도전막을 충분히 충전하는 단계; 및 상기 산화방지막 패턴이 노출되도록 상기 도전막을 평탄화하여 상기 플로팅 게이트를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 31.

제30 항에 있어서, 상기 산화방지막 패턴은 질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 32.

제30 항에 있어서,

상기 (d) 단계는 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계이고,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 33.

제30 항에 있어서,

상기 (d) 단계는, 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상부에 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 증착하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 34.

제30 항에 있어서,

상기 (d) 단계는, 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 35.

제17 항에 있어서, 상기 (a) 단계는,

상기 기판 상에 트렌치를 정의하는 산화방지막 패턴을 형성하는 단계; 상기 산화방지막 패턴의 측벽에 스페이서를 형성하는 단계; 상기 산화방지막 패턴에 의해 노출된 상기 기판과 상기 스페이서를 산화시켜 열산화막을 형성하는 단계; 및 상기 열산화막을 제거하여 상기 기판 내에 상기 트렌치를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 36.

제35 항에 있어서, 상기 스페이서를 형성하는 단계는,

상기 기판 전면에서 스페이서 형성을 위한 도전막을 도포하는 단계; 및 상기 스페이서 형성을 위한 도전막을 전면 이방성 식각하여 상기 산화방지막 패턴의 측벽에 상기 스페이서를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 37.

제35 항에 있어서, 상기 스페이서는 폴리실리콘으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 38.

제35 항에 있어서, 상기 (c) 단계는,

상기 트렌치 내에 도전막을 충분히 충전하는 단계; 및 상기 산화방지막 패턴이 노출되도록 상기 도전막을 평탄화하여 플로팅 게이트를 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 39.

제38 항에 있어서, 상기 산화방지막 패턴은 질화막으로 형성하는 것을 특징으로 하는 비휘발성 메모리 소자의 제조방법.

청구항 40.

제38 항에 있어서,

상기 (d) 단계는 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계이고,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 41.

제38 항에 있어서,

상기 (d) 단계는, 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상부에 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 증착하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 42.

제38 항에 있어서,

상기 (d) 단계는, 상기 산화방지막 패턴에 의해 노출된 상기 플로팅 게이트의 상면을 건식식각하는 단계; 및 상기 플로팅 게이트의 상면을 열산화시켜 양면 볼록 렌즈 형상의 상기 게이트간 절연막을 형성하는 단계를 포함하며,

상기 (e) 단계는 상기 산화방지막 패턴을 제거하는 단계; 및 상기 결과물 전면에 상기 터널링 절연막을 형성하는 단계를 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 43.

제17 항에 있어서, 상기 (b) 단계 전에,

상기 트렌치 내벽을 질화 처리하는 단계를 더 포함하는 비휘발성 메모리 소자의 제조방법.

청구항 44.

제17 항에 있어서, 상기 (b) 단계 전에,

상기 트렌치 내벽에 n 타입 원소를 이온주입하는 단계를 더 포함하는 비휘발성 메모리 소자의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비휘발성 메모리 소자 및 그 제조방법에 관한 것으로서, 보다 구체적으로는 고집적화를 이루면서 유효 채널 길이를 효과적으로 늘여 펀치 쓰루를 방지하고, 프로그램과 소거 동작의 효율을 증가시킬 수 있는 비휘발성 메모리 소자 및 그 제조방법에 관한 것이다.

플래시 메모리는 소자 집적도를 높일 수 있는 구조를 가진다는 장점과, 비휘발성 메모리라는 장점때문에 근래에 많이 연구되고 개발되는 메모리 장치이다. 통상의 플래시 메모리 소자에서 메모리 셀의 게이트는 서로 위 아래에 유전막을 사이에 두고 형성되는 플로팅 게이트와 콘트롤 게이트가 위치하게 된다. 한편, 소거 동작이 플로팅 게이트에서 워드 라인 쪽으로 이루어지게 하여 소거 전압을 상대적으로 낮출 수 있는 새로운 방식의 이중 게이트 구조 비휘발성 메모리가 개발되고 있다. 새로운 방식의 이중 게이트 구조에서는 플로팅 게이트와 콘트롤 게이트가 측방으로 나란히 형성되어 그 대향면이 상대적으로 줄어들고 터널링은 플로팅 게이트의 예약으로 형성된 부분에서 집중적으로 이루어지게 된다. 이러한 구조를 스플리트 게이트(split gate)형 플래시 메모리 소자라 한다.

도 1은 종래 기술에 의한 플래시 메모리 소자를 나타낸 단면도로서, SST(Silicon storage technology)사에 의해 제안된 플래시 메모리 소자의 구조를 나타낸 단면도이다.

도 1을 참조하여 종래의 스플리트 게이트형 플래시 메모리 소자(100)의 구조를 설명하면 다음과 같다.

즉, 기판(102)의 액티브영역 상에는 게이트 절연막(110)을 개재하여 플로팅 게이트(112)가 서로 소정 간격 이격되어 쌍으로 형성된다. 그리고, 플로팅 게이트(112)와 기판(102) 상의 소정 부분에 걸쳐서는 플로팅 게이트(112)와 절연되도록 콘트롤 게이트(122)가 쌍으로 형성된다. 이러한 플로팅 게이트(112) 사이의 기판(102) 내부에는 소스 영역(124)이 형성되고, 소스 영역(124)과 일정 간격 이격된 지점의 기판(102) 내부에는 콘트롤 게이트(122)와 소정 부분 오버랩되도록 드레인 영역(126)이 형성된다.

여기서, 플로팅 게이트(112)와 콘트롤 게이트(122)는 게이트간 절연막(116)과 데이터 소거를 위한 터널링 절연막(118)에 의해 절연된다. 그리고, 채널 영역(L)은 플로팅 게이트(112) 하부에 형성되는 채널 영역과 콘트롤 게이트(122) 하부에 형성되는 채널 영역을 합한 영역으로 정의된다.

그리고, 콘트롤 게이트(122)는 워드 라인(word line)으로서의 역할을 하고, 드레인 영역(126)은 비트 라인(bit line)과 연결되어, 프로그램(program), 소거(erase) 및 읽기(read) 동작이 수행된다.

이러한 플래시 메모리 소자(100)는 메모리용량이 점차 증가함에 따라 단위 셀의 크기 축소(shrinkage)가 요구되고 있다. 이 요구에 부응하여 단위 셀의 크기를 축소시키면 셀의 특성이 불량해지는 문제점이 발생하게 된다. 즉, 플래시 메모리 소자(100)의 단위 셀의 크기를 줄이기 위해서는, 플로팅 게이트(112)의 길이(Lf)를 줄이거나 콘트롤 게이트(122)의 길이(Lc)를 줄여야 한다.

만약 플로팅 게이트(112)의 길이(Lf)를 줄이는 경우, 플로팅 게이트(112)는 프로그램 동작시 전자를 저장하는 역할을 하므로 전자가 저장되는 면적이 줄어들게 되어 프로그램 효율이 저하되는 문제가 발생할 수 있다. 만약 콘트롤 게이트(122)의 길이(Lc)를 줄이는 경우, 드레인 영역(126)과 소스 영역(124)간의 거리가 너무 가까워져서 펀치 쓰루(punch-through)가 발생할 우려가 있다.

나아가, 플래시 메모리 소자(100)의 소거 동작시에 플로팅 게이트(112)와 콘트롤 게이트(122)의 커플링(coupling)을 줄이기 위해 열산화 공정에 의해 게이트간 절연막(116)의 두께를 증가시키는 경우, 플로팅 게이트(112)의 중앙이 뚫리는 문제가 발생할 우려가 있다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 고집적화를 이루면서 유효 채널 길이를 효과적으로 늘여 펀치 쓰루를 방지하고, 프로그램과 소거 동작의 효율을 증가시킬 수 있는 비휘발성 메모리 소자를 제공하고자 하는 것이다.

또한, 본 발명이 이루고자 하는 다른 기술적 과제는, 이러한 비휘발성 메모리 소자를 제조하는 방법을 제공하고자 하는 것이다.

본 발명이 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해되어질 수 있을 것이다.

발명의 구성

상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자는, 기판 내에 일부가 형성되고, 상기 기판 상에 일부가 돌출된 플로팅 게이트와, 상기 트렌치의 내벽을 따라 상기 트렌치와 플로팅 게이트 사이에 형성된 게이트 절연막과, 상기 플로팅 게이트의 일측벽에 정렬되어 상기 기판 내에 형성된 소스 영역과, 상기 플로팅 게이트 상부로부터 상기 플로팅 게이트의 타측벽을 따라 절연되어 형성된 컨트롤 게이트와, 상기 플로팅 게이트 상에 형성되어 상기 플로팅 게이트와 컨트롤 게이트 사이에 개재되고, 중앙으로부터 가장자리로 갈수록 두께가 얇아지는 게이트간 절연막과, 상기 컨트롤 게이트의 일측벽에 정렬되어 상기 기판 내에 형성된 드레인 영역을 포함한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 비휘발성 메모리 소자의 제조방법은 (a) 기판 내에 트렌치를 형성하는 단계와, (b) 상기 트렌치의 내벽을 따라 게이트 절연막을 형성하는 단계와, (c) 상기 트렌치 내의 상기 게이트 절연막 상에 상기 기판 상부로 일부 돌출되어 플로팅 게이트를 형성하는 단계와, (d) 상기 플로팅 게이트 상에 게이트간 절연막을 형성하는 단계와, (e) 상기 절연막 상면에 터널링 산화막을 형성하는 단계와, (f) 상기 플로팅 게이트의 상부로부터 상기 플로팅 게이트의 일측벽을 따라 컨트롤 게이트를 형성하는 단계와, (g) 상기 플로팅 게이트의 타측벽에 정렬되는 소스 영역과 상기 컨트롤 게이트의 일측벽에 정렬되는 드레인 영역을 상기 기판 내에 형성하는 단계를 포함한다.

기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

이하, 본 발명을 보다 구체적으로 설명하기 위하여 본 발명에 따른 일 실시예를 첨부 도면을 참조하면서 보다 상세하게 설명하고자 한다.

도 2 내지 도 3b를 참조하여 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 구조 및 동작에 대해서 설명한다.

도 2는 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 레이아웃을 나타낸 도면이다. 그리고, 도 3a는 도 2의 A-A'선에 따라 절단된 단면도이다. 그리고, 도 3b는 도 2의 비휘발성 메모리 소자의 동작을 설명하기 위한 개략적인 단면도이다.

도 2와 도 3a를 참조하여 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 구조를 살펴보면, 기판(302)은 액티브 영역(340)과 필드 영역(342)을 구비한다. 여기서, 기판(302)으로는 실리콘 기판, SOI(Silicon On Insulator) 기판, 갈륨 비소 기판, 실리콘 게르마늄 기판, 세라믹 기판, 석영 기판, 또는 디스플레이용 유리 기판 등을 예로 들 수 있다. 도면부호 300은 비휘발성 메모리 소자의 단위셀을 나타낸다.

본 발명의 제1 실시예에 의한 비휘발성 메모리 소자는 플로팅 게이트(floating gate)(312), 컨트롤 게이트(control gate)(322), 소스 영역(324) 및 드레인 영역(326)을 포함한다.

기판(302)의 액티브 영역(340)의 소정부분에는 형성된 트렌치 내에 게이트 절연막(310)이 형성되어 있고, 게이트 절연막(310) 상에는 기판(302)과 절연되어 플로팅 게이트(312)가 형성된다. 즉, 플로팅 게이트(312)는 트렌치 내에 형성되고 기판(302)으로부터 소정 높이만큼 위로 돌출되어 형성된다. 플로팅 게이트(312)와 소스 영역(324) 사이에는 게이트 절연막(310)이 형성되어 있고, 비휘발성 메모리 소자의 프로그램(program) 동작시에 게이트 절연막(310)은 소스 영역(324)에 인가된 전압을 플로팅 게이트(312)에 커플링(coupling)하여 전달하는 역할을 한다. 또한, 프로그램 동작시에 소스 영역(324)에서 드레인 영역(326)으로 열전자(hot electron)가 이동하면서 게이트 절연막(310)을 통과해 플로팅 게이트(312)에 축적된다.

도 3a에 도시된 바와 같이, 플로팅 게이트(312)의 상부에는 게이트간 절연막(316)이 형성되어 있고, 플로팅 게이트(312)의 측벽에는 게이트간 절연막(316)과 만나는 부분에 텅(312')이 형성될 수 있다. 이러한 플로팅 게이트(312)의 뿔죽하게 형성된 텅(312')에는 전계가 집중되므로, 비휘발성 메모리 소자의 소거(erase) 동작시에 저전압으로 FN 터널링(Fowler-Nordheim tunneling)이 유도될 수 있다.

컨트롤 게이트(322)는 플로팅 게이트(312) 상부로부터 플로팅 게이트(312)의 측벽을 따라 기판(302)까지 연장되어 형성되고, 주위의 플로팅 게이트(312) 및 기판(302)과 절연되어 형성된다. 플로팅 게이트(312)와 컨트롤 게이트(322) 사이에는 터널링 절연막(318)이 형성되어 컨트롤 게이트(322)와 플로팅 게이트(312)는 터널링 절연막에 의해 전기적으로 분리된다. 이와 같이, 컨트롤 게이트(322)와 플로팅 게이트(312) 사이에는 터널링 절연막(318)이 개재되어 있어서, 비휘발성 메모리 소자의 소거 동작시에 플로팅 게이트(312)에 저장되어 있는 전자가 FN 터널링에 의해 터널링 절연막(318)을 통과하여 컨트롤 게이트(322)로 방출된다.

컨트롤 게이트(322)는 비휘발성 메모리 소자의 프로그램 또는 읽기(read) 동작시에 비트 라인(bit line)(332)의 데이터를 셀에 전달하거나 셀의 데이터를 비트 라인(332)에 전달하는 역할을 한다. 또한, 컨트롤 게이트(322)는 비휘발성 메모리 소자의 소거 동작시에 소거 게이트(erase gate)의 역할을 하기도 한다.

여기서, 도 2에 도시된 바와 같이, 드레인 영역(326)과 전기적으로 접촉하는 비트 라인(332)은 컨트롤 게이트(322)와 서로 교차한다. 또한, 도 3a에 도시된 바와 같이, 비휘발성 메모리 소자는 쌍으로 구성되어, 비휘발성 메모리 소자의 쌍은 소스 영역(324)을 공유할 수 있다. 그러므로, 비휘발성 메모리 소자로 구성되는 비휘발성 메모리 어레이의 전체 크기를 효과적으로 감소시킬 수 있다.

컨트롤 게이트(322)와 오버랩되지 않은 플로팅 게이트(312)의 측벽에 정렬되어 고농도 불순물의 이온 주입에 의해 기판(302) 내에 소스 영역(324)이 형성된다. 또한, 기판(302) 상에 위치한 컨트롤 게이트(322)에 정렬되어 고농도 불순물의 이온 주입에 의해 기판(302) 내에 드레인 영역(326)이 형성된다.

도 3a를 참조하여, 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 동작을 설명한다.

먼저, 프로그램 동작 시에는 소스 영역(324)에 약 10 V 정도의 고전압이 인가되고, 드레인 영역(326)에는 1 V 이하의 전압이 인가되거나 접지를 시킨다. 컨트롤 게이트(322)에는 문턱 전압보다 약간 높은 전압이 인가되는데, 프로그램 동작시 흐르는 전류를 줄이기 위해 게이트의 턴온(turn-on) 전압 정도인 약 1.5 V 정도의 전압이 인가된다. 소스 영역(324)에 인가된 고전압이 게이트 절연막(310)을 통하여 플로팅 게이트(312)에 커플링되어 전달되고, 플로팅 게이트(312)에 걸린 전압은 플로팅 게이트(312)의 측부와 하부에 위치한 기판(302) 표면에 역전층을 형성한다. 그리고, 컨트롤 게이트(322)에 인가된 전압은 컨트롤 게이트(322) 하부에 위치한 기판(302) 표면에 역전층을 형성한다. 따라서, 드레인 영역(326)에서 소스 영역(324)으로 전자가 이동하면서 열전자 주입(hot electron injection)에 의해 게이트 절연막(310)을 통과해 플로팅 게이트(312)에 전자가 축적된다. 즉, 프로그램이 이루어진다.

프로그램의 효율을 증가시키기 위해 소스 영역(324)에 고전압을 인가하거나 단위 셀의 크기를 축소시키기 위해 컨트롤 게이트(322)의 폭을 줄이더라도, 소스 영역(324)과 드레인 영역(326) 사이의 간격인 유효 채널의 길이($L_1 + L_2 + L_3$)가 늘어나는 효과가 있으므로 펀치쓰루(punchthrough)와 같은 항복(breakdown)이 발생하는 것을 억제할 수 있다. 또한, 단위 셀의 크기를 축소시키기 위해 플로팅 게이트(312)의 폭을 줄이더라도, 플로팅 게이트(312)는 기판(302) 내에 형성된 트랜치까지 연장되어 형성되어 있어서 플로팅 게이트(312)로 주입된 전자를 충분히 저장할 수 있는 플로팅 게이트(312)의 면적을 확보할 수 있다.

또한, 플로팅 게이트(112)의 저면이 워드 라인인 컨트롤 게이트(122) 하부보다 낮게 위치하므로, 프로그램 동작시 플로팅 게이트(112)에 대하여 버티컬(vertical)과 레터럴(lateral) 양 방향으로의 열전자 주입이 가능하게 되므로, 메모리 셀 구성시(특히, 프로그램 동작시) 동작 전압을 낮출 수 있게 된다.

또한, 프로그램 동작시 프로그램하는 시간을 조절하여 멀티 레벨(multi-level)로 셀을 동작시킬 수 있다. 즉, 프로그램 시간을 조절하여 플로팅 게이트(312)에 주입되는 전자의 양을 조절할 수 있으므로, 플로팅 게이트(312)에 축적되는 전자의 양을 멀티 레벨로 제어할 수 있다. 예를 들어, 플로팅 게이트(312)에 주입된 전자의 양에 의하여 전자가 없는 제1 상태, 전자가 중간쯤 있는 제2 상태 및 전자가 가득 찬 제3 상태와 같이 프로그램된 상태를 분리함으로써 비휘발성 메모리 소자의 메모리 집적도를 증가시킬 수 있다.

소거 동작 시에는 소스 영역(324) 및 드레인 영역(326)에 영전위가 인가되고, 컨트롤 게이트(322)에 약 11 V 정도 이상의 고전압이 걸린다. 따라서, 플로팅 게이트(312)에 축적된 전자는 컨트롤 게이트(322)의 고전압에 끌려 FN 터널링에 의해 터널링 절연막(318)을 통과하여 컨트롤 게이트(322)로 이동한다. 즉, 소거가 이루어진다.

이때, 터널링을 일으키는 컨트롤 게이트(322)의 전압을 낮추기 위해 컨트롤 게이트(322)에 인접한 플로팅 게이트(312)의 일측벽에 텅(312')을 형성할 수 있다. 이러한 플로팅 게이트(312)의 뾰족하게 형성된 텅(312')에는 전계가 집중되므로, 소거 동작시에 플로팅 게이트(312)에 축적된 전자는 상대적으로 낮은 전압에 의해 텅(312') 근처의 터널링 절연막(318)을 통해 컨트롤 게이트(322)로 이동하게 된다.

읽기 동작 시에는 컨트롤 게이트(322)에 1 - 2 V 정도의 전압이 인가되고, 소스 영역(324)에는 접지 전압이 인가되며, 드레인 영역(326)에는 0.4 - 1 V 정도의 전압이 인가된다. 또는 이와 반대로, 컨트롤 게이트(322)에 1 - 2 V 정도의 전압이 인가되고, 소스 영역(324)에는 0.4 - 1 V 정도의 전압이 인가되며, 드레인 영역(326)에는 접지 전압이 인가된다. 따라서, 플로팅 게이트(312)에 전자들이 축적되어 있는 경우, 드레인 영역(326)과 소스 영역(324) 사이에 채널이 유기되지 않아서 전류가 흐르지 않는다. 반면 플로팅 게이트(312)에 전자들이 축적되어 있지 않은 경우, 드레인 영역(326)과 소스 영역(324) 사이에 채널이 유기되어 전류가 흐른다. 이와 같이, 드레인 영역(326)과 소스 영역(324) 사이에 흐르는 전류를 검출함으로써, 플로팅 게이트(312)에 전자들이 축적되었는지 여부를 감지할 수 있다. 즉, 저장된 데이터의 읽기가 이루어진다.

도 3b를 참조하여, 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 프로그램과 소거 동작에 대해 자세히 설명한다.

본 발명의 비휘발성 메모리 소자의 프로그램 동작과 소거 동작의 특성 차이를 알아보기 위해 비휘발성 메모리 소자의 커패시턴스를 모식화하여 도 3b로 나타내었다. 이 셀의 전체 커패시턴스(C_{total})는 ' $C_{total} = C_t + C_c + C_s + C_{ip}$ '와 같이 나타낼 수 있다. 여기서, C_t 는 플로팅 게이트(312)와 컨트롤 게이트(322) 사이에 개재된 터널링 절연막(318)에 의한 커패시턴스이고, C_c 는 플로팅 게이트(312)와 기판(302) 사이에 개재된 게이트 절연막(310)에 의한 커패시턴스이고, C_s 는 플로팅 게이트(312)와 소스 영역(324) 사이에 개재된 게이트 절연막(310)에 의한 커패시턴스이고, C_{ip} 는 플로팅 게이트(312)와 컨트롤 게이트(322) 사이에 개재된 게이트간 절연막(316)에 의한 커패시턴스이다.

본 발명의 비휘발성 메모리 소자의 커패시턴스 비율(r)은 다음과 같다.

$$\gamma = \frac{C_s + C_c}{C_{total}} V_s + \frac{C_{ip} + C_t}{C_{total}} V_c$$

여기서, V_s 는 소스 영역(324)에 인가되는 전압이고, V_c 는 컨트롤 게이트(322)에 인가되는 전압이다.

프로그램 동작시에는 소스 영역(324)에 인가되는 전압(V_s)이 컨트롤 게이트(322)에 인가되는 전압(V_c)에 비해 매우 크므로, 즉 $V_s \gg V_c$ 이므로, 프로그램 동작시의 커패시턴스 비율(r)은 $(C_s + C_c) / C_{total}$ 이 된다. 본 발명의 비휘발성 메모리 소자는 플로팅 게이트(312)와 소스 영역(324)과의 커패시턴스에 의해서 프로그램 동작이 이루어지므로, 커패시턴스 비율(r)이 높을수록 프로그램이 잘 이루어진다. 도 3b에 도시된 바와 같이, 플로팅 게이트(312)가 기판(302) 내의 트렌치를 따라 형성되고 플로팅 게이트(312)의 측면을 따라 소스 영역(324)이 형성되어 있으므로, 소스 영역(324)과 플로팅 게이트(312)가 오버랩되는 면적이 넓어진다. 따라서, 소스 영역(324)과 플로팅 게이트(312) 사이의 커패시턴스(C_s)가 커지게 되어 커패시턴스 비율(r)이 높아지게 되므로 프로그램 동작에 동작 전압이 낮아지는 등 유리한 효과가 있다.

소거 동작시에는 컨트롤 게이트(322)에 인가되는 전압(V_c)이 소스 영역(324)에 인가되는 전압(V_s)에 비해 매우 크므로, 즉 $V_c \gg V_s$ 이므로, 소거 동작시의 커패시턴스 비율(r)은 $(C_{ip} + C_t) / C_{total}$ 이 된다. 본 발명의 비휘발성 메모리 소자는 플로팅 게이트(312)에 축적된 전자가 컨트롤 게이트(322)로 FN 터널링을 하여 소거 동작이 이루어지는데, 효율적으로 소거 동작이 일어나기 위해서는 플로팅 게이트(312)와 컨트롤 게이트(322) 간에 전압차가 클수록 좋다. 즉, 커패시턴스 비율(r)이 작을수록 소거가 잘 이루어진다. 도 3b에 도시된 바와 같이, 소거 동작을 위해 컨트롤 게이트(322)에 고전압을 인가하게 되면, 컨트롤 게이트(322)와 플로팅 게이트(312) 사이의 커패시턴스에 의해 플로팅 게이트(312)의 전압이 높아질 수 있으나, 본 발명의 비휘발성 메모리 소자의 경우 영전위에 있는 소스 영역(324)이 플로팅 게이트(312)와 넓은 영역에 걸쳐 오버랩되어 있어서 컨트롤 게이트(322)가 플로팅 게이트(312)에 미치는 커패시턴스 효과를 줄이는 역할을 한다. 따라서, 컨트롤 게이트(322)에 상대적으로 낮은 전압을 인가하여 소거 동작을 수행할 수 있다. 또한, 플로팅 게이트(312)와 컨트롤 게이트(322) 사이에 개재된 게이트간 절연막(316)의 두께가 클수록 게이트간 절연막(316)의 커패시턴스(C_{ip})가 작아지게 되어 커패시턴스 비율(r)이 작아지게 된다. 종래의 비휘발성 메모리 소자의 경우, 기판 상에 플로팅 게이트가 형성되어 있는데, 소거

동작시 커플링 비율을 줄이기 위해 플로팅 게이트 상부에 게이트간 절연막을 두껍게 형성하다가 플로팅 게이트의 중앙이 뚫리는 문제가 있음은 이미 언급한 바가 있다. 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 경우, 플로팅 게이트(312)의 하단이 기판(302) 상에 형성된 트렌치 내부까지 연장 형성되어 있으므로, 게이트간 절연막(316)을 두껍게 형성하더라도 플로팅 게이트(312)의 중앙이 뚫리는 문제를 방지할 수 있고, 따라서 소거 동작시 커플링 비율(r)을 줄이게 되어 효율적으로 소거 동작을 수행할 수 있다.

이하, 도 4a 내지 도 4g를 참조하여 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 제조방법에 대하여 설명한다. 도 4a 내지 도 4g는 도 2의 A-A'선에 따라 절단한 단면을 통해 본 발명의 제1 실시예에 비휘발성 메모리 소자의 제조과정을 순차적으로 나타낸 공정 단면도들이다.

도 2 및 도 4a를 참조하면, 기판(302)에 셀 분리를 위한 STI(Shallow Trench Isolation) 공정을 수행함으로써, 기판(302)을 액티브 영역(340)과 필드 영역(342)으로 구분한다. 그리고, 기판(302) 상에 트렌치를 정의하는 산화막 패턴(304)과 산화방지막 패턴(306)을 순차적으로 형성한다. 여기서, 산화방지막 패턴(306)은 후속하는 트렌치 형성을 위한 식각 공정에서 식각 마스크(mask)로서의 역할을 하고, 후속하는 플로팅 게이트의 상부를 산화하는 공정에서 산화방지막으로서의 역할을 할 수도 있다. 산화방지막 패턴(306)은 질화막을 사용할 수 있고, 약 100 - 1000 Å의 두께로 형성할 수 있다. 그리고, 산화막 패턴(304)은 기판(302)과 산화방지막 패턴(306) 사이의 스트레스를 완화시켜주는 역할을 하며, 약 100 - 200 Å의 두께로 형성할 수 있다. 산화막 패턴(304)은 사용자의 공정 조건에 따라서는 제외될 수 있다.

도 4b에 도시된 바와 같이, 이러한 산화방지막 패턴(306)을 식각 마스크로 외부로 노출된 기판(302)을 식각하여, 기판(302) 상에 트렌치(308)를 형성한다. 예를 들어, 건식 식각(dry etching)을 사용하여 약 900 - 1800 Å의 폭과 약 500 - 3000 Å의 깊이를 가지는 트렌치(308)를 형성할 수 있다.

도 4c에 도시된 바와 같이, 트렌치(308) 내에 게이트 절연막(310)을 형성한다. 게이트 절연막(310)은 약 30 - 150 Å의 두께로 형성할 수 있다. 게이트 절연막(310)으로는 열산화막(thermal oxide)을 사용할 수 있다.

또한, 앞서 언급한 바와 같이, 프로그램 동작시 게이트 절연막(310)은 소스 영역(324)의 전압을 플로팅 게이트(312)에 커플링하는 역할을 하는데, 프로그램 동작의 효율을 높이기 위해 게이트 절연막(310)으로서 유전 상수(k)가 높은 물질은 사용할 수 있다. 예를 들어, 게이트 절연막(310)으로는 질화물(nitride), 산화질화물(oxinitride), high- k 물질 또는 이들의 조합을 사용할 수 있다. 여기서, 게이트 절연막(310)에 사용될 수 있는 high- k 물질로는, Al, Zr, Hf, La 등의 산화물, Al, Zr, Hf, La 등의 산화질화물 또는 이들의 조합을 사용할 수 있다. 그리고, 게이트 절연막(310)으로는 MTO(Middle Temperature Oxide)와 같은 다층 박막을 증착하거나 열산화막/MTO 또는 열산화막/SiON/MTO로 조합된 다층 박막을 증착한 후 N_2O 열처리(anneal)를 한 절연막을 사용할 수 있다. 이러한 게이트 절연막(310)은 플로팅 게이트(312)로 전자가 잘 주입되게 하고 플로팅 게이트(312)에 전자가 잘 보관 유지될 수 있도록 하는 역할을 할 수 있다.

또한, 게이트 절연막(310)으로는 산화막, 질화막 및 산화막이 적층된 ONO(oxide-nitride-oxide) 적층막을 사용할 수 있는데, 이 경우 게이트 절연막(310)에 사용되는 질화막에도 전자를 주입할 수 있으므로 멀티 레벨로 셀을 동작시킬 수 있어 메모리 집적도를 증가시킬 수 있다. ONO 적층막에 사용되는 질화막을 대신하여, 앞서 언급한 high- k 물질 또는 high- k 물질과 질화막이 교대로 적층된 다층막을 사용할 수 있다. 이와 같은 다층막을 사용하는 경우, 주입된 전자를 포획할 수 있는 계면이 증가하게 되어 프로그램 동작의 효율을 높일 수 있다.

아울러, 플로팅 게이트(312)에 주입된 전자를 잘 보관 유지할 수 있도록 게이트 절연막(310)을 형성하기 전에, 기판(302)의 트렌치(308) 내벽에 질화(nitridation) 처리를 수행할 수도 있다. 예를 들어, DPN(Decoupled Plasma Nitridation)과 같은 방법을 이용하여, 게이트 절연막(310)을 형성하기 전에 트렌치(308) 내에 노출된 기판(302)을 질산화 처리함으로써, 임계 전압(V_{th})을 낮추게 되어 플로팅 게이트(312)의 특성을 향상시킬 수 있다. 임계 전압(V_{th})을 낮추는 다른 방법으로는, 트렌치(308) 내벽에 As와 같은 n 타입인 원소를 이온주입하는 방법을 사용할 수도 있다.

도 4d를 참조하면, 게이트 절연막(310)이 형성된 트렌치(308) 내에 플로팅 게이트용 도전막(미도시)을 도포한 후, 산화방지막 패턴(306)을 식각 정지막으로 사용하여 화학 기계적 연마(Chemical Mechanical Polishing, CMP)를 수행하여 평탄화된 플로팅 게이트(312)를 형성한다. 플로팅 게이트(312)로는 폴리 실리콘, 불순물이 이온주입된 폴리 실리콘 또는 금속성 도전막을 사용할 수 있다. 여기서, 금속성 도전막으로는, TaN, NiTa, Ti, TiN, Ta, W, WN, Hf, Nb, Mo, RuO₂, Mo₂N, Ir, Pt, Co, Cr, RuO, Mo₂N, WN_x 및 이들의 조합으로 이루어진 물질을 사용할 수 있다. 그리고, 본 발명의 평탄화 단계는 앞서 설명한 화학 기계적 연마 외에 전면 이방성 식각으로 수행될 수 있다.

도 4e에 도시된 바와 같이, 산화방지막 패턴(306)에 의해 노출된 플로팅 게이트(312)를 열산화하여 게이트간 절연막(316)을 형성한다. 이러한 게이트간 절연막(316)은 후속하는 식각 공정에 대한 식각 방지막으로서의 역할을 할 수 있으며, 중앙 부분이 약 200 - 1500Å 정도 두께로 형성할 수 있다. 플로팅 게이트(312) 상부를 열산화하면 게이트간 절연막(316)의 하단 가장자리가 라운드(round)지게 형성되는데 이와 대응하여 플로팅 게이트(312)의 가장자리 측벽에는 도 4e에 도시된 바와 같이 턱(312')이 형성될 수 있다. 앞에서 설명한 바와 같이, 플로팅 게이트(312)의 턱(312')은 소거 동작을 위한 터널링 전압의 크기를 낮추는 역할을 하므로, 공정 조건에 따라서는 도 4e에 도시된 턱(312')의 형성 공정을 제외할 수도 있다.

플로팅 게이트의 가장자리 측벽에 턱을 형성하는 동시에 게이트간 절연막을 형성하기 위해, 본 발명의 다른 실시예에서는 열산화공정을 거치지 않고 산화방지막 패턴(306)에 의해 노출된 플로팅 게이트(312)를 건식 식각하여 플로팅 게이트(312)의 측벽에 턱(312')을 형성한 후 플로팅 게이트(312) 상면에 MTO 등과 같은 절연막을 도포한 후 패터닝함으로써 도 4e와 같은 구조를 가지는 게이트간 절연막(316)을 형성할 수 있다.

또한, 본 발명의 또 다른 실시예에서는 산화방지막 패턴(306)에 의해 노출된 플로팅 게이트(312)를 건식 식각하여 플로팅 게이트(312)의 측벽에 턱(312')을 형성한 후 산화방지막 패턴(306)에 의해 노출된 플로팅 게이트(312)의 상면을 열산화시켜 게이트간 절연막(316)을 형성할 수 있다.

도 4f를 참조하면, 기판(302) 상에 위치하는 산화방지막 패턴(306)과 산화막 패턴(304)을 순차적으로 식각하여 게이트간 절연막(316) 주위의 기판(302)을 노출시킨 후 터널링 절연막(318)과 컨트롤 게이트용 도전막(320)을 기판(302) 상에 컨포말(conformal)하게 순차적으로 형성한다. 여기서, 터널링 절연막(318)은 열산화공정에 의해 약 70 - 150 Å의 두께의 산화막으로 형성할 수 있다. 또한, 터널링 절연막(318)으로는, 질화막(nitride), 산화질화막(oxinitride), high-k 물질 및 이들의 조합을 사용할 수 있다. 또한, 터널링 절연막(318)으로는 MTO와 같은 단층 박막 또는 열산화막/MTO 또는 열산화막/SiON/MTO로 조합된 다층 박막 또는 이러한 다층 박막을 증착한 후 N₂O 열처리(anneal)를 한 절연막을 사용할 수 있다.

터널링 절연막(318)을 형성한 후, 플로팅 게이트(312)의 양 측벽에 질화막 재질의 측벽 스페이서(미도시)가 별도로 더 형성되도록 공정 진행을 이루어도 무방한데, 이는 메모리 셀 구동시 발생될 수 있는 RTV(Reverse Tunnel Voltage)를 막기 위함이다.

그리고, 컨트롤 게이트용 도전막(320)은 LPCVD(Low Pressure Chemical Vapor Deposition) 공정에 의해 약 1000 - 3000 Å의 두께로 형성할 수 있다. 여기서, 컨트롤 게이트용 도전막(320)으로는 폴리 실리콘, 불순물이 이온주입된 폴리 실리콘 또는 금속성 도전막을 사용할 수 있다. 여기서, 금속성 도전막으로는, TaN, NiTa, Ti, TiN, Ta, W, WN, Hf, Nb, Mo, RuO₂, Mo₂N, Ir, Pt, Co, Cr, RuO, Mo₂N, WN_x 및 이들의 조합으로 이루어진 물질을 사용할 수 있다. 또한, 컨트롤 게이트용 도전막(320)으로는 폴리 실리콘 및 실리콘사이드의 적층막을 사용할 수 있다. 여기서, 실리콘사이드 상에 반사방지막(ARL)을 추가로 적층할 수도 있다. 여기서, 적용 가능한 반사방지막으로는 P-SiON을 들 수 있다. 이와 같이 실리콘사이드 막질 위에 ARL을 별도로 더 형성한 것은 소자의 디자인 룰이 축소되면서 하부막의 반사도가 심하면 패턴이 제대로 형성되지 않는 문제가 발생되므로, 이를 해결하기 위해 하부막의 반사도를 낮추는 막을 먼저 증착한 후 포토 공정을 진행하면 원하는 형상의 단면 프로파일을 깨끗하게 형성할 수 있기 때문이다.

도 4g에 도시된 바와 같이, 식각 마스크(미도시)를 사용하여 컨트롤 게이트용 도전막(320)을 건식 식각하여 플로팅 게이트(312)의 상부로부터 플로팅 게이트(312)의 측벽을 따라 기판(302)까지 연장된 컨트롤 게이트(322)를 형성한다. 그 후, 고농도 불순물을 이온주입하여 플로팅 게이트(312) 사이에 위치하는 기판(302) 상에 플로팅 게이트(312)의 일측벽에 정렬되게 소스 영역(324)을 형성한다. 소스 영역(324)은 후속 열처리 단계에서 확장되어 플로팅 게이트(312) 영역과 일부 겹치게 된다. 또한, 고농도 불순물을 이온주입하여 컨트롤 게이트(322)의 측벽에 정렬되게 기판(302) 상에 드레인 영역(326)을 형성한다. 후속 열처리를 통해 드레인 영역(326)도 컨트롤 게이트(322) 아래로 확장될 수 있다.

여기서, 소스 영역(324)의 경우 플로팅 게이트(312)와 소스 영역(324)과의 커플링 비율을 높이기 위해 이온주입을 조절하여 소스 영역(324)의 정선 깊이(junction depth)를 조절할 수 있다. 바람직하게는 플로팅 게이트(312)의 깊이보다 소스 영역(324)의 정선 깊이를 깊게 함으로써 커플링 비율을 높일 수 있고 프로그램 동작에 유리하다.

소스 영역(324)과 드레인 영역(326)은 순서상관 없이 형성할 수 있으며, 소스 영역(324)과 드레인 영역(326)을 형성하면서 컨트롤 게이트(322)에 고농도 불순물을 도핑할 수 있다. 드레인 영역(326)은 비트 라인(332)과 접촉하는 비트라인 정선(Bit line junction)의 역할을 한다.

이후 도 3a를 참조하면, 전면에 층간 절연막(330)을 적층하고 평탄화한 뒤 비트라인 콘택 홀을 형성하고, 그 위에 금속 등의 도전막을 적층하고 패터닝을 하여 비트 라인 콘택(331) 및 비트 라인(332)을 형성하는 공정 등의 통상적 공정이 더 이루어지게 된다.

이하, 도 5 내지 도 6d를 참조하여 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자를 설명한다. 본 실시예에 의한 비휘발성 메모리 소자의 레이아웃은 도 2와 동일하며, 도 5는 도 2의 비휘발성 메모리 소자를 A-A' 선에 따라 절단한 단면도이다. 설명의 편의상, 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

본 실시예의 비휘발성 메모리 소자는, 도 5에 나타난 바와 같이, 제1 실시예의 비휘발성 메모리 소자와 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 도 5에 도시된 바와 같이, 플로팅 게이트(512)는 기판(302)의 트렌치 내에 완전히 충전되어 있지 않고, 플로팅 게이트(512)는 트렌치의 형상을 따라 얇고 컨포말하여 형성되어 '요(凹)'자 형태를 가진다. 본 실시예의 플로팅 게이트(512)는 제1 실시예의 플로팅 게이트(312)와 동일한 성분을 사용하여 동일한 작용, 효과를 가지면서 플로팅 게이트(512)로 주입된 전자를 저장할 수 있는 면적을 더욱 확보할 수 있는 장점이 있다.

플로팅 게이트(512) 상단에는 게이트간 절연막(516)이 양쪽으로 나뉘어 형성되어 있으며, 제1 실시예와 동일한 성분을 사용하여 동일한 작용, 효과를 가진다.

플로팅 게이트(512) 상의 트렌치의 나머지 부분은 절연물질(513)으로 충전된다. 이러한 절연물질(513)로는 MTO와 같은 산화막 또는 질화막 등을 사용할 수 있다.

본 발명의 제2 실시예에 의한 비휘발성 메모리 소자는 제1 실시예의 비휘발성 메모리 소자와 동일한 동작을 수행할 수 있으며, 이하 도 6a 내지 도 6d를 참조하여 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자의 제조방법에 대하여 설명한다.

우선, 도 4a 내지 도 4c와 같이, 기판(302) 내의 트렌치(308) 상에 게이트 절연막(310)을 형성한다.

도 6a를 참조하면, 게이트 절연막(310)이 형성된 트렌치(308) 내벽을 따라 컨포말하게 플로팅 게이트용 도전막(미도시)을 얇게 도포한 후, 트렌치의 나머지 부분은 절연물질을 도포하여 충전한다. 그 후, 산화방지막 패턴(306)을 식각 정지막으로 사용하여 화학 기계적 연마를 수행하여 평탄화된 플로팅 게이트(512)를 형성한다. 따라서, 플로팅 게이트(512)는 트렌치(308)의 형상을 따라 '요(凹)'자 형태를 가지고, 이러한 플로팅 게이트(512)의 요홈은 절연물질(513)로 채워진다.

도 6b에 도시된 바와 같이, 산화방지막 패턴(306)과 절연물질(513)에 의해 노출된 플로팅 게이트(512)를 열산화하여 게이트간 절연막(516)을 형성한다. 그 후, 도 6c 및 도 6d를 참조하면, 제1 실시예와 마찬가지로 컨트롤 게이트(322), 소스 영역(324) 및 드레인 영역(326)을 형성하여 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자를 완성한다.

이하, 도 7 내지 도 8g를 참조하여 본 발명의 제3 실시예에 의한 비휘발성 메모리 소자를 설명한다. 본 실시예에 의한 비휘발성 메모리 소자의 레이아웃은 도 2와 동일하며, 도 7은 도 2의 비휘발성 메모리 소자를 A-A' 선에 따라 절단한 단면도이다. 설명의 편의상, 제1 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

본 실시예의 비휘발성 메모리 소자는, 도 7에 나타난 바와 같이, 제1 실시예의 비휘발성 메모리 소자와 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 도 7에 도시된 바와 같이, 기판(302) 상에 형성된 트렌치의 하단 가장자리가 라운드 형태를 가진다. 따라서, 트렌치 내에 형성되고 트렌치로부터 기판(302) 상으로 돌출되어 형성된 본 실시예의 플로팅 게이트(712)는 트렌치의 형상에 대응하여 하단이 라운드 형태를 가지게 된다. 본 실시예의 플로팅 게이트(712)는 제1 실시예의 플로팅 게이트(312)와 형상의 차이만 있을뿐 동작, 성분, 작용 및 효과는 동일하다.

본 발명의 제3 실시예에 의한 비휘발성 메모리 소자는 제1 실시예의 비휘발성 메모리 소자와 동일한 동작을 수행하여 동일한 작용 및 효과를 가져올 수 있으며, 이하 도 8a 내지 도 8g를 참조하여 본 발명의 제3 실시예에 의한 비휘발성 메모리 소자의 제조방법에 대하여 설명한다.

도 8a에 도시된 바와 같이, 기판(302) 상에 트렌치를 정의하는 산화방지막 패턴(306)을 형성한다. 여기서, 산화방지막 패턴(306)은 후속하는 트렌치 형성을 위한 열산화 공정에서 마스크로서의 역할을 하고, 후속하는 플로팅 게이트의 상부를 산화하는 공정에서 산화방지막으로서의 역할을 할 수 있다. 산화방지막 패턴(306)은 질화막을 사용할 수 있고, 약 100 - 1000 Å의 두께로 형성할 수 있다.

도 8b에 도시된 바와 같이, 산화방지막 패턴(306)을 마스크로 하여 외부로 노출된 기판(302)을 열산화시켜, 기판(302) 상에 열산화막(707)을 형성한다. 기판(302) 상에 직접 산화방지막 패턴(306)을 형성하여 마스크로 사용함으로써, 트렌치 형성을 위한 열산화공정시 산화방지막 패턴(306)의 하부에 버즈 빅(bird's beak)이 형성되는 것을 줄일 수 있다.

도 8c를 참조하면, 산화방지막 패턴(306)을 식각마스크로 하여 열산화막(707)을 습식 식각하여 기판(302) 내에 트렌치(708)를 형성한다. 트렌치(708)는 약 500 - 2000 Å 정도의 깊이로 형성할 수 있다. 이와 같이 열산화공정에 의해 형성된 트렌치(708)는 하단 가장자리가 라운드 형태를 가지게 된다.

이 후, 도 8c 내지 도 8g를 참조하면 게이트 절연막(310), 플로팅 게이트(712), 게이트간 절연막(316), 컨트롤 게이트(322), 소스 영역(324) 및 드레인 영역(326)은 제1 실시예와 동일한 방법으로 형성할 수 있다.

이하, 도 9a 내지 도 9c를 참조하여 본 발명의 제4 실시예에 의한 비휘발성 메모리 소자를 설명한다. 본 실시예에 의한 비휘발성 메모리 소자의 레이아웃은 도 2와 동일하며, 도 2의 비휘발성 메모리 소자를 A-A' 선에 따라 절단한 단면도는 도 7과 동일하다. 설명의 편의상, 제3 실시예의 도면에 나타난 각 부재와 동일 기능을 갖는 부재는 동일 부호로 나타내고, 따라서 그 설명은 생략한다.

본 실시예의 비휘발성 메모리 소자는, 제3 실시예의 비휘발성 메모리 소자와 다음을 제외하고는 기본적으로 동일한 구조를 갖는다. 즉, 본 실시예는 열산화 공정에 의해 기판(302) 상에 트렌치를 형성하는 경우, 산화방지막 패턴(306)의 하부에 버즈 빅이 형성되는 것을 방지할 수 있는 제조방법을 제공한다.

본 발명의 제4 실시예에 의한 비휘발성 메모리 소자는 제3 실시예의 비휘발성 메모리 소자와 동일한 동작을 수행하여 동일한 작용 및 효과를 가져올 수 있으며, 이하 도 9a 내지 도 9c를 참조하여 본 발명의 제4 실시예에 의한 비휘발성 메모리 소자의 제조방법에 대하여 설명한다.

도 9a를 참조하면, 기판(302) 상에 트렌치를 정의하는 산화막 패턴(304)과 산화방지막 패턴(306)을 순차적으로 형성한다. 여기서, 산화방지막 패턴(306)은 후속하는 트렌치 형성을 위한 열산화 공정에서 마스크로서의 역할을 하고, 후속하는 플로팅 게이트의 상부를 산화하는 공정에서 산화방지막으로서의 역할을 할 수 있다. 산화방지막 패턴(306)은 질화막을 사용할 수 있고, 약 100 - 1000 Å의 두께로 형성할 수 있다. 그리고, 산화막 패턴(304)은 기판(302)과 산화방지막 패턴(306) 사이의 스트레스를 완화시켜주는 역할을 하며, 약 100 - 200 Å의 두께로 형성할 수 있다. 산화막 패턴(304)은 사용자의 공정 조건에 따라서는 제외될 수 있다.

그 후, 트렌치를 정의하는 산화방지막 패턴(306)이 형성된 기판(302) 전면에 폴리 실리콘 재질의 스페이서 형성용 도전막(미도시)을 적정 두께로 형성한 후 전면 이방성 식각(etch back), 예를 들어 RIE(Reactive Ion Etching) 공정을 진행하여 산화방지막 패턴(306)의 내측벽에 도전성 재질의 스페이서(907)를 형성한다.

도 9b 및 도 9c에 도시된 바와 같이, 산화방지막 패턴(306)을 마스크로 사용하여 폴리실리콘 재질의 스페이서(907)가 모두 소모될 정도의 두께로 열산화 공정을 진행하여 기판(302) 내에 열산화막(908)을 형성한다. 습식식각 공정으로 이러한 열산화막(908)을 제거하여, 저면이 기판(302) 표면보다 낮게 위치하고, 가장자리가 라운드진 형태를 가지도록 트렌치(909)를 가공한다. 트렌치(909) 저면의 가장자리를 라운드 형태로 제작할 때 폴리실리콘 재질의 스페이서(907)를 이용한 것은 실리콘 재질의 기판(302) 산화시 버즈 빅(bird's beak)이 발생하는 것을 막기 위함이다.

이 후 공정은 제3 실시예의 도 8c 내지 도 8g에 나타난 제조 방법과 동일하다.

이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

상술한 바와 같이 본 발명에 따른 비휘발성 메모리 소자 및 그 제조방법에 의하면, 단위셀의 크기가 축소되더라도 유효채널의 길이를 확보할 수 있어 펀치 쓰루를 방지할 수 있고, 플로팅 게이트에 전자가 저장되는 면적을 확보할 수 있어 프로그램 동작의 효율을 높일 수 있는 비휘발성 메모리 소자 및 그 제조방법을 제공할 수 있다. 또한, 플래시 메모리 소자의 소거 동작시에 플로팅 게이트와 컨트롤 게이트의 커플링 비율을 줄이기 위해 열산화 공정에 의해 게이트간 절연막의 두께를 증가시키는 경우, 플로팅 게이트의 중앙이 뚫리는 문제를 방지할 수 있다.

도면의 간단한 설명

도 1은 종래 기술에 의한 플래시 메모리 소자를 나타낸 단면도이다.

도 2는 본 발명의 제1 실시예에 따른 비휘발성 메모리 소자의 레이아웃을 나타낸 도면이다.

도 3a는 도 2의 A-A' 선에 따라 절단된 단면도이다.

도 3b는 도 2의 비휘발성 메모리 소자의 동작을 설명하기 위한 개략적인 단면도이다.

도 4a 내지 도 4g는 본 발명의 제1 실시예에 의한 비휘발성 메모리 소자의 제조과정을 순차적으로 나타낸 공정 단면도들이다.

도 5는 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자의 단면도이다.

도 6a 내지 도 6d는 본 발명의 제2 실시예에 의한 비휘발성 메모리 소자의 제조과정을 순차적으로 나타낸 공정 단면도들이다.

도 7은 본 발명의 제3 실시예에 의한 비휘발성 메모리 소자의 단면도이다.

도 8a 내지 도 8g는 본 발명의 제3 실시예에 의한 비휘발성 메모리 소자의 제조과정을 순차적으로 나타낸 공정 단면도들이다.

도 9a 내지 도 9c는 본 발명의 제4 실시예에 의한 비휘발성 메모리 소자의 제조과정을 순차적으로 나타낸 공정 단면도들이다.

(도면의 주요부분에 대한 부호의 설명)

300: 단위셀 302: 기관

304: 산화막 패턴 306: 산화방지막 패턴

308: 트렌치 310: 게이트 절연막

312: 플로팅 게이트 312': 팁

316: 게이트간 절연막 318: 터널링 절연막

320: 컨트롤 게이트용 도전막 322: 컨트롤 게이트

324: 소스 영역 326: 드레인 영역

330: 층간 절연막 331: 비트 라인 콘택

332: 비트 라인 340: 액티브 영역

342: 필드 영역 512: 플로팅 게이트

513: 절연물질 516: 게이트간 절연막

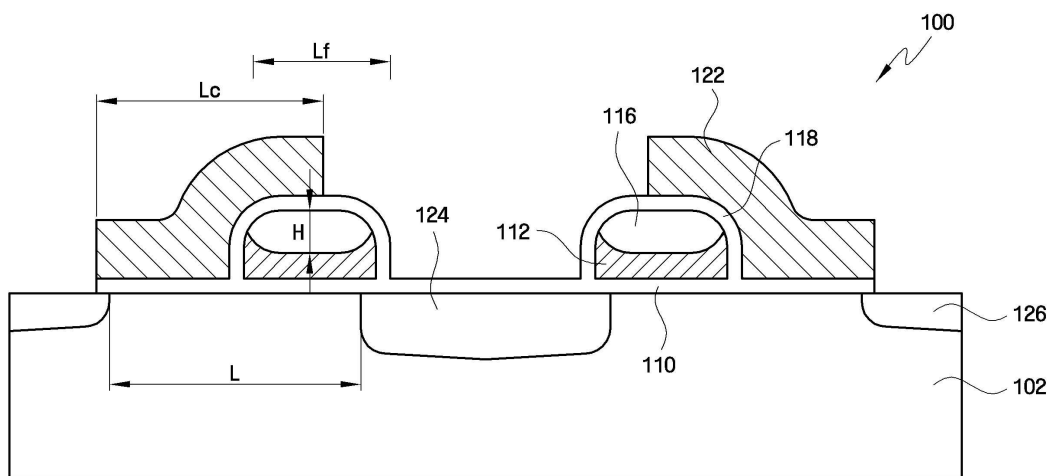
707: 열산화막 708: 트렌치

712: 플로팅 게이트 907: 스페이서

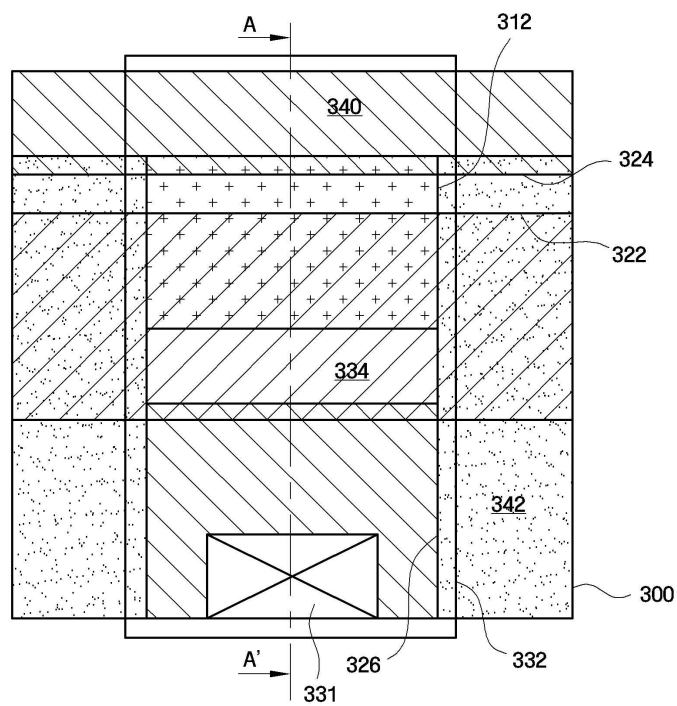
908: 열산화막 909: 트렌치

도면

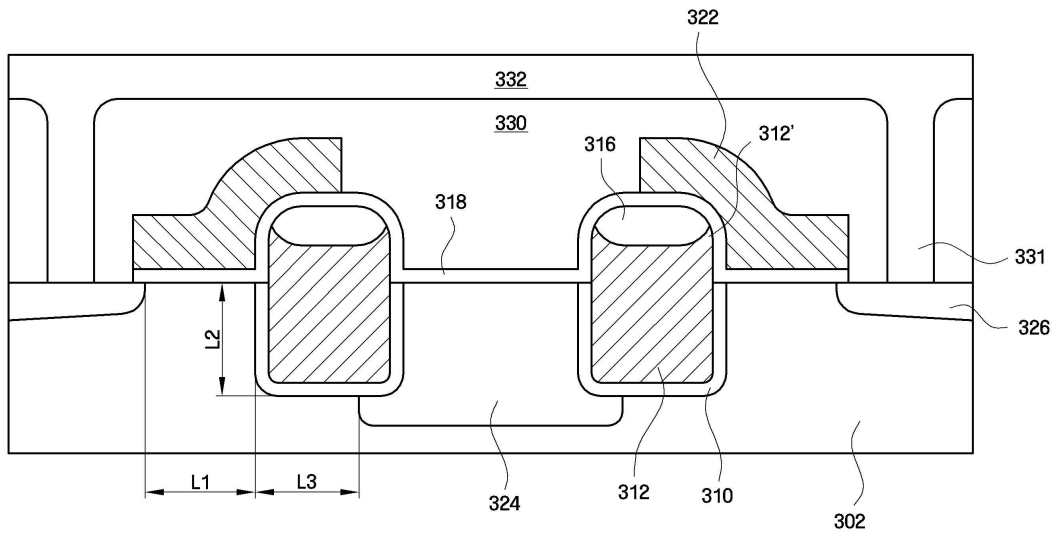
도면1



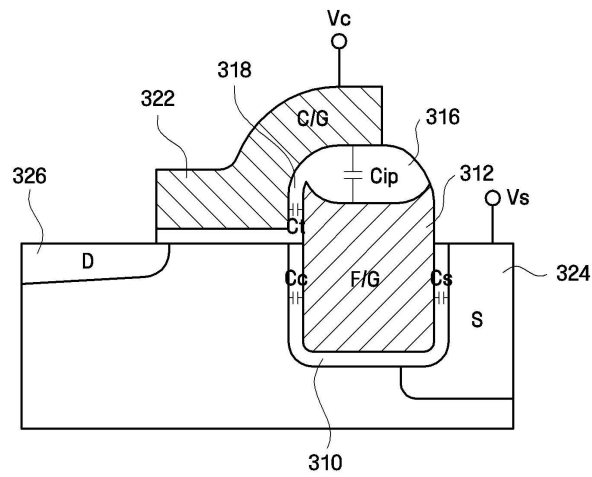
도면2



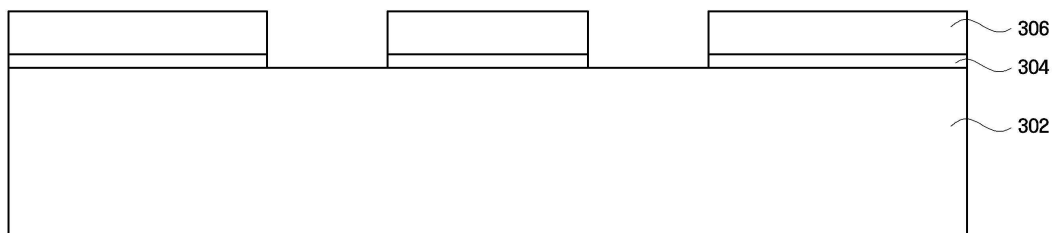
도면3a



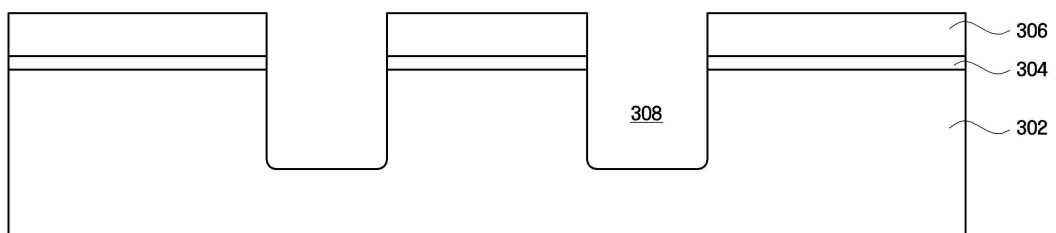
도면3b



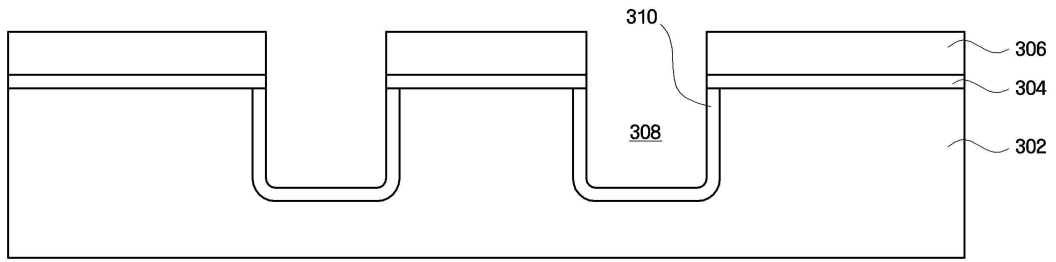
도면4a



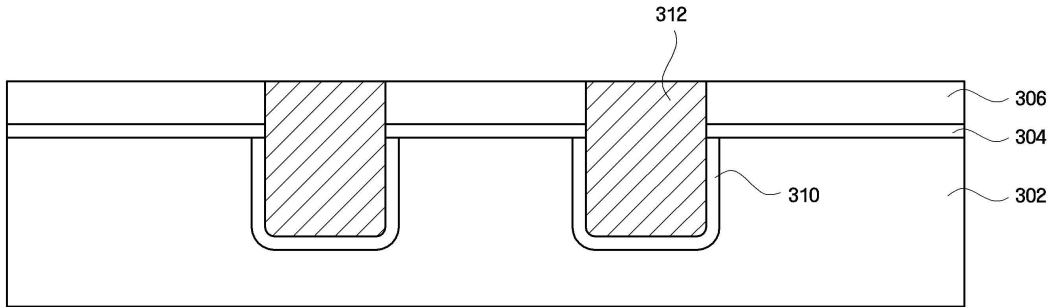
도면4b



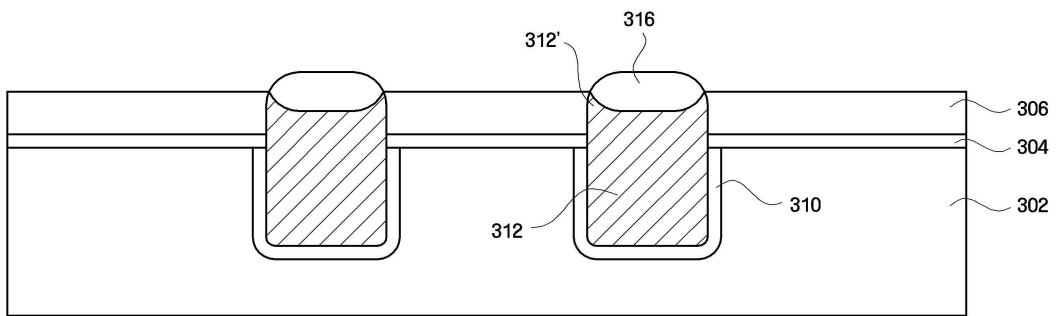
도면4c



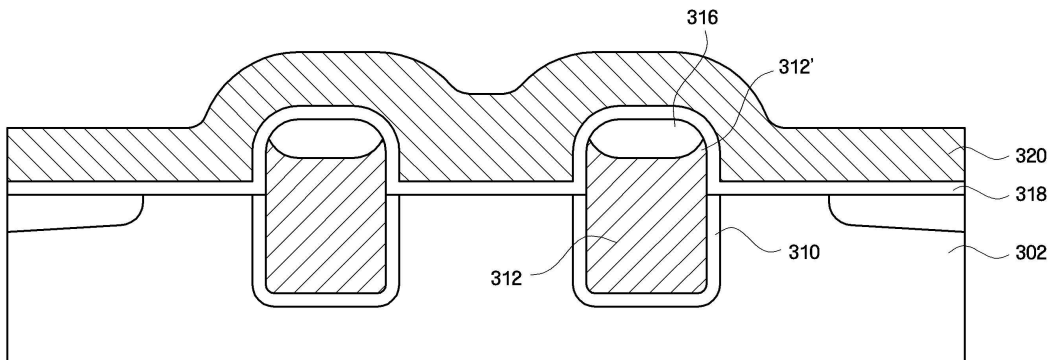
도면4d



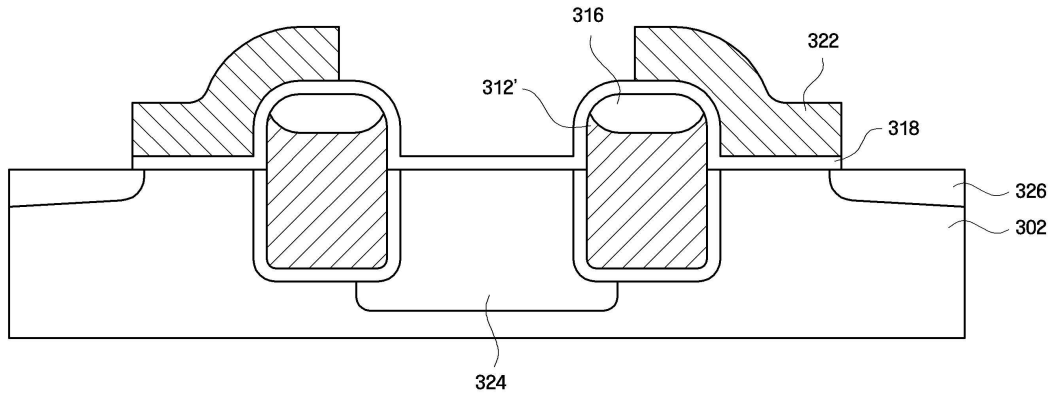
도면4e



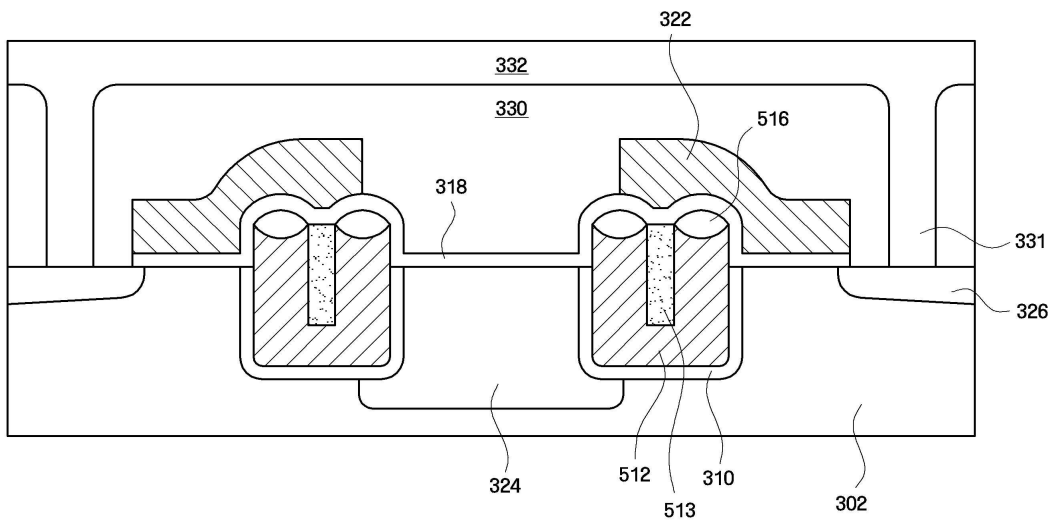
도면4f



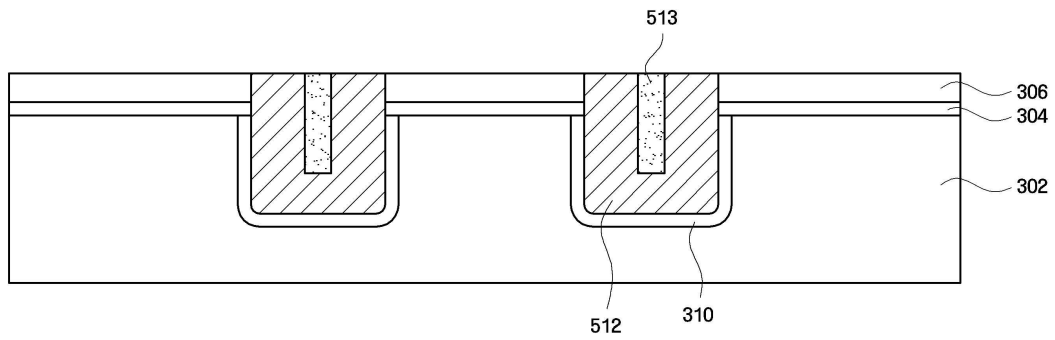
도면4g



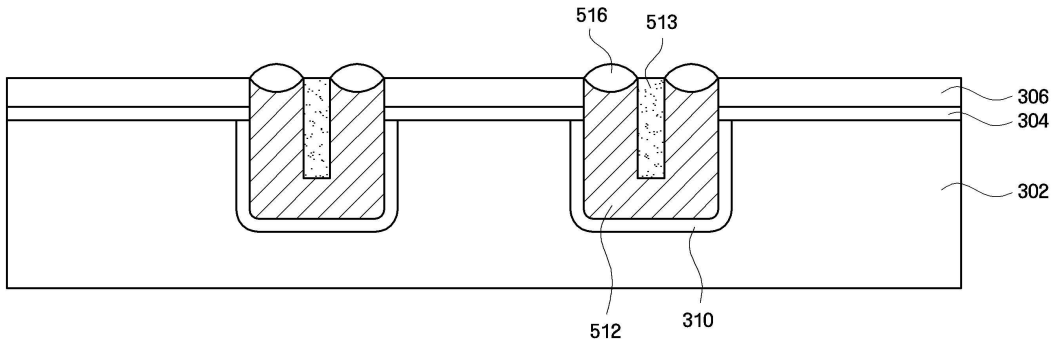
도면5



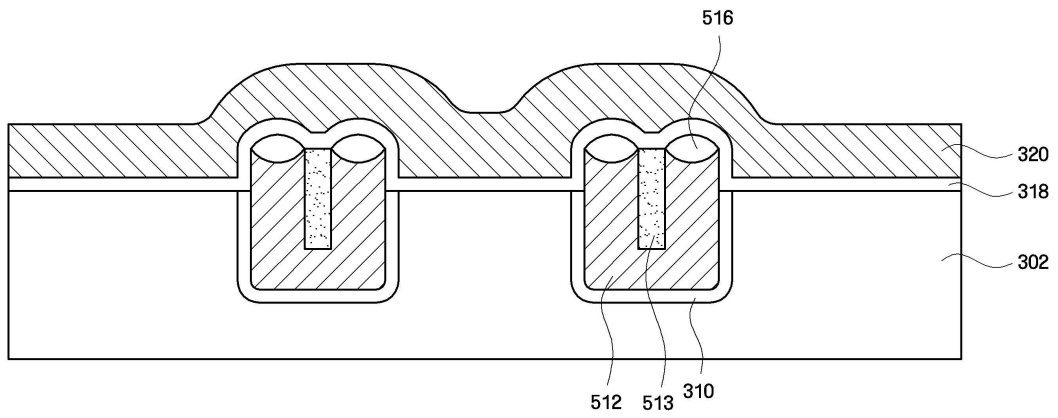
도면6a



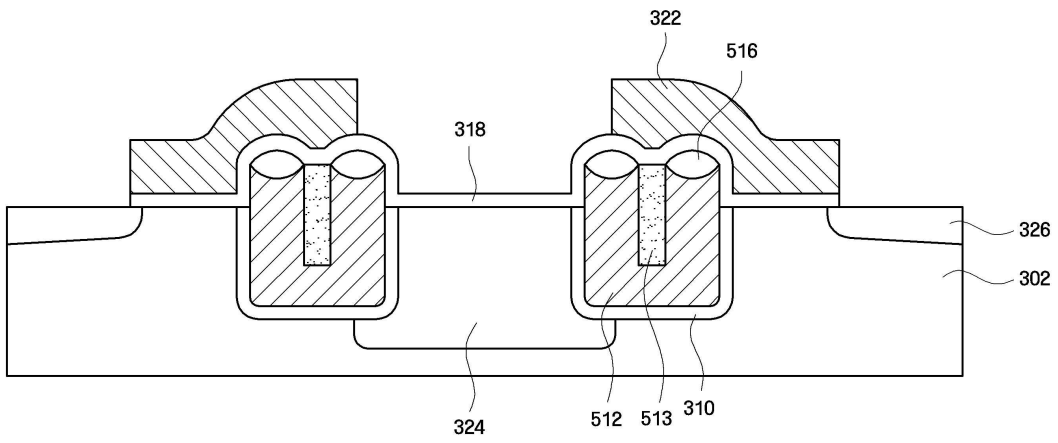
도면6b



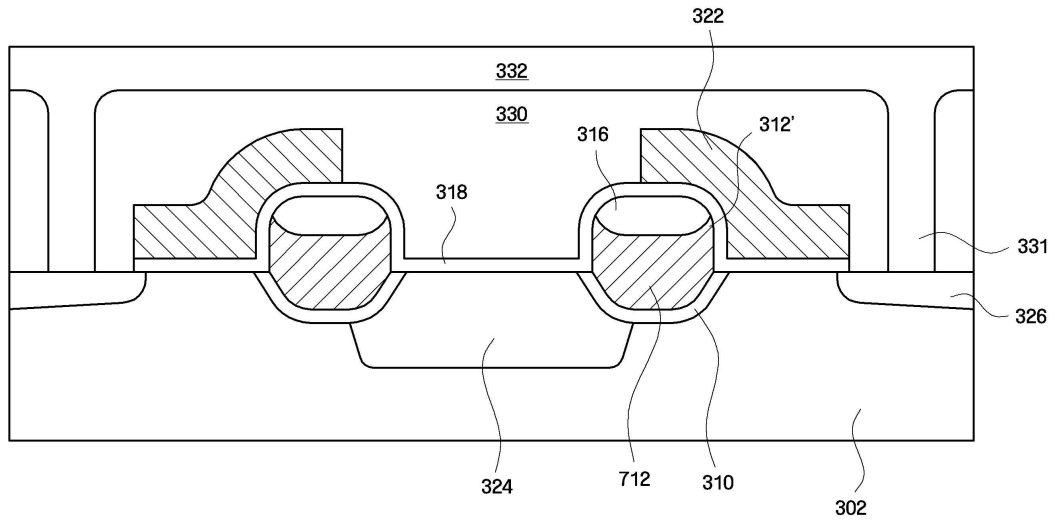
도면6c



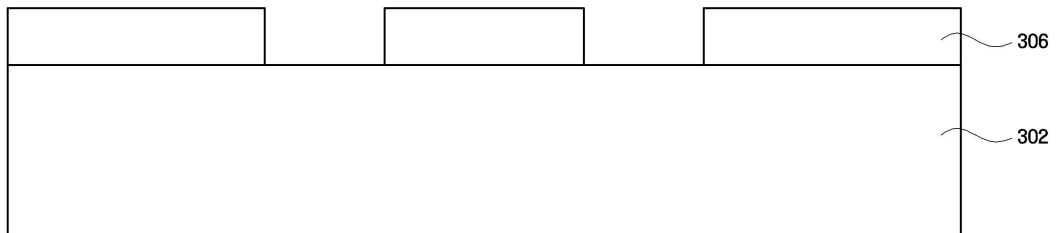
도면6d



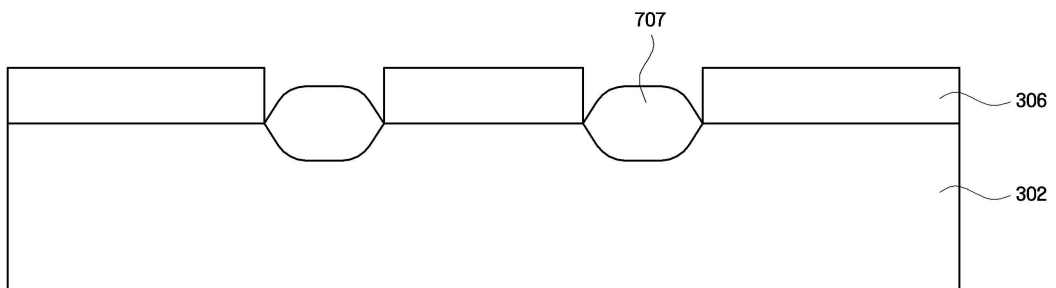
도면7



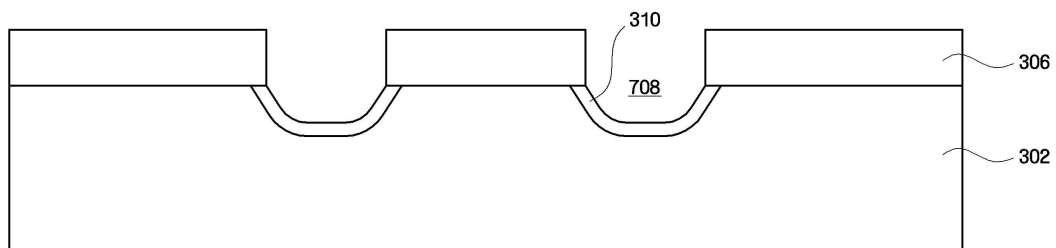
도면8a



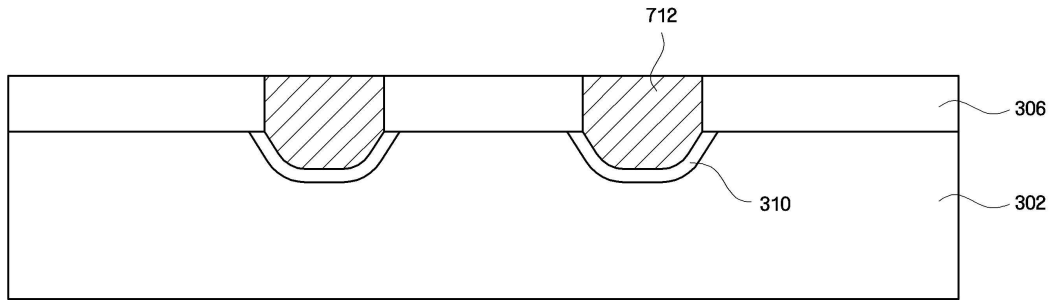
도면8b



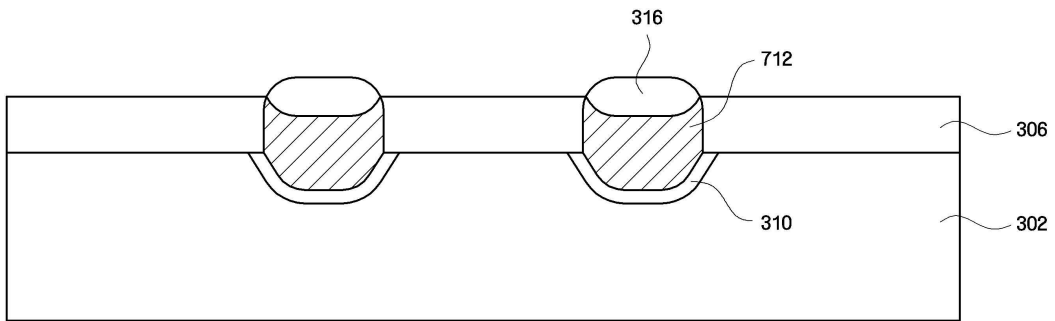
도면8c



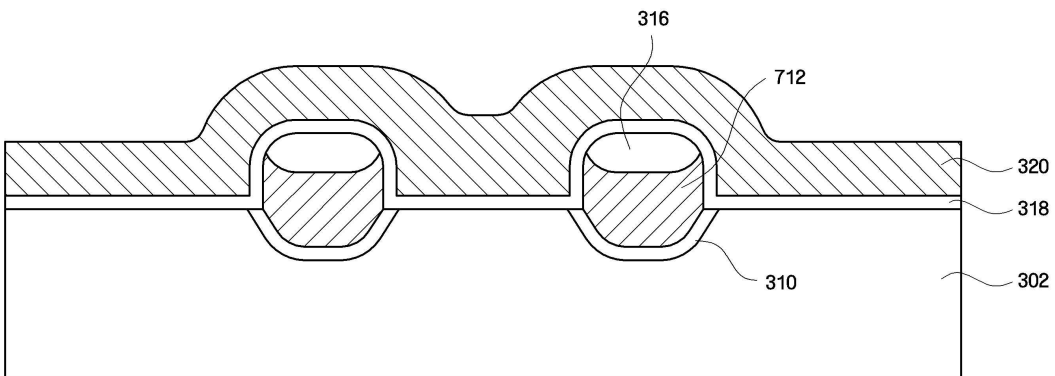
도면8d



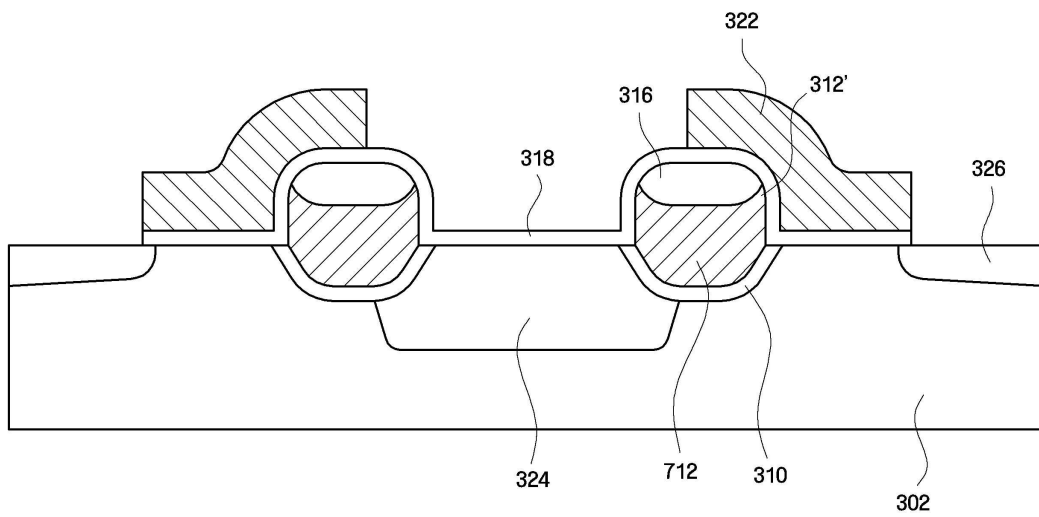
도면8e



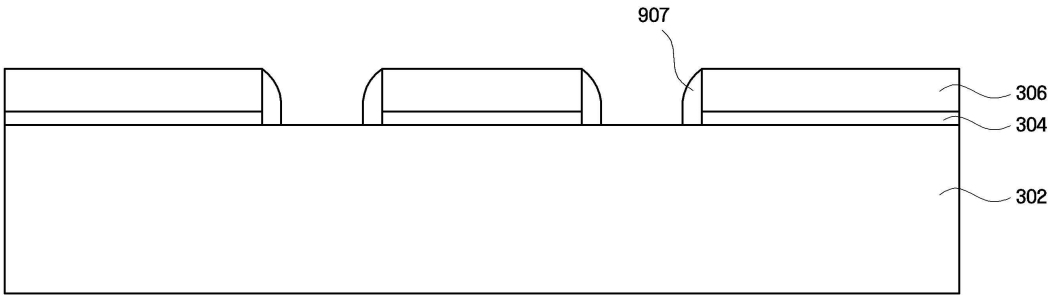
도면8f



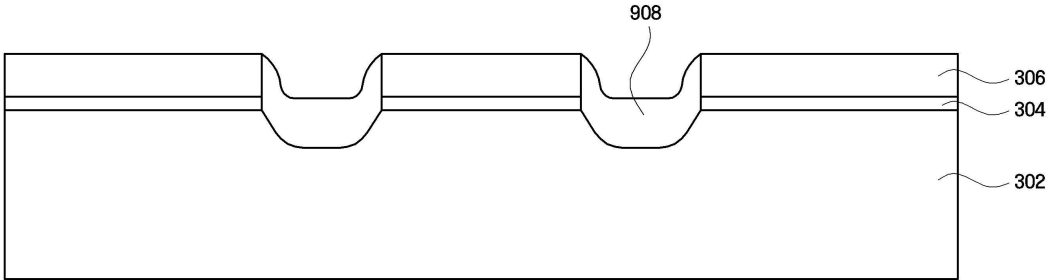
도면8g



도면9a



도면9b



도면9c

