

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7562371号
(P7562371)

(45)発行日 令和6年10月7日(2024.10.7)

(24)登録日 令和6年9月27日(2024.9.27)

(51)国際特許分類	F I	
H 0 4 N 25/78 (2023.01)	H 0 4 N 25/78	
H 0 3 K 4/06 (2006.01)	H 0 3 K 4/06	9 5 0
H 0 3 K 4/90 (2006.01)	H 0 3 K 4/90	A
H 0 3 K 4/50 (2006.01)	H 0 3 K 4/50	

請求項の数 19 (全24頁)

(21)出願番号	特願2020-181148(P2020-181148)	(73)特許権者	000001007 キャノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和2年10月29日(2020.10.29)	(74)代理人	100126240 弁理士 阿部 琢磨
(65)公開番号	特開2022-71983(P2022-71983A)	(74)代理人	100223941 弁理士 高橋 佳子
(43)公開日	令和4年5月17日(2022.5.17)	(74)代理人	100159695 弁理士 中辻 七朗
審査請求日	令和5年10月16日(2023.10.16)	(74)代理人	100172476 弁理士 富田 一史
		(74)代理人	100126974 弁理士 大朋 靖尚
		(72)発明者	酒井 誠一郎 東京都大田区下丸子3丁目30番2号 最終頁に続く

(54)【発明の名称】 ランプ信号出力回路、光電変換装置、撮像システム

(57)【特許請求の範囲】

【請求項1】

電流源から電流が供給される第一の基準電流源トランジスタと、
前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを
接続する第一の配線と、
前記第一の配線から第二の配線を分岐させる分岐点と、
前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、
第二の電流源トランジスタに接続された第二のランプ信号生成部と、
前記第一の配線の電圧を保持する第一のサンプルホールド容量と、
前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備え、
前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源ト
ランジスタの前記ゲートとの間に位置し、
前記第二の配線は前記第二の電流源トランジスタのゲートと接続されることを特徴とす
る、ランプ信号出力回路。

10

【請求項2】

電流源から電流が供給される第一の基準電流源トランジスタと、
前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接
続する第一の配線と、
前記第一の配線から第二の配線を分岐させる分岐点と、
前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、

20

第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、
前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トラン
ジスタの前記ゲートとの間に位置し、
前記第二の配線は前記第二の電流源トランジスタのゲートと接続され、
前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と
独立して制御するスイッチを有することを特徴とする、ランプ信号出力回路。

【請求項 3】

第一の電流源からの電流が供給される第一の基準電流源トランジスタと、
 第二の電流源からの電流が供給される第二の基準電流源トランジスタと、
 前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを
 10 接続する第一の配線と、
 前記第二の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを
 接続する第二の配線と、
 前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、
 前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、
 前記第一の配線の電圧を保持する第一のサンプルホールド容量と、
 前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備えることを特徴と
 する、ランプ信号出力回路。

【請求項 4】

第一の電流源からの電流が供給される第一の基準電流源トランジスタと、
 20 第二の電流源からの電流が供給される第二の基準電流源トランジスタと、
 前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接
 続する第一の配線と、
 前記第二の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを接
 続する第二の配線と、
 前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、
 前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、
 前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と
 独立して制御するスイッチを有することを特徴とする、ランプ信号出力回路。

【請求項 5】

前記第一の配線の電圧を保持する第一のサンプルホールド容量と、
 前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備えることを特徴と
 30 する請求項 2 または請求項 4 に記載のランプ信号出力回路。

【請求項 6】

前記第二のランプ信号生成部が生成するランプ信号の単位時間当たりの電位変化量は、
 前記第一のランプ信号生成部が生成するランプ信号の単位時間当たりの電位変化量より
 大きいことを特徴とする請求項 1 乃至請求項 5 のいずれか一項に記載のランプ信号出力回
 路。

【請求項 7】

前記第一の電流源トランジスタに接続された第一のゲート接地トランジスタと、
 40 前記第二の電流源トランジスタに接続された第二のゲート接地トランジスタと、
 前記第一のゲート接地トランジスタのゲートに接続する第一のゲート接地線と、
 前記第二のゲート接地トランジスタのゲートに接続する第二のゲート接地線と、を備え、
 前記第一の基準電流源トランジスタと前記第一の電流源トランジスタとの間で、前記第
 一のゲート接地線と前記第二のゲート接地線とのそれぞれが独立した配線を有することを
 特徴とする、請求項 1 乃至請求項 6 のいずれか一項に記載のランプ信号出力回路。

【請求項 8】

前記第一の電流源トランジスタのサイズと、
 前記第二の電流源トランジスタのサイズと、が互いに異なることを特徴とする請求項 1
 乃至請求項 7 のいずれか一項に記載のランプ信号出力回路。

10

20

30

40

50

【請求項 9】

前記第一の電流源トランジスタは複数のトランジスタを有し、

前記複数のトランジスタのうちオンされているトランジスタの数が変化することでトランジスタのサイズが変化することを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載のランプ信号出力回路。

【請求項 10】

第一のランプ信号と第二のランプ信号とを出力することを特徴とする請求項 1 乃至請求項 9 のいずれか一項に記載のランプ信号出力回路。

【請求項 11】

請求項 10 記載のランプ信号出力回路と、

複数の画素と、

前記複数の画素から出力される信号と前記ランプ信号出力回路から出力されるランプ信号とを比較する比較器と、を備えることを特徴とする光電変換装置。

10

【請求項 12】

前記比較器は

前記第一のランプ信号が入力される第一の比較器と

前記第二のランプ信号が入力される第二の比較器と、を含むことを特徴とする請求項 11 記載の光電変換装置。

【請求項 13】

前記複数の画素が配された第一の半導体基板と、前記ランプ信号出力回路が配された第二の半導体基板と、を含む複数の半導体基板を積層して構成されることを特徴とする、請求項 11 又は請求項 12 に記載の光電変換装置。

20

【請求項 14】

請求項 11 乃至請求項 13 のいずれか一項に記載の光電変換装置と、

前記光電変換装置が出力する信号を用いて画像を生成する信号処理部と、を有することを特徴とする光電変換システム。

【請求項 15】

請求項 11 乃至 13 のいずれか 1 項に記載の光電変換装置を備える移動体であって、

前記光電変換装置が出力する信号を用いて前記移動体の移動を制御する制御部を有することを特徴とする移動体。

30

【請求項 16】

他の半導体基板に積層するための半導体基板であって、

電流源から電流が供給される第一の基準電流源トランジスタと、

前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、

前記第一の配線から第二の配線を分岐させる分岐点と、

前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、

第二の電流源トランジスタに接続された第二のランプ信号生成部と、

前記第一の配線の電圧を保持する第一のサンプルホールド容量と、

前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備え、

前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トランジスタの前記ゲートとの間に位置し、

前記第二の配線は前記第二の電流源トランジスタのゲートと接続されることを特徴とする半導体基板。

40

【請求項 17】

他の半導体基板に積層するための半導体基板であって、

電流源から電流が供給される第一の基準電流源トランジスタと、

前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、

前記第一の配線から第二の配線を分岐させる分岐点と、

50

前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、
第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、
前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トラン
ジスタの前記ゲートとの間に位置し、
前記第二の配線は前記第二の電流源トランジスタのゲートと接続され、
前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と
独立して制御するスイッチを有することを特徴とする半導体基板。

【請求項 18】

他の半導体基板に積層するための半導体基板であって、
 第一の電流源からの電流が供給される第一の基準電流源トランジスタと、
 第二の電流源からの電流が供給される第二の基準電流源トランジスタと、
 前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを
 接続する第一の配線と、
 前記第二の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを
 接続する第二の配線と、
 前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、
 前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、
前記第一の配線の電圧を保持する第一のサンプルホールド容量と、
前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備えることを特徴と
する半導体基板。

【請求項 19】

他の半導体基板に積層するための半導体基板であって、
 第一の電流源からの電流が供給される第一の基準電流源トランジスタと、
 第二の電流源からの電流が供給される第二の基準電流源トランジスタと、
 前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接
 続する第一の配線と、
 前記第二の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを接
 続する第二の配線と、
 前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、
 前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、
前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と
独立して制御するスイッチを有することを特徴とする半導体基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ランプ信号出力回路、このランプ信号出力回路を備えた光電変換装置、撮像システムに関する。

【背景技術】

【0002】

特許文献 1 には、単位時間当たり第 1 の変化量で電位が変化する第 1 のランプ信号と、
 単位時間当たり第 1 の変化量よりも大きい第 2 の変化量で電位が変化する第 2 のランプ信
 号とを出力するランプ信号出力回路が記載されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特開 2017 - 175565 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 では、第 1 の変化量で電位が変化する第 1 のランプ信号を生成するトランジ

スタのゲートと、第1の変化量よりも変化量の大きい第2の変化量で電位が変化する第2のランプ信号を生成するトランジスタのゲートが共通のバイアス線で接続されている。このとき、第2のランプ信号によりバイアス線電圧が変動し、その変動が共通のバイアス線を用いている第1のランプ信号のリニアリティを低下させる。

【0005】

本発明は上述した課題に鑑みて、複数のランプ信号が発生するランプ信号出力回路においてランプ信号のリニアリティを改善することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一つの側面は、ランプ信号出力回路であって電流源から電流が供給される第一の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第一の配線から第二の配線を分岐させる分岐点と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、第二の電流源トランジスタに接続された第二のランプ信号生成部と、前記第一の配線の電圧を保持する第一のサンプルホールド容量と、前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備え、前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トランジスタの前記ゲートとの間に位置し、前記第二の配線は前記第二の電流源トランジスタのゲートと接続されることを特徴とする。本発明のその他の側面は、ランプ信号出力回路であって電流源から電流が供給される第一の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第一の配線から第二の配線を分岐させる分岐点と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トランジスタの前記ゲートとの間に位置し、前記第二の配線は前記第二の電流源トランジスタのゲートと接続され、前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と独立して制御するスイッチを有することを特徴とする。

【0007】

本発明の更に他の側面は、ランプ信号出力回路であって、第一の電流源からの電流が供給される第一の基準電流源トランジスタと、第二の電流源からの電流が供給される第二の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第一の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを接続する第二の配線と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、前記第一の配線の電圧を保持する第一のサンプルホールド容量と、前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備えることを特徴とする。本発明の更に他の側面は、ランプ信号出力回路であって、第一の電流源からの電流が供給される第一の基準電流源トランジスタと、第二の電流源からの電流が供給される第二の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第一の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを接続する第二の配線と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と独立して制御するスイッチを有することを特徴とする。

【0008】

本発明の更に他の側面は、他の半導体基板に積層するための半導体基板であって、電流源からの電流が供給される第一の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第一の配線から第二の配線を分岐させる分岐点と、前記第一の電流源トランジスタに接続

10

20

30

40

50

された第一のランプ信号生成部と、第二の電流源トランジスタに接続された第二のランプ信号生成部と、前記第一の配線の電圧を保持する第一のサンプルホールド容量と、前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備え、前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トランジスタの前記ゲートとの間に位置し、前記第二の配線は前記第二の電流源トランジスタのゲートと接続されることを特徴とする。本発明の更に他の側面は、他の半導体基板に積層するための半導体基板であって、電流源からの電流が供給される第一の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第一の配線から第二の配線を分岐させる分岐点と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、前記分岐点は前記第一の基準電流源トランジスタの前記ゲートと前記第一の電流源トランジスタの前記ゲートとの間に位置し、前記第二の配線は前記第二の電流源トランジスタのゲートと接続され、前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と独立して制御するスイッチを有することを特徴とする。

10

【0009】

本発明の更に他の側面は、他の半導体基板に積層するための半導体基板であって、第一の電流源からの電流が供給される第一の基準電流源トランジスタと、第二の電流源からの電流が供給される第二の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第二の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを接続する第二の配線と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、前記第一の配線の電圧を保持する第一のサンプルホールド容量と、前記第二の配線の電圧を保持する第二のサンプルホールド容量と、を備えることを特徴とする。本発明の更に他の側面は、他の半導体基板に積層するための半導体基板であって、第一の電流源からの電流が供給される第一の基準電流源トランジスタと、第二の電流源からの電流が供給される第二の基準電流源トランジスタと、前記第一の基準電流源トランジスタのゲートと第一の電流源トランジスタのゲートとを接続する第一の配線と、前記第二の基準電流源トランジスタのゲートと第二の電流源トランジスタのゲートとを接続する第二の配線と、前記第一の電流源トランジスタに接続された第一のランプ信号生成部と、前記第二の電流源トランジスタに接続された第二のランプ信号生成部と、を備え、前記第一の基準電流源トランジスタと前記第一の配線との接続関係を、前記第二の配線と独立して制御するスイッチを有することを特徴とする。

20

30

【発明の効果】

【0010】

本発明によれば、複数のランプ信号が発生するランプ信号出力回路においてランプ信号のリニアリティを改善することができる。

【図面の簡単な説明】

【0011】

【図1】第一の実施形態に係るランプ信号出力回路を備えた光電変換装置の概略図である。

40

【図2】第一の実施形態に係るランプ信号出力回路を備えた光電変換装置の画素回路の構成例である。

【図3】第一の実施形態に係るランプ信号出力回路を備えた光電変換装置の列回路の構成例である。

【図4】第一の実施形態に係るランプ信号出力回路を備えた光電変換装置の画素信号読み出し動作のタイミング図である。

【図5】第一の実施形態に係るランプ信号出力回路を備えた光電変換装置のランプ信号出力回路の構成例である。

【図6】第一の実施形態に係るランプ信号出力回路を備えた光電変換装置の列回路の構成例である。

50

【図 7】第二の実施形態に係るランプ信号出力回路を備えた光電変換装置のランプ信号出力回路の構成例である。

【図 8】第三の実施形態に係るランプ信号出力回路を備えた光電変換装置のランプ信号出力回路の構成例である。

【図 9】第四の実施形態に係るランプ信号出力回路を備えた光電変換装置のランプ信号出力回路の構成例である。

【図 10】第五の実施形態に係るランプ信号出力回路を備えた光電変換装置のランプ信号出力回路の構成例である。

【図 11】第五の実施形態に係るランプ信号出力回路を備えた光電変換装置の V R A M P _ L 信号生成箇所の構成例である。

10

【図 12】第五の実施形態に係るランプ信号出力回路を備えた光電変換装置のランプ信号出力回路の動作タイミング図である。

【図 13】積層構造の光電変換装置の概略図である。

【図 14】第六の実施形態に係る光電変換システムの構成を示す図である。

【図 15】第七の実施形態に係る移動体の構成、動作を示す図である。

【発明を実施するための形態】

【0012】

以下、図面を参照しながら各実施例を説明する。

【0013】

以下に述べる各実施形態では、光電変換装置の一例として、撮像装置を中心に説明する。ただし、各実施形態は、撮像装置に限られるものではなく、光電変換装置の他の例にも適用可能である。例えば、測距装置（焦点検出や T O F (T i m e O f F l i g h t) を用いた距離測定等の装置）、測光装置（入射光量の測定等の装置）などがある。

20

【0014】

なお、以下に述べる実施形態に記載されるトランジスタの導電型は一例のものであって、実施例中に記載された導電型のみ限定されるものではない。実施形態中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、トランジスタのゲート、ソース、ドレインの電位は適宜変更される。

【0015】

例えば、スイッチとして動作させるトランジスタであれば、ゲートに供給する電位のローレベルとハイレベルとを、導電型の変更に伴って、実施例中の説明に対し逆転させるようにすればよい。また、以下に述べる実施例中に記載される半導体領域の導電型についても一例のものであって、実施例中に記載された導電型のみ限定されるものではない。実施例中に記載された導電型に対し、導電型は適宜変更できるし、この変更に伴って、半導体領域の電位は適宜変更される。

30

【0016】

（第一の実施形態）

本発明の第一の実施形態による光電変換装置およびその駆動方法について、図 1 から図 6 を用いて説明する。

【0017】

（光電変換装置の全体構成）

本実施形態の光電変換装置は、図 1 に示すように画素 101 と、垂直出力線 102 と、画素電流源 103 と、列回路 104 と、ランプ信号出力回路 105 と、カウンタ回路 106 とを有している。さらに、水平走査回路 107 と、水平出力線 108 と、信号処理回路 109 と、垂直走査回路 110 と、タイミング生成部 111 とを有している。

40

【0018】

光電変換装置の画素領域では複数の画素 101 が複数行及び複数列にわたって行列状に配されている。図 1 においては、画素 101 を 4 行 4 列の計 16 個として図示しているが、画素領域を構成する画素 101 の数は、特に限定されるものではない。例えば、一般的なデジタルカメラのように数千行×数千列の画素 101 で画素領域を構成してもよく、1

50

行又は1列に並べた複数の画素101で画素領域を構成してもよい。

【0019】

画素101は光電変換により電荷を生成する光電変換素子を含み、光電変換素子で発生した電荷を電圧信号に変換して垂直出力線102に出力する。

【0020】

画素電流源103は、垂直出力線102に電氣的に接続され、垂直出力線102に電流を供給する。なお、画素電流源103は一定の電流量を流す形態に限定されず、電流量を変化させてもよい。

【0021】

列回路104は画素101からなる画素領域の各列に対応して設けられ、列方向に並ぶ画素101にそれぞれ接続され、これら画素101に共通の信号線をなしている。画素101の出力信号は垂直出力線102を介して列回路104に入力される。列回路104は画素出力信号を増幅し、アナログデジタル変換(AD変換)を行う。

10

【0022】

ランプ信号出力回路105は、列回路104で行うAD変換に使用する、ランプ信号を生成する。ランプ信号は時間に対して一定の変化率で電位が変化する信号である。ランプ信号出力回路105は傾きの異なるランプ信号を複数出力することができる。詳細は後述する。

【0023】

カウンタ回路106は、列回路104で行うAD変換に使用する、カウント信号CNTを出力する。カウント信号CNTはランプ信号出力回路105のランプ信号が時間に依存した変化を開始した時から、図示のクロックパルス供給部から供給されるクロックパルス信号CLKを計数した信号である。

20

【0024】

列回路104でAD変換された信号は水平走査回路107により、水平出力線108、信号処理回路109を介して撮像装置の外部に列毎に順次出力される。信号処理回路109は画素101から読み出された画素信号を保持するメモリ等を含み得る。

【0025】

垂直走査回路110は、画素101を行ごとに選択し、駆動を行う。

【0026】

タイミング生成部111は、垂直走査回路110、水平走査回路107、列回路104、ランプ信号出力回路105、カウンタ回路106に駆動信号を供給する。

30

【0027】

(画素の構成)

本実施形態による画素101の構成について説明する。

【0028】

図2は、第一の実施形態に係る画素の等価回路の構成例である。それぞれの画素101は、光電変換部201を有する。さらに、転送MOSトランジスタ202、フローティングディフュージョン部(以下FD)203、増幅MOSトランジスタ204、選択MOSトランジスタ205、リセットMOSトランジスタ206を含んで構成される。

40

【0029】

各素子の機能と電氣的な接続関係について説明する。

【0030】

画素101において、光電変換部201は入射光を電荷に変換し、信号電荷として蓄積する。ここでは光電変換部201の例としてフォトダイオードを示している。

【0031】

転送MOSトランジスタ202は光電変換部201に蓄積された電荷をFD203に転送する。

【0032】

選択MOSトランジスタ205がオンされると、増幅MOSトランジスタ204は、F

50

D 2 0 3 に転送された電荷に基づいて信号を増幅して垂直出力線 1 0 2 に出力する。

【 0 0 3 3 】

リセット MOS トランジスタ 2 0 6 は F D 2 0 3 および光電変換部 2 0 1 の電位をリセットする。

【 0 0 3 4 】

転送 MOS トランジスタ 2 0 2、リセット MOS トランジスタ 2 0 6、選択 MOS トランジスタ 2 0 5 のゲートはそれぞれ垂直走査回路 1 1 0 に接続され、制御信号 P T X、P R E S、P S E L により制御される。

【 0 0 3 5 】

(列回路の構成)

図 3 は、本実施形態に係る列回路 1 0 4 の回路構成の一例である。

【 0 0 3 6 】

列回路 1 0 4 のそれぞれは列アンプ 3 0 1、比較器 3 0 3、ランプ信号切り替え回路 3 0 4、メモリ 3 0 5 を含んで構成される。

【 0 0 3 7 】

各素子の機能と電気的な接続関係について説明する。

【 0 0 3 8 】

画素 1 0 1 から出力された画素出力信号 P I X O U T が垂直出力線 1 0 2 を介して列アンプ 3 0 1 に入力される。

【 0 0 3 9 】

列アンプ 3 0 1 は画素出力信号 P I X O U T を増幅し、比較器 3 0 3 へ出力する。列アンプ 3 0 1 は増幅器 A M P、入力容量 C 0、帰還容量 C f 1、C f 2、C f 3、C f 4、スイッチ S W 1、S W 2、S W 3、S W 4、S W 5 を含む。列アンプ 3 0 1 のゲインは増幅器 A M P の帰還経路上のアクティブな帰還容量 C f の容量値と入力容量 C 0 の容量値の比で決まるため、スイッチ S W 1 ~ 4 のオン・オフを切り替えることによって列アンプ 3 0 1 のゲインを変更できる。

【 0 0 4 0 】

比較器 3 0 3 の一方の入力端子には、図 2 のランプ信号出力回路 1 0 5 から供給されたランプ信号がランプ信号切り替え回路 3 0 4 の選択結果に応じて入力される。ランプ信号切り替え回路 3 0 4 の動作に関する詳細は後述する。比較器 3 0 3 の他方の入力端子には列アンプ 3 0 1 の出力値 A M P O U T が入力される。比較器 3 0 3 は列アンプ 3 0 1 から入力される列アンプ出力信号 A M P O U T と、ランプ信号出力回路 1 0 5 から供給される信号 V R A M P とを比較し、その大小関係によってローレベル、ハイレベルの 2 値のいずれかを出力する。具体的には、信号 V R A M P の電圧が信号 A M P O U T の電圧より低い時にはローレベル、高い時にはハイレベルを出力する。

【 0 0 4 1 】

カウンタ回路 1 0 6 はランプ信号出力回路 1 0 5 の信号 V R A M P が時間に依存した変化を開始した時から、不図示のクロックパルス供給部から供給されるクロックパルス信号 C L K を計数したカウント信号 C N T を出力する。即ち、カウンタ回路 1 0 6 はクロックパルス信号 C L K を信号 V R A M P の電位の変化と並行して計数し、カウント信号 C N T を生成して出力する。カウント信号 C N T は、各列の N メモリ 3 0 5 A、S メモリ 3 0 5 B に共通して供給される。

【 0 0 4 2 】

N メモリ 3 0 5 A、S メモリ 3 0 5 B は、比較器 3 0 3 から供給される出力 C O M P O U T の信号値がローレベルからハイレベルに変化した時にカウンタ回路 1 0 6 から供給されたカウント信号 C N T を保持する。N メモリ 3 0 5 A には F D 2 0 3 のリセットレベルの信号 (以下、N 信号) を A D 変換したデジタル信号が保持される。S メモリ 3 0 5 B には光電変換部 2 0 1 の信号を F D 2 0 3 の N 信号に重畳した信号 (以下、S 信号) を A D 変換したデジタル信号が保持される。

【 0 0 4 3 】

10

20

30

40

50

判定値メモリ305Cには、ランプ信号VRAMPにより生成された基準信号VREFと列アンプ301の出力とを比較器303で判定した結果(以下、J信号)が保持される。J信号はランプ信号切り替え回路304にも入力される。

【0044】

Nメモリ305A、Sメモリ305B、判定値メモリ305Cのそれぞれに保持された信号は、水平走査回路107からの制御信号によって水平出力線108を介して信号処理回路109へ出力される。そして、信号処理回路109においてS信号からN信号が差し引かれ、ノイズ成分が除去された信号が出力される。信号処理回路109の処理に関する詳細は後述する。

【0045】

(画素信号読み出し動作)

図4に、本実施形態の光電変換装置の画素信号読み出し動作のタイミングチャートの一例を示す。各駆動パルスのタイミング、画素出力電圧、列アンプ出力電圧、ランプ信号を模式的に示している。

【0046】

時刻t400に選択パルスPSELをHレベルとし、画素信号PIXOUTを出力させる画素101の行を選択する。このときリセットパルスPRESをHレベルとし、FD203の電位をリセットしている。

【0047】

時刻t401に、リセットパルスPRESをLレベルとする。静定時に出力される画素信号PIXOUTを画素基準信号と表記する。画素基準信号は画素101が有するノイズ成分を含む信号である。

【0048】

時刻t402に、C0リセットパルスPCORをHレベルからLレベルに変え、増幅器AMP、入力容量C0のリセットを解除する。これにより、入力容量C0にはC0リセットパルスPCORをLレベルとした時の画素基準信号の電位に基づく電荷が保持され、列アンプ301は列アンプ出力信号AMPOUTを出力する。

【0049】

時刻t403に、比較器リセットパルスCOMPRESをHレベルとし、その後Lレベルとする。比較器リセットパルスCOMPRESは比較器のリセットを行い初期化するためのものであり、タイミング生成部111から出力される。

【0050】

時刻t404から時刻t406までの間、ランプ信号出力回路105は、ランプ信号VRAMP_L、VRAMP_Hのそれぞれの電位を時間に依存して初期値から上昇させていく。ランプ信号出力回路105の詳細な動作は後述する。なお、ランプ信号出力回路105は傾きの異なる複数のランプ信号を出力し、列回路104に入力することができる。傾きが小さいVRAMP_L、傾きが大きいVRAMP_H、さらに傾きが大きいVRAMP_Jである。ここではVRAMP_Lのみをランプ信号切り替え回路304を介して比較器303に入力する。VRAMP_Hよりも、単位時間当たりのランプ信号の電位変化量が小さいランプ信号VRAMP_Lを参照電圧として使用することで、分解能の高いAD変換を行うことができる。これらの駆動はタイミング生成部111からランプ信号出力回路105及びランプ信号切り替え回路304に制御信号を送ることにより実現される。

【0051】

時刻t404にランプ信号VRAMP_Lの電位変化が開始するとともに、カウンタ回路106はクロックパルス信号の計数を開始し、カウント信号CNTを各列のNメモリ305Aに供給する。

【0052】

時刻t405に、信号VRAMP_Lの電圧が列アンプ出力信号AMPOUTを上回り、比較器303が出力するCOMPOUTの信号値が変化する。この時のカウント信号CNTの信号値をNメモリ305Aが保持する。Nメモリ305Aが保持したこのカウント

10

20

30

40

50

信号 CNT の信号値が、N 信号を AD 変換した値である。

【 0 0 5 3 】

時刻 t 4 0 6 に、ランプ信号 VRAMP__L 及び VRAMP__H の時間に依存した電位変化を停止し、時刻 t 4 0 0 の状態にリセットする。カウンタ回路 1 0 6 はクロックパルス信号の計数を止め、カウント信号 CNT を初期値に戻す。

【 0 0 5 4 】

時刻 t 4 0 7 で、転送パルス PTX を Hi にし、時刻 t 4 0 8 で転送パルス PTX を Lo とする。これにより、光電変換部 2 0 1 で入射光を光電変換して生成した信号電荷が FD 2 0 3 に転送される。増幅 MOST ランジスタ 2 0 4 は、FD 2 0 3 の電位に基づく信号を出力する。この増幅 MOST ランジスタ 2 0 4 の出力信号が選択 MOST ランジスタ 2 0 5 を介して垂直出力線 1 0 2 に出力される。このときの画素信号 PIXOUT を、画像信号と表記する。

10

【 0 0 5 5 】

列アンプ 3 0 1 は、画素基準信号と画素信号 PIXOUT との差分の電位を反転増幅した列アンプ出力信号 AMPOUT を出力する。列アンプ出力信号 AMPOUT は比較器 3 0 3 の入力端子の一方に入力される。

【 0 0 5 6 】

時刻 t 4 0 9 から時刻 t 4 1 1 の期間に、比較器 3 0 3 の入力端子のもう一方にランプ信号 VRAMP__J が入力される。ランプ信号 VRAMP__J はランプ信号出力回路 1 0 5 によって生成され、ランプ信号切り替え回路 3 0 4 を介して比較器 3 0 3 に入力される。

20

【 0 0 5 7 】

時刻 t 4 0 9 から時刻 t 4 1 0 まで、ランプ信号出力回路 1 0 5 により、ランプ信号 VRAMP__J の電位を時間に依存して初期値から上昇させていく。

【 0 0 5 8 】

時刻 t 4 1 0 で、ランプ信号 VRAMP__J の電位変化を止める。時刻 t 4 1 0 でのランプ信号 VRAMP__J の電圧が基準電圧 VREF1 となる。

【 0 0 5 9 】

時刻 t 4 1 0 から時刻 t 4 1 1 までの期間、比較器 3 0 3 は基準電圧 VREF1 と列アンプ出力信号 AMPOUT を比較する。列アンプ出力信号 AMPOUT の電圧が基準電圧 VREF1 よりも低い際には比較器 3 0 3 の出力である COMPOUT が H レベル (= 1) となる。出力 COMPOUT はランプ信号切り替え回路 3 0 4 にも入力されており、ランプ信号切り替え回路 3 0 4 はランプ信号 VRAMP__L を選択して比較器 3 0 3 の入力端子に入力する。

30

【 0 0 6 0 】

列アンプ出力信号 AMPOUT の電圧が基準電圧 VREF よりも高い際には、比較器 3 0 3 の出力である COMPOUT は L レベル (= 0) となる。ランプ信号切り替え回路 3 0 4 はランプ信号 VRAMP__H を選択して比較器 3 0 3 の入力端子に入力する。

【 0 0 6 1 】

時刻 t 4 1 0 から時刻 t 4 1 1 までの期間、比較器 3 0 3 の出力の値を判定値 J とし、ランプ信号切り替え回路 3 0 4 に入力するとともに、判定値メモリ 3 0 5 C にも保持する。

40

【 0 0 6 2 】

時刻 t 4 1 1 にランプ信号 VRAMP__H 及び VRAMP__L のどちらの信号を S 信号 AD 変換期間に使用するかを判定を終了し、ランプ信号 VRAMP__J の電位をリセットする。

【 0 0 6 3 】

時刻 t 4 1 2 から時刻 t 4 1 4 まで、ランプ信号出力回路 1 0 5 は、ランプ信号 VRAMP__L、及び VRAMP__H を時間に依存して電位を初期値から上昇させていく。各列回路 1 0 4 が VRAMP__L、VRAMP__H のどちらを比較器 3 0 3 に入力するかは、時刻 t 4 1 0 から t 4 1 1 の間の COMPOUT の値に応じて決定される。

【 0 0 6 4 】

50

図4の場合、時刻 t_{410} から時刻 t_{411} の間の列アンプ出力信号AMP OUTは基準電圧V REF 1よりも大きいので、相対的に傾きの大きいランプ信号VRAMP__Hが選択されている。

【0065】

時刻 t_{412} のランプ信号VRAMP__Hの電位変化開始とともに、カウンタ回路106はクロックパルス信号の計数を開始し、カウント信号CNTを各列のSメモリ305Bに供給する。

【0066】

時刻 t_{413} に、信号VRAMP__Hの電圧が列アンプ出力信号AMP OUTを上回り、比較器303が出力するCOMPOUTの信号値が変化する。この時のカウント信号CNTの信号値をSメモリ305Bが保持する。この時にSメモリ305Bが保持したカウント信号CNTの信号値が、S信号をAD変換した値である。

10

【0067】

時刻 t_{414} に、ランプ信号VRAMP__L、ランプ信号VRAMP__Hの時間に依存した電位変化を停止し、時刻 t_{400} の状態にリセットする。カウンタ回路106はクロックパルス信号の計数を止め、そしてカウント信号CNTを初期値に戻す。

【0068】

時刻 t_{415} から、水平走査回路107により、列回路104を順次動作させる。これにより、Nメモリ305A、Sメモリ305B、判定値メモリ305Cに保持された信号は水平出力線108を介して信号処理回路109に送られる。そして、演算処理が行われた後、光電変換装置の外部に出力される。

20

【0069】

信号処理回路109では、S信号からN信号を差し引いた差動信号レベル(光成分)が算出される。なお、S信号 N信号演算の前に、S信号のAD変換時に選択したランプ信号によって、AD変換結果の補正処理を行う。

【0070】

ここで、AD変換結果の補正処理について説明する。例えば、ランプ信号VRAMP__Hの傾きがランプ信号VRAMP__Lの傾きの4倍である場合、カウント信号CNT 1カウントに対応する信号振幅はランプ信号VRAMP__Hが4倍広がる。そこで、信号の電位レベルに対するデジタル出力を合わせるために、ランプ信号VRAMP__HにてAD変換されたカウント値をデジタルゲインで4倍する処理を行う。信号処理回路109に入力されたS信号は、判定値 $J = 0$ であれば、ランプ信号VRAMP__Hが選択されたため、S信号を4倍する処理を行い、判定値 $J = 1$ であれば、ランプ信号VRAMP__Lが選択されたため、4倍する処理は行わない。

30

【0071】

なお、判定値 J を求めるための基準電圧V REF 1のレベルは任意に設定可能であるが、例えば、ランプ信号VRAMP__Hの傾きがランプ信号VRAMP__Lの傾きの4倍である場合、AD変換したい出力信号振幅の $1/4$ に設定すると良い。より具体的には、AD変換したい出力信号の振幅が $1[V]$ であった場合、基準電圧V REF 1を振幅 $0.25[V]$ 相当に設定する。AD変換時のカウンタを12ビットとし、4095までカウントする構成としたとき、ランプ信号VRAMP__Lは4095カウントで振幅 $0.25[V]$ となるよう制御する。そして、ランプ信号VRAMP__Hは4095カウントで振幅 $1[V]$ となるよう制御する。このような構成でAD変換を行った場合の補正処理後の結果は、 $0.25[V]$ 以下の小振幅である低輝度出力は0から4095まで1カウント刻みで出力結果が得られる。また、 $0.25[V]$ より大きく $1[V]$ 以下の大振幅である高輝度の出力は4096から16380まで4カウント刻みで出力結果が得られる。このように、高輝度出力の分解能は低輝度出力の分解能より粗くなるものの、14ビット相当のカウントまで高速にAD変換を行うことができる。図5はランプ信号出力回路105の回路構成の一例を示す回路図である。以下に回路を構成する各素子の機能と電気的な接続関係について説明する。

40

50

【 0 0 7 2 】

図5において、ランプ信号出力回路105は、電流源500、カレントミラーPMOSトランジスタ（以下、「PMOSトランジスタ」と記載する場合もある）501、502、503、504を有する。さらに、積分容量505、506、リセット用NMOSトランジスタ507、508、ランプ電流供給スイッチ509、510、511を含んで構成される。

【 0 0 7 3 】

ランプ電流供給スイッチ509は制御パルスP__RAMP__EN__LをHレベルにする
とオンになる。同様にランプ電流供給スイッチ510は制御パルスP__RAMP__EN__
Hで制御され、ランプ電流供給スイッチ511は制御パルスP__RAMP__EN__Jで制
御される。リセット用NMOSトランジスタ507、508は共に制御パルスP__RAM
P__RESをHレベルとするとオンになり、それぞれVRAMP__L、VRAMP__Hの
電位をリセットする。

10

【 0 0 7 4 】

PMOSトランジスタ501は電流源500から基準電流が供給される基準電流源トラ
ンジスタである。PMOSトランジスタ502、503、504のそれぞれは、PMOS
トランジスタ501とのトランジスタサイズ比に比例した電流を出力する電流源トラ
ンジスタである。

【 0 0 7 5 】

本実施形態においては、PMOSトランジスタ501、502、503、504のサイ
ズ比は例えば1：1：4：8とする。PMOSトランジスタ502が出力する電流をI__
RAMP__L、PMOSトランジスタ503が出力する電流をI__RAMP__H、PMO
Sトランジスタ504が出力する電流をI__RAMP__Jとする。ランプ電流供給スイッ
チ509、510、511をオンすることで、PMOSトランジスタ502、503、5
04が出力する電流が、積分容量505、506を充電し、時間に依存して電位が変化す
るランプ信号が発生する。つまり積分容量505、506が本実施形態に係るランプ信号
生成部である。

20

【 0 0 7 6 】

PMOSトランジスタ502が生成するランプ信号をVRAMP__L、PMOSラン
ジスタ503が生成するランプ信号をVRAMP__H、PMOSトランジスタ504が生
成するランプ信号をVRAMP__Jとする。積分容量505、506の容量が等しいとす
る。I__RAMP__L、I__RAMP__H、I__RAMP__Jの比が1：4：8のため
、VRAMP__Hの単位時間当たりの電位変化量はVRAMP__Lの4倍となり、VRA
MP__Jの単位時間当たりの電位変化量はVRAMP__Lの8倍となる。

30

【 0 0 7 7 】

VRAMP__L、VRAMP__Hは図4記載のタイミングチャートの時刻t404～4
06、時刻t412～t415の期間、両方同時に発生させられる。時刻t404～40
6の期間ではP__RAMP__RESをLレベルとし、P__RAMP__L__EN、P__RA
MP__H__ENをHレベルとすることで、ランプ信号VRAMP__L、ランプ信号VRA
MP__Hのそれぞれが発生する。このとき、ランプ信号VRAMP__Lを用いてN信号の
AD変換を行う。時刻t406でP__RAMP__RESをHレベルとし、P__RAMP__
L__EN、P__RAMP__H__ENをLレベルとすることで、ランプ信号VRAMP__L
の時間に依存した電位変化は停止する。時刻t412～t415の期間は時刻t410か
ら時刻t411の判定結果に応じてVRAMP__L、VRAMP__Hのどちらかの信号を
用いてS信号のAD変換を行う。具体的にはP__RAMP__L__EN、P__RAMP__H
__ENをHレベルとすることで、ランプ信号VRAMP__L、及びVRAMP__Hの電位
を上昇させる。時刻t414にP__RAMP__RESをHレベルとし、P__RAMP__L
__EN、P__RAMP__H__ENをLレベルとすることで、ランプ信号VRAMP__L、
ランプ信号VRAMP__Hの時間に依存した電位変化を停止させる。

40

【 0 0 7 8 】

50

単位時間当たりの電位変化量が大きいランプ信号 V_{RAMP_H} は PMOS トランジスタ 503 のゲートドレイン容量などを介して PMOS トランジスタ 503 のゲートに接続しているバイアス線 N2 の電位を変動させる。この変動がバイアス線 N1 にまで伝わると、バイアス線 N1 の電位が変動し、PMOS トランジスタ 502 が出力する電流 I_{RAMP_L} が変動する。これによって精度が求められる低輝度信号の AD 変換に用いられるランプ信号 V_{RAMP_L} のリニアリティが低下し、画質の低下が生じる。本実施形態ではバイアス線 N1 とバイアス線 N2 とを基準電流トランジスタ付近で分離させている。言い換えれば、基準電流源 PMOS トランジスタ 501 と電流源 PMOS トランジスタ 502 との間に、バイアス線 N1 とバイアス線 N2 とが分岐する分岐部（分岐点）527 が存在する。そのため、バイアス線 N2 は PMOS トランジスタ 502 を介することなく PMOS トランジスタ 503 に接続される。このような構成では、バイアス線 N2 の電位が変動しても、寄生抵抗や規制容量によって変動が低減されることや電流源によって変動が抑えられることによって、バイアス線 N1 の電位変動を抑制することができる。よって従来技術と比べ PMOS トランジスタ 502 が出力する電流 I_{RAMP_L} の変動を抑制することができ、ランプ信号 V_{RAMP_L} のリニアリティを改善することができる。

【0079】

ここまで比較器 303 での判定結果に基づきランプ信号切り替え回路 304 がランプ信号 V_{RAMP_L} かランプ信号 V_{RAMP_H} のどちらかを選択して比較器 303 に入力する動作の説明を行った。しかし、本実施形態は図 6 に示すように、列アンプ一つに対して 2 つの比較器を備え一方の比較器に一方のランプ信号を入力し、他方の比較器に他方のランプ信号を入力する構成であってもよい。

【0080】

図 6 において、比較器 303A の一方の入力端子にはランプ信号 V_{RAMP_L} が入力され、他方の入力端子には列アンプ出力が入力される。比較器 303A はランプ信号 V_{RAMP_L} と列アンプ出力を比較し、前述の AD 変換動作と同様に N 信号のデジタル値を N_L メモリ 305D に書き込み、S 信号のデジタル値を S_L メモリ 305E に書き込む。比較器 303B の一方の入力端子にはランプ信号 V_{RAMP_H} が入力され、他方の入力端子には列アンプ出力が入力される。比較器 303B はランプ信号 V_{RAMP_H} と列アンプ出力を比較し、前述の AD 変換動作と同様に N 信号のデジタル値を N_H メモリ 305F に書き込み、S 信号のデジタル値を S_H メモリ 305G に書き込む。

【0081】

N_L メモリ 305D、 S_L メモリ 305E、 N_H メモリ 305F、 S_H メモリ 305G に保持された信号は水平走査回路 107 からの制御信号によって水平出力線 108 を介して信号処理回路 109 へ出力される。信号処理回路 109 において S_L 信号から N_L 信号を引き算し、差分 S_L 信号を生成する。同様に S_H 信号から N_H 信号を引き算し、差分 S_H 信号を生成する。ノイズ除去後の差分 S_L 信号と差分 S_H 信号を合成し、低ノイズの画像を得ることができる。各列に比較器やメモリが 2 つ必要なため、回路規模は大きくなるが、レベル判定動作は不要となり、AD 変換の高速化を図ることも可能である。

【0082】

また、ここまでの説明では V_{RAMP_L} 、 V_{RAMP_H} 、 V_{RAMP_J} の単位時間当たりの電位変化量がそれぞれ異なっている。しかし、例えば PMOS トランジスタ 501、502、503、504 のサイズを揃え、各ランプ信号の時間当たりの電位変化量を同じにした場合も、本実施形態によってバイアス線電圧の変動を低減し、ランプ信号のリニアリティを改善することができる。例えば、複数の列回路 104 のうちの一部の列回路 104 の比較器 303 に本実施形態で説明したランプ信号 V_{RAMP_L} の配線を接続する。他の一部の列回路 104 の比較器 303 に本実施形態で説明したランプ信号 V_{RAMP_H} の配線を接続する。この時、ランプ信号 V_{RAMP_L} 、 V_{RAMP_H} の傾きは前述したように同じである。このように接続することによって、ランプ信号出力回路 105 の駆動負荷（トランジスタ 502、503、504 の駆動負荷）を低減するこ

10

20

30

40

50

とができる。また、隣り合う列回路 104 の一方の比較器 303 にランプ信号 V R A M P _ L の配線を接続し、他方の比較器 303 にランプ信号 V R A M P _ H の配線を接続するようにしても良い。このように接続することによって、一方の比較器 303 から生じるノイズ（出力 C O M P O U T の反転時に生じる貫通電流ノイズ等）が、他方の比較器 303 に伝搬することを低減することができる。

【0083】

（第二の実施形態）

図7に本発明の第二の実施形態のランプ信号出力回路を示す。

【0084】

図7において図5のランプ信号出力回路と共通する構成については同一の符号を付して詳細な説明は省略し、以下に図7の回路における図5の回路との違いを説明する。図7に示すランプ信号出力回路は電流源 512、カレントミラー P M O S トランジスタ 513 を有する。

10

【0085】

P M O S トランジスタ 513 には電流源 512 から基準電流が供給され、P M O S トランジスタ 503 のゲートと P M O S トランジスタ 513 のゲートはバイアス線 N 2 で接続されている。P M O S トランジスタ 513 は P M O S トランジスタ 501 とは別のカレントミラー回路を構成している。

【0086】

本実施形態ではバイアス線 N 1 とバイアス線 N 2 は別々のカレントミラー回路で構成されており、共通インピーダンスが存在しない。そのため、ランプ信号 V R A M P _ H によりバイアス線 N 2 の電位が変動してもバイアス線 N 1 の電位が変動せず、P M O S トランジスタ 502 が出力する電流 I _ R A M P _ L の変動を抑制することができる。すなわち、ランプ信号 V R A M P _ L のリニアリティを改善することができる。

20

【0087】

（第三の実施形態）

図8に本発明の第三の実施形態のランプ信号出力回路を示す。

【0088】

図8において図5のランプ信号出力回路と共通する構成については同一の符号を付して詳細な説明は省略し、以下に図8の回路における図5の回路との違いを説明する。

30

【0089】

図8に示すランプ信号出力回路はサンプルホールド容量 514、515、サンプルホールドスイッチ 516、517 を有する。

【0090】

図5のランプ信号出力回路との違いはバイアス線 N 1 がサンプルホールドスイッチ 516 とサンプルホールド容量 514 を有し、バイアス線 N 2 がサンプルホールドスイッチ 517 とサンプルホールド容量 515 を有することである。各バイアス線でサンプルホールドスイッチをオフし、ホールド容量にバイアス電圧を保持することで、電流源 500 及び P M O S トランジスタ 501 で発生するノイズがランプ信号に影響を与えなくなるため、低ノイズ化が可能となる。

40

【0091】

バイアス線電位のホールドは毎行読み出し動作時に行っても良いし、1フレーム毎でも良い。

【0092】

また、本実施形態ではバイアス線 N 1 とバイアス線 N 2 はサンプルホールドスイッチ 516、517 により切り離されており、ランプ信号 V R A M P _ H によりバイアス線 N 2 の電位が変動してもバイアス線 N 1 の電位が変動しない。そのため、P M O S トランジスタ 502 が出力する電流 I _ R A M P _ L の変動を抑制することができ、ランプ信号 V R A M P _ L のリニアリティを改善することができる。

【0093】

50

(第四の実施形態)

図9に本発明の第四の実施形態のランプ信号出力回路を示す。

【0094】

図9において図8のランプ信号出力回路と共通する構成については同一の符号を付して詳細な説明は省略し、以下に図9の回路における図8の回路との違いを説明する。

【0095】

図9に示すランプ信号出力回路はPMOSトランジスタ518、519、520、522、524、基準電流源521、523を有する。

【0096】

図8のランプ信号出力回路との違いはPMOSトランジスタ502、503、504の出力側にゲート接地のPMOSトランジスタ(ゲート接地トランジスタ)518、519、520が配置されていることである。PMOSトランジスタ518、520のゲートは共通のゲート接地線N3に接続されており、ゲート接地線N3の電位は基準電流源521とPMOSトランジスタ522により決められている。同様にPMOSトランジスタ519のゲート接地線N4の電位は基準電流源523とPMOSトランジスタ524により決められている。ゲート接地の電位はPMOSトランジスタ502、503、504が飽和領域で動作するように設定される。ランプ信号VRAMP_L、VRAMP_H、VRAMP_Jの電圧が直接PMOSトランジスタ502、503、504のドレイン電圧を変動させないようにする効果がある。

10

【0097】

本実施形態ではゲート接地のPMOSトランジスタ519が配置されていることで、VRAMP_Hによるバイアス線N2の電位変動を抑えることができる。その代わりに単位時間当たりの電位変化量大きいランプ信号VRAMP_HはPMOSトランジスタ519のゲートドレイン容量などを介してPMOSトランジスタ519のゲートに接続しているゲート接地線N4の電位を変動させる。この変動がゲート接地線N3にまで伝わると、ゲート接地線N3の電位が変動し、PMOSトランジスタ502のドレイン電圧が変動する。PMOSトランジスタ502は飽和領域で動作しているとしても、ドレイン電圧が変動すると、チャンネル長変調などの影響により、多少の電流変動が生じる。PMOSトランジスタ502が出力する電流I_RAMP_Lが変動すると、精度が求められる低輝度信号のAD変換に用いられるランプ信号VRAMP_Lのリニアリティが低下し、画質の低下が生じる。

20

【0098】

本実施形態ではゲート接地線N3とゲート接地線N4を独立配線することで、ゲート接地線N4の電位が変動してもゲート接地線N3の電位は変動しない。これにより、PMOSトランジスタ502のドレイン電圧は一定が保たれるため、I_RAMP_Lが変動することはなく、ランプ信号VRAMP_L信号のリニアリティを改善することができる。

30

【0099】

(第五の実施形態)

図10に本発明の第五の実施形態のランプ信号出力回路を示す。

【0100】

図10において図9のランプ信号出力回路と共通する構成については同一の符号を付して詳細な説明は省略し、以下に図10の回路における図9の回路との違いを説明する。

40

【0101】

図10に示すランプ信号出力回路は終端抵抗525、526を有する。

【0102】

本実施形態のランプ信号出力回路は積分容量の代わりに終端抵抗525、526が配置されており、矢印を示したPMOSトランジスタサイズを可変とすることでランプ信号を出力する。破線で囲ったPMOSトランジスタ502、503、スイッチ509をランプ信号VRAMP_Lの生成箇所1000とする。

【0103】

50

図 1 1 にランプ信号 V_{RAMP_L} の生成箇所の詳細を示す。

【 0 1 0 4 】

本実施形態のランプ信号出力回路は $N + 1$ 個のスイッチ 5 0 9 によって電流を制御することができる。スイッチ 5 0 9 のゲートに入力する信号を $SW[N]$ とする。ランプ信号は $N + 1$ 個の PMOS トランジスタ 5 0 2 が出力する合計電流と終端抵抗 5 2 5 の抵抗値 R の積に従った値となる。

【 0 1 0 5 】

図 1 2 に $SW[N]$ の駆動タイミングとランプ信号を示す。0 番目のスイッチ 5 0 9 から N 番目のスイッチ 5 0 9 まで順次、一定の間隔でスイッチをオンする制御をおこなうことで、一定の勾配で電位が変化するランプ信号を生成することができる。

10

【 0 1 0 6 】

ランプ信号生成方法は異なるが、本実施形態の効果は第四の実施形態と同じく、ゲート接地の PMOS トランジスタ 5 1 9 が配置されていることで、ランプ信号 V_{RAMP_H} によるバイアス線 $N 2$ の電位変動を抑えられることである。その代わりに単位時間当たりの電位変化量が大きいランプ信号 V_{RAMP_H} は、PMOS トランジスタ 5 1 9 のゲートドレイン容量などを介して PMOS トランジスタ 5 1 9 のゲートに接続しているゲート接地線 $N 4$ の電位を変動させる。この変動がゲート接地線 $N 3$ にまで伝わると、ゲート接地線 $N 3$ の電位が変動し、PMOS トランジスタ 5 0 2 のドレイン電圧が変動する。PMOS トランジスタ 5 0 2 は飽和領域で動作しているとしても、ドレイン電圧が変動すると、チャンネル長変調などの影響により、多少の電流変動が生じる。PMOS トランジスタ 5 0 2 が出力する電流 I_{RAMP_L} が変動すると、精度が求められる低輝度信号の AD 変換に用いられるランプ信号 V_{RAMP_L} のリニアリティが低下し、画質の低下が生じる。

20

【 0 1 0 7 】

本実施形態ではゲート接地線 $N 3$ とゲート接地線 $N 4$ を独立配線することで、ゲート接地線 $N 4$ の電位が変動してもゲート接地線 $N 3$ の電位は変動しない。これにより、PMOS トランジスタ 5 0 2 のドレイン電圧は一定が保たれるため、電流 I_{RAMP_L} が変動することはなく、ランプ信号 V_{RAMP_L} 信号のリニアリティを改善することができる。

【 0 1 0 8 】

以上、第一の実施形態から第五の実施形態までを、図 1 の光電変換装置の概略図等を用いて説明した。

30

【 0 1 0 9 】

本発明の各実施形態における回路は、一枚の半導体基板に形成しても、図 1 3 に示す様に 2 つ以上の半導体基板に配置して、それらの基板を貼り合わせた積層構造にしてもよい。図 1 3 には第 1 半導体基板 2 0 0 1 と第 2 半導体基板 2 0 0 2 の 2 枚の基板からなる積層構造を示したが、例えば回路を分割するか、回路や機能を追加するなどして 3 枚以上の基板からなる積層構造にしてもよい。

【 0 1 1 0 】

(第六の実施形態)

本実施形態による光電変換システムについて、図 1 4 を用いて説明する。図 1 4 は、本実施形態による光電変換システムの概略構成を示すブロック図である。

40

【 0 1 1 1 】

上記第一の実施形態から ~ 第五の実施形態で述べた光電変換装置 (撮像装置) は、種々の光電変換システムに適用可能である。適用可能な光電変換システムの例としては、デジタルスチルカメラ、デジタルカムコーダ、監視カメラ、複写機、ファックス、携帯電話、車載カメラ、観測衛星などが挙げられる。また、レンズなどの光学系と撮像装置とを備えるカメラモジュールも、光電変換システムに含まれる。図 1 4 には、これらのうちの一例として、デジタルスチルカメラのブロック図を例示している。

【 0 1 1 2 】

50

図 1 4 に例示した光電変換システムは、光電変換装置の一例である撮像装置 1 0 0 4、被写体の光学像を撮像装置 1 0 0 4 に結像させるレンズ 1 0 0 2 を含む。さらにレンズ 1 0 0 2 を通過する光量を可変にするための絞り 1 0 0 3、レンズ 1 0 0 2 の保護のためのバリア 1 0 0 1 を有する。レンズ 1 0 0 2 及び絞り 1 0 0 3 は、撮像装置 1 0 0 4 に光を集光する光学系である。撮像装置 1 0 0 4 は、上記のいずれかの実施形態の光電変換装置（撮像装置）であって、レンズ 1 0 0 2 により結像された光学像を電気信号に変換する。

【 0 1 1 3 】

光電変換システムは、また、撮像装置 1 0 0 4 より出力される出力信号の処理を行うことで画像を生成する画像生成部である信号処理部 1 0 0 7 を有する。信号処理部 1 0 0 7 は、必要に応じて各種の補正、圧縮を行って画像データを出力する動作を行う。信号処理部 1 0 0 7 は、撮像装置 1 0 0 4 が設けられた半導体基板に形成されていてもよいし、撮像装置 1 0 0 4 とは別の半導体基板に形成されていてもよい。

10

【 0 1 1 4 】

光電変換システムは、更に、画像データを一時的に記憶するためのメモリ部 1 0 1 0、外部コンピュータ等と通信するための外部インターフェース部（外部 I / F 部） 1 0 1 3 を有する。更に光電変換システムは、撮像データの記録又は読み出しを行うための半導体メモリ等の記録媒体 1 0 1 2、記録媒体 1 0 1 2 に記録又は読み出しを行うための記録媒体制御インターフェース部（記録媒体制御 I / F 部） 1 0 1 1 を有する。なお、記録媒体 1 0 1 2 は、光電変換システムに内蔵されていてもよく、着脱可能であってもよい。

【 0 1 1 5 】

更に光電変換システムは、各種演算を行い、デジタルスチルカメラ全体を制御する全体制御・演算部 1 0 0 9、撮像装置 1 0 0 4 と信号処理部 1 0 0 7 に各種タイミング信号を出力するタイミング発生部 1 0 0 8 を有する。ここで、タイミング信号などは外部から入力されてもよく、光電変換システムは少なくとも撮像装置 1 0 0 4 と、撮像装置 1 0 0 4 から出力された出力信号を処理する信号処理部 1 0 0 7 とを有すればよい。

20

【 0 1 1 6 】

撮像装置 1 0 0 4 は、撮像信号を信号処理部 1 0 0 7 に出力する。信号処理部 1 0 0 7 は、撮像装置 1 0 0 4 から出力される撮像信号に対して所定の信号処理を実施し、画像データを出力する。光電変換システムは、この画像データを用いて、画像を生成する。

【 0 1 1 7 】

このように、本実施形態によれば、上記のいずれかの実施形態の光電変換装置（撮像装置）を適用した光電変換システムを実現することができる。

30

【 0 1 1 8 】

（第七の実施形態）

本実施形態の光電変換システム及び移動体について、図 1 5 を用いて説明する。図 1 5 は、本実施形態の光電変換システム及び移動体の構成を示す図である。

【 0 1 1 9 】

図 1 5 (a) は、車載カメラに関する光電変換システムの一例を示したものである。光電変換システム 3 0 0 は、撮像装置 3 1 0 を有する。撮像装置 3 1 0 は、上記のいずれかの実施形態に記載の光電変換装置（撮像装置）である。光電変換システム 3 0 0 は、撮像装置 3 1 0 により取得された複数の画像データに対し、画像処理を行う画像処理部 3 1 2 と、光電変換システム 3 0 0 により取得された複数の画像データから視差（視差画像の位相差）の算出を行う視差取得部 3 1 4 を有する。また、光電変換システム 3 0 0 は、算出された視差に基づいて対象物までの距離を算出する距離取得部 3 1 6 と、算出された距離に基づいて衝突可能性があるか否かを判定する衝突判定部 3 1 8 と、を有する。ここで、視差取得部 3 1 4 や距離取得部 3 1 6 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部 3 1 8 はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。また、F P G

40

50

A (Field Programmable Gate Array) や ASIC (Application Specific Integrated Circuit) 等によって実現されてもよい、これらの組合せによって実現されてもよい。

【0120】

光電変換システム300は車両情報取得装置320と接続されており、車速、ヨーレート、舵角などの車両情報を取得することができる。また、光電変換システム300は、衝突判定部318での判定結果に基づいて、車両に対して制動力を発生させる制御信号を出力する制御装置である制御部ECU330が接続されている。また、光電変換システム300は、衝突判定部318での判定結果に基づいて、ドライバーへ警報を発する警報装置340とも接続されている。例えば、衝突判定部318の判定結果として衝突可能性が高い場合、制御部ECU330はブレーキをかける、アクセルを戻す、エンジン出力を抑制するなどして衝突を回避、被害を軽減する車両制御を行う。警報装置340は音等の警報を鳴らす、カーナビゲーションシステムなどの画面に警報情報を表示する、シートベルトやステアリングに振動を与えるなどしてユーザに警告を行う。

10

【0121】

本実施形態では、車両の周囲、例えば前方又は後方を光電変換システム300で撮像する。図15(b)に、車両前方(撮像範囲350)を撮像する場合の光電変換システムを示した。車両情報取得装置320が、光電変換システム300ないしは撮像装置310に指示を送る。このような構成により、測距の精度をより向上させることができる。

【0122】

上記では、他の車両と衝突しないように制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。更に、光電変換システムは、自車両等の車両に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体(移動装置)に適用することができる。加えて、移動体に限らず、高度道路交通システム(ITS)等、広く物体認識を利用する機器に適用することができる。

20

【0123】

[変形実施形態]

本発明は、上記各実施形態に限らず種々の変形が可能である。

【0124】

例えば、いずれかの実施形態の一部の構成を他の実施形態に追加した例や、他の実施形態の一部の構成と置換した例も、本発明の実施形態に含まれる。

30

【0125】

また、図14に示した第六実施形態と図15に示した第七実施形態に示した光電変換システムは、光電変換装置を適用しうる光電変換システム例を示したものである。本発明の光電変換装置を適用可能な光電変換システムは図14及び図15に示した構成に限定されるものではない。

【0126】

なお、上記各実施形態は、いずれも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

40

【符号の説明】

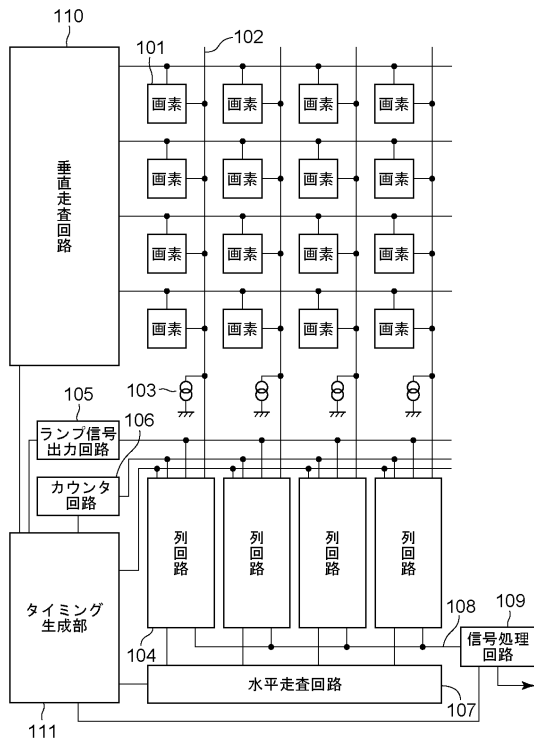
【0127】

- 500 電流源
- 501 基準電流源トランジスタ
- 502 第一の電流源トランジスタ
- 503 第二の電流源トランジスタ

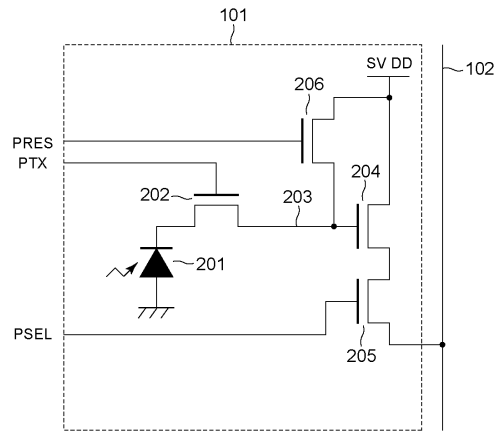
50

【図面】

【図 1】



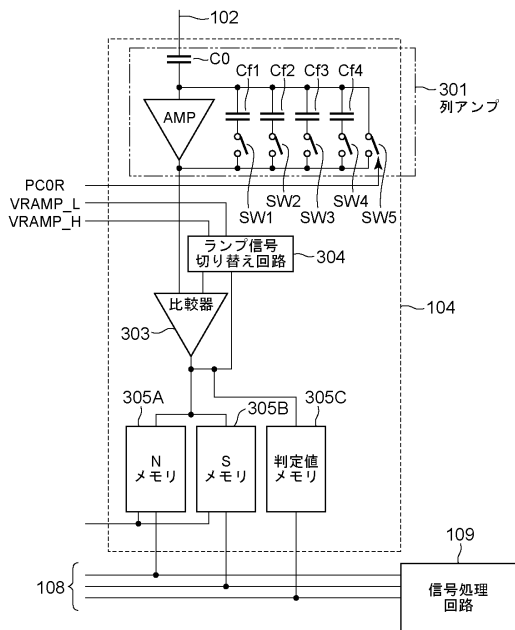
【図 2】



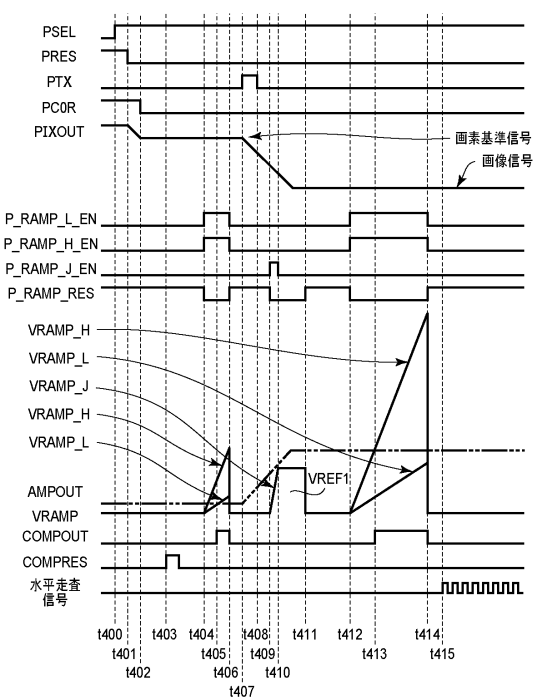
10

20

【図 3】



【図 4】

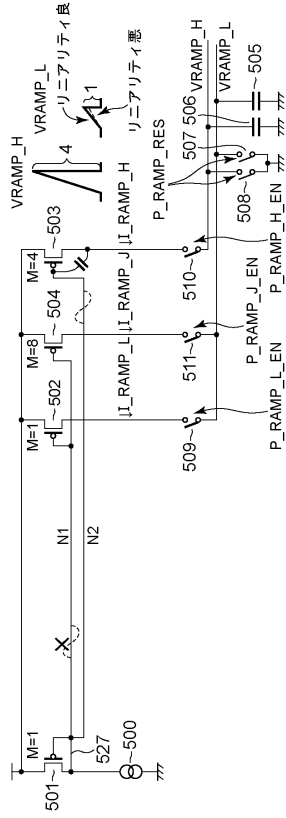


30

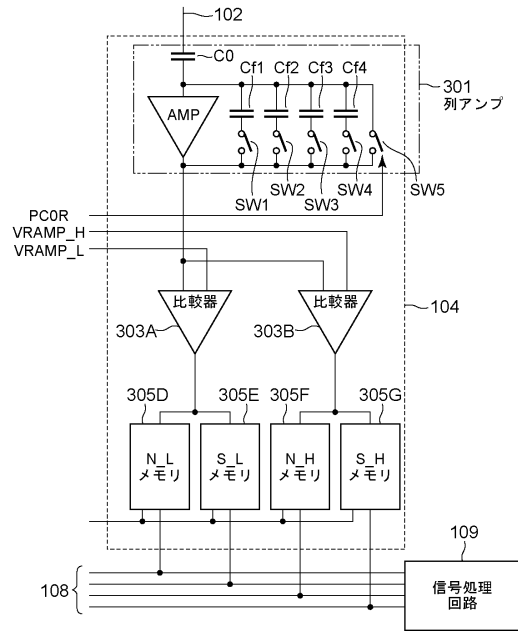
40

50

【図 5】



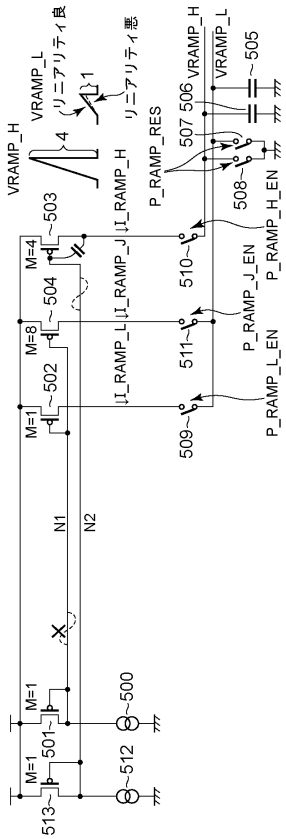
【図 6】



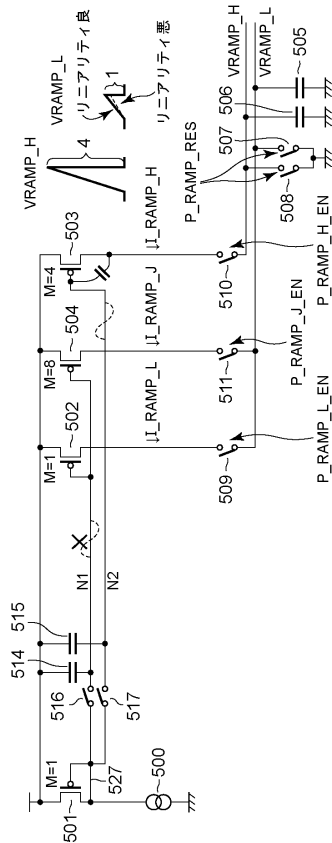
10

20

【図 7】



【図 8】

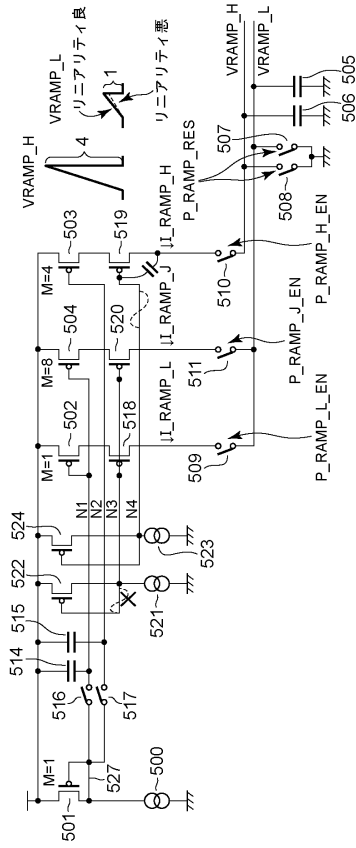


30

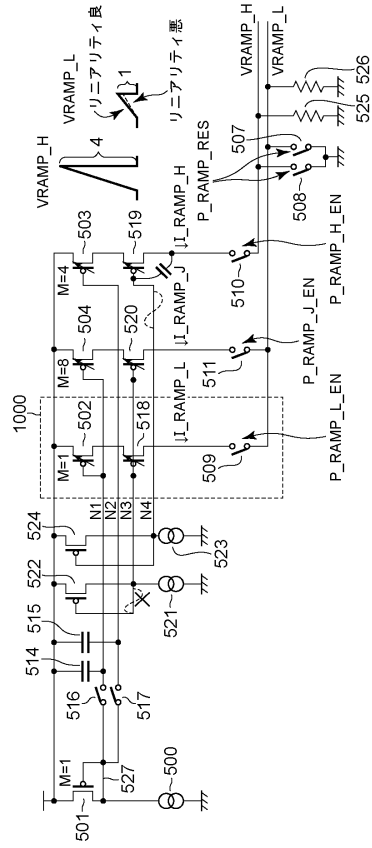
40

50

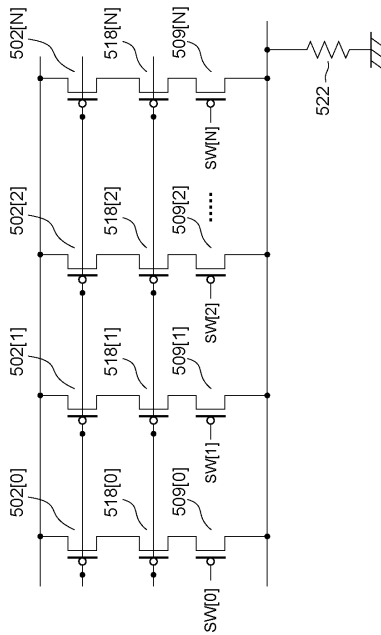
【図 9】



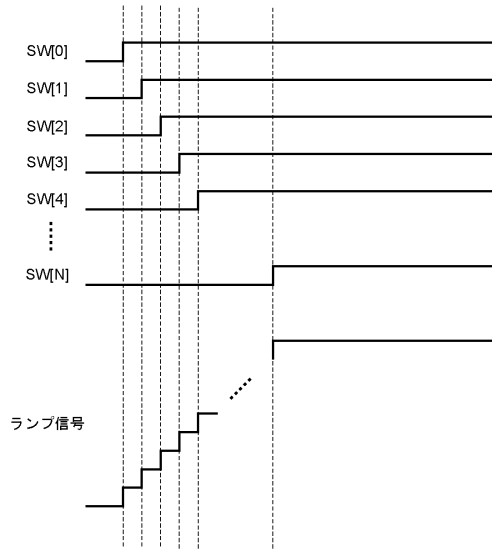
【図 10】



【図 11】



【図 12】



10

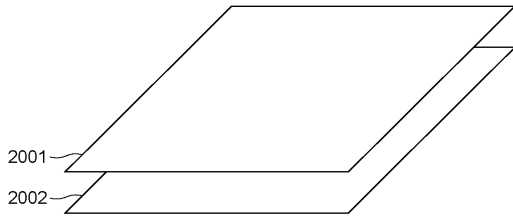
20

30

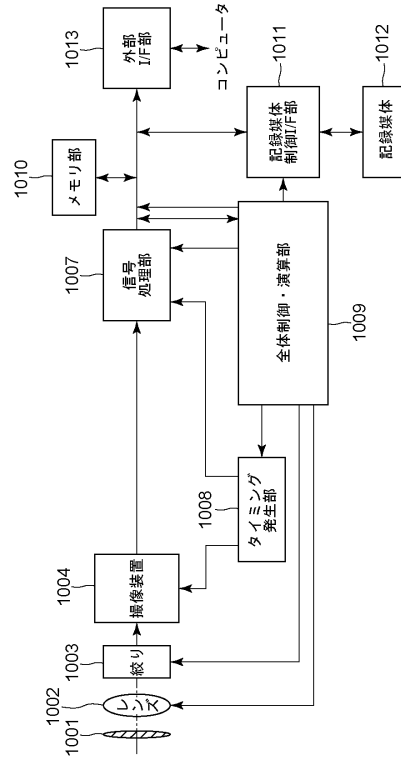
40

50

【図 1 3】



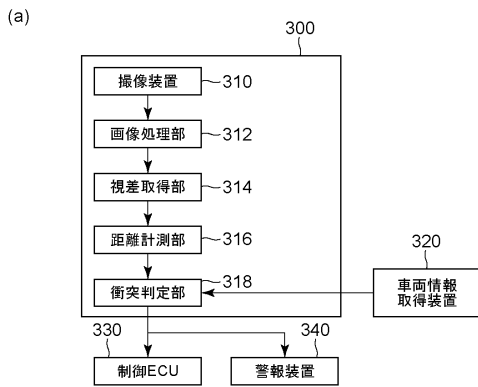
【図 1 4】



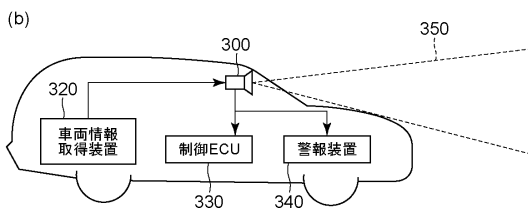
10

20

【図 1 5】



30



40

50

フロントページの続き

キヤノン株式会社内

(72)発明者 山崎 和男

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(72)発明者 亀山 弘明

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 辻本 寛司

(56)参考文献 特開2013-172203(JP,A)

特開2017-175565(JP,A)

国際公開第2015/159730(WO,A1)

特開2020-014110(JP,A)

特開2020-167544(JP,A)

(58)調査した分野 (Int.Cl., DB名)

H04N 25/78

H03K 4/06

H03K 4/90

H03K 4/50