

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

【發明所屬之技術領域】

本發明是有關於一種具有電晶體的記憶胞製程，特別是有關於一種具有垂直式電晶體的動態隨機存取記憶體(DRAM)之記憶胞製程。

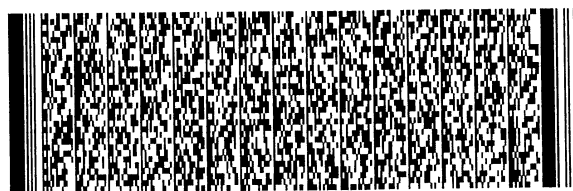
【先前技術】

動態隨機存取記憶體(Dynamic Random Access Memory, 以下簡稱為DRAM)係以記憶胞(memory cell)內電容器的帶電荷(charging)狀態來儲存資料。而每一DRAM記憶胞係由一金氧半場效電晶體(MOSFET)以及一電容器所組成，該金氧半場效電晶體(MOSFET)的源極係與該電容器電性連接。為數眾多的記憶胞係構成一記憶胞陣列(cell array)，該記憶胞陣列再與周邊電路(peripheral circuit)連結而製作出一DRAM元件。

近年來，在元件積集度要求越來越高的情況下，使得金氧半場效電晶體的尺寸必須不斷地縮小才能提升DRAM元件的積集度。例如，利用立體化(three-dimensional)電容器取代傳統的平面電容器。

以下利用第1A~1H圖來說明習知之具有垂直式電容器之記憶胞製程。

首先，請參閱第1A圖，先於一矽基底100上形成一墊層(pad layer)110圖案，該墊層110係包含一氧化墊層(未圖示)與一氮化矽層(未圖示)。然後，以該墊層110圖案為蝕刻罩幕，定義一深溝槽112於該基底100中。接著，利用



五、發明說明 (3)

去除該墊層110而形成平坦之該基底100表面。

請參閱第1H圖，形成一字元線(word line)134於該導體層130上。接著，進行離子植入製程而形成一汲極區136於該基底100表面中。由於上述眾製程的高溫使得該埋藏層120向外擴散(out-diffuse)而形成一源極區138。

然而，由於上述習知製程所形成的源極區138係一環狀，當相鄰記憶胞之源極區138的間距"d"隨著尺寸縮小化而越來越接近時，這會造成嚴重漏電流(leakage)之問題。因此，如何解決上述問題乃成為業界重要之課題。

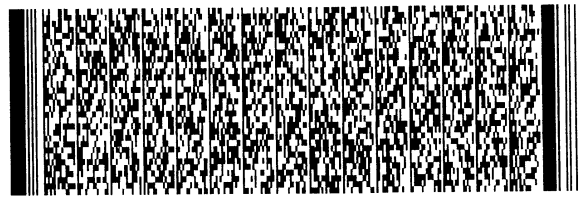
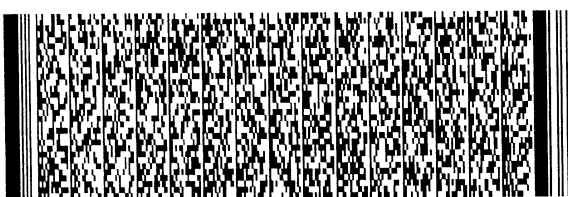
美國專利第6432774號有揭示一種具有垂直式電晶體的記憶胞製程，雖然該方法可形成單邊之源極區，然而該方法所製作之部分相鄰記憶胞的源極區係互相面對面，因此在 $0.11\ \mu\text{m}$ 以下的製程中可能會有上述之漏電問題。

美國專利第5519236號有揭示一種具有垂直式電晶體的記憶胞製程，該方法係藉由光阻罩幕之微影蝕刻方式去除一邊側壁的氧化層，而能夠形成單邊之源極區。然而該方法可能會因為有光阻罩幕對不準的問題，所以該方法在狹窄之溝槽製程中並不方便使用。

【發明內容】

有鑑於此，本發明的主要目的係提供一種具有單邊埋藏帶(single sided buried strap)之記憶胞的製造方法。

本發明的另一目的係提供一種具有單邊埋藏帶



五、發明說明 (4)

(single sided buried strap)之隨機動態存取記憶胞的製造方法。

本發明提供一種具有單邊埋藏帶之記憶胞的製造方法，包括下列步驟：

提供一基底；

形成一圖案化之墊層於該基底上；

以該墊層為單幕，去除部分基底而形成一溝槽於該基底中；

形成一溝槽電容於該溝槽之下部；

形成一領圈絕緣層於該溝槽之上部的周圍壁上；

形成一第一導體層於該溝槽電容上方，並填滿該溝槽；

去除部分該第一導體層至一既定溝槽深度；

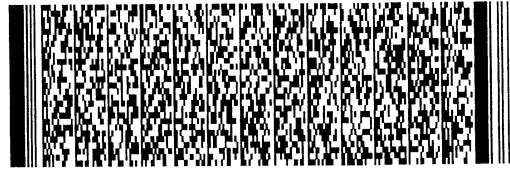
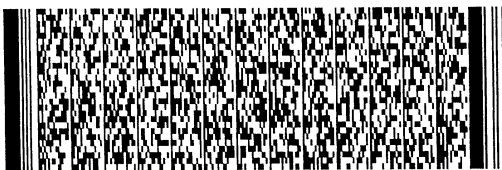
去除位於該第一導體層上方之該領圈絕緣層而形成一開口，其中剩餘之領圈絕緣層之頂部表面低於剩餘之第一導體層之頂部表面，而該開口具有一第一側壁與一第二側壁；

對該第一側壁之表面進行一含氟離子之傾角度植入製程；

進行一熱氧化製程，而形成一第一氧化層於該第一側壁上，以及形成一第二氧化層於該第二側壁上，其中該第一氧化層之厚度大於該第二氧化層之厚度；

去除該第二氧化層而露出該第二側壁；

形成當作是一埋藏帶的一第二導體層於該開口之底



五、發明說明 (5)

部，其中該第二導體層係藉由該第一氧化層而與該第一側壁絕緣隔離；

形成一絕緣層於該第二導體層上；

形成一閘極絕緣層於該第二側壁上；

形成當作是一閘極的一第三導體層於部分該開口中；

形成一間隙壁於該開口之側壁上；

形成一第四導體層填滿該開口；

形成一第五導體層於該第四導體層上；以及

形成一源極區與一汲極區於該基底中。

如此，根據本發明方法，可以解決習知之源極漏電問題(或稱埋藏層結合問題，BS mergence issue)。

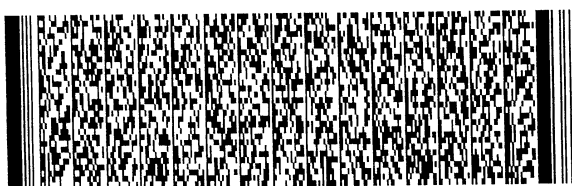
更者，本發明方法可適用於 $0.11\ \mu\text{m}$ 以下的溝槽製程，而能夠達成元件縮小化之目的。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉出較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

以下利用第2A~2J圖來說明本發明之具有單邊埋藏帶(single sided buried strap)之記憶胞(memory cell)的製程，在此以DRAM胞為例，但並非限定本發明。

首先，請參閱第2A圖，先於一半導體基底200上形成圖案化的一墊層(pad layer)210。該半導體基底200可以是由磊晶矽(epitaxial silicon)或絕緣層上有矽

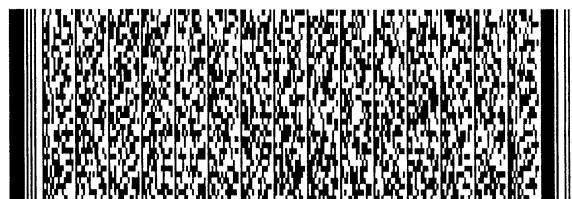


五、發明說明 (6)

(silicon on insulator) 所製作而成，在此為簡化說明，該半導體基底200係以p型矽基底200為例。而該墊層210係由一氧化墊層202與一氮化矽層204所堆疊組成，該氧化墊層202可以是經由氧化法所形成之 SiO_2 層，該氮化矽層204可以是經由CVD(化學氣相沉積)法所形成之氮化矽($\text{Si}_3\text{N}_4/\text{SiN}$)層。該墊層210之厚度範圍約係1500~3000埃。然後，以該墊層210為蝕刻罩幕，定義一深溝槽(deep trench)212於該基底200中。接著，利用習知製程形成一溝槽電容(trench capacitor，未圖示)於該深溝槽212之下部(lower portion)。為避免混淆本案之特徵，形成溝槽電容之習知製程(例如請參考美國專利第6190988號與美國專利第6326261號)在此不予敘述。

請參閱第2B圖，形成一領圈氧化層(collar oxide layer)214於該深溝槽212上部(upper portion)之側壁(sidewalls)上，且該領圈氧化層214位於該溝槽電容(未圖示)之上方，該領圈氧化層214例如是由CVD法所形成之 SiO_2 層，其厚度例如是200~1000埃。然後，形成一第一導體層216填滿該深溝槽212並延伸至該墊層210上，該第一導體層216例如是由CVD法所形成之摻雜有砷(As)或磷之多晶矽。

請參閱第2C圖，先利用CMP(化學機械研磨)法去除位於該墊層210上之該第一導體層216，然後再用蝕刻法部分回蝕該第一導體層216直到剩餘之第一導體層216'表面低於該基底200表面一既定溝槽深度(例如3000~5000埃)。

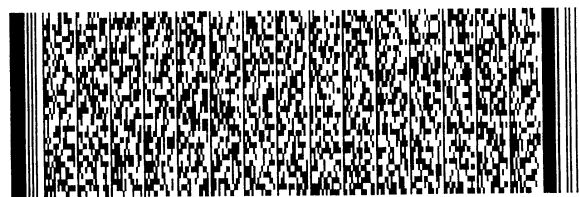
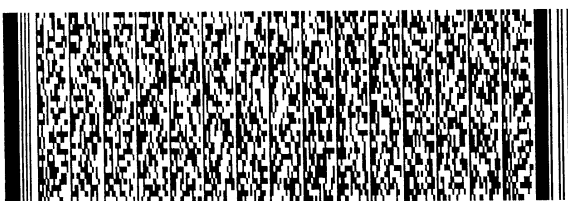


五、發明說明 (7)

請參閱第2D圖，進行一過蝕刻程序(overetch process)，去除部分該領圈氧化層214直到剩餘之領圈氧化層214'表面低於剩餘之第一導體層216'表面。如此，即形成一開口218，而該開口218具有一第一側壁2181與一第二側壁2182。

請參閱第2E圖，第2E圖係本發明之關鍵步驟，對該第一側壁2181之表面進行一含氟離子之傾角度植入製程(angle implantation)220，其中該含氟離子之傾角度植入製程220係植入 F^+ 離子或 BF_2^+ 離子於該第一側壁2181表面。在此舉一例說明該含氟離子之傾角度植入製程220之製程條件，其製程條件包括：能量範圍係15~30keV以及劑量範圍係 $1E14 \sim 4.5E15$ ions/cm²。

請參閱第2F圖，進行溫度範圍係900~950℃的一熱氧化製程(thermal oxidation)，而形成一第一氧化層224於該第一側壁2281上，以及同時形成一第二氧化層226於該第二側壁2282上，其中該第一氧化層224之厚度"b"大於該第二氧化層226之厚度"c"，而第一氧化層224與第二氧化層226例如是SiO₂層。這裡要特別說明的是，該第一氧化層224之厚度"b"也要大於該領圈氧化層214'之厚度"a"。本步驟之第一氧化層224的成長速率大於第二氧化層226之理論與實驗係揭示於「Solid State Technology No.31, 2002 October雜誌中Debra S. Woolsey所寫的"Enhanced discrete DMOS power trench gate oxide growth"」(如附件)，該附件中的第3圖係顯示經過 F^+ 或 BF_2^+ 離子植入之矽



五、發明說明 (8)

基底，其氧化層厚度(經由900~950℃之熱氧化製程)是未經過該離子植入之矽基底的2~3倍。

請參閱第2G圖，利用等向性蝕刻(如濕蝕刻)去除該第二氧化層226而露出該第二側壁2182，此時第一氧化層224仍存在於該第一側壁2181上。這裡要特別說明的是，由於第一氧化層224比第二氧化層226厚，所以本發明不必像習知般地需要額外之罩幕保護第一氧化層224，因而本發明比習知方法簡化製程與節省成本。

請參閱第2G圖，利用沉積與回蝕製程，形成當作是一埋藏帶(buried strap, BS)的一第二導體層228於該開口218之底部，其中該第二導體層228係藉由該第一氧化層224而與該第一側壁2181絕緣隔離。該第二導體層228例如是摻雜有砷(As)或磷之多晶矽。

請參閱第2H圖，形成一絕緣層230於該第二導體層228上，該絕緣層230例如是CVD法所形成之 SiO_2 層，一般稱之為TTO(trench top oxide)層。接著，利用溫度範圍約係800~1000℃之熱氧化法(thermal oxidation)，形成例如是 SiO_2 層的一閘極絕緣層232於該第二側壁2182上。然後，再形成例如是經摻雜的多晶矽之一第三導體層234(當作是閘極)於部分該開口218中。第2H圖中的符號236係表示第二導體層228經過上述與後述之高溫製程後所向外擴散(out-diffuse)之摻雜區，當作是一源極區(source region)236。

請參閱第2I圖，利用沉積與回蝕製程，形成例如是



五、發明說明 (9)

SiO₂ 層的一絕緣間隙壁(spacer)238於該開口218上部之側壁上，然後形成一第四導體層240填滿該開口218。之後，例如以CMP製程去除該墊層210而形成平坦之該基底200表面。接著，形成淺溝槽隔離(shallow trench isolation, STI)242而定義主動區(active areas)。

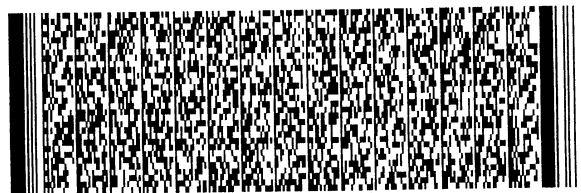
請參閱第2J圖，形成當作是字元線(word line)的第五導體層244於該第四導體層240上。接著，進行n型離子(例如磷或砷離子)之植入製程而形成一汲極區(drain region)246於該基底200表面中。

【本發明之特徵及優點】

本發明方法之特徵在於：對第一側壁表面進行含氟離子之傾角度植入製程。進行熱氧化製程，形成一第一氧化層於第一側壁上，以及形成一第二氧化層於第二側壁上，第一氧化層厚度大於第二氧化層厚度。去除第二氧化層。形成埋藏帶於開口底部，埋藏帶係藉由第一氧化層而與第一側壁絕緣隔離。

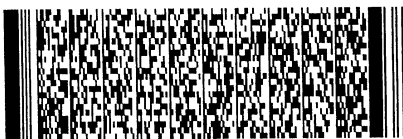
如此，根據本發明方法，可以解決習知之源極漏電問題(或稱埋藏層結合問題，BS mergence issue)。更者，本發明方法可適用於0.11 μm 以下的溝槽製程，而能夠達成元件縮小化之目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神



五、發明說明 (10)

和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

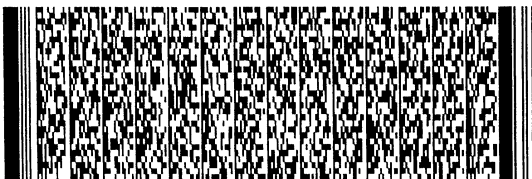
第1A~1H圖係顯示習知之具有垂直式電容器之記憶胞的製程剖面圖。

第2A~2J圖係顯示本發明之具有單邊埋藏帶之記憶胞的製程剖面圖。

[符號說明]

習知部分(第1A~1H圖)

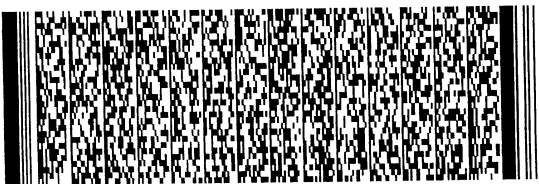
- 100~矽基底；
- 110~墊層；
- 112~深溝槽；
- 114~領圈氧化層；
- 116~多晶矽層；
- 118~開口；
- 120~埋藏層；
- 122~絕緣層；
- 124~閘極氧化層；
- 126~閘極；
- 128~絕緣間隙壁；
- 130~導體層；
- 132~淺溝槽隔離；
- 134~字元線；
- 136~汲極區；
- 138~源極區。



圖式簡單說明

本案部分(第2A~2J圖)

- 200~半導體基底；
- 202~氧化墊層(例如是 SiO_2 層)；
- 204~氮化矽層；
- 210~墊層；
- 212~深溝槽；
- 214~領圈氧化層；
- 214'~剩餘之領圈氧化層；
- 216~第一導體層；
- 216'~剩餘之第一導體層；
- 218~開口；
- 2181~第一側壁；
- 2182~第二側壁；
- 220~含氟離子之傾角度植入製程；
- 224~第一氧化層；
- 226~第二氧化層；
- 228~第二導體層(埋藏帶)；
- 230~絕緣層；
- 232~閘極氧化層；
- 234~第三導體層(閘極)；
- 236~源極區；
- 238~絕緣間隙壁；
- 240~第四導體層；
- 242~淺溝槽隔離；



圖式簡單說明

244~第五導體層(字元線)；

246~汲極區。



四、中文發明摘要 (發明名稱：具有單邊埋藏帶之記憶胞的製造方法)

本發明提供一種具有單邊埋藏帶之記憶胞的製造方法。提供具有溝槽的一基底，溝槽下部有一溝槽電容。形成一領圈絕緣層於溝槽上部的側壁上。形成一導體層於溝槽電容上方。去除部分的導體層與領圈絕緣層而形成具有第一與第二側壁之一開口，且領圈絕緣層頂部低於第一導體層頂部。對第一側壁表面進行含氟離子之傾角度植入製程。進行熱氧化製程，形成一第一氧化層於第一側壁上，以及形成一第二氧化層於第二側壁上，第一氧化層厚度大於第二氧化層厚度。去除第二氧化層。形成埋藏帶於開口底部，埋藏帶係藉由第一氧化層而與第一側壁絕緣隔離。

伍、(一)、本案代表圖為：第2E圖。

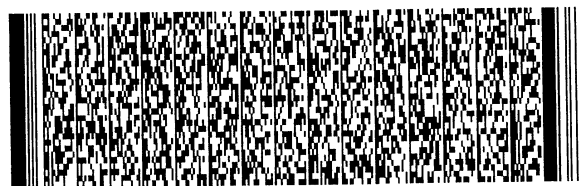
(二)、本案代表圖之元件代表符號簡單說明：

200~半導體基底；

202~氧化墊層；

六、英文發明摘要 (發明名稱：Method of Fabricating a Memory Cell with a Single Sided Buried Strap)

A method of fabricating a memory cell with a singled sided buried strap. A trench having a trench capacitor is provided. A collar oxide and a conductive layer are formed on the sidewalls above the trench capacitor. Part of the conductive layer and part of the collar oxide are removed to form an opening. An F+-containing angle implantation is performed on a first side of the opening. Then, a



四、中文發明摘要 (發明名稱：具有單邊埋藏帶之記憶胞的製造方法)

204~氮化矽層；

210~墊層；

212~深溝槽；

214'~領圈氧化層；

216'~第一導體層；

218~開口；

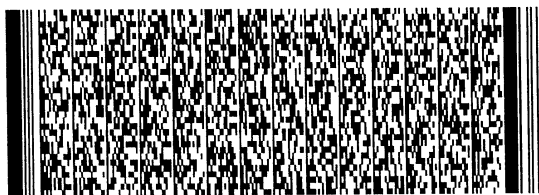
2181~第一側壁；

2182~第二側壁；

220~含氟離子之傾角度植入製程。

六、英文發明摘要 (發明名稱：Method of Fabricating a Memory Cell with a Single Sided Buried Strap)

first oxide layer is formed on the first side and a second oxide layer is formed on the second side of the opening, wherein the first oxide layer is thicker than either of the second oxide layer and the collar oxide. The second oxide layer is removed. A buried strap is formed at the bottom of the opening. Thus, the buried strap is isolated from the first side by means of the first oxide



四、中文發明摘要 (發明名稱：具有單邊埋藏帶之記憶胞的製造方法)

六、英文發明摘要 (發明名稱：Method of Fabricating a Memory Cell with a Single Sided Buried Strap)

layer.



六、申請專利範圍

1. 一種具有單邊埋藏帶之記憶胞的製造方法，包括下列步驟：

提供一基底，該基底具有一溝槽；

形成一溝槽電容於該溝槽之下部；

形成一領圈絕緣層於該溝槽之上部的周圍壁上；

形成一第一導體層於該溝槽電容上方，並填滿該溝槽；

去除部分該第一導體層與部分該領圈絕緣層而形成一開口，其中剩餘之領圈絕緣層之頂部表面低於剩餘之第一導體層之頂部表面，而該開口具有一第一側壁與一第二側壁；

對該第一側壁之表面進行一含氟離子之傾角度植入製程；

進行一熱氧化製程，而形成一第一氧化層於該第一側壁上，以及形成一第二氧化層於該第二側壁上，其中該第一氧化層之厚度大於該第二氧化層之厚度；

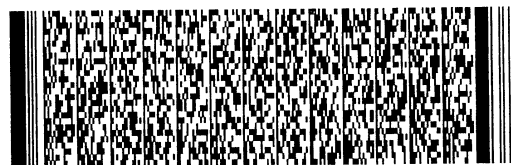
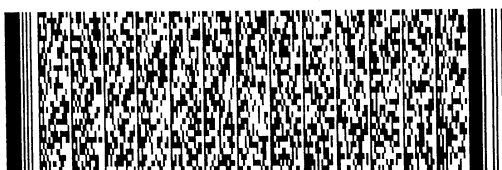
去除該第二氧化層而露出該第二側壁；以及

形成當作是一埋藏帶的一第二導體層於該開口之底部，其中該第二導體層係藉由該第一氧化層而與該第一側壁絕緣隔離。

2. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，更包括下列步驟：

形成一絕緣層於該第二導體層上；

形成一閘極絕緣層於該第二側壁上；



六、申請專利範圍

形成一閘極於該開口中；以及

形成一源極區與一汲極區於該基底中。

3. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該溝槽之形成步驟包括：

形成一圖案化的墊層(pad layer)於該基底上；以及以該墊層為罩幕，去除部分該基底而形成該溝槽於該基底中。

4. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該基底係一矽基底。

5. 如申請專利範圍第3項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該墊層係由一氧化墊層與一氮化層所堆疊組成。

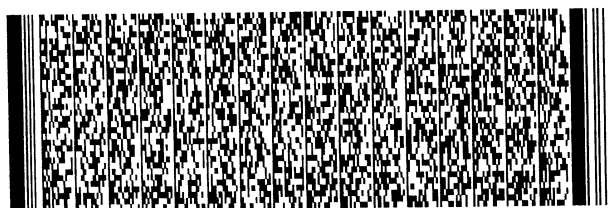
6. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該領圈絕緣層係一 SiO_2 層。

7. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該第一導體層係一經摻雜之多晶矽層。

8. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該含氟離子之傾角度植入製程係植入 F^+ 離子或 BF_2^+ 離子於該第一側壁表面。

9. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該含氟離子之傾角度植入製程之能量範圍係15~30keV。

10. 如申請專利範圍第9項所述之具有單邊埋藏帶之記



六、申請專利範圍

憶胞的製造方法，其中該含氟離子之傾角度植入製程之劑量範圍係 $1E14 \sim 4.5E15$ ions/cm²。

11. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該熱氧化製程之溫度範圍係 $900 \sim 950$ °C。

12. 如申請專利範圍第1項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該第二導體層係一經摻雜之多晶矽層。

13. 如申請專利範圍第2項或所述之具有單邊埋藏帶之記憶胞的製造方法，其中該閘極氧化層係經由熱氧化法 (thermal oxidation) 所形成的SiO₂層。

14. 如申請專利範圍第13項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該熱氧化法之溫度範圍係 $800 \sim 1000$ °C。

15. 一種具有單邊埋藏帶之記憶胞的製造方法，包括下列步驟：

提供一基底；

形成一圖案化之墊層於該基底上；

以該墊層為罩幕，去除部分基底而形成一溝槽於該基底中；

形成一溝槽電容於該溝槽之下部；

形成一領圈絕緣層於該溝槽之上部的周圍壁上；

形成一第一導體層於該溝槽電容上方，並填滿該溝槽；



六、申請專利範圍

去除部分該第一導體層至一既定溝槽深度；

去除位於該第一導體層上方之該領圈絕緣層而形成一開口，其中剩餘之領圈絕緣層之頂部表面低於剩餘之第一導體層之頂部表面，而該開口具有一第一側壁與一第二側壁；

對該第一側壁之表面進行一含氟離子之傾角度植入製程；

進行一熱氧化製程，而形成一第一氧化層於該第一側壁上，以及形成一第二氧化層於該第二側壁上，其中該第一氧化層之厚度大於該第二氧化層之厚度；

去除該第二氧化層而露出該第二側壁；

形成當作是一埋藏帶的一第二導體層於該開口之底部，其中該第二導體層係藉由該第一氧化層而與該第一側壁絕緣隔離；

形成一絕緣層於該第二導體層上；

形成一閘極絕緣層於該第二側壁上；

形成當作是一閘極的一第三導體層於部分該開口中；

形成一間隙壁於該開口之側壁上；

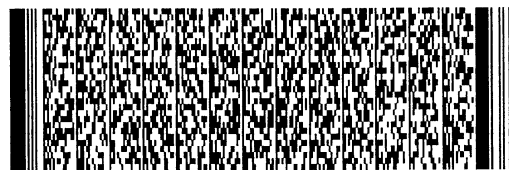
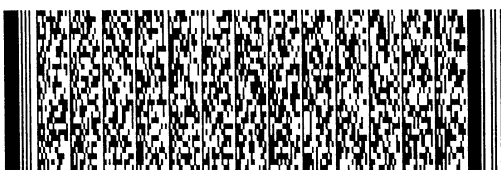
形成一第四導體層填滿該開口；

形成一第五導體層於該第四導體層上；以及

形成一源極區與一汲極區於該基底中。

16. 如申請專利範圍第15項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該基底係一矽基底。

17. 如申請專利範圍第15項所述之具有單邊埋藏帶之



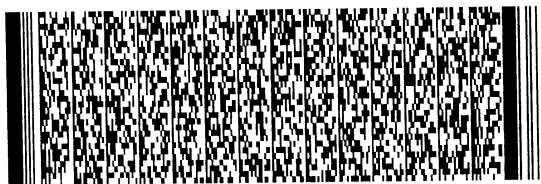
六、申請專利範圍

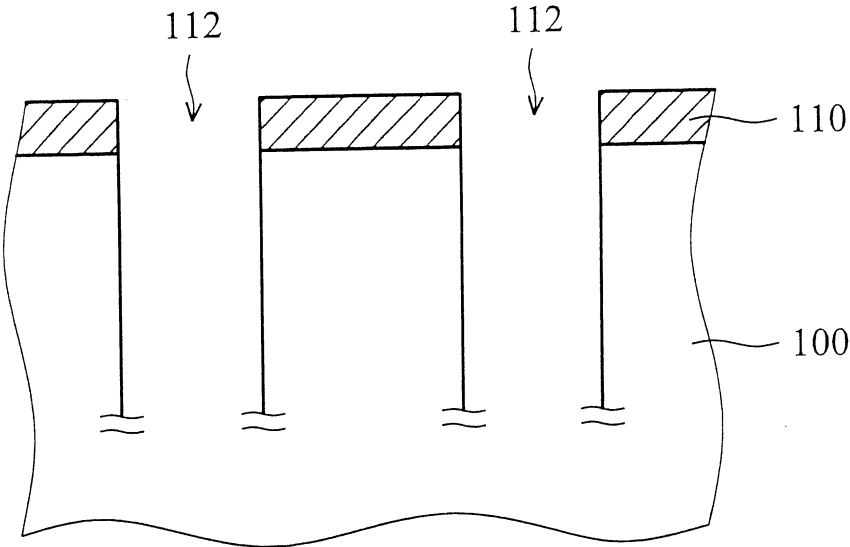
記憶胞的製造方法，其中該含氟離子之傾角度植入製程係植入 F^+ 離子或 BF_2^+ 離子於該第一側壁表面。

18. 如申請專利範圍第15項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該含氟離子之傾角度植入製程之條件包括：能量範圍係15~30keV以及劑量範圍係 $1E14 \sim 4.5E15 \text{ ions/cm}^2$ 。

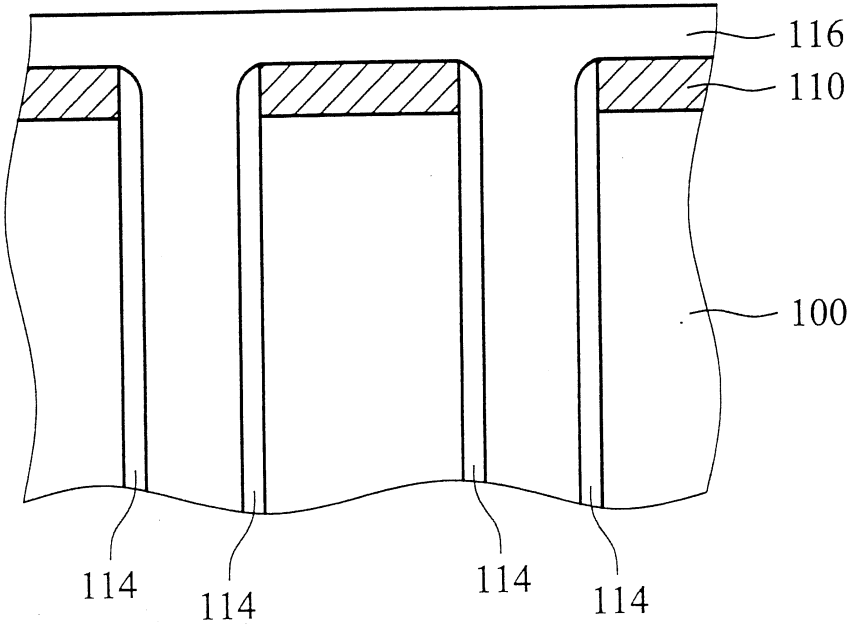
19. 如申請專利範圍第15項所述之具有單邊埋藏帶之記憶胞的製造方法，其中該熱氧化製程之溫度範圍係 $900 \sim 950^\circ\text{C}$ 。

20. 如申請專利範圍第15項或所述之具有單邊埋藏帶之記憶胞的製造方法，其中該閘極氧化層係經由熱氧化法(thermal oxidation)所形成的 SiO_2 層。

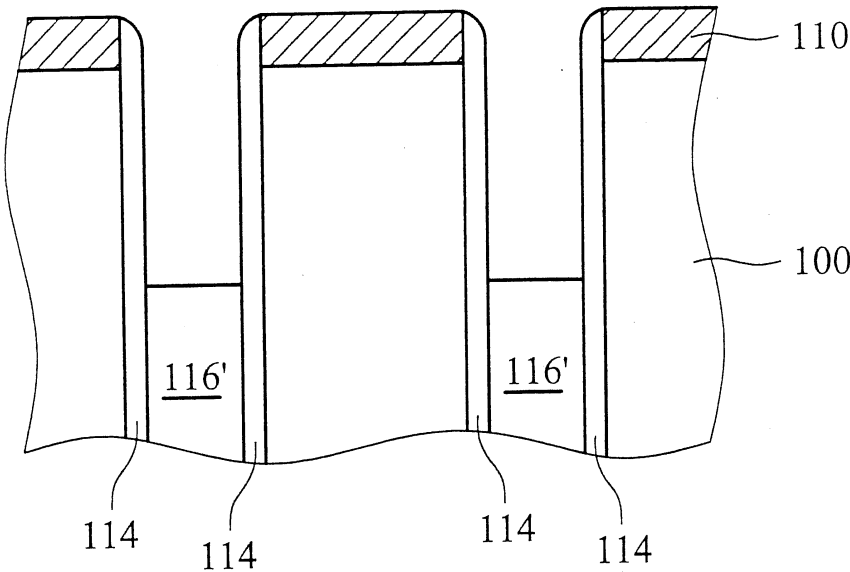




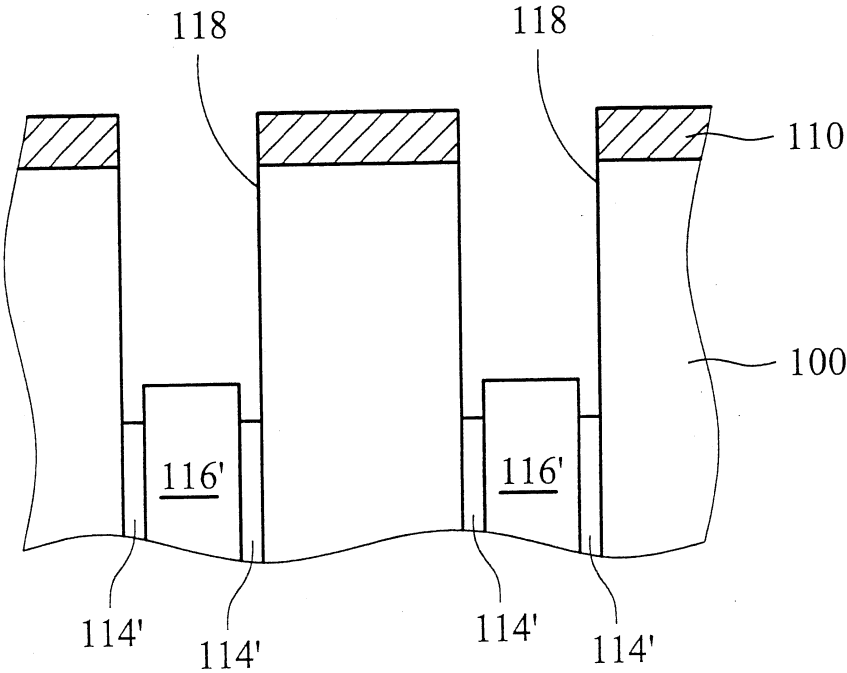
第 1A 圖



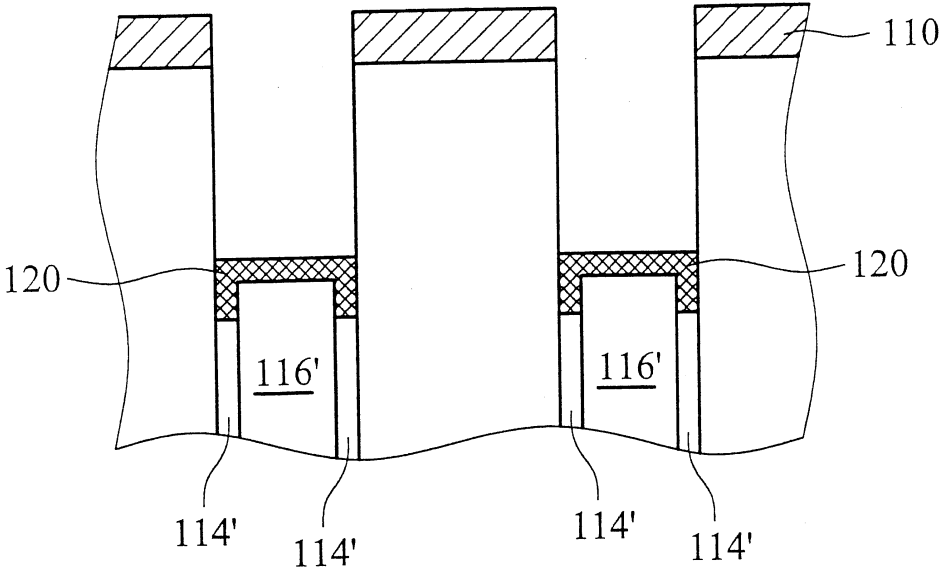
第 1B 圖



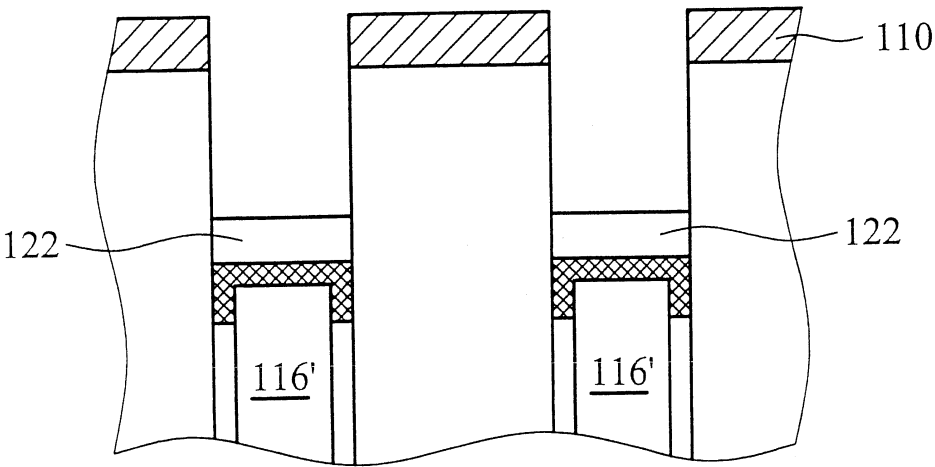
第 1C 圖



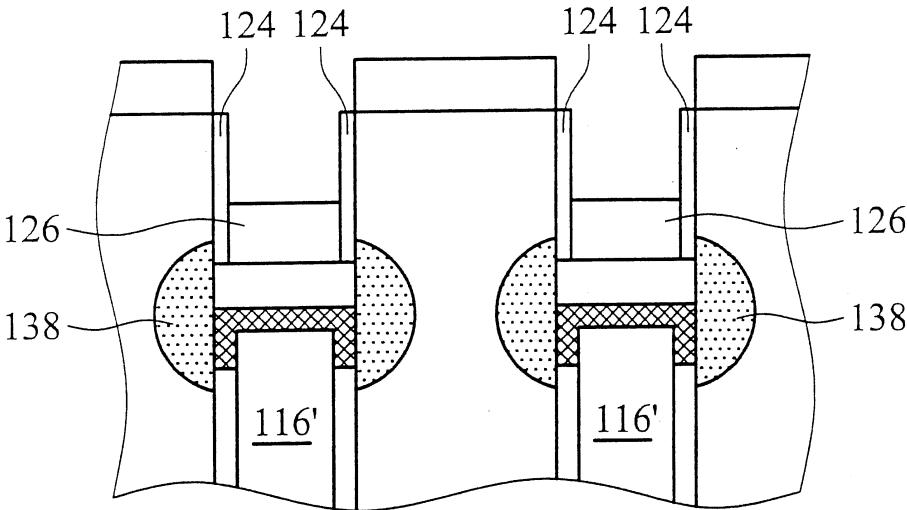
第 1D 圖



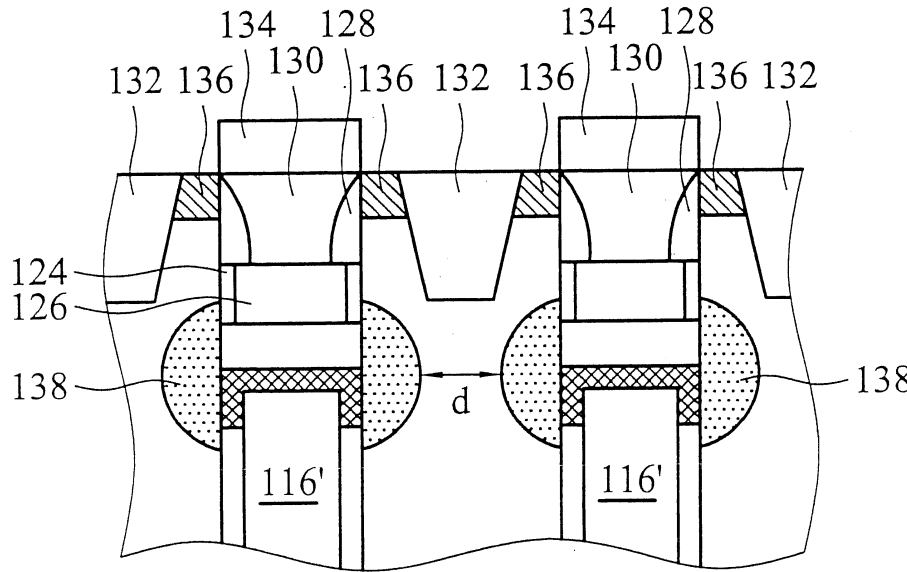
第 1E 圖



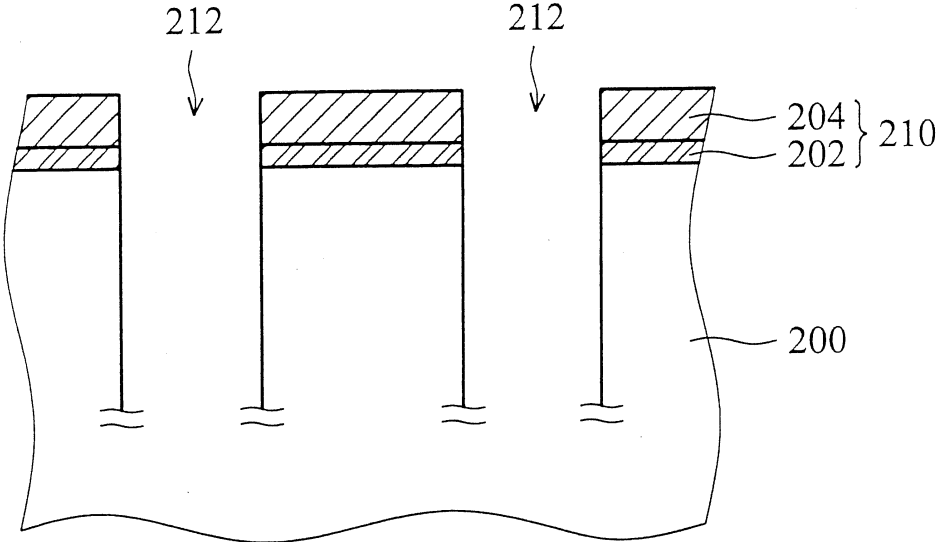
第 1F 圖



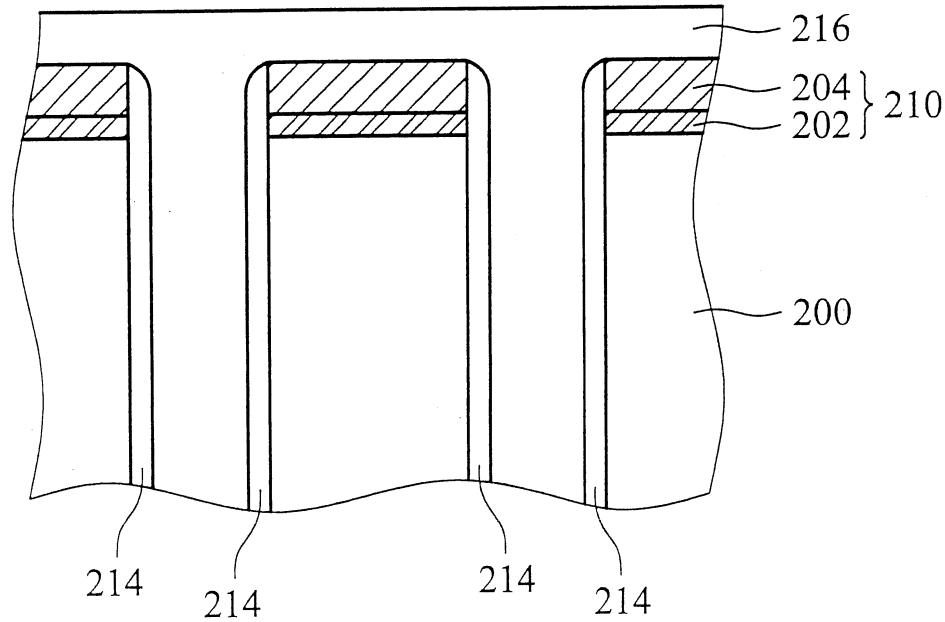
第 1G 圖



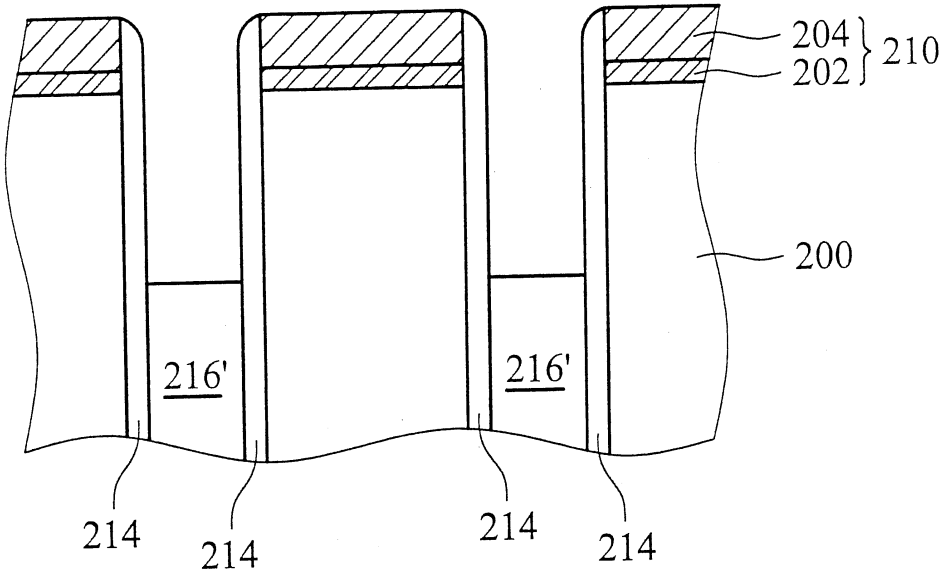
第 1H 圖



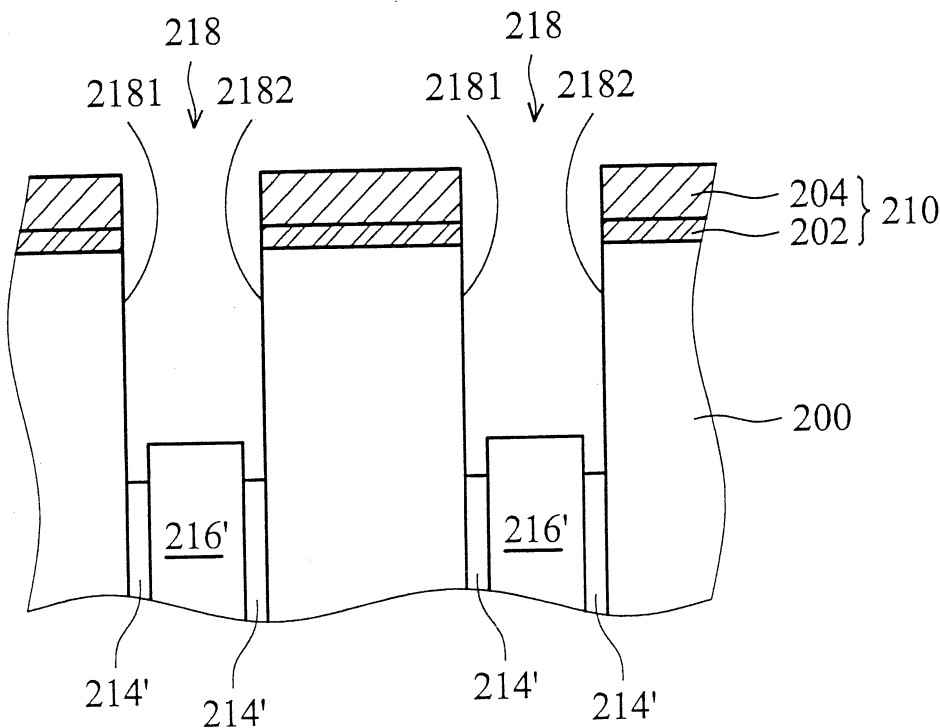
第 2A 圖



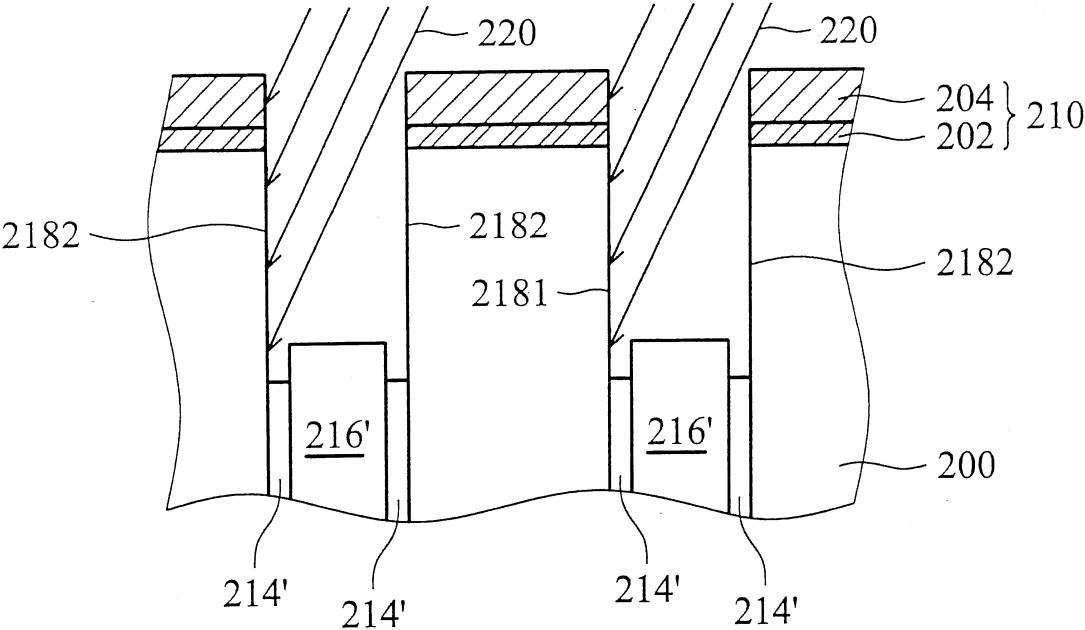
第 2B 圖



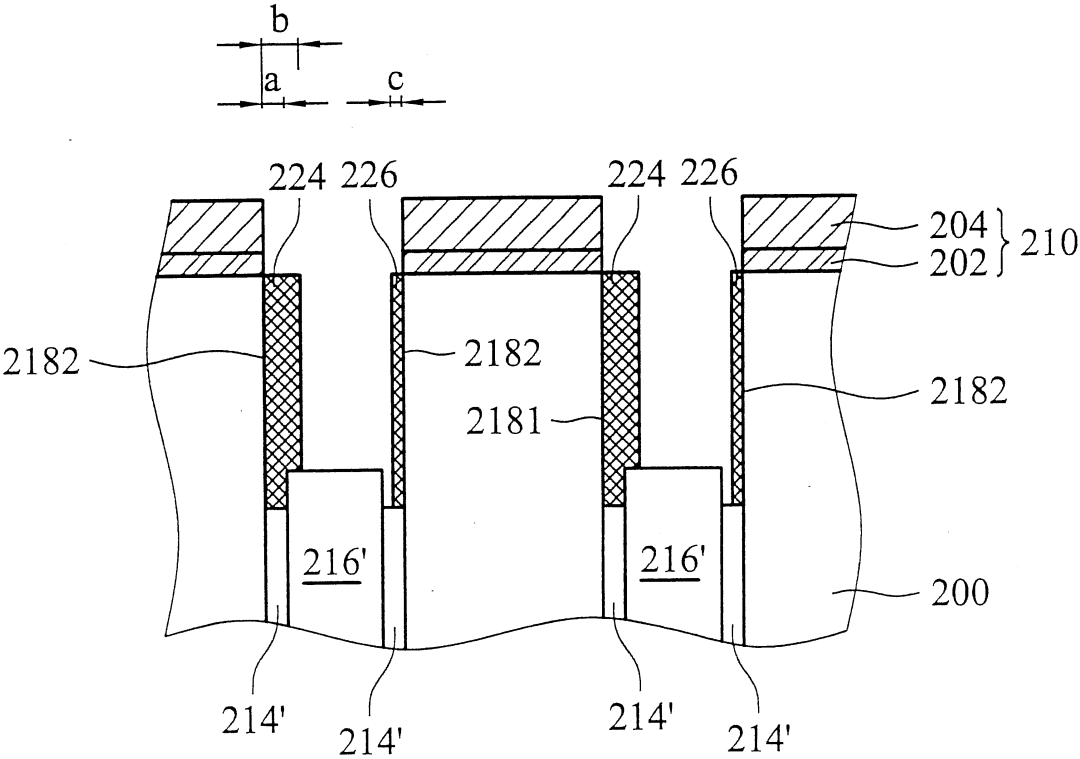
第 2C 圖



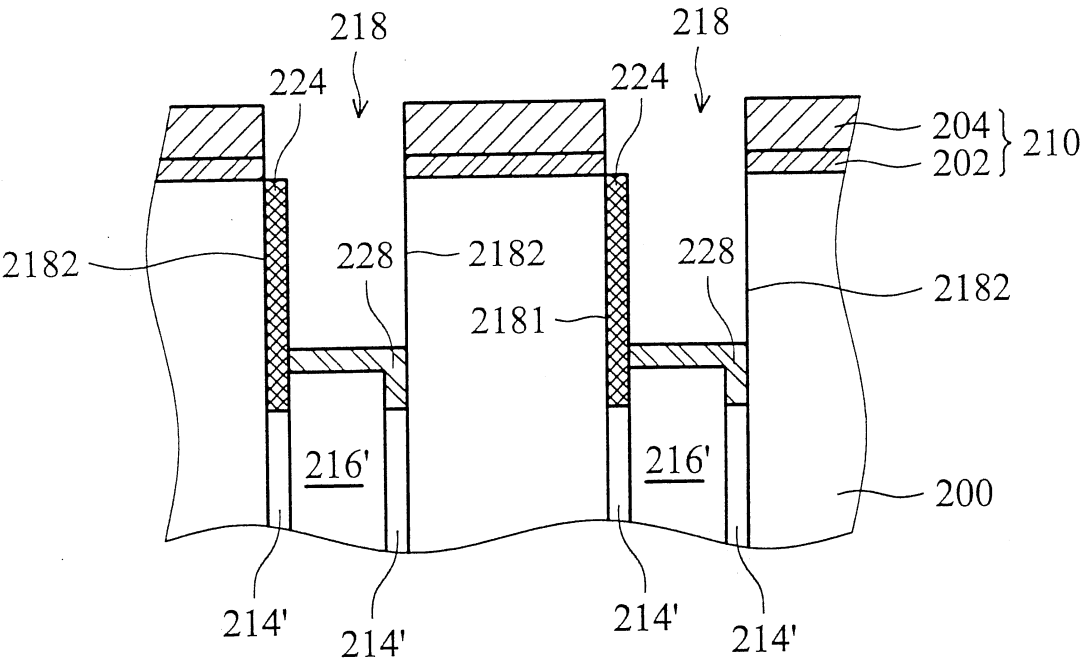
第 2D 圖



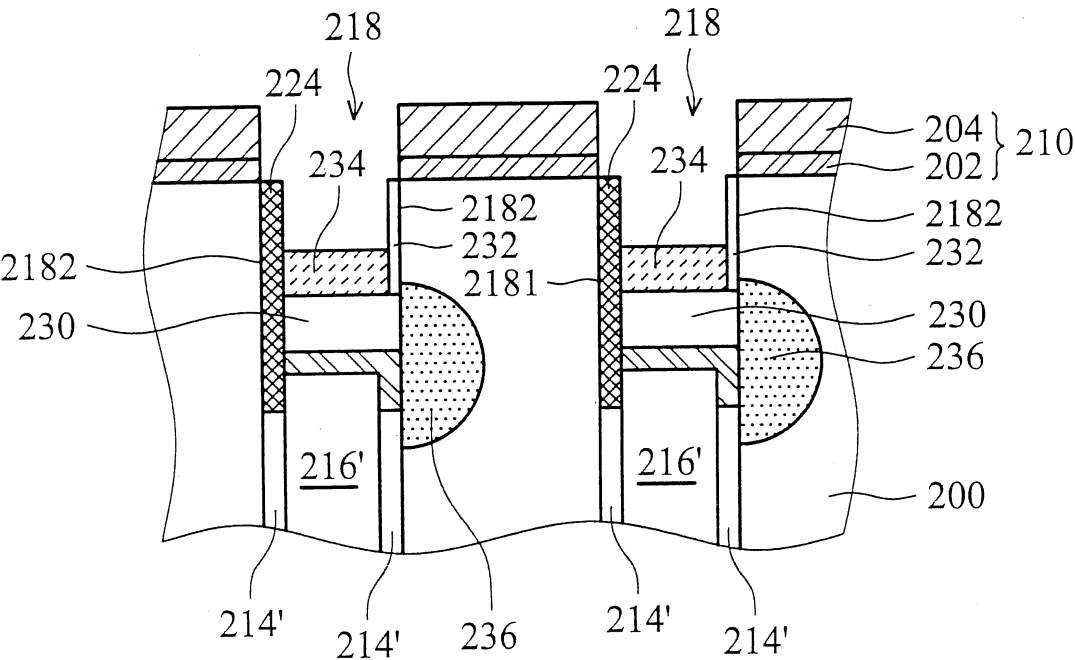
第 2E 圖



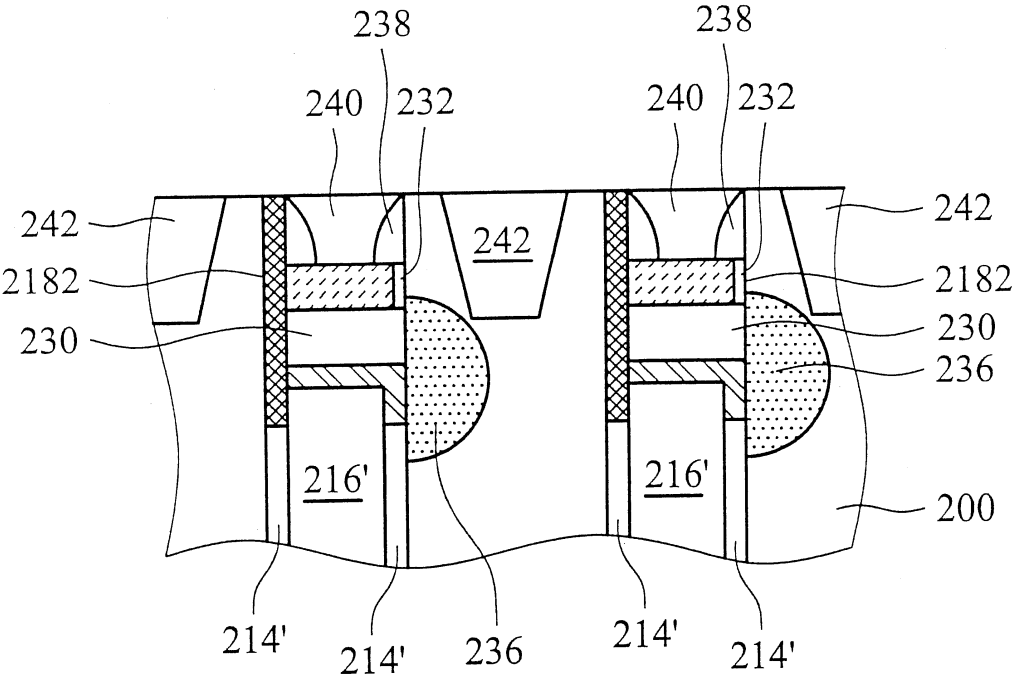
第 2F 圖



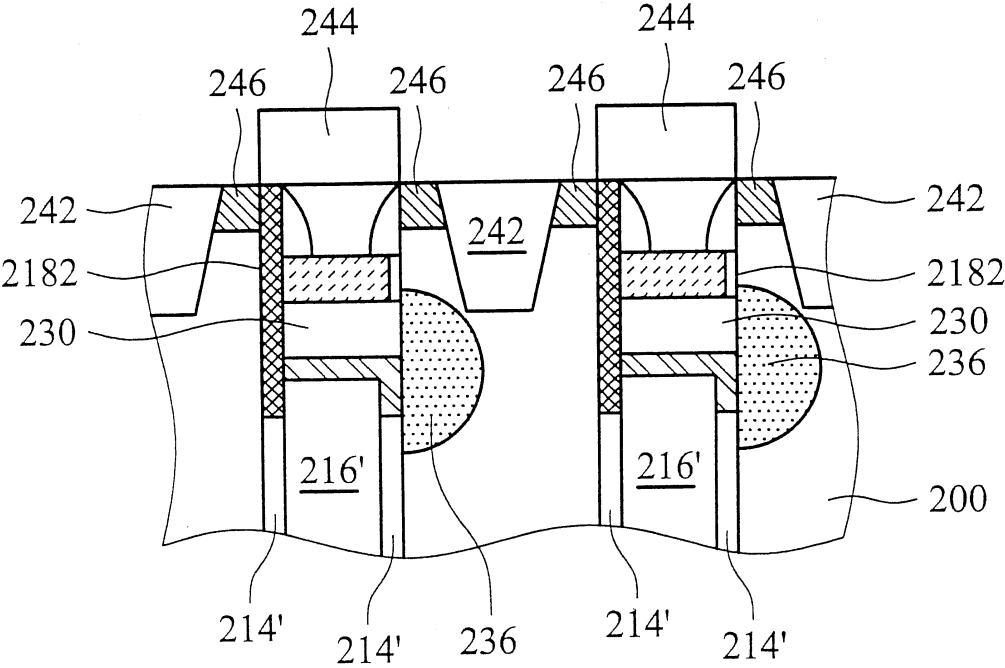
第 2G 圖



第 2H 圖



第2I 圖



第2J 圖