(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G02F 1/136 (2006.01)

(45) 공고일자 2006년07월19일
(11) 등록번호 10-0601241
(24) 등록일자 2006년07월07일

(21) 출원번호 10-2000-0009336
(22) 출원일자 2000년02월25일

(65) 공개번호 10-2000-0062642
(43) 공개일자 2000년10월25일

(30) 우선권주장 1999-047885 1999년02월25일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

히다치디바이스 엔지니어링가부시키가이샤
일본국 지바켄 모바라시 하야노 3681

(72) 발명자 야마시따유우지
일본찌바껭찌바시미도리꾸아스미가오까2-40-6

고또우미쯔루
일본찌바껭찌바시미도리꾸시이나자끼쪼우486반지

사이또우마사나리
일본찌바껭모바라시시모나가요시460

야스까와신지
일본찌바껭쪼우세이궁시라꼬마찌나까자또4835-5

오구라아끼라
일본찌바껭쪼우세이궁나가라마찌하리가야1179

아가따겐따로우
일본찌바껭모바라시마찌보13

(74) 대리인 장수길
구영창

심사관 : 박남현

(54) 액정 표시 장치

요약

영상선 구동 회로 수단 내의 반도체 칩의 범프 전극 및 한쌍의 보호 다이오드가 차지하는 면적을 작게 하여 반도체 칩의 칩 사이즈를 작게 한 액정 표시 장치를 제공한다.

영상 신호선 구동 수단 내의 반도체 칩이 복수의 범프 전극, 복수의 보호 다이오드쌍 및 각 범프 전극과의 접속부를 구비하는 복수의 배선층을 구비하고, 각 보호 다이오드쌍의 제1 다이오드의 에노드 영역 및 제2 다이오드의 캐소드 영역 상의 각 배선층은 동일 형상이 되며 각 범프 전극은 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 설치되며 또한 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에서 상기 배선층의 접속부와 접속된다.

대표도

도 12

색인어

액정 표시 패널(TFT-LCD), 표시 제어 장치, 데이터 버스, 내측 리드, 범프 전극, 접속 구멍, 실드케이스(메탈 프레임), 표시창, 백라이트 형광관

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예의 TFT 방식의 액정 표시 모듈의 개략 구성을 나타내는 블럭도.

도 2는 도 1에 도시하는 액정 표시 패널의 일례의 등가 회로를 나타낸 도면.

도 3은 도 1에 도시하는 액정 표시 패널의 다른 예의 등가 회로를 나타낸 도면.

도 4는 도 1에 도시하는 액정 표시 패널의 주위에 배치되는 드레인 드라이버의 배치 상태를 나타내는 사시도.

도 5에서, 도 5a는 도 4에 도시하는 테이프 캐리어 패키지(TCP)의 개략 구성을 나타내는 평면도이고, 도 5b는 도 4에 도시하는 테이프 캐리어 패키지(TCP)의 개략 구성을 나타내는 단면도.

도 6은 본 실시예의 반도체 칩(IC)에서의 범프 전극(BMP)의 배치를 나타내는 도면.

도 7은 본 실시예의 반도체 칩(IC)의 범프 전극(BMP)과, 한쌍의 보호 다이오드(DO1, DO2)의 소자 형성 영역과의 관계를 나타내는 도면.

도 8은 종래의 반도체 칩(IC)의 범프 전극(BMP)과, 한쌍의 보호 다이오드(DO1, DO2)의 소자 형성 영역과의 관계를 나타낸 도면.

도 9는 도 7에 도시하는 A-A'선에 따르는 단면 구조를 나타내는 단면도.

도 10은 본 실시예의 반도체 칩(IC)의 변형예를 나타내는 도면.

도 11은 본 실시예의 반도체 칩(IC)과, 테이프 캐리어 패키지(TCP)의 내측 리드(INR)를 접속한 상태를 나타내는 도면.

도 12는 본 실시예의 반도체 칩(IC)과, 테이프 캐리어 패키지(TCP)의 내측 리드(INR)를 접속한 상태를 나타내는 도면.

도 13에서, 도 13a는 칩온 필름(COF)의 개략 구성을 나타내는 평면도이며, 도 13b는 칩온 필름(COF)의 개략 구성을 나타내는 단면도.

도 14는 도 1에 도시하는 드레인 드라이버의 일례의 개략 구성 나타내는 블럭도.

도 15는 도 14에 도시하는 출력 회로의 개략 구성을 나타내는 블럭도.

도 16은 종래의 드레인 드라이버의 계조 전압 생성 회로의 반도체 칩 내의 레이아웃 구성을 나타내는 평면도.

도 17은 본 실시예의 계조 전압 생성 회로의 반도체 칩(IC) 내의 레이아웃 구성을 나타내는 평면도.

도 18은 본 실시예의 계조 전압 생성 회로의 반도체 칩(IC) 내의 주요부 단면 구조를 나타내는 단면도.

도 19는 종래의 드레인 드라이버의 디코더 회로의 구성을 나타낸 도면.

도 20은 본 실시예의 드레인 드라이버의 디코더 회로의 구성을 나타낸 도면.

도 21은 반도체 칩(IC) 내의 도 20에 도시하는 디코더 회로의 레이아웃 구성을 설명하기 위한 개념도.

도 22는 본 실시예의 TFT 방식의 액정 표시 모듈의 일례의 구성 부품을 나타내는 분해 사시도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 액정 표시 패널(TFT-LCD)

20 : p형 기판

21 : n형 웰 영역(캐소드 영역)

22 : p형 반도체 영역(애노드 영역)

23 : n형 웰 급전 영역

24 : 필드 절연막(LOCOS)

25, 28, 30, 52 : 층간 절연막

26, 27 : 메탈층(도전층)

29 : 배선층

31 : 보호막

50, 62, 63 : 알루미늄 배선

51 : 폴리-실리콘 저항층

60 : N형 확산층

61 : Poly-Si 게이트 전극

64 : 데이터 버스

65, 66 : 접속 구멍

100 : 인터페이스부

110 : 표시 제어 장치

120 : 전원 회로

121 : 전압 생성 회로

123 : 공통 전극(대향 전극) 전압 생성 회로

124 : 게이트 전극 전압 생성 회로

130 : 드레인 드라이버

131, 132, 135, 141, 142 : 신호선

133 : 표시 데이터의 버스 라인

140 : 게이트 드라이버

151 : 계조 전압 생성 회로

152 : 제어 회로

153 : 시프트 레지스터 회로

154 : 입력 레지스터 회로

155 : 스토리지 레지스터 회로

156 : 레벨 시프트 회로

157 : 출력 회로

158 : 전압 버스 라인

160 : 디코더 회로

161 : 출력 증폭기 회로

261 : NMOS 디코더

262 : PMOS 디코더

LCM : 액정 표시 모듈

D : 드레인 신호선

G : 게이트 신호선

TFT : 박막 트랜지스터

ITO1 : 화소 전극

ITO2 : 공통 전극

CLC : 액정 용량

CADD : 부가 용량

COM : 공통 신호선

CSTG : 유지 용량

IC : 반도체 칩

TCP : 테이프 캐리어 패키지

INR : 내측 리드

BMP : 범프 전극

DO : 보호 다이오드

TC, CONT : 접속 구멍

STC : 개구부

COF : 칩온 필름

NMOS : N형 MOS 트랜지스터

PMOS : P형 MOS 트랜지스터

SHD : 실드케이스(메탈 프레임)

LCW : 표시창

SPB : 광 확산판

LCB : 도광체

RM : 반사판

BL : 백라이트 형광관

LCA : 백라이트 케이스

PCB : 회로 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 특히 다계조 표시가 가능한 액정 표시 장치의 영상 신호선 구동 수단(드레인 드라이버)에 적용하여 유효한 기술에 관한 것이다.

화소마다 능동 소자(예를 들면, 박막 트랜지스터)를 구비하고, 이 능동 소자를 스위칭 구동하는 액티브 매트릭스형 액정 표시 장치는 노트북 컴퓨터 등의 표시 장치로서 널리 사용되고 있다.

이 액티브 매트릭스형 액정 표시 장치는 능동 소자를 통하여 화소 전극에 영상 신호 전압(표시 데이터에 대응하는 계조 전압 ; 이하, 계조 전압이라고 칭한다)을 인가하기 때문에 각 화소 간의 크로스토크가 없으며, 단순 매트릭스형 액정 표시 장치와 같이 크로스토크를 방지하기 위한 특수한 구동 방법을 이용할 필요없이 다계조 표시가 가능하다.

이 액티브 매트릭스형 액정 표시 장치 중 하나로, TFT(Thin Film Transister)방식의 액정 표시 패널(TFT-LCD)과, 액정 표시 패널의 상측에 배치되는 드레인 드라이버와, 액정 표시 패널의 측면에 배치되는 게이트 드라이버 및 인터페이스부를 구비하는 TFT 방식의 액정 표시 모듈이 알려져 있다.

이 TFT 방식의 액정 표시 모듈에서의 드레인 드라이버는 1개의 반도체 칩으로 구성되며, 해당 반도체 칩은 그 내부에, 다계조 전압 생성 회로와, 이 다계조 전압 생성 회로에서 생성된 다계조 전압 중에서부터 표시 데이터에 대응하는 1개의 계조 전압을 선택하는 계조 전압 선택 회로 등을 구비하고 있다.

또, 이러한 기술은 예를 들면 특원평8-86668호, 특원평10-50699호에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

최근, TFT 방식의 액정 표시 모듈 등의 액정 표시 장치에서는 액정 표시 패널의 대형화, 고해상도화(다화소화), 고화질화의 경향에 있으며, 게다가 쓸데 없는 스페이스를 없애고, 표시 장치로서의 미관을 야기시키기 위해 액정 표시 장치의 표시 영역 이외의 영역 즉 프레임 부분을 조금이라도 작게 하는(협프레임화) 것이 요망되고 있다.

그 한편으로, 보다 한층 액정 표시 장치의 보급을 도모하기 위해서도 액정 표시 장치의 저가격화가 강하게 요망되고 있다.

그 때문에, 드레인 드라이버를 구성하는 반도체 칩(이하, 단순하게 반도체 칩이라고 칭함)의 출력 핀수를 증가시키고 또한 반도체 칩의 면적을 보다 작게 하는 것, 즉 반도체 칩의 집적도를 올리는 것이 필요해졌다.

한편, 반도체 칩은 예를 들면 테이프·캐리어·패키지의 내측 리드와 접속되는 복수의 범프 전극을 구비하고, 또한 반도체 칩의 외부에서 입력되는 노이즈로 인하여, 내부 회로를 보호하기 위해서 각 범프 전극마다 설치되는 한쌍의 보호 다이오드를 구비하고 있다.

그리고, 각 범프 전극마다 설치되는 한쌍의 보호 다이오드의 접속점과 범프 전극을 전기적으로 접속할 필요가 있기 때문에, 일반적으로는 한쌍의 보호 다이오드는 각 범프 전극의 근방에 설치된다.

그러나, 상기 각 범프 전극은 예를 들면 인접하는 범프 전극 간의 단락 등의 이유에 의해 어느 정도 분리하여 설치할 필요는 있다.

또한, 한쌍의 다이오드의 형성 영역도 노이즈를 흡수하기 위해서 나름대로의 면적이 필요하다.

그 때문에, 반도체 칩의 출력 핀수를 증가시키고 또한 반도체 칩의 면적을 작게 할 수 없어서 상기 액정 표시 장치의 협프레임화 혹은 액정 표시 장치의 저가격화에 대응할 수 없다는 문제점이 있었다.

본 발명은 상기 종래 기술의 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 액정 표시 장치에서 영상선 구동 회로 수단 내의 반도체 칩의 범프 전극 및 한쌍의 보호 다이오드가 차지하는 면적을 작게 하여 반도체 칩의 칩 사이즈를 작게 하는 것이 가능해지는 기술을 제공하는 것에 있다.

또한, 본 발명의 다른 목적은 액정 표시 장치에서 보다 협프레임화 혹은 보다 저가격화를 도모하는 것이 가능해지는 기술을 제공하는 것에 있다.

본 발명의 상기 목적과 신규인 특징은 본 명세서의 기술 및 첨부 도면에 의해서 명백해질 것이다.

본원에서 개시되는 발명 중 대표적인 것의 개요를 간단하게 설명하면 하기와 같다.

즉, 본 발명은 매트릭스형으로 배치된 복수의 화소를 구비하는 액정 표시 소자와, 상기 각 화소에 영상 신호 전압을 공급하는 영상 신호선 구동 수단을 구비하는 액정 표시 장치에 있어서, 상기 영상 신호선 구동 수단은 적어도 하나의 반도체 칩을

구비하고, 상기 적어도 하나의 반도체 칩은 복수의 범프 전극과, 제1 다이오드와 제2 다이오드로 이루어지는 복수의 보호 다이오드쌍과, 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역을 덮도록 설치되며, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역에 접속되는 복수의 배선층으로, 상기 각 범프 전극과의 접속부를 구비하는 복수의 배선층을 구비하고, 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 각 배선층은 동일 형상이 되며, 상기 복수의 범프 전극 중 적어도 하나는 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 설치되며 또한 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에서 상기 배선층의 접속부와 접속되어 있는 것을 특징으로 한다.

또한, 본 발명은 매트릭스형으로 배치된 복수의 화소를 구비하는 액정 표시 소자와, 상기 각 화소에 영상 신호 전압을 공급하는 영상 신호선 구동 수단을 구비하는 액정 표시 장치에 있어서, 상기 영상 신호선 구동 수단은 적어도 하나의 반도체 칩을 구비하고 상기 적어도 하나의 반도체 칩은 복수의 범프 전극과, 제1 다이오드와 제2 다이오드로 이루어지는 복수의 보호 다이오드쌍과, 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역을 덮도록 설치되며, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역에 접속되는 복수의 배선층으로, 상기 각 범프 전극과의 접속부를 구비하는 복수의 배선층을 구비하고, 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 각 배선층은 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역보다 폭 넓게 형성되며, 상기 복수의 범프 전극 중 적어도 하나는 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 설치되며 또한 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에서 상기 배선층의 접속부와 접속되어 있는 것을 특징으로 한다.

또한, 본 발명은 상기 배선층 상에 형성되며 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 개구부를 구비하는 절연막을 구비하고 상기 복수의 범프 전극 중 적어도 하나는 상기 개구부 및 상기 개구부의 주변의 절연막 상에 형성되며 상기 개구부에 의해 상기 배선층의 접속부와 접속되는 것을 특징으로 한다.

또한, 본 발명은 상기 서로 인접하는 2개의 범프 전극 중 한쪽의 범프 전극은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역(또는 제2 다이오드의 캐소드 영역) 상에 설치되며, 다른쪽의 범프 전극은 상기 각 다이오드쌍의 제2 다이오드의 캐소드 영역(또는 제1 다이오드의 애노드 영역) 상에 설치되는 것을 특징으로 한다.

또한, 본 발명은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과, 상기 배선층 간에 층간 절연층을 통하여 설치되는 도전층을 구비하고 상기 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 제1 영역 내의 층간 절연층에 설치된 복수의 제1 접속 구멍에 의해 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속됨과 함께, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제2 접속 구멍에 의해, 상기 배선층과 접속되는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

또, 실시예를 설명하기 위한 전 도면에서 동일 기능을 가지는 것은 동일 부호를 붙여서 그 반복되는 설명은 생략한다.

도 1은 본 발명의 실시예의 TFT 방식의 액정 표시 모듈의 개략 구성을 나타내는 블럭도이다.

본 실시예의 액정 표시 모듈(LCM)은 액정 표시 패널(본 발명의 액정 표시 소자 ; TFT-LCD ; 10)의 상측에 드레인 드라이버(130)가 배치되며 또한 액정 표시 패널(10)의 측면에 게이트 드라이버(140), 인터페이스부(100)가 배치된다.

인터페이스부(100)는 인터페이스 기판에 실장되며 또한 드레인 드라이버(130), 게이트 드라이버(140)도 각각 전용의 테이프 캐리어 패키지(Tape Carrier Package ; TCP)에 실장된다.

도 2는 도 1에 도시하는 액정 표시 패널(10)의 일례의 등가 회로를 나타낸 도면이다.

이 도 2에 도시한 바와 같이, 액정 표시 패널(10)은, 매트릭스형으로 형성되는 복수의 화소(1024×3×768개의 화소)를 구비한다.

각 화소는 인접하는 2개의 신호선[드레인 신호선(D) 또는 게이트 신호선(G)]과, 인접하는 2개의 신호선[게이트 신호선(G) 또는 드레인 신호선(D)]과의 교차 영역 내에 배치된다.

각 화소는 박막 트랜지스터(TFT1, TFT2)를 구비하고 각 화소의 박막 트랜지스터(TFT1, TFT2)의 소스 전극은 화소 전극(ITO1)에 접속된다.

또한, 화소 전극(ITO1)과 공통 전극(ITO2) 간에 액정층이 설치되므로 화소 전극(ITO1)과 공통 전극(ITO2) 간에는 액정 용량(CLC)이 등가적으로 접속된다.

또한, 박막 트랜지스터(TFT1, TFT2)의 소스 전극과 전단의 게이트 신호선(G) 간에는 부가 용량(CADD)이 접속된다.

도 3은 도 1에 도시하는 액정 표시 패널(10)의 다른 예의 등가 회로를 나타내는 도면이다.

도 2에 도시하는 예에서는 전단의 게이트 신호선(G)과 소스 전극 간에 부가 용량(CADD)이 형성되어 있지만, 도 3에 도시하는 예의 등가 회로에서는 공통 신호선(COM)과 소스 전극 간에 유지 용량(CSTG)이 형성되어 있는 점이 다르다.

본 발명은 어느 쪽에도 적용 가능하지만, 전자의 방식에서는 전단의 게이트 신호선(G) 펄스가 부가 용량(CADD)을 통하여 화소 전극(IT01)에 전해지는데 대하여, 후자의 방식에서는 전해지지 않기 때문에 보다 양호한 표시가 가능해진다.

또, 도 2 및 도 3에서 AR은 표시 영역이며 또한 도 2 및 도 3은 회로도이지만 실제의 기하학적 배치에 대응하여 그려지고 있다.

도 2 및 도 3에 도시하는 액정 표시 패널(10)에서, 열방향으로 배치된 각 화소의 박막 트랜지스터(TFT)의 드레인 전극은 각각 드레인 신호선(D)에 접속되며, 각 드레인 신호선(D)은 열방향의 각 화소의 액정에 계조 전압을 공급하는 드레인 드라이버(130)에 접속된다.

또한, 행방향으로 배치된 각 화소에서의 박막 트랜지스터(TFT)의 게이트 전극은 각각 게이트 신호선(G)에 접속되며 각 게이트 신호선(G)은 1수평 주사 시간, 행방향의 각 화소의 박막 트랜지스터(TFT)의 게이트 전극에 주사 구동 전압(플러스의 바이어스 전압 혹은 마이너스의 바이어스 전압)을 공급하는 게이트 드라이버(140)에 접속된다.

도 1에 도시하는 인터페이스부(100)는 표시 제어 장치(110)와 전원 회로(120)로 구성된다.

표시 제어 장치(110)는 1개의 반도체 집적 회로(LSI)로 구성되며 컴퓨터 본체측에서부터 송신되는 클럭 신호, 디스플레이 타이밍 신호, 수평 동기 신호, 수직 동기 신호의 각 표시 제어 신호 및 표시용 데이터(R·G·B)를 기초로, 드레인 드라이버(130) 및 게이트 드라이버(140)를 제어·구동한다.

표시 제어 장치(110)는 디스플레이 타이밍 신호가 입력되면 이것을 표시 개시 위치라고 판단하고, 스타트 펄스(표시 데이터 취득 개시 신호)를 신호선(135)을 통하여 제1번째의 드레인 드라이버(130)에 출력하고, 또한, 수취한 단순 1열의 표시 데이터를, 표시 데이터의 버스 라인(133)을 통하여 드레인 드라이버(130)에 출력한다.

그 때, 표시 제어 장치(110)는 각 드레인 드라이버(130)의 데이터 래치 회로에 표시 데이터를 래치하기 위한 표시 제어 신호인 표시 데이터 래치용 클럭[CL2 ; 이하, 단순하게 클럭(CL2)이라고 칭함]을 신호선(131)을 통하여 출력한다.

본체 컴퓨터측에서부터의 표시 데이터는 6비트로, 1화소 단위 즉 빨강(R), 초록(G), 파랑(B)의 각 데이터를 1개의 조로 하여 단위 시간마다 전송된다.

표시 제어 장치(110)는 디스플레이 타이밍 신호의 입력이 종료하거나 또는 디스플레이 타이밍 신호가 입력되고나서 소정의 일정 시간이 지나면, 1수평분의 표시 데이터가 종료한 것으로 하여, 각 드레인 드라이버(130)에서의 데이터 래치 회로에 축적하고 있던 표시 데이터를 액정 표시 패널(10)의 드레인 신호선(D)에 출력하기 위한 표시 제어 신호인 출력 타이밍 제어용 클럭[CL1 ; 이하, 단순하게 클럭(CL1)이라고 칭함]을 신호선(132)을 통하여 각 드레인 드라이버(130)에 출력한다.

또한, 표시 제어 장치(110)는 수직 동기 신호 입력 후에 제1번째의 디스플레이 타이밍 신호가 입력되면, 이것을 제 1번째의 표시 라인이라고 판단하여 신호선(142)을 통하여 게이트 드라이버(140)에 프레임 개시 지시 신호를 출력한다.

또한, 표시 제어 장치(110)는 수평 동기 신호에 기초하여, 1수평 주사 시간마다 차례로 액정 표시 패널(10)의 각 게이트 신호선(G)에 플러스의 바이어스 전압을 인가하도록 신호선(141)을 통하여 게이트 드라이버(140)로 1수평 주사 시간 주기의 시프트 클럭인 클럭(CL3)을 출력한다.

이에 따라, 액정 표시 패널(10)의 각 게이트 신호선(G)에 접속된 복수의 박막트랜지스터(TFT)가 1수평 주사 시간동안 도통한다.

이상의 동작에 의해 액정 표시 패널(10)에 화상이 표시된다.

도 1에 도시하는 전원 회로(120)는 전압 생성 회로(121), 공통 전극(대향 전극) 전압 생성 회로(123), 게이트 전극 전압 생성 회로(124)로 구성된다.

전압 생성 회로(121)는 직렬 저항 분압 회로로 구성되며, 9치의 계조 기준 전압(V0～V8)을 출력하고 각 드레인 드라이버(130)에 공급한다.

또한, 각 드레인 드라이버(130)에는 표시 제어 장치(110)로부터의 교류화 신호(교류화 타이밍 신호 ; M)도 신호선(135)을 통하여 공급된다.

공통 전극 전압 생성 회로(123)는 공통 전극(ITO2)에 인가하는 구동 전압을 게이트 전극 전압 생성 회로(124)는 박막 트랜지스터(TFT)의 게이트 전극에 인가하는 구동 전압(플러스의 바이어스 전압 및 마이너스의 바이어스 전압)을 생성한다.

도 4는 도 1에 도시하는 액정 표시 패널(10)의 주위에 배치되는 드레인 드라이버(130)의 배치 상태를 나타내는 사시도이다.

도 4에 도시한 바와 같이, 액정 표시 패널(10)의 주위에는 액정 표시 패널(10) 주위에 따라서 구동 회로 기판(PCB)이 실장된다.

이 구동 회로 기판(PCB)에는 테이프 캐리어 패키지(TCP), 컨덴서 등의 전자 부품이 실장되어 있으며, 이 테이프 캐리어 패키지(TCP)에는 드레인 드라이버(130)를 구성하는 반도체 칩(이하, 단순히, 반도체 칩; IC이라고 칭함)이 실장되어 있다.

도 5는 도 4에 도시하는 테이프 캐리어 패키지(TCP)의 개략 구성을 나타낸 도면이고, 도 5a는 평면도를, 도 5b은 주요부 단면을 나타내는 단면도이다.

도 5에 도시한 바와 같이, 테이프 캐리어 패키지(TCP)의 내측 리드(INR)와, 반도체 칩(IC)의 각 범프 전극(BMP)이 전기적·기계적으로 접속된다.

도 6은 본 실시예의 반도체 칩(IC)에서의 범프 전극(BMP)의 배치를 나타낸 도면이다.

도 6에 도시한 바와 같이, 반도체 칩(IC)의 주변에는 여러개의 범프 전극(BMP)이 형성된다.

여기서, 이 범프 전극(BMP)은 입력측 범프 전극(예를 들면, 20개 정도)과, 드레인 신호(D)에 접속되는 출력측 범프 전극(예를 들면, 384개)으로 나누어진다.

도 6에 도시한 바와 같이, 이 각 범프 전극(BMP)에는 외부로부터 반도체 칩(IC)에 입력되는 노이즈로부터, 내부 회로를 보호하기 위한 보호 다이오드(DO1, DO2)쌍이 접속된다.

여기서, 플러스의 노이즈를 흡수하기 위한 보호 다이오드(DO1)는 그 캐소드 전극이 전원 전위(제1 기준 전위)에 접속되며 애노드 전극이 각 범프 전극(BMP)에 전기적으로 접속된다.

또한, 마이너스의 노이즈를 흡수하기 위한 보호 다이오드(DO2)는 그 캐소드 전극이 각 범프 전극(BMP)에 접속되며 애노드 전극이 접지 전위(제2 기준 전위)에 전기적으로 접속된다.

또, 도 6에서 한쌍의 보호 다이오드(DO1, DO2)는 반도체 칩(IC)의 내부에 형성되는 것은 물론이다.

도 7은 본 실시예의 반도체 칩(IC)의 범프 전극(BMP)과, 한쌍의 보호 다이오드(DO1, DO2)의 소자 형성 영역과의 관계를 나타낸 도면이다.

또한, 도 8은 종래의 반도체 칩(IC)의 범프 전극(BMP)과, 한쌍의 보호 다이오드(DO1, DO2)의 소자 형성 영역과의 관계를 나타낸 도면이다.

종래의 반도체 칩(IC)에서는 범프 전극(BMP)의 근방에, 한쌍의 보호 다이오드(DO1, DO2)의 소자 형성 영역을 배치하고 있었다.

이에 대하여, 본 실시예에서는 한쌍의 보호 다이오드(DO1, DO2)의 소자 형성 영역 상에 예를 들면 재료로서 금을 이용하는 범프 전극(BMP)이 형성된다.

이에 따라, 본 실시예에서는 반도체 칩(IC)의 짧은 방향(도 6에 도시하는 Y 방향)의 길이를 짧게 할 수가 있다.

도 9는 도 7에 도시하는 A-A' 절단선에 따르는 단면 구조를 나타내는 단면도이다.

도 9에서 20은 p형 기판이며 p형 기판(20) 내에 n형 웰 영역(캐소드 영역 ; 21)이 형성되며, 이 n형 웰 영역(21) 내에 p형 반도체 영역(애노드 영역 ; 22)과, n형 웰 급전 영역(23)이 형성된다.

이 p형 반도체 영역(22)과 n형 웰 영역(21)으로, 다이오드(DO1)가 구성된다.

참조 번호 24는 필드 절연막(LOCOS)으로, 이 필드 절연막(24) 상에 제1 층간 절연막(25)이 형성되며, 이 제1 층간 절연막(25) 상에 제1 메탈층(도전층 ; 26)과, 제2 메탈층(27)이 형성된다.

이 제1 메탈층(26)은 제1 층간 절연막(25)에 형성된 복수의 제3 접속 구멍(TC3)에 의해 n형 웰 급전 영역(23)과 전기적으로 접속되며, 이 제1 메탈층(26)은 전원 전위(VDD)가 공급되는 전원 라인(배선)과 접속된다.

또한, 제2 메탈층(27)은 제1 층간 절연막(25)에 형성된 복수의 제1 접속 구멍(TC1)에 의해, p형 반도체 영역(22)과 전기적으로 접속된다.

이 제1 및 제2 메탈층(26, 27) 상에 제2 층간 절연막(28)이 형성되며 이 제2 층간 절연막(28) 상에 배선층(29)이 형성된다.

이 배선층(29)은 제2 층간 절연막(28)에 형성된 복수의 제2 접속 구멍(TC2)에 의해, 제2 메탈층(27)과 접속된다.

이 경우에, 이 제2 접속 구멍(TC2)은 제1 접속 구멍(TC1)이 형성되는 영역의 외측의 영역에 설치된다.

배선층(29) 상에는 제3 층간 절연막(30)과 보호막(31)이 형성된다.

이 제3 층간 절연막(30)과 보호막(31)에 의해 제2 접속 구멍(TC2)부의 배선층(29)의 커버리지가 얇은 개소를 보호할 수 있다.

또한, 제3 층간 절연막(30)과 보호막(31)에는 개구부(STC)가 형성되며, 이 개구부(STC)를 통하여 범프 전극(BMP)과 배선층(29)이 전기적으로 접속된다.

여기에서, 제2 접속 구멍(TC2)은 범프 전극(BMP) 하에 설치된다.

또, 배선층(29)은 반도체 칩(IC) 내부까지 연장된다.

또한, 제2 다이오드(DO2)는 n형 웰 영역(21), p형 반도체 영역(22) 및 n형 웰 급전 영역(23) 대신에 각각 p형 웰 영역, n형 반도체 영역 및 p형 웰 급전 영역을 설치하여 구성된다.

단지, 제2 다이오드(DO2)에서는 제1 메탈층(26)이 접지 전위(GND)가 공급되는 접지 라인(배선)과 접속된다.

이와 같이, 본 실시예의 반도체 칩(IC)에서는 제1 보호 다이오드(DO1)의 애노드 영역 상에서 개구부(STC) 및 개구부(STC) 주변의 보호막(31) 상에 범프 전극(BMP)을 설치하고 또한 복수의 제2 접속 구멍(TC2)을 범프 전극(BMP) 하에 형성하도록 하였으므로 복수의 제2 접속 구멍(TC2)을 형성하기 위한 영역을 별도로 설치할 필요는 없으므로, 범프 전극(BMP)의 사이즈를 크게 하여 반도체 칩(IC)의 칩 사이즈를 작게 하는 것이 가능해진다.

일반적으로, 액정 표시 패널의 고화질화의 요구로부터 영상 신호선(D)과 드레인 드라이버(130)간의 접속 저항을 저감하는 것이 요구되지만, 본 실시예의 반도체 칩(IC)에 따르면, 범프 전극(BMP)의 사이즈를 크게할 수 있으므로 영상 신호선(D)과 드레인 드라이버(130)간의 접속 저항을 저감하는 것이 가능해진다.

또한, 작은 접속 구멍(예를 들면, 2㎛ 정도)으로 이루어지는 복수의 제2 접속 구멍(TC2)을 분산하여 배치하도록 하였으므로 범프 전극(BMP)의 표면의 평탄도를 올릴 수 있다.

범프 전극(BMP)을 제1 다이오드(DO1)의 소자 형성 영역(즉, 애노드 영역) 상에 형성하는 경우에는 범프 전극(BMP)과, 테이프 캐리어 패키지(TCP)의 내측 리드(INR)를 열압착할 때에 과도한 가압력을 인가할 수 없으므로 범프 전극(BMP)의 표면의 평탄도가 나쁘면, 범프 전극(BMP)과 내측 리드(INR)와의 접착 불량이 생긴다.

그러나, 본 실시예의 반도체 칩(IC)에서는 범프 전극(BMP)의 표면의 평탄도를 향상[혹은 범프 전극(BMP)과 내측 리드(INR)와의 접촉 면적을 증가]시킬 수 있으므로 상기한 범프 전극(BMP)과 내측 리드(INR)와의 접착 불량을 방지할 수 있다.

또한, 제1 및 제2 다이오드(DO1, DO2)는 동일 면적이며 또한 동일 형상으로 되어 있으므로, 개구부(STC)는 제1 및 제2 다이오드(DO1, DO2)의 어느쪽에도 설치할 수 있다.

즉, 본 실시예의 반도체 칩(IC)에서는 범프 전극(BMP)을 제1 다이오드(DO1) 혹은 제2 다이오드(DO2) 상에 설치하는 것이 가능해진다.

도 10은 본 실시예의 반도체 칩(IC)의 변형예를 나타내는 도면이다.

이 도 10에 도시하는 반도체 칩(IC)에서는 제2 접속 구멍(TC2)이 홈형으로 형성되어 있는 점에서 상기 도 7에 도시하는 반도체 칩(IC)과 차이가 난다.

이 도 10에 도시하는 구조에서도 상기한 바와 마찬가지의 효과를 얻는 것이 가능하다.

도 11 및 도 12는 본 실시예의 반도체 칩(IC)과, 테이프 캐리어 패키지(TCP)의 내측 리드(INR)를 접속한 상태를 나타낸 도면이다. 도 11에 도시한 바와 같이, 범프 전극(BMP)을 제1 다이오드(DO1) 상에 배치한 경우에는 반도체 칩(IC)의 짧은 방향(도 11의 Y 방향)의 길이를 종래의 반도체 칩(IC)보다 짧게 할 수 있는 것은 상기한 그대로이다.

그러나, 인접하는 범프 전극(BMP) 간의 단락 불량을 방지하기 위해서, 인접하는 범프 전극(BMP) 간의 거리에는 일정한 제약이 있으며 반도체 칩(IC)의 길이 방향(도 11의 X 방향)의 길이는 너무 짧게 할 수 없다.

이에 대하여, 도 12에 도시한 바와 같이, 범프 전극(BMP)을 지그재그 배치로 한 경우에는 지그재그 배치의 인접하는 범프 전극(BMP) 간의 거리를 약 60㎛ 이상으로 함으로써, 보호 다이오드(DO1, DO2) 간의 거리를 내측 리드(INR)의 강도 혹은 가공형의 한도로 결정되는 거리까지 짧게(협피치화)할 수 있으며, 반도체 칩(IC)의 길이 방향(도 12의 X 방향)의 길이를 종래보다 짧게 하는 것이 가능해진다.

또, 상기 실시예에서는 본 발명을 테이프 캐리어 패키지(TCP)에 적용한 경우에 대하여 설명하였지만, 본 발명은 이에 한정되는 것은 아니고 예를 들면, 도 13에 도시하는 칩온 필름(COF)에도 적용 가능한 것은 물론이다.

또, 도 13은 칩온 필름(COF)의 개략 구성을 나타낸 도면으로 도 13a는 평면도를 도 13b은 주요부 단면을 나타내는 단면도이다.

도 14는 도 1에 도시하는 드레인 드라이버(130)의 일례의 개략 구성을 나타내는 블럭도이다.

또, 드레인 드라이버(130)는 1개의 반도체 집적 회로(LSI)로 구성된다.

도 14에서 계조 전압 생성 회로(151)는 직렬 저항 분압 회로로 구성되며, 전압 생성 회로(121)로부터 입력되는 9치의 계조 기준 전압(V0～V8) 중의 인접하는 계조 전압(예를 들면, V0과 V1 간, V1과 V2 간)을 8분압하여, 64계조의 계조 전압을 생성하고 전압 버스 라인(158)을 통하여 출력 회로(157)에 출력한다.

또한, 드레인 드라이버(130)의 제어 회로(152) 내의 시프트 레지스터 회로(153)는 표시 제어 장치(110)로부터 입력되는 클럭(CL2)에 기초하여, 입력 레지스터 회로(154)의 데이터 취득용 신호를 생성하고 입력 레지스터 회로(154)에 출력한다.

입력 레지스터 회로(154)는 시프트 레지스터 회로(153)로부터 출력되는 데이터 취득용 신호에 기초하여 표시 제어 장치(110)로부터 입력되는 클럭(CL2)에 동기하여, 각 색마다 6비트의 표시 데이터를 출력 갯수분만큼 래치한다.

스토리지 레지스터 회로(155)는 표시 제어 장치(110)로부터 입력되는 클럭(CL1)에 따라서 입력 레지스터 회로(154) 내의 표시 데이터를 래치한다.

이 스토리지 레지스터 회로(155)에 받아들인 표시 데이터는 레벨 시프트 회로(156)를 통하여 출력 회로(157)에 입력된다.

출력 회로(157)는 64계조의 계조 전압에 기초하여 표시 데이터에 대응한 1개의 계조 전압(64계조 중의 1개의 계조 전압)을 선택하여 각 드레인 신호선(D)에 출력한다.

도 15는 도 14에 도시하는 출력 회로(157)의 개략 구성을 나타내는 블럭도이다.

도 15에 도시한 바와 같이, 도 14에 도시하는 출력 회로(157)는 디코더 회로(160)와 출력 증폭기 회로(161)로 구성된다.

또, 이 도 15에서는 신호의 흐름을 도 14와는 반대로 나타내고 있다.

도 16은 종래의 드레인 드라이버(130)의 계조 전압 생성 회로(151)의 반도체 칩 내의 레이아웃 구성을 나타내는 평면도이다.

도 16에 도시한 바와 같이, 종래의 계조 전압 생성 회로(151)에서는 전압 버스 라인(158)을 구성하는 복수의 알루미늄(이하, 단순하게 AL이라고 칭함) 배선(50)과, 각 계조 기준 전위 간을 분압하기 위한 각 분압 저항을 구성하는 폴리-실리콘(이하, 단순하게 Poly-Si라고 칭함) 저항층(51)으로 구성된다.

이 경우에, 각 AL 배선(50)과, Poly-Si 저항(51)과는 층간 절연막을 통하여 설치된다.

또한, 각 분압 저항의 저항은 AL 배선(50)과 Poly-Si 저항층(51)을 평행하게 배치하고, Poly-Si 저항층(51)을 AL 배선(50)의 피치를 맞추게 한 경우, 접속 구멍(CONT)의 위치에 따라 결정한다.

그러나, 종래의 계조 전압 생성 회로(151)에서는 출력 회로(157) 내의 디코더 회로(160)가 있는 계조 전압을 선택할 때, 직렬 저항 분압 회로 및 디코더 회로(160)의 충방전 시간을 짧게 하기 위해서, 직렬 분압 저항의 저항을 작게 하면, 직렬 분압 저항을 흐르는 충방전 전류가 커진다.

각 분압 저항을 구성하는 Poly-Si 저항층(51)에는 전류 허용량이 있으며 Poly-Si 저항층(51)의 폭이 가늘면 전류 허용량을 넘어서 융해할 위험이 있었다.

한편, 최근 액정 표시 장치의 협프레임화에 따라 드레인 드라이버(130)를 구성하는 반도체 칩(IC)의 칩 사이즈 축소의 요구가 있으며 또한 다계조화에 따라서 분할하는 저항의 수가 증가하고 또한 저항치의 정밀도도 올릴 필요가 있으며 저항치의 설정이 중요해지고 있다.

그러나, 종래의 계조 전압 생성 회로(151)에서는 각 분압 저항을 구성하는 Poly-Si 저항층(51)의 저항치의 설정, 변경 등의 경우에, 복잡하고 많은 시간이 필요하였다.

또한, AL 배선(50)과 Poly-Si 저항층(51)의 배치에 의해서는 AL 배선(50)이 다층이 되며, Poly-Si 저항층(51)의 스페이스에 AL 배선을 사용할 수 없게 되며 유효 활용이 가능하지 못하다는 결점이 있었다.

도 17은 본 실시예의 계조 전압 생성 회로(151)의 반도체 칩(IC) 내의 레이아웃 구성을 나타내는 평면도이다.

도 18은 본 실시예의 계조 전압 생성 회로(151)의 반도체 칩(IC) 내의 주요부 단면 구조를 나타내는 단면도이다.

본 실시예의 계조 전압 생성 회로(151)에서는 전압 버스 라인(158)을 구성하는 복수의 AL 배선(50)에 대하여, 층간 절연막(52)을 통하여 형성되며, 각 분압 저항을 구성하는 Poly-Si 저항층(51)을 대략 수직으로 배치하고, 접속 구멍(CONT)에 의해, AL 배선(50)과 Poly-Si 저항층(51)을 전기적으로 접속한다.

이에 따라, Poly-Si 저항층(51)의 폭은 AL 배선(50)의 피치에 무관계로 할 수 있으므로 Poly-Si 저항층(51)의 폭을 최적인 폭으로 할 수 있다.

또한, Poly-Si 저항층(51) 전체는 하나의 저항층으로서 이음매없이 이어져 있지만, 하나의 저항에 하나의 절첩 부분을 가짐으로서 각 분할 저항은 하나하나는 독립적으로 되어 있다.

이와 같이, 본 실시예의 계조 전압 생성 회로(151)에 따르면, AL 배선(51)에 대하여, Poly-Si 저항층(51)을 수직으로 배치함으로서 Poly-Si 저항층(51)의 전류 허용량에 따른 최적인 Poly-Si 저항층(51)의 폭을 AL 배선(50)의 배선 피치에 의존하지 않고 형성하는 것이 가능해진다.

또한, AL 배선(50) 및 Poly-Si 저항층(51)의 2층에만 실현 가능하기 때문에, 그 외의 층을 Poly-Si 저항층(51) 이외에 유효하게 활용할 수 있다.

또한, Poly-Si 저항층(51) 전체는 하나의 저항으로서 이음매없이 이어져 있지만, 분할되는 저항 하나하나는 독립적으로 설정 가능하며, 또한, AL 배선(50) 및 Poly-Si 저항층(51)의 2층에만 실현 가능하기 때문에, 각 분할 저항의 저항치의 수정, 변경 등이 용이해진다.

도 19는 종래의 드레인 드라이버(130)의 디코더 회로(160)의 구성을 나타낸 도면이다.

도 19에 도시하는 디코더 회로(160)는 NMOS 디코더(261)와 PMOS 디코더(262)로 구성되는 상보형 디코더로, 그 출력은 대응하는 드레인 단자(D)에 접속되는 1개의 출력 단자에 대응한 출력 증폭기 회로(161)에 입력된다.

NMOS 디코더(261)는 6개의 인핸스먼트 NMOS 트랜지스터(이하, 단순하게 NMOS라고 칭함)와, 6개의 디플리션 NMOS가 직렬로 접속되어 구성되며, PMOS 디코더(262)는 6개의 인핸스먼트 PMOS 트랜지스터(이하, 단순하게 PMOS라고 칭함)와, 6개의 디플리션 PMOS가 직렬로 접속되어 구성된다.

NMOS 디코더(261) 및 PMOS 디코더(262)는 이들 트랜지스터열을 64개 구비하고, 각 트랜지스터열의 양 단에는 전압 버스 라인(158)으로부터 출력되는 64계조의 전압이 입력된다.

또한, 트랜지스터열의 각 MOS의 게이트 전극에는 표시 데이터의 각 비트의 정상 데이터(D0, D1, …) 혹은 반전 데이터(/D0, /D1, …)가 소정의 조합에 기초로 인가되며 이에 따라, 64계조 전압 중 1개의 계조 전압을 선택한다.

예를 들면, 표 1에 나타내는 디코드표에서, 표시 데이터에 대응하여, NMOS 디코더(261)의 각 MOS 트랜지스터(이하, 단순하게 MOS라고 칭함)는, 정상 데이터가 인가되는 NMOS의 표시 데이터가 0이면 디플리션 NMOS, 표시 데이터가 1이면 인핸스먼트 NMOS로 구성하고, 반전 데이터가 인가되는 NMOS는 표시 데이터와 NMOS의 조합을 그 반대로 한다.

또한, PMOS 디코더(262)의 각 MOS는 정상 데이터가 인가되는 PMOS의 표시 데이터가 0이면 인핸스먼트 PMOS, 표시 데이터가 1이면 디플리션 PMOS로 구성하고 반전 데이터가 인가되는 PMOS는 그 반대로 한다.

최근, 액정 표시 장치는 점점 더 대화면화, 고정밀화되는 경향에 있으며 이에 사용하는 드레인 드라이버(130)의 출력 단자수도 증가하고 있으며, 각 출력 단자마다 디코더 회로(160), 출력 증폭기 회로(161) 등을 필요로 하기 때문에, 출력 단자수 증가와 함께 반도체 칩(IC)의 칩 사이즈가 증대한다.

또한, 도 19에 도시하는 종래의 디코더 회로(160)는 NMOS, PMOS가 각각 12개 직렬 접속되어 있기 때문에, 계조 전압 선택 시의 디코더 회로(160)의 온저항이 커지며 대화면화, 고정밀화에 따른 고속 동작이나 화질로의 영향도 피할수 없다.

[표 1]

계조 전압 레벨	표시 데이터					
	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0
2	0	0	0	0	0	1
3	0	0	0	0	1	0
4	0	0	0	0	1	1
5	0	0	0	1	0	0
6	0	0	0	1	0	1
7	0	0	0	1	1	0
8	0	0	0	1	1	1
9	0	0	1	0	0	0
10	0	0	1	0	0	1
11	0	0	1	0	1	0
12	0	0	1	0	1	1
13	0	0	1	1	0	0
14	0	0	1	1	0	1
15	0	0	1	1	1	0
16	0	0	1	1	1	1
17	0	1	0	0	0	0
18	0	1	0	0	0	1
19	0	1	0	0	1	0
20	0	1	0	0	1	1
21	0	1	0	1	0	0
22	0	1	0	1	0	1
23	0	1	0	1	1	0
24	0	1	0	1	1	1
25	0	1	1	0	0	0
26	0	1	1	0	0	1
27	0	1	1	0	1	0
28	0	1	1	0	1	1
29	0	1	1	1	0	0
30	0	1	1	1	0	1
31	0	1	1	1	1	0
32	0	1	1	1	1	1
33	1	0	0	0	0	0
34	1	0	0	0	0	1
35	1	0	0	0	1	0
36	1	0	0	0	1	1
37	1	0	0	1	0	0
38	1	0	0	1	0	1
39	1	0	0	1	1	0
40	1	0	0	1	1	1
41	1	0	1	0	0	0
42	1	0	1	0	0	1
43	1	0	1	0	1	0
44	1	0	1	0	1	1
45	1	0	1	1	0	0
46	1	0	1	1	0	1
47	1	0	1	1	1	0
48	1	0	1	1	1	1
49	1	1	0	0	0	0
50	1	1	0	0	0	1
51	1	1	0	0	1	0
52	1	1	0	0	1	1
53	1	1	0	1	0	0
54	1	1	0	1	0	1
55	1	1	0	1	1	0
56	1	1	0	1	1	1
57	1	1	1	0	0	0
58	1	1	1	0	0	1
59	1	1	1	0	1	0
60	1	1	1	0	1	1
61	1	1	1	1	0	0
62	1	1	1	1	0	1
63	1	1	1	1	1	0
64	1	1	1	1	1	1

도 20은 본 실시예의 드레인 드라이버(130)의 디코더 회로(160)의 구성을 나타낸 도면이다.

본 실시예의 6비트의 디코더 회로(160)에서는 상위 비트(D5, D4)를 각각 인핸스먼트 MOS 1개로, 또한 하위 비트를 각각 정상 데이터(D3, D2, D1, DO) 및 그 반전 데이터(/D3, /D2, /D1, /DO)에 대응하여 인핸스먼트 MOS 혹은 디플리션 MOS의 2개로 구성한다.

표 1에 나타내는 디코드표에서 최상위 비트 D5는 계조 전압(32)과 계조 전압(33) 간에서 표시 데이터가 0에서 1로 변화하고, 2번째의 상위 비트 D4는 계조 전압(16)과 계조 전압(17) 간에서 표시 데이터가 0에서 1로, 계조 전압(32)과 계조 전압(33) 간에서 표시 데이터가 1에서 0으로, 계조 전압(48)과 계조 전압(49) 간에서 표시 데이터가 0에서 1로 변화한다.

이 표시 데이터가 변화하는 데이터열을 경계로 하여, 상위 비트(D5, D4)를 제어하는 MOS의 게이트 전극에 대하여, NMOS 디코더(261)에서는 표시 데이터가 1일 때는 정상 데이터를, 표시 데이터가 0일 때는 반전 데이터를 인가하도록 전환하고, PMOS 디코더(262)에서는 그 반대의 표시 데이터를 인가함으로써, 상위 비트(D5, D4)에서 1비트당 NMOS, PMOS 1개씩의 인핸스먼트 MOS로 실현할 수 있다.

이에 따라, 상보형의 디코더에서는 1계조 전압당 4개의 MOS를 삭감할 수 있으며, 또한 마찬가지인 방법에 의해 D3 비트에도 적용하면, 6개의 MOS를 삭감할 수 있다.

도 21은 반도체 칩(IC) 내의 도 20에 도시하는 디코더 회로(160)의 레이아웃 구성을 설명하기 위한 개념도이다.

또, 도 21에서는 NMOS 디코더(261)의 경우의 레이아웃 구성을 나타내고 있다.

도 21에 도시한 바와 같이, 64개의 N형 확산층(60)과, 이 N형 확산층(60)에 대하여 수직으로, 거의 등간격으로 배치되는 10개의 Poly-Si 게이트 전극(61)에 의해 인핸스먼트 NMOS와 디플리션 NMOS를 맞춰서 10개 형성한다.

또한, N형 확산층(60)의 한쪽을 접속 구멍(65)에 의해 1층째의 AL 배선(62)에 접속하여 디코더 출력으로 하고, N형 확산층(60)의 다른쪽을 접속 구멍(65)과 1층째의 AL 배선(62) 및 접속 구멍(66)에 의해, 2층째의 AL 배선(63)으로 구성되는 전압 버스 라인(158)과 접속한다.

하위 비트(DO~D3)의 게이트 전극은 각각 1개의 연속된 데이타 버스이며, 64개의 확산층과 교차하여 MOS를 형성하고, 상위 비트(D5, D4)의 게이트 전극은 상기한 데이터의 전환을 경계로, 1층째의 AL 배선(62)으로 형성되는 각각 정상 데이터 및 반전 데이터의 데이터 버스(64)와 접속 구멍(65)에 의해 전환하여 접속한다.

이에 따라, Y 방향에 대하여 a, b, c의 3개소가 근소한 컨택트 영역을 확보하는 것만으로, 12개의 MOS로 구성되는 종래의 NMOS 디코더 회로(261)를, 10개의 MOS로 구성되는 NMOS 디코더 회로(261)를 구성할 수 있으므로 디코더 회로(160)의 레이아웃 면적을 축소할 수 있다.

이에 따라, 반도체 칩(IC)의 X 방향(도 6에 도시하는 X 방향)의 길이를 짧게 하는 것이 가능해진다.

또한, MOS를 통합하는 비트를 D3, D2 비트로 증가함으로써 더욱 X 방향의 레이아웃 면적은 축소할 수 있는 것은 분명하지만, 그 한편으로 게이트 전극을 전환하기 위한 컨택트 영역이 증가하고, Y 방향의 길이가 길어지므로 MOS를 통합하는 비트를 증가시키는 것은 X 방향의 길이와 Y 방향의 길이를 감안하여 최적화를 도모할 필요가 있다.

이와 같이, 본 실시예의 디코더 회로(160)에 따르면, 상보형 디코더 회로(160) 내의 직렬로 접속되는 트랜지스터수를 저감할 수 있기 때문에, 1출력당 디코더 회로(160)의 레이아웃 면적을 작게 할 수 있으며, 다출력이 되어도 비교적 칩 사이즈를 작게 한다.

또한, 상보형 디코드 회로(160) 내의 직렬로 접속되는 트랜지스터수를 저감할 수 있기 때문에, 온저항을 작게 할 수 있어 출력 전압을 짧은 시간에 안정된 전압 레벨로 도달시킬 수 있다.

도 22는 본 실시예의 TFT 방식의 액정 표시 모듈의 일례의 구성 부품을 나타내는 분해 사시도이다.

도 22에서 SHD는 금속판으로 이루어지는 프레임형의 실드케이스(메탈 프레임), LCW는 실드케이스(SHD)의 표시창, SPB는 광확산판, LCB는 도광체, RM은 반사판, BL은 백라이트 형광관, LCA는 백라이트 케이스이다.

또한, 액정 표시 패널(TFT-LCD)의 주위에는 구동 회로 기판(PCB1, PCB2)이 실장된다.

이 구동 회로 기판(PCB1, PCB2)은 각각 액정 표시 패널(TFT-LCD) 주변에 따라서 설치되며, 각 구동 회로 기판(PCB1, PCB2)은 플래트 케이블(도시하지 않음)에 의해 전기적으로 접속된다.

구동 회로 기판(PCB1)에는 테이프 캐리어 패키지(TCP), 컨덴서 등의 전자 부품이 실장되어 있으며, 이 구동 회로 기판(PCB1)은 드레인 드라이버(530)용과 게이트 드라이버(540)용 2개로 분할되어 있다.

구동 회로 기판(PCB2)에는 반도체 집적 회로(IC), 컨덴서 혹은 저항 등의 전자 부품이 실장되어 있으며, 이 구동 회로 기판(PCB2)은 도 1에 도시하는 인터페이스 기판(100)을 구성한다.

도 22에 도시하는 실드케이스(SHD), 주위에 구동 회로 기판(PCB1, PCB2)이 실장된 액정 표시 패널(TFT-LCD), 광 확산판(SPB), 도광체(LCB), 반사판(RM), 백라이트 형광관(BL) 및 백라이트 케이스(LCA)가 도면에 나타낸 배치 관계로 중첩되며 본 실시예의 액정 표시 모듈이 조립된다.

본 실시예의 액정 표시 모듈은 실드케이스(SHD)에 설치된 갈고리와 혹에 의해서 전체가 고정되도록 되어 있다.

백라이트 케이스(LCA)는 백라이트 형광관(BL), 광 확산판(SPB), 도광체(LCB), 반사판(RM)을 수납하는 형상으로 되어 있으며, 도광체(LCB)의 측면에 배치된 백라이트 형광관(BL)의 빛을 도광체(LCB), 반사판(RM), 광확산판(SPB)에 의해 표시면에서 똑같은 백라이트로 하고 액정 표시 패널(TFT-LCD)측에 출사한다.

백라이트 형광관(BL)에는 인버터 회로 기판(PCB3)이 접속되어 있으며, 백라이트 형광관(BL)의 전원으로 되어 있다.

상기 백라이트 형광관(BL)으로부터의 조사광은 백라이트측의 편광판, 한쌍의 유리 기판에 주입 밀봉된 액정층(LC) 및 표면측의 편광판을 투과하여 액정 표시 패널(TFT-LCD)로부터 방사된다.

그리고, 실드케이스(SHD)의 표시창(LCW)의 영역이 액정 표시 모듈의 표시 영역을 구성하고, 이 액정 표시 모듈의 표시 영역 이외의 영역 즉 실드케이스(SHD)의 표시창의 주위의 영역을 통상 액자로 칭한다.

이상, 본 발명자에 의해서 이루어진 발명을 상기 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

발명의 효과

본원에서 개시되는 발명 중 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면, 하기한 그대로이다.

(1) 본 발명에 따르면, 영상 신호선 구동 수단 내의 반도체 칩의 칩 사이즈를 축소하는 것이 가능해진다.

(2) 본 발명에 따르면, 액정 표시 장치의 한층 더 협프레임화 및 저가격화를 도모하는 것이 가능해진다.

(57) 청구의 범위

청구항 1.

매트릭스형으로 배치된 복수의 화소를 포함하는 액정 표시 소자와 상기 각 화소에 영상 신호 전압을 공급하는 영상 신호선 구동 수단을 구비하는 액정 표시 장치에 있어서,

상기 영상 신호선 구동 수단은 적어도 하나의 반도체 칩을 구비하고,

상기 적어도 하나의 반도체 칩은,

복수의 범프 전극과,

제1 다이오드와 제2 다이오드로 이루어지는 복수의 보호 다이오드쌍과,

상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역을 덮도록 설치되며, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역에 접속되고, 상기 각 범프 전극과의 접속부를 포함하는 복수의 배선층을 구비하고,

상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 각 배선층은 동일 형상이 되며,

상기 복수의 범프 전극 중 적어도 1개는 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 설치되며 또한 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에서 상기 배선층의 접속부와 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 2.

제1항에 있어서, 상기 배선층 상에 형성되며, 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 개구부를 포함하는 절연막을 포함하고,

상기 복수의 범프 전극 중 적어도 하나는 상기 개구부 및 상기 개구부의 주변의 절연막 상에 형성되며, 상기 개구부에 의해 상기 배선층의 접속부와 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 3.

제1항에 있어서, 상기 서로 인접하는 2개의 범프 전극 중 한쪽의 범프 전극은, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 상에 설치되며, 다른쪽의 범프 전극은 상기 각 다이오드쌍의 제2 다이오드의 캐소드 영역 상에 설치되는 것을 특징으로 하는 액정 표시 장치.

청구항 4.

제1항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 각각 층간 절연층을 통하여 설치되며, 서로 접속되는 n층의 도전층으로서, 제n층째의 도전층이 상기 배선층과 접속되는 n층의 도전층을 포함하고,

제1층째의 도전층은 층간 절연층에 설치된 복수의 접속 구멍에 의해 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 5.

제1항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 각각 층간 절연층을 통하여 설치되며, 서로 접속되는 n층의 도전층을 포함하고, 제1층째의 도전층이 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속되며,

상기 제1 층째 내지 제n 층째의 도전층은, 층간 절연층에 설치된 복수의 접속 구멍에 의해 서로 접속되며,

상기 제n 층째의 도전층은 층간 절연층에 설치된 복수의 접속 구멍에 의해 상기 배선층과 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 6.

제1항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 각각 층간 절연층을 통하여 설치되며 서로 접속되는 n층의 도전층을 포함하고,

제1 층째의 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 제1 영역 내의 층간 절연층에 설치된 복수의 제1 접속 구멍에 의해, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속되며,

상기 제1 층째 내지 제n 층째의 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제2 접속 구멍에 의해 서로 접속되며, 상기 제n층째의 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제3 접속 구멍에 의해 상기 배선층과 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 7.

제1항에 있어서,

상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 층간 절연층을 통하여 설치되는 도전층을 포함하고,

상기 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 제1 영역 내의 층간 절연층에 설치된 복수의 제1 접속 구멍에 의해, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속됨과 함께, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제2 접속 구멍에 의해, 상기 배선층과 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 8.

매트릭스형으로 배치된 복수의 화소를 포함하는 액정 표시 소자와, 상기 각 화소에 영상 신호 전압을 공급하는 영상 신호선 구동 수단을 구비하는 액정 표시 장치에 있어서,

상기 영상 신호선 구동 수단은 적어도 하나의 반도체 칩을 포함하고,

상기 적어도 하나의 반도체 칩은,

복수의 범프 전극과,

제1 다이오드와 제2 다이오드로 이루어지는 복수의 보호 다이오드쌍과,

상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역을 덮도록 설치되며, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역에 접속되고, 상기 각 범프 전극과의 접속부를 포함하는 복수의 배선층을 포함하고,

상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 각 배선층은 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역보다 폭 넓게 형성되며,

상기 복수의 범프 전극 중 적어도 하나는 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 설치되며, 또한 상기 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에서 상기 배선층의 접속부와 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 9.

제8항에 있어서, 상기 배선층 상에 형성되며, 상기 각 보호 다이오드쌍의 제1 다이오드의 애노드 영역 혹은 제2 다이오드의 캐소드 영역 상에 개구부를 포함하는 절연막을 포함하고,

상기 복수의 범프 전극 중 적어도 하나는 상기 개구부 및 상기 개구부의 주변의 절연막 상에 형성되며, 상기 개구부에 의해 상기 배선층의 접속부와 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 10.

제8항에 있어서, 상기 서로 인접하는 2개의 범프 전극 중 한쪽 범프 전극은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 상에 설치되며, 다른쪽의 범프 전극은 상기 각 다이오드쌍의 제2 다이오드의 캐소드 영역 상에 설치되는 것을 특징으로 하는 액정 표시 장치.

청구항 11.

제8항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 각각 층간 절연층을 통하여 설치되며, 서로 접속되는 n층의 도전층으로서, 제n 층째의 도전층이 상기 배선층과 접속되는 n층의 도전층을 구비하고,

제1층째의 도전층은 층간 절연층에 설치된 복수의 접속 구멍에 의해, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속되어 있는 것을 특징으로 하는 액정 표시 장치.

청구항 12.

제8항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 각각 층간 절연층을 통하여 설치되며, 서로 접속되는 n층의 도전층을 포함하고, 제1층째의 도전층이 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속되며,

상기 제1 층째 내지 제n 층째의 도전층은 층간 절연층에 설치된 복수의 접속 구멍에 의해 서로 접속되며,

상기 제n 층째의 도전층은 층간 절연층에 설치된 복수의 접속 구멍에 의해 상기 배선층과 접속되는 것을 특징으로 하는 액정 표시 장치.

청구항 13.

제8항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 각각 층간 절연층을 통하여 설치되며, 서로 접속되는 n층의 도전층을 포함하고,

제1 층째의 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 제1 영역 내의 층간 절연층에 설치된 복수의 제1 접속 구멍에 의해 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속되며,

상기 제1 층째 내지 제n 층째의 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제2 접속 구멍에 의해 서로 접속되며, 상기 제n층째의 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제3 접속 구멍에 의해, 상기 배선층과 접속되는 것을 특징으로 하는 액정 표시 장치.

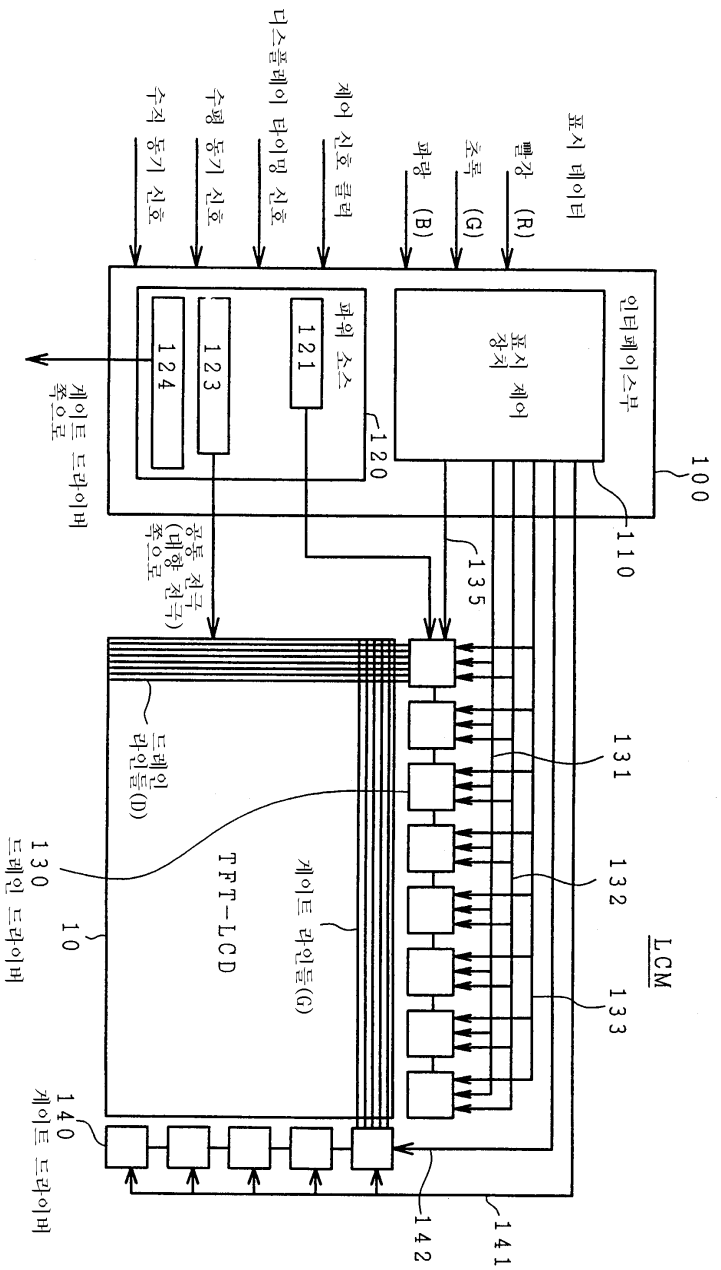
청구항 14.

제8항에 있어서, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 상기 배선층과의 사이에, 층간 절연층을 통하여 설치되는 도전층을 구비하고,

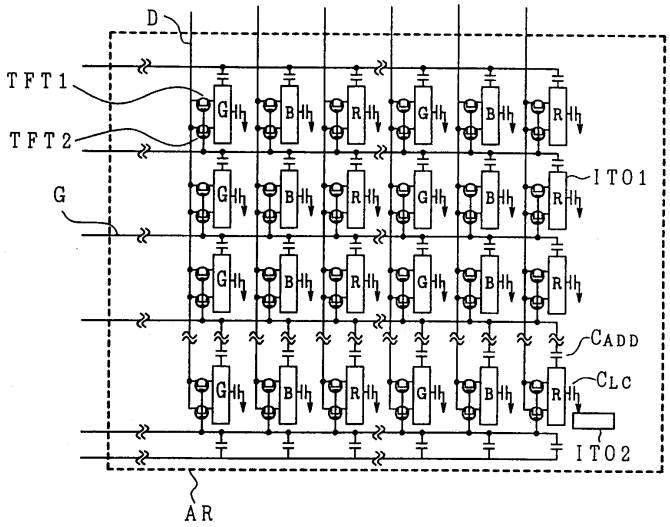
상기 도전층은 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 제1 영역 내의 층간 절연층에 설치된 복수의 제1 접속 구멍에 의해, 상기 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역과 접속됨과 함께, 상기 각 다이오드쌍의 제1 다이오드의 애노드 영역 및 제2 다이오드의 캐소드 영역 상의 상기 제1 영역 외의 층간 절연층에 설치된 복수의 제2 접속 구멍에 의해 상기 배선층과 접속되는 것을 특징으로 하는 액정 표시 장치.

도면

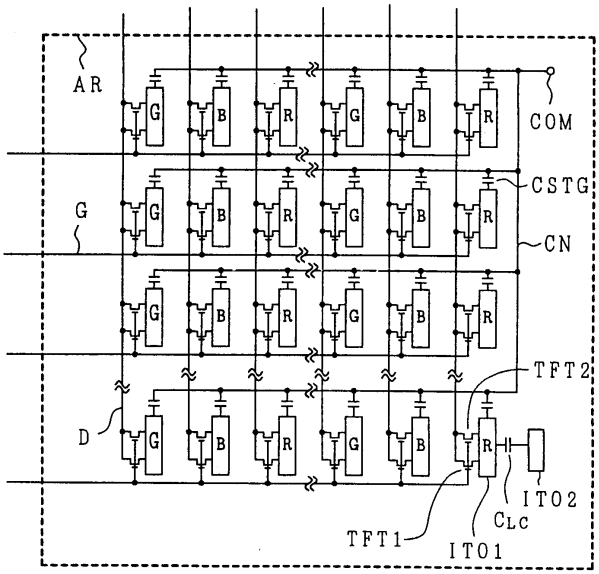
도면1



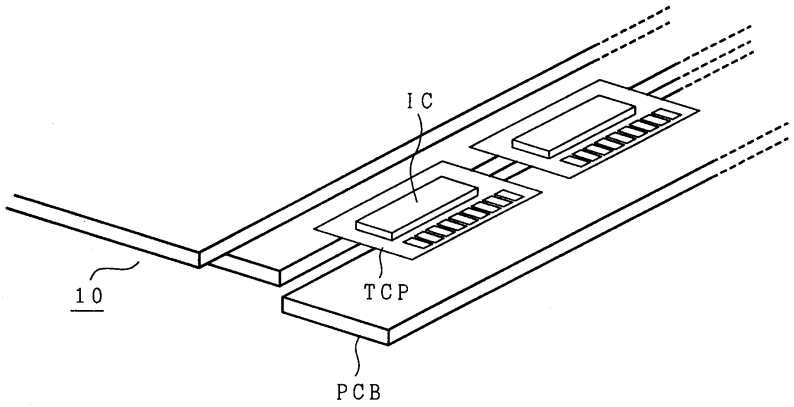
도면2


D
TFT1
TFT2
G
ITO1
CADD
CLC
ITO2
AR

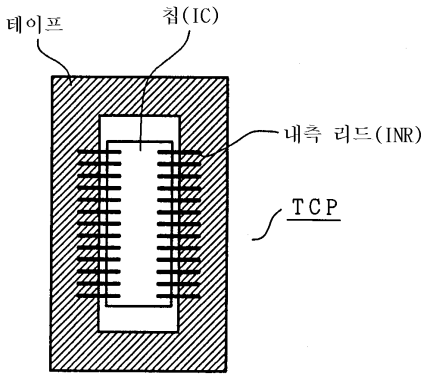
도면3


AR
COM
CSTG
G
CN
TFT2
D
ITO2
CLC
TFT1
ITO1

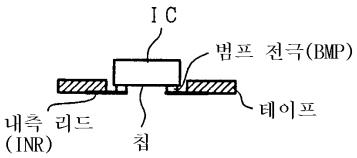
도면4


IC
10
TCP
PCB

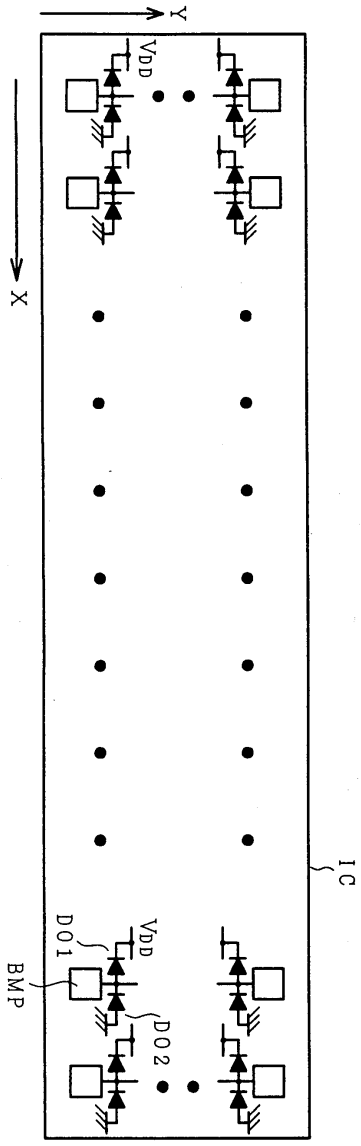
도면5a



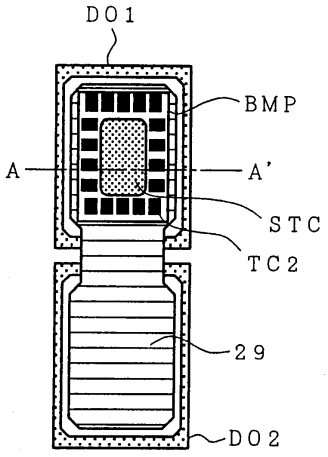
도면5b



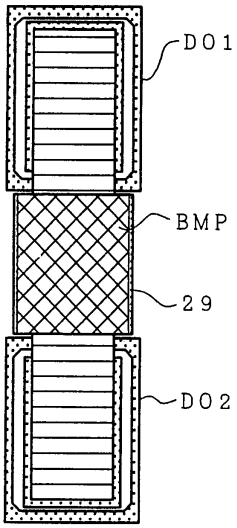
도면6



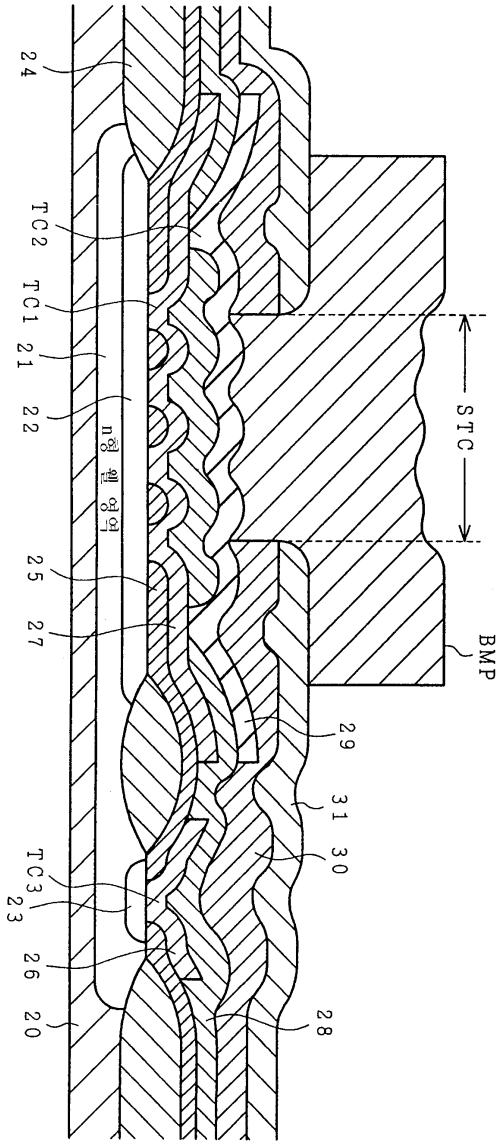
도면7



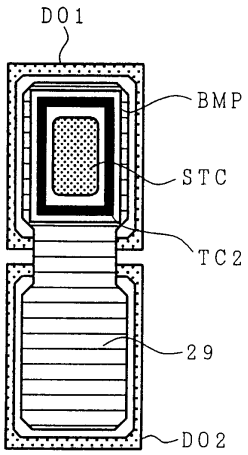
도면8


DO1
BMP
29
DO2

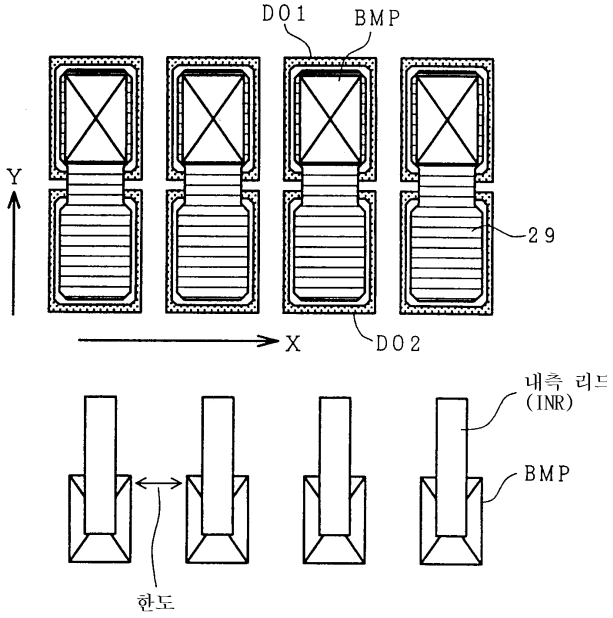
도면9


24
TC2
TC1
21
22
n형 웰 영역
25
27
STC
BMP
29
31
30
TC3
23
26
20
28

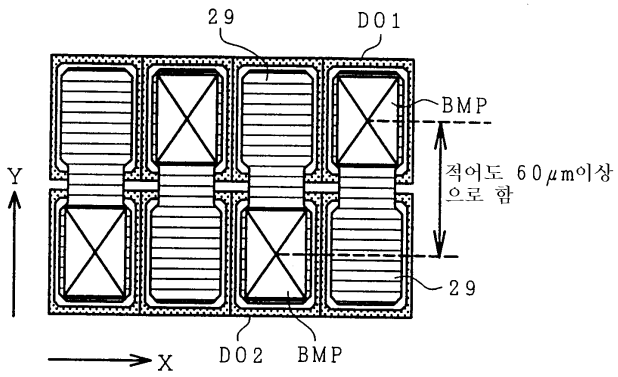
도면10

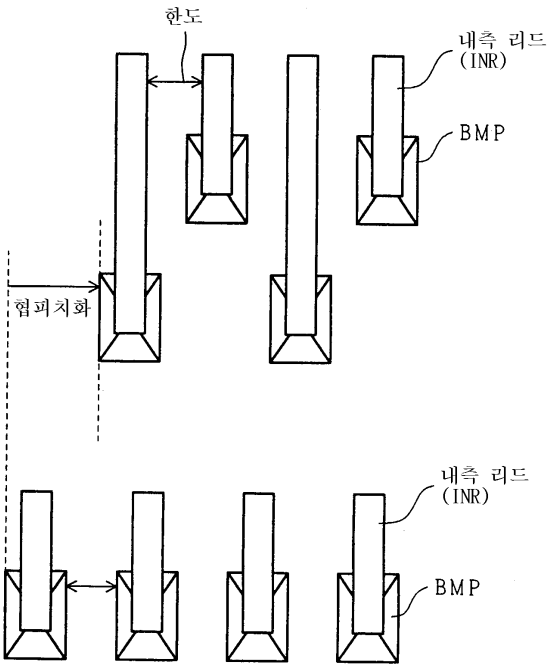


도면11

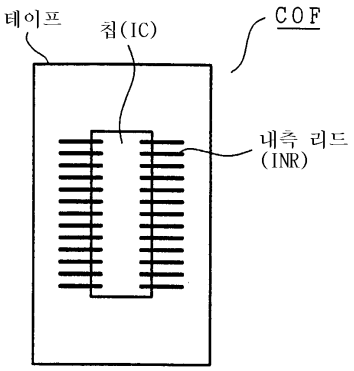


도면12

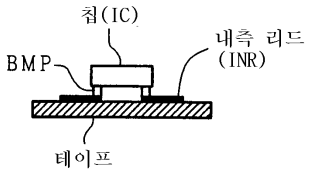

29
DO1
BMP
적어도 60㎛이상
으로 함
Y
29
DO2
BMP
X


한도
내측 리드
(INR)
BMP
협피치화
내측 리드
(INR)
BMP

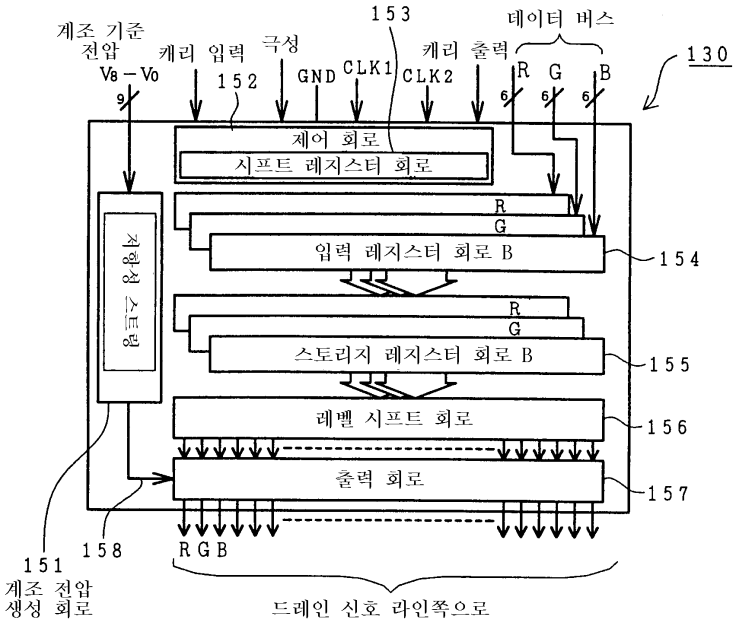
도면13a


테이프
칩(IC)
COF
내측 리드
(INR)

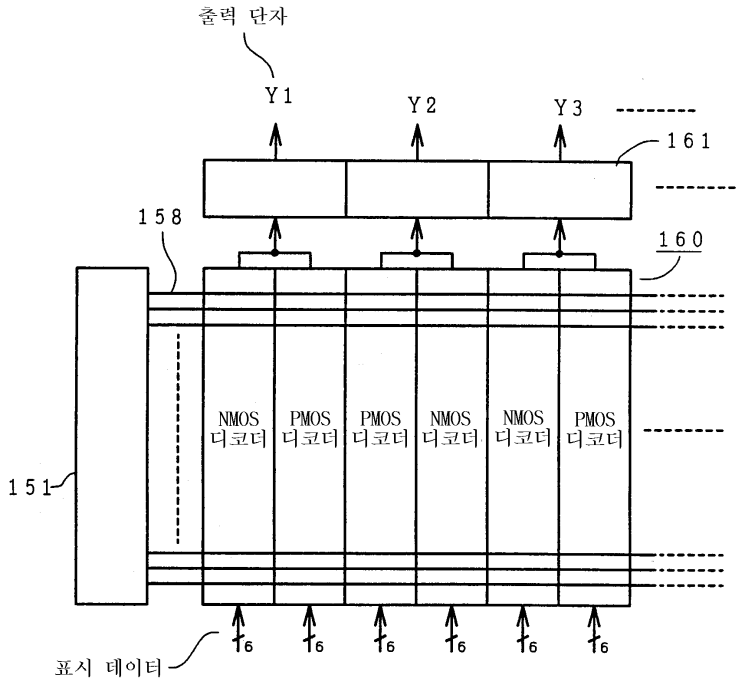
도면13b



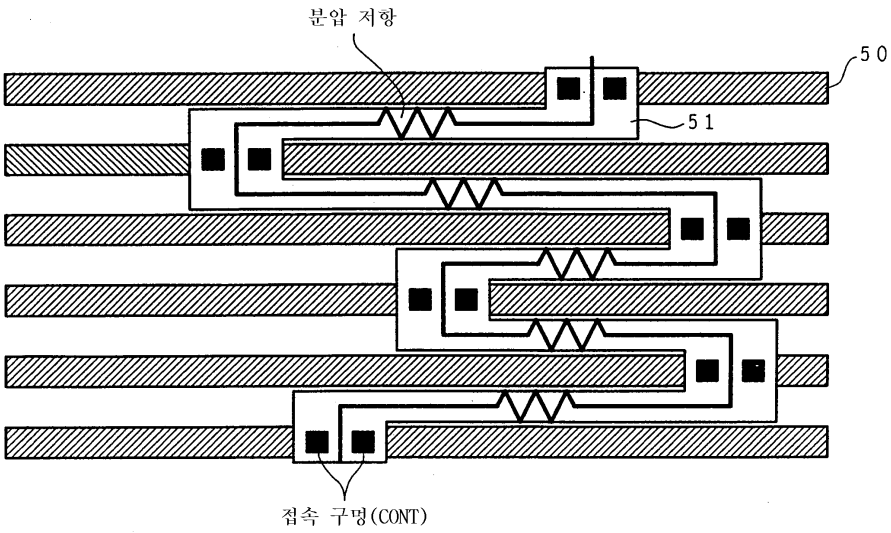
도면14



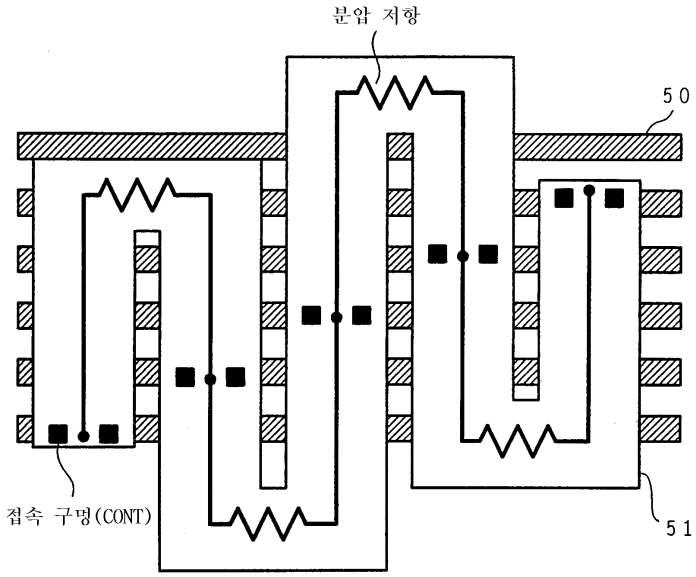
도면15



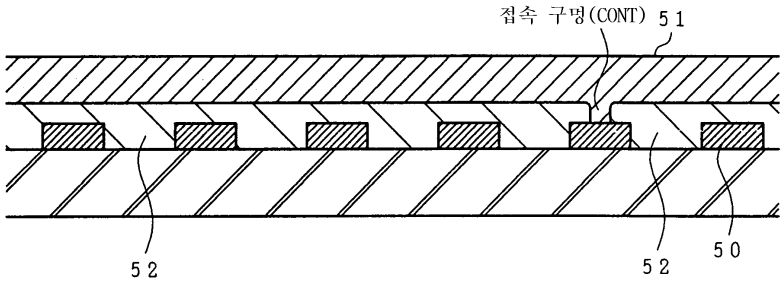
도면16



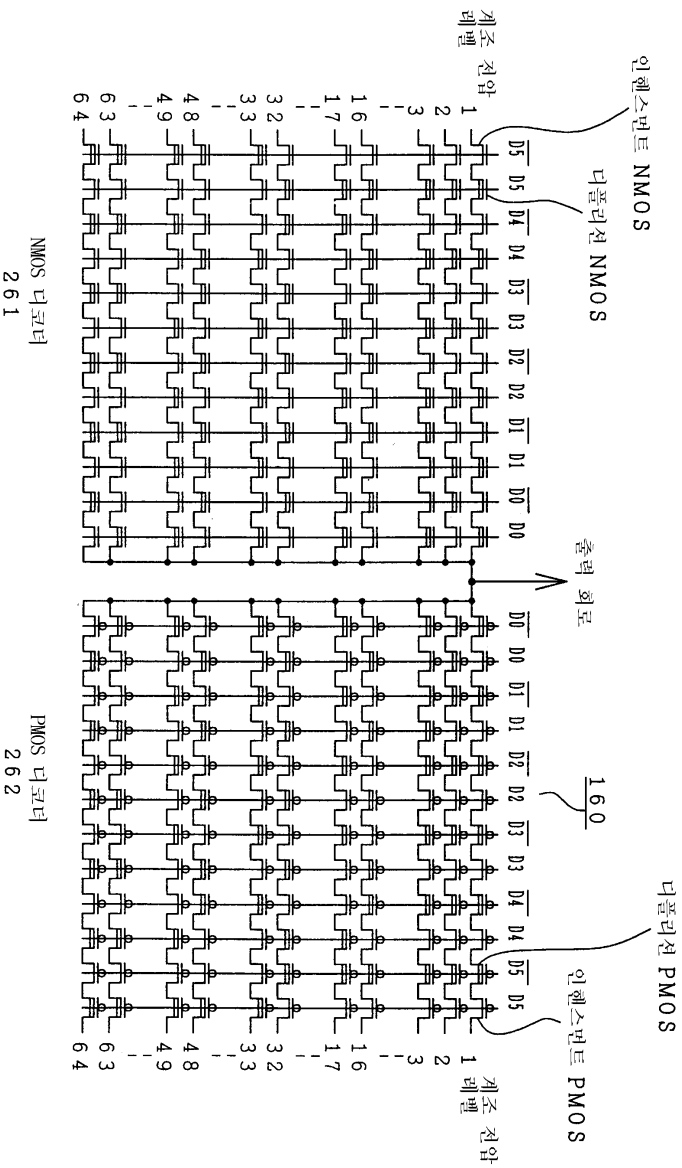
도면17



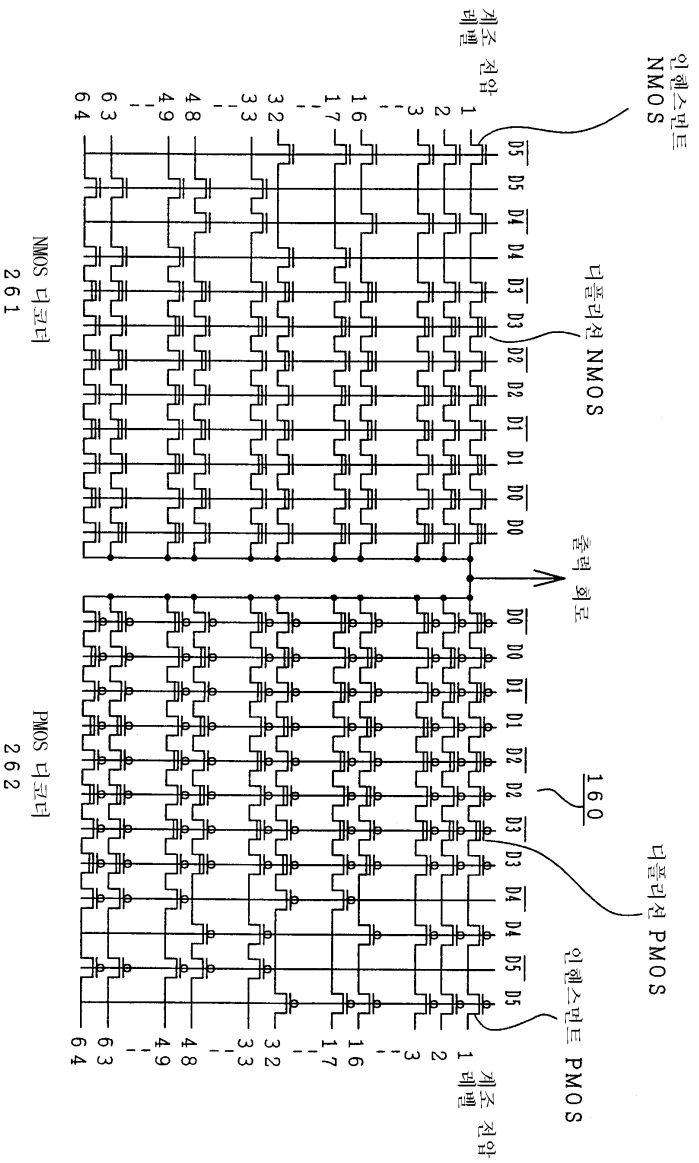
도면18



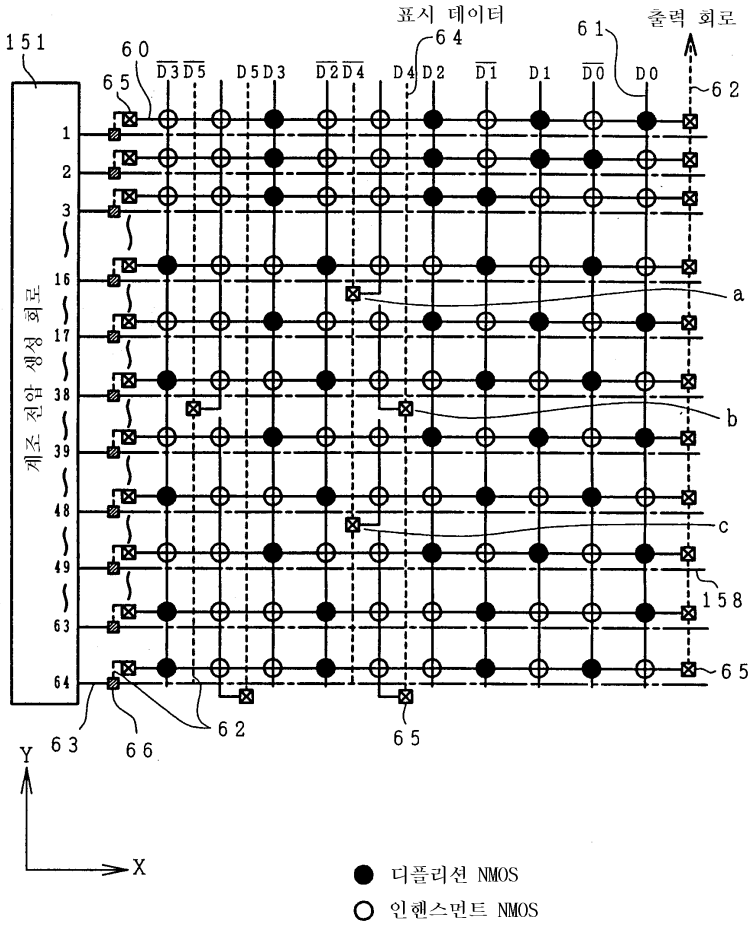
도면19


인헨스먼트 NMOS
디플리션 NMOS
게조 전압 레벨
출력 회로
160
디플리션 PMOS
인헨스먼트 PMOS
NMOS 디코더
261
PMOS 디코더
262

도면20


인헨스먼트 NMOS
디플리션 NMOS
출력 회로
160
디플리션 PMOS
인헨스먼트 PMOS
NMOS 디코더 261
PMOS 디코더 262
계조 전압 레벨
D5 D5 D4 D4 D3 D3 D2 D2 D1 D1 D0 D0
D0 D0 D1 D1 D2 D2 D3 D3 D4 D4 D5 D5
1 2 3 16 17 32 33 48 49 63 64

도면21


표시 데이터
출력 회로
151
60
64
61
62
65
D3 D5
D5 D3
D2 D4
D4 D2
D1
D1
D0
D0
1
2
3
16
17
38
39
48
49
63
64
계조 전압 생성 회로
a
b
c
158
65
63
66
62
65
Y
X
디플리션 NMOS
인핸스먼트 NMOS

도면22

