

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 19 年 10 月 11 日 (2007.10.11)

【公表番号】特表 2007-518149 (P2007-518149A)

【公表日】平成 19 年 7 月 5 日 (2007.7.5)

【年通号数】公開・登録公報 2007-025

【出願番号】特願 2006-533913 (P2006-533913)

【国際特許分類】

**G 0 6 F 12/06 (2006.01)**

**G 0 6 F 12/00 (2006.01)**

**G 0 6 F 12/08 (2006.01)**

**G 0 6 F 1/32 (2006.01)**

【F I】

G 0 6 F 12/06 5 1 5 H

G 0 6 F 12/00 5 5 0 E

G 0 6 F 12/08 5 7 9

G 0 6 F 1/00 3 3 2 A

【手続補正書】

【提出日】平成 19 年 8 月 22 日 (2007.8.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

電力管理を有する集積回路であって、

命令を実行する処理回路と、

前記処理回路に結合されて、データを前記処理回路に与える少なくとも 1 つのメモリ・アレイと、

前記少なくとも 1 つのメモリ・アレイに結合された制御回路と、を備え、

前記制御回路は、最初に前記少なくとも 1 つのメモリ・アレイに対する全てのアクセスを使用不能にし、次に、前記少なくとも 1 つのメモリ・アレイの全てに対する電力を取り去って、前記少なくとも 1 つのメモリ・アレイの漏れ電流を低減することにより、電圧供給端子に対する前記少なくとも 1 つのメモリ・アレイの電気接続を取り去る、集積回路。

【請求項 2】

前記少なくとも 1 つのメモリ・アレイに結合された 1 又はそれより多くのサポート・メモリ・アレイを更に備え、

前記少なくとも 1 つのサポート・メモリ・アレイが、前記少なくとも 1 つのメモリ・アレイを動作させるようサポート機能を与え、

前記制御回路は、電力が前記少なくとも 1 つのメモリ・アレイの全てに対する電力を取り去られるとき、前記少なくとも 1 つのメモリ・アレイの中の全てのデータが前記少なくとも 1 つのメモリ・アレイに対する電力を回復すると直ぐに使用不能と印をされねばならないかどうか依存して前記 1 又はそれより多くのサポート・メモリ・アレイを選択的に給電しておく

請求項 1 記載の集積回路。

【請求項 3】

前記制御回路が、前記電圧供給端子に結合された第 1 の端子と前記少なくとも 1 つのメ

メモリ・アレイの電力プレーン端子に結合された第２の端子とを有するスイッチを更に備え、

前記スイッチが更に、当該スイッチが導通状態にあるときに決定する制御信号を受け取る制御端子を備える

請求項１記載の集積回路。

【請求項４】

電力管理を有する集積回路であって、

命令を実行する処理回路と、

メモリ・アレイ内に含まれる複数のメモリ・ビット・セルであって、電力供給端子に結合されて、第１の電力プレーンを生成する複数のメモリ・ビット・セルと、

前記複数のメモリ・ビット・セルの周辺にあるメモリ・アレイ周辺回路であって、前記電力供給端子に選択的に結合されて、前記第１の電力プレーンから独立である第２の電力プレーンを生成するメモリ・アレイ周辺回路と、

前記複数のメモリ・ビット・セルの周辺にある前記メモリ・アレイ周辺回路に結合された制御回路であって、前記複数のメモリ・ビット・セルの周辺にある前記メモリ・アレイ周辺回路の電力供給端子に対する電気接続を選択的に取り去る記制御回路とを備える集積回路。

【請求項５】

集積回路の中の漏れ電流を低減する方法であって、

メモリ・セルのアレイを備える回路の第１の電力プレーンを設けるステップと、

プロセッサ及び制御回路を備える回路の第２の電力プレーンを設けるステップと、を備え、

前記制御回路は、最初に前記メモリ・セルのアレイに対する全てのアクセスを使用不能にし、次に、前記メモリ・セルのアレイの全てに対する電力を取り去ることにより、電圧供給端子に対する前記メモリ・セルのアレイの電気接続を取り去って、前記メモリ・セルのアレイの漏れ電流を低減する、方法。