

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成19年10月11日(2007.10.11)

【公表番号】特表2007-518149(P2007-518149A)

【公表日】平成19年7月5日(2007.7.5)

【年通号数】公開・登録公報2007-025

【出願番号】特願2006-533913(P2006-533913)

【国際特許分類】

G 06 F 12/06 (2006.01)

G 06 F 12/00 (2006.01)

G 06 F 12/08 (2006.01)

G 06 F 1/32 (2006.01)

【F I】

G 06 F 12/06 5 1 5 H

G 06 F 12/00 5 5 0 E

G 06 F 12/08 5 7 9

G 06 F 1/00 3 3 2 A

【手続補正書】

【提出日】平成19年8月22日(2007.8.22)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電力管理を有する集積回路であって、

命令を実行する処理回路と、

前記処理回路に結合されて、データを前記処理回路に与える少なくとも1つのメモリ・アレイと、

前記少なくとも1つのメモリ・アレイに結合された制御回路と、を備え、

前記制御回路は、最初に前記少なくとも1つのメモリ・アレイに対する全てのアクセスを使用不能にし、次に、前記少なくとも1つのメモリ・アレイの全てに対する電力を取り去って、前記少なくとも1つのメモリ・アレイの漏れ電流を低減することにより、電圧供給端子に対する前記少なくとも1つのメモリ・アレイの電気接続を取り去る、集積回路。

【請求項2】

前記少なくとも1つのメモリ・アレイに結合された1又はそれより多くのサポート・メモリ・アレイを更に備え、

前記少なくとも1つのサポート・メモリ・アレイが、前記少なくとも1つのメモリ・アレイを動作させるようサポート機能を与え、

前記制御回路は、電力が前記少なくとも1つのメモリ・アレイの全てに対する電力を取り去られるとき、前記少なくとも1つのメモリ・アレイの中の全てのデータが前記少なくとも1つのメモリ・アレイに対する電力を回復すると直ぐに使用不能と印をされねばならないかどうかに依存して前記1又はそれより多くのサポート・メモリ・アレイを選択的に給電しておく

請求項1記載の集積回路。

【請求項3】

前記制御回路が、前記電圧供給端子に結合された第1の端子と前記少なくとも1つのメ

モリ・アレイの電力プレーン端子に結合された第2の端子とを有するスイッチを更に備え、

前記スイッチが更に、当該スイッチが導通状態にあるときを決定する制御信号を受け取る制御端子を備える

請求項1記載の集積回路。

【請求項4】

電力管理を有する集積回路であって、

命令を実行する処理回路と、

メモリ・アレイ内に含まれる複数のメモリ・ビット・セルであって、電力供給端子に結合されて、第1の電力プレーンを生成する複数のメモリ・ビット・セルと、

前記複数のメモリ・ビット・セルの周辺にあるメモリ・アレイ周辺回路であって、前記電力供給端子に選択的に結合されて、前記第1の電力プレーンから独立である第2の電力プレーンを生成するメモリ・アレイ周辺回路と、

前記複数のメモリ・ビット・セルの周辺にある前記メモリ・アレイ周辺回路に結合された制御回路であって、前記複数のメモリ・ビット・セルの周辺にある前記メモリ・アレイ周辺回路の電力供給端子に対する電気接続を選択的に取り去る記制御回路とを備える集積回路。

【請求項5】

集積回路の中の漏れ電流を低減する方法であって、

メモリ・セルのアレイを備える回路の第1の電力プレーンを設けるステップと、

プロセッサ及び制御回路を備える回路の第2の電力プレーンを設けるステップと、を備え、

前記制御回路は、最初に前記メモリ・セルのアレイに対する全てのアクセスを使用不能にし、次に、前記メモリ・セルのアレイの全てに対する電力を取り去ることにより、電圧供給端子に対する前記メモリ・セルのアレイの電気接続を取り去って、前記メモリ・セルのアレイの漏れ電流を低減する、方法。