[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H04L 27/156 (2006.01)

[12] 发明专利申请公布说明书

[21] 申请号 200680012578.2

[43] 公开日 2008 年 4 月 9 日

[11] 公开号 CN 101160891A

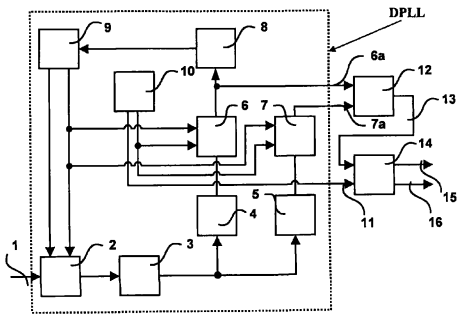
[22] 申请日 2006.4.4
[21] 申请号 200680012578.2
[30] 优先权
[32] 2005. 4.14 [33] EP [31] 05008160.3
[86] 国际申请 PCT/EP2006/061305 2006.4.4
[87] 国际公布 WO2006/108777 英 2006.10.19
[85] 进入国家阶段日期 2007.10.15
[71] 申请人 汤姆森特许公司
地址 法国布洛涅
[72] 发明人 德克·施米特 阿尔基斯·伊考诺姆 马滕·卡布茨
[74] 专利代理机构 北京市柳沈律师事务所
代理人 吕晓章
权利要求书 2 页 说明书 8 页 附图 6 页

[54] 发明名称

从频率调制信号恢复二进制无直流码的方法和装置

[57] 摘要

本发明涉及一种用于从频率调制信号中恢复二进制无直流码的方法和装置，而不需要频率调制信号的任何模拟信号解调。 本发明更具体地涉及按照例如光存储介质上的高速记录的需要进行的恶化的摇摆信道中的 ATIP 双相信道比特和定时恢复。 该装置包括数字锁相环(DPLL)，相位检测器(12)使用相位栅格，并且，对相位栅格应用最大似然检测以提供双相信道比特信号(16)和双相时钟信号(15)，所述双相时钟信号(15)与双相信道比特信号(16)的采样点同步以恢复所述二进制码。 本发明还可应用于基于频率调制的其它数据传输系统，例如调制解调器或无线数据通信系统。



1. 一种用于从频率调制信号(1)中恢复频率调制二进制无直流码的装置，包括:

模数转换器(ADC)，

数字锁相环(DPLL)，具有提供同相检测器信号(7a)的第一相位检测器和提供经模数转换的频率调制信号(1)的正交相位检测器信号(6a)的第二相位检测器，

第三相位检测器(12)，用于检测所述同相检测器信号(7a)与所述正交相位检测器信号(6a)之间的相移，和

双相信道比特检测器(BCD)以及双相时钟生成器(BCG)，它们都连接到所述第三相位检测器(12)和数字锁相环(DPLL)的选通信号(11)输出，用于提供双相信道比特信号(16)和双相时钟信号(15)，所述双相时钟信号(15)与双相信道比特信号(16)的采样点同步以恢复所述二进制码。

2. 如权利要求 1 所述的装置，其中，第三相位检测器(12)是状态机(STM)，用于从所述同相检测器信号(7a)与所述正交相位检测器信号(6a)生成相位栅格信号(13)。

3. 如权利要求 1 所述的装置，其中，数字锁相环(DPLL)的所述选通信号(11)输出是所述数字锁相环(DPLL)的摇摆相位计数器(10)的输出。

4. 如权利要求 1 所述的装置，其中，双相信道比特检测器(BCD)包括连接到比较器(22)的匹配滤波器(20，21)，所述比较器(22)比较匹配滤波器(20，21)的输出与所述第三相位检测器(12)提供的相位栅格的极性，以恢复双相信道比特信号(16)的比特长度。

5. 如权利要求 1 所述的装置，其中，双相时钟生成器(BCG)包括串联连接的匹配滤波器(23)、相位误差检测器(24)、相位误差累加器(25)、阈值检测器(26)和由所述阈值检测器(26)控制以生成脉冲的脉冲生成器(27)，所述脉冲移动脉冲生成器(27)的相位以提供双相时钟信号(15)，所述双相时钟信号(15)与双相信道比特信号(16)的采样点同步以恢复所述二进制码。

6. 如权利要求 1 所述的装置，其中，模数转换器(ADC)提供从模拟摇摆信号(aWS)转换的频率调制信号(1)。

7. 一种用于从频率调制信号(1)中恢复频率调制二进制无直流码的方法，

包括步骤:

对频率调制信号(1)进行模数转换,

通过使用数字锁相环(DPLL),生成经模数转换的频率调制信号(1)的同相检测器信号(7a)和正交相位检测器信号(6a),

从所述同相检测器信号(7a)与所述正交相位检测器信号(6a)形成相位栅格,

通过使用匹配滤波器(21,22,23)来对相位栅格应用最大似然检测,以提供双相信道比特信号(16)和时钟相位误差信号(25a),所述时钟相位误差信号(25a)移动脉冲生成器(27)的相位以提供双相时钟信号(15),所述双相时钟信号(15)与双相信道比特信号(16)的采样点同步以恢复所述二进制码。

8. 如权利要求 7 所述的方法,其中,所述通过使用匹配滤波器(21,22,23)来对相位栅格应用最大似然检测还包括:在彼此挨着的每个相位栅格值之间内插以提供内插相位栅格值(19a),以便确保如果前一相位栅格值小于后一相位栅格值则提供双相信道比特信号(16)值 1,而如果前一相位栅格值是更大的相位栅格值则提供双相信道比特信号(16)值 0,以及确保如果双相时钟信号(15)与双相信道比特信号(16)同步,则时钟相位误差信号(25a)为 0。

9. 如权利要求 7 所述的方法,其中,将+/-2π 相位检测器(12)用于所述相位栅格生成。

10. 如权利要求 7 所述的方法,其中,所述二进制无直流码包括频率调制信号(1)中的 ATIP 信息,并且频率调制信号(1)是从自光记录介质读取的模拟摇摆信号(aWS)转换的。

从频率调制信号恢复二进制无直流码的方法和装置

技术领域

本发明涉及一种从频率调制信号恢复二进制无直流码(DC-free code)、而不需要频率调制信号的任何模拟信号解调并且低成本的方法和装置。频率调制信号中包含的二进制无直流码例如是所谓的 ATIP 摇摆(wobble)信号，其在可记录光存储介质(如 CD-R 和 CD-RW)中被压制(emboss)为沟槽。因此，本发明更具体地涉及按照例如光存储介质上的高速记录的需要进行的恶化的摇摆信道中的 ATIP 双相信道比特(channel bit)和定时恢复。

背景技术

在数字通信和磁或光记录系统中广泛采用无直流编码。无直流是指编码序列没有直流频谱分量。信号的直流分量是在一定时间间隔上的平均电压或积分。频谱在零频率上为零或者也称为匹配频谱零码的二进制序列已经在通信和记录系统上得到广泛应用，并且众所周知的是，通过采样和锁存频率调制信号、并且数字地比较预定计数值与从高频时钟和频率调制信号得出的计数值，来解调包含二进制码的频率调制信号，这通常需要频率调制模拟信号的中心频率的模拟信号解调。例如在 US5506824 中披露了这样的方法。所述方法的缺点是：除了数字锁相环外，还通过双相转换器和锁相环来进行必需的模拟信号解调，以及对于高速应用，必须增大频率时钟以提供高速计数器所需的分辨率。这意味着：不利的是，必须将模拟和数字部件用于在集成电路中的实现，并且所披露的方法要求非常高的采样频率来提供所述分辨率，这对于校正高频的摇摆频率信号中的时钟周期变化是必要的。此外，所述方法对噪声和频率调制信号的抖动的抵抗力也不强。

发明内容

本发明的一个方面是提供一种专门(exclusively)用数字部件从频率调制模拟信号中数字恢复二进制无直流码、并且用于高速应用并具有低成本的方法和装置。

这是通过在内部具有二进制无直流码的所述频率调制模拟信号的模数转换、并且使用锁相环和相位栅格(trellis)进行比特和定时恢复来实现的。由使用所述数字锁相环引起的误差信号可通过将相位栅格用于解调来去除。使用相移来生成所述相位栅格，并且使用来自所述数字锁相环的摇摆相位计数器的选通信号与相位栅格信号的组合来进行在频率调制模拟信号中包含的所述二进制无直流码的比特和定时恢复。分别对于时钟和定时恢复使用两次数字锁相环，并且对于双相信号和时钟检测结合相位栅格而使用两次数字锁相环，这导致低成本。来自所述数字锁相环的摇摆相位计数器的选通信号与相位栅格信号的组合包括用于恢复比特长度的双相信道比特检测器，并且包括分别用于定时和双相时钟恢复的双相时钟生成器。因此，对相位栅格应用最大似然检测。

不需要用于增大双相时钟频率的分频器以及用于解调频率调制模拟信号的中心频率的模拟锁相环，这使得本方法和相应装置可有利地应用到高速应用，例如，高速记录光盘介质(如 CD-R 和 CD-RW)。专门地使用数字部件，这使得在集成电路的数字环境中实施该装置更容易。

为了更好地理解本发明，在下面的描述中详细说明了示例性实施例。应当理解，在本发明的使用方面，本发明不限于该示例性实施例，并且也可以方便地组合或修改所详细说明的特征而不背离本发明的范围。

在本发明的特定优选实施例中，本发明的要点例如用于按照记录光盘介质(如 CD-R 和 CD-RW)的需要而从光盘的所压制的摇摆沟槽检测所谓的 ATIP 信息。缩写 ATIP 意思是预制沟槽(pre-groove)中的绝对时间，其包含用于确定盘上的当前位置的时间码信息。ATIP 时间-码(time-code)信号的数字调制是通过由在内部具有二进制无直流码的频率调制模拟信号表示的载波频率的双相-传号(bi-phase-mark)调制来实现的。根据本发明，通过使用具有正交相位检测器的数字锁相环来提取摇摆频率调制信号，以便再现 ATIP 双相传号信道比特和双相时钟信号。使用正交相位检测器信号来形成相位栅格图。使用相位栅格进行解调，从而由所述解调引起的误差信号被滤掉，这避免了第二锁相环以及使用增大的时钟信号的必要性，而在传统上对于恢复具有超过一个摇摆信号周期的相位偏差范围的二进制无直流码需要第二锁相环以及使用增大的时钟信号。通过使用匹配滤波器来对相位栅格应用最大似然检测，以提供双相信道比特信号和时钟相位误差信号，所述时钟相位误差信号移动脉冲生

成器的相位以便提供双相时钟信号，所述双相时钟信号与双相信道比特信号的采样点同步(in time)以恢复所述二进制码。

此外，本解决方案可有利地应用于高速记录光介质，因为不需要根据现有解决方案的用于数据和载波频率比较的所述增大的时钟信号，这也提高了噪声抑制能力。本发明归于总体可应用于从传输的频率调制模拟信号恢复二进制无直流码的所述特征，这使其也可应用于基于频率调制的其它数据传输系统，例如调制解调器或无线数据通信系统。

通过结合附图进行的对优选实施例的以下描述，本发明的特性以及本发明的其他目的、优点、特征和用途将变得明显。

附图说明

在附图中:

图 1 示出 ATIP 摇摆信号的扩展频谱图，

图 2 是示出双相-传号(bi-phase-mark)调制规则的表，

图 3 是用于从频率调制信号中数字恢复二进制无直流码的装置的框图，

图 4 示出图 3 中的相位检测器的相位图，

图 5 是相位栅格(trellis)信号图，

图 6 示出 ATIP 信号检测器的细节，

图 7 示出用于双相信道比特恢复的相位栅格和匹配滤波器输出信号，

图 8 示出对于同相双相时钟的相位栅格和相位误差信号，

图 9 示出对于拖尾(trailing)双相时钟的相位栅格和相位误差信号，

图 10 示出对于前导(leading)双相时钟的相位栅格和相位误差信号，

图 11 是+/-2π 相位检测器的状态转移的状态表，

图 12 是用于从频率调制信号中数字恢复二进制无直流码的装置的框图。

具体实施方式

在不同附图中使用相同的附图标记指代相似或所有项目。

图 1 示出在 16 倍记录速度上的 ATIP 摇摆信号的扩展频谱图，其在从 0.2 到 0.50MHz 的频率范围内具有小于-40 分贝 dB 的总谐波畸变。将使用这种在内部具有二进制无直流码的频率调制模拟信号来详细说明本发明。

ATIP 摇摆信号被压制为可记录 CD-R 和 CD-RW 介质中的沟槽。ATIP 摇

摆信号是频率调制信号，其中调制时间-码在整个盘介质中单调增加。ATIP 摇摆信号的中心频率或者所谓的载波频率是 22.05kHz，并且关于信道比特 1 的偏差是+1 kHz+/-10%，而关于信道比特 0 的偏差是-1 kHz+/-10%。因此 ATIP 摇摆信道的扩展频谱看起来像图 1 这样。ATIP 时间-码信号的数字调制是通过双相-传号调制实现的。图 2 中示出双相-传号的状态图。图 2 中的表图示了双相-传号调制规则，其是指：如果出现信道比特 cb 11 或 00 并且先前的信道比特是 x0 或 x1，则将数据比特 db 0 编码，如果出现信道比特 cb 10 或 01 并且先前的信道比特是 x0 或 x1，则将数据比特 db 1 编码，其中 x 意思是它与出现 0 还是 1 没有关系。ATIP 帧的同步码是利用双相-传号调制的违反(violation)实现的。如果前一信道比特是 0，则八个同步信道比特是 11101000，并且如果前一信道比特是 1，则八个同步信道比特是 00010111。一个 ATIP 帧的时间与记录信道中一个子码帧的时间相同。因此，ATIP 帧的内容与记录信道中的数据内容直接相关。从具有用于以单速记录的 44.1kHz 的时钟的相同频率源得到摇摆频率和 ATIP 双相时钟。信道比特周期是摇摆周期的 3.5，这意味着 6300 比特/秒。ATIP 信号的最高频率偏差是由 ATIP 帧中的同步型式(pattern)产生的，所述同步型式包括三个双相信道比特。因此，这三个双相信道比特上的最大频率偏差是 11.55kHz，这与 22.05kHz 摇摆的一半周期相关。

为了在光介质上记录，必须从所述频率调制模拟信号中提取摇摆频率、双相时钟和双相-传号信道比特信号。恢复摇摆频率是光记录的特殊要求，然而，恢复双相信道比特信号 16 和双相时钟信号 15(其与双相信道比特信号 16 的采样点同步)对于从频率调制信号恢复所述二进制码来说足够了。

根据本发明，这是通过包括模数转换器 ADC、数字锁相环 DPLL、状态机 STM 和 ATIP 检测器 14 的装置执行的，ATIP 检测器 14 包括双相信道比特检测器 BCD 和双相时钟生成器 BCG，如图 12 所示。模拟摇摆信号 aWS 被施加到模数转换器 ADC，所述模数转换器 ADC 提供数字摇摆信号 1，数字摇摆信号 1 是一种连续相位频移键控信号。数字摇摆信号 1 被施加到数字锁相环 DPLL，所述数字锁相环 DPLL 提供用于+/-2π 范围(这意味着 4π 的总范围)内的相位检测的状态机 STM。状态机 STM 输出相位栅格信号 13，该相位栅格信号 13 用于所述双相时钟生成器 BCG 和双相信道比特检测器 BCD 中的双相检测。双相时钟生成器 BCG 和双相信道比特检测器 BCD 形成所谓的 ATIP 检测器 14，用于恢复模拟摇摆信号 aWS 内的二进制码的双相时钟 15 和

双相信道比特 16 二者。图 3 中示出数字锁相环 DPLL 的更多细节，所述数字锁相环 DPLL 在有利的方式下与相位栅格相结合地用于时钟检测和双相信号检测二者。输入的数字摇摆信号 1 被施加到多相滤波器 2，然后是限幅器(slicer)3，所述限幅器 3 供应第一和第二相位检测器。多相滤波器 2 是五抽头多相滤波器 2，它将数字摇摆信号 1 内插到右信道比特时钟采样，并且所述限幅器 3 是带宽在 250Hz 到 2kHz 之间的可变自动限幅器 3，它截止(cut off)多相滤波器 2 的输出的直流偏移。

第一相位检测器包括第一乘法器 4 和第一积分转储(integrate-and-dump)电路 6。所述积分转储电路 6 被施加到所述第一乘法器 4 并形成相关器，其将输入的数字摇摆信号 1 与本地生成的正弦摇摆频率相关。因此，数字摇摆信号 1 在所述第一乘法器 4 中与正弦波信号相乘，并且被施加到所述积分转储电路 6，所述积分转储电路 6 还接收来自数字时间振荡器 9 和摇摆相位计数器 10 的输出信号。摇摆相位计数器 10 生成数字斜坡(ramp)，其对应于本地再生的摇摆频率的相位并且用作积分转储电路 6 的余弦 LUT 的输入。余弦 LUT 是指余弦查找表。第一相位检测器形成连接到数字锁相环 DPLL 的滤波器 8 的正交相位检测器。所述滤波器 8 的输出被施加到所述数字时间振荡器 9，所述数字时间振荡器 9 用其两个输出控制所述多相滤波器 2。在第一相位检测器中使用相关器具有高噪声抑制的优点。数字锁相环 DPLL 的数字时间振荡器 9 是模计数器，它锁定到输入的摇摆信号 1 的信道比特时钟。摇摆相位计数器 10 在数字斜坡的开始和一半处还生成选通信号 11，使得选通信号 11 指示 44.1kHz 信号(这意味着在摇摆频率的两倍上)的正过零点。在数字锁相环 DPLL 中生成的本地摇摆具有 π/2 度相移，其也被称为正交，这意味着具有 90 度相位差的两个信号。数字时间振荡器 9 的增量由作为第一相位检测器的正交相位检测器的滤波器 8 来修改(adapt)。

由第二乘法器 5 和第二积分转储电路 7 形成的第二相位检测器生成同相本地摇摆信号，该信号也是本地再生的正弦波与输入的摇摆信号 1 的乘积，但是与第一乘法器 4 相比具有 90 度相位差的相移。第二相位检测器是同相检测器，它也在一个 ATIP 摇摆周期上积分(integrate)和转储(dump)乘法结果。

同相和正交相位检测器仅检测+/-π/2 度(其意味着 180 度的范围)的相移，然而，相位在同步位置上被移动+/-π，并且这样需要+/-2π 的相位检测器。被提供了第一和第二相位检测器的所述同相和正交相位信号的状态机 STM 解

决该问题。所述状态机 STM 用作第三相位检测器 12。使用同相和正交相位检测器信号来形成图 5 所示的相位栅格图，并且使用利用最大似然检测器的相位栅格方法。所述三个相位检测器的输出信号如图 4 所示。图 4 示出了与相位轴 P 有关的所述三个相位检测器之间的相位关系。在图 4 的上图中示出了作为图 3 中包括第一积分转储电路 6 的第一相位检测器的输出信号的正交相位信号 6a 的幅度 A。在图 4 的中图中示出了作为图 3 中包括第二积分转储电路 7 的第二相位检测器的输出信号的同相信号 7a 的幅度 A。图 4 中下面的图示出了与相位轴 P 有关的、在状态机 STM 的输出上的扩展幅度 eA，相位轴 P 被统一地用于全部三个图。使用-4 到+4 范围内的扩展幅度 eA，这是因为在四个 π/2 间隔中移动第三相位检测器 12 的相位。根据在到具有 0 度相位偏差的正交相位信号 6a 的过零点的距离上的同相信号 7a 或正交相位信号 6a 的过零点，将相位轴 P 划分成五个状态 st1 到 st5。双相传号调制的相位栅格信号 13 的算术平均值对于每清晰度(definition)为 0，使得数字锁相环 DPLL 被锁定到 ATIP 摇摆信号的中心频率。图 11 所示的状态表图示了+/-2π 相位检测器的状态转移。该+/-2π 相位检测器是利用状态机 STM 构建的，所述状态机 STM 在图 4 所示的同相信号 7a 或正交相位信号 6a 的过零点处改变状态。图 11 中的状态表示出了在与状态改变或者在所述时刻 t(n)之前的时刻 t(n-1)的相同状态 st 相对应的时刻 t(n)的正交相位信号 6a 和同相信号 7a 的极性 pol。状态机 STM 以这样的方式生成在图 4 下面的图中作为扩展幅度 eA 示出的相位栅格信号 13，它是从在图 4 的上图中示出的同相信号 7a 和正交相位信号 6a 得到的。在图 5 中示出了具有+/-1kHz 的频率偏差、6.3kHz 的码元频率和 22.05kHz 的载波频率的双相传号码的相位栅格。图 5 图示了与双相传号码元周期 BPMSD 有关的相位栅格信号幅度 PTSA，其中 1T 对应于一个摇摆周期。表示单个摇摆周期期间的相移的相位栅格信号幅度 PTSA 值 7/22π 是由以下事实得到的：对于双相传号码元中的 1，摇摆频率被改变为 23.05kHz，而对于双相传号码元中的 0，摇摆频率被改变为 21.05kHz。双相传号码元具有 1/(6300Hz)的持续时间，这意味着双相传号码元由 3.5 个摇摆周期表示。因此，调制信号与双相传号码元间隔的恒定中心频率 22.05kHz 之间的相移是(1kHz/22.05kHz)*3.5*2*π=大约 7/22π (对于 1)以及(-1kHz/22.05kHz)*3.5*2*π=大约－7/22π(对于 0)。由于在双相传号数据流的同步间隔中仅出现 1T、2T 和 3T 周期，因此产生+-21/22π 的最大相位栅格信号幅度 PTSA 值，如图 5 所示。

ATIP 检测器 14 的细节如图 6 所示。ATIP 检测器 14 包括双相信道比特检测器 BCD 和双相时钟恢复电路 BCG。双相信道比特检测器 BCD 使用相位栅格方法来检测 ATIP 摇摆信号的双相信道比特 16。由+/-2π 相位检测器 12 提供的输入的相位栅格信号 13 首先被内插器 19 内插。由摇摆相位计数器 10 生成的 44.1kHz 选通信号 11 被用于所述内插，并且内插的相位栅格信号 19a 被施加到具有传递函数 $H(z)=1-z^{-7}$ 的匹配滤波器。该匹配滤波器由延迟线 20 和加法器 21 组成。该滤波器被匹配到一个双相信道比特的 44.1kHz 周期的七倍，并且施加到所述匹配滤波器的比较器 22 通过比较匹配滤波器的输出与所述极性来检查相位栅格的斜率。如果在所述内插阶段中当前值与先前值之间的差变得小于 0，则使用所述传递函数 $H(z)=1-z^{-7}$ 来输出 0。图 7 在一个图中示出叠加的、由所述比较器 22 提供的所检测的双相信道比特信号 16、标准化的滤波后的匹配滤波器输出信号 21a 以及标准化的内插相位栅格信号 19a。示出了由标准化的幅度轴 P/Po 表示的标准化信号，并且在很多由两部分组成(two fold)的摇摆周期 WP 上图示了这些信号。

双相时钟生成器 BCG 生成双相时钟 15，以获得双相信道比特 16 的最佳采样时间。图 6 所示的双相时钟生成器 BCG 包括具有传递函数 $H(z)=z^{-6}-z^{-8}$ 的匹配滤波器 23、具有滤波器输出增益级的相位误差检测器 24、相位误差累加器 25、阈值检测器 26 和脉冲生成器 27，它们是串联连接的。由摇摆相位计数器 10 生成的 44.1kHz 选通信号 11 和延迟的内插相位栅格信号 20a 被施加到所述双相时钟生成器 BCG。因此，对于双相信道比特检测器 BCD 和双相时钟恢复电路 BCG 使用两次延迟线 20。

在该电路中，通过将每个双相时钟周期的匹配滤波器输出累加来最小化双相时钟相位误差。如果在相位栅格的拐点上生成双相时钟选通，则出现最小相位误差，并且如果脉冲误差累加器信号高于调整的最大值或者低于最小阈值，则阈值检测器 26 生成脉冲(impulse)，其将脉冲生成器 27 的相位移动 +1 或-1。如果在相位栅格的拐点中生成双相时钟选通，则达到双相信道比特信号 16 的最优采样点。

图 8 到图 10 在标准化的幅度 P/Po 图中示出在几个摇摆周期 WP 上的 1T 序列的双相时钟 15 的锁定(lock-in)行为。使用延迟的内插相位栅格信号 20a 来得到控制所述脉冲生成器 27 的相位误差信号 25a。如果如图 8 所示双相时钟 15 是同相的，则相位误差信号 25a 为 0。图 9 图示了拖尾双相时钟 15 和相

应的相位误差信号 25a，并且图 10 图示了前导双相时钟 15 和相应的相位误差信号 25a。

如示例性实施例所示，提供了用于专门用数字部件从频率调制模拟信号 aWS 数字恢复二进制无直流码、并且用于高速应用并具有低成本的方法和装置。该装置提取调制信号 aWS 的中心频率，并且生成所述二进制码的双相时钟 15 以及双相信道比特 16。使用具有同相和正交相位检测器的数字锁相环 DPLL 来形成相位栅格，所述相位栅格与所述数字锁相环 DPLL 生成的选通信号 11 相结合地用于双相信道比特 16 恢复，并且还结合最大似然检测而用于双相时钟 15 恢复。最大似然检测的相位误差信号最终提供双相时钟信号 15，它分别与双相信道比特 16 和二进制码信号的最佳采样点完全同步。所述最大似然检测还包括彼此挨着的每个相位栅格值之间的内插，用于提供内插相位栅格值 19a，以确保如果前一相位栅格值小于后一栅格值则提供双相信道比特信号 16 值 1，而如果前一相位栅格值是更大的相位栅格值则提供双相信道比特信号 16 值 0。其进一步确保了如果双相时钟信号 15 与双相信道比特信号 16 同步，则时钟相位误差信号 25a 为 0。

考虑到数字锁相环 DPLL 的闭环传递函数，应当将数字锁相环 DPLL 的增益选择得尽可能小，以将数字锁相环 DPLL 保持在中心频率上。数字锁相环 DPLL 低通滤波器也应当分别不超过摇摆中心频率和载波频率的两倍。

应当理解，本发明不限于该示例性实施例，并且也可以方便地组合或修改所详细说明的特征而不背离本发明的范围。

根据本发明的方法和装置尤其有利的是，它可以被容易地用于各种从频率调制信号中恢复二进制无直流码。这对于在专门使用数字部件的集成电路中实施是特别有用的。

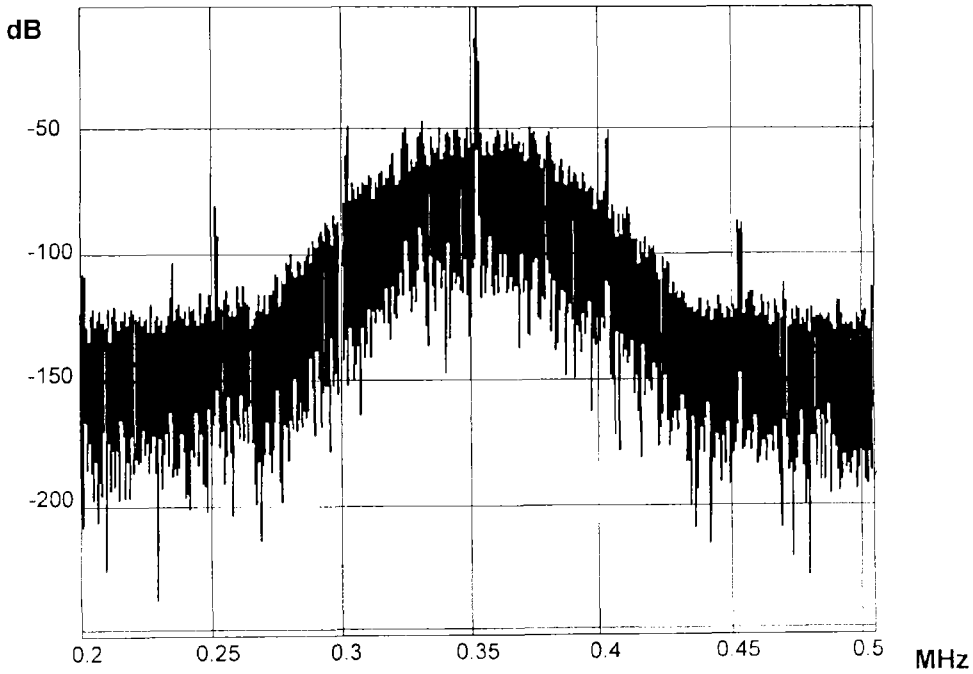


图 1

db	cb	
d[n]	c[n-1]	c[n]
0	x0 / x1	11 / 00
1	x0 / x1	10 / 01

图 2

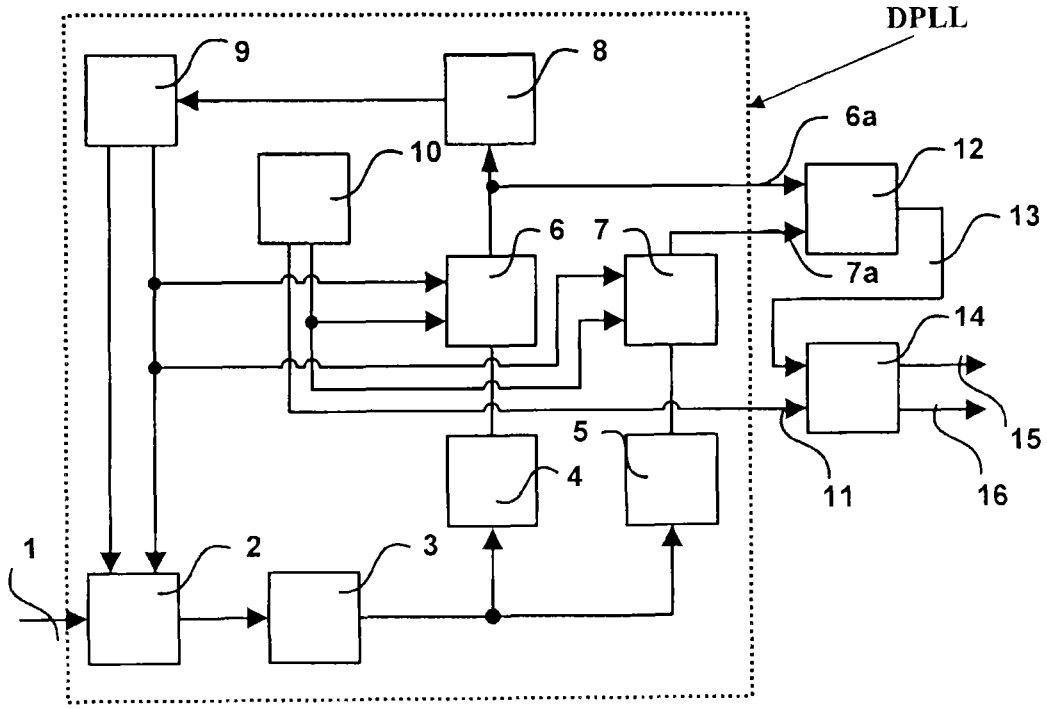

DPLL
9
8
10
6a
12
13
6
7
7a
14
5
4
15
11
16
1
2
3

图 3

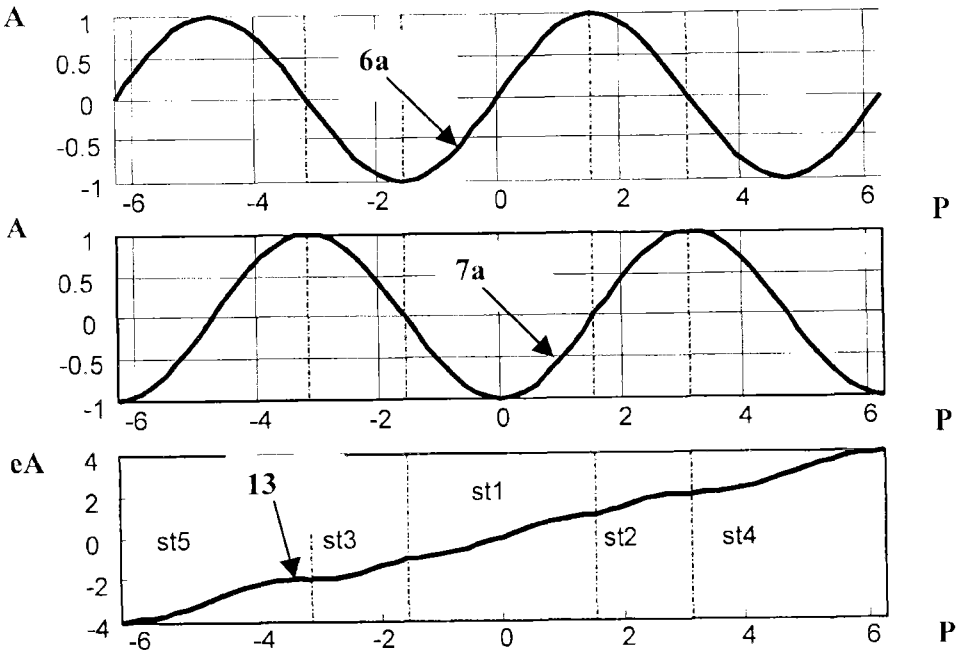

A
1
0.5
0
-0.5
-1
6a
-6
-4
-2
0
2
4
6
P
A
7a
eA
4
2
0
-2
-4
13
st1
st5
st3
st2
st4

图 4

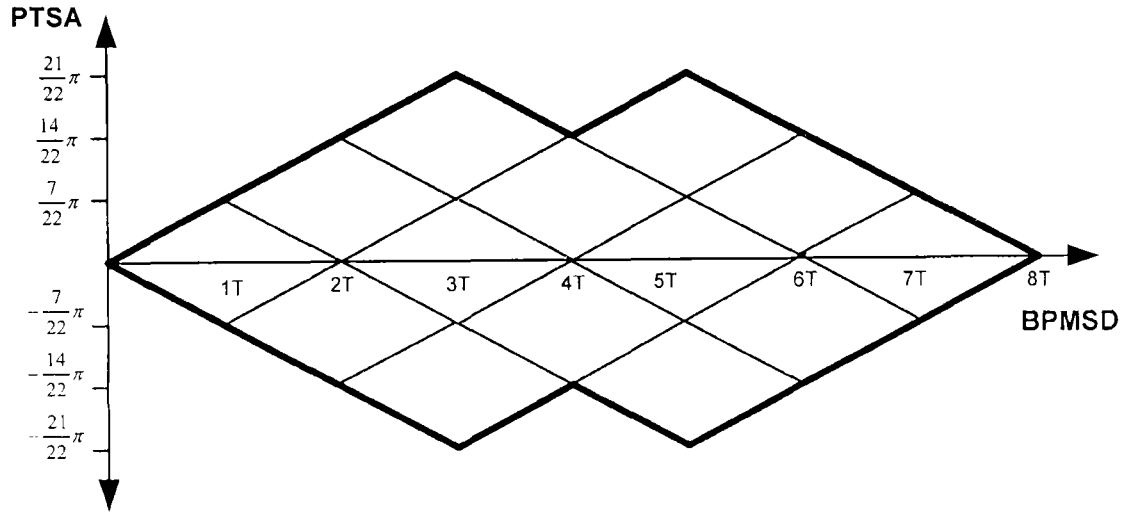

PTSA
$\frac{21}{22}\pi$
$\frac{14}{22}\pi$
$\frac{7}{22}\pi$
$-\frac{7}{22}\pi$
$-\frac{14}{22}\pi$
$-\frac{21}{22}\pi$
1T
2T
3T
4T
5T
6T
7T
8T
BPMSD

图 5

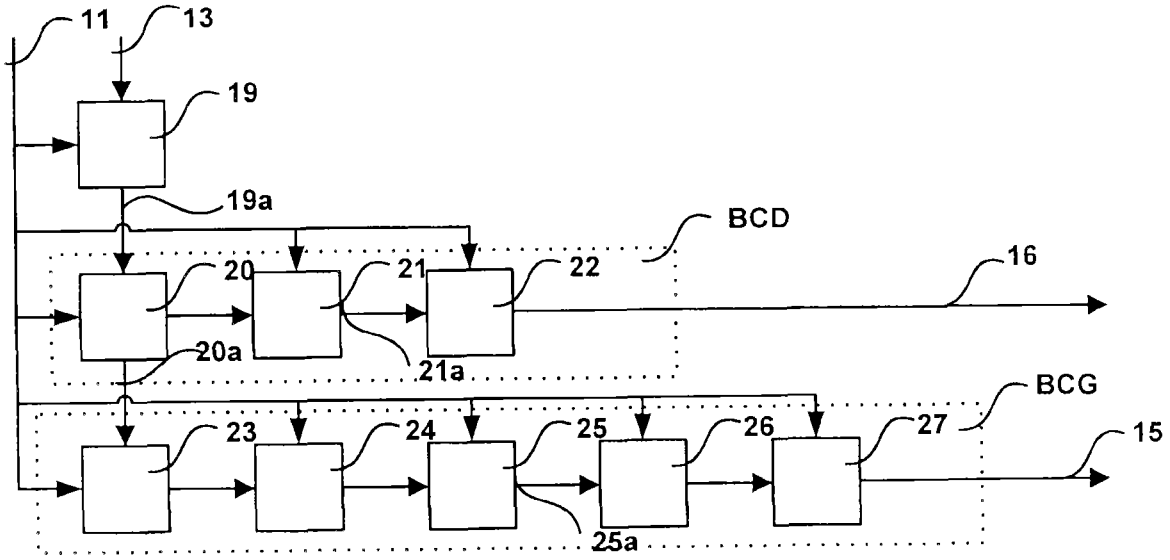

11
13
19
19a
BCD
16
20
21
22
20a
21a
BCG
23
24
25
26
27
15
25a

图 6

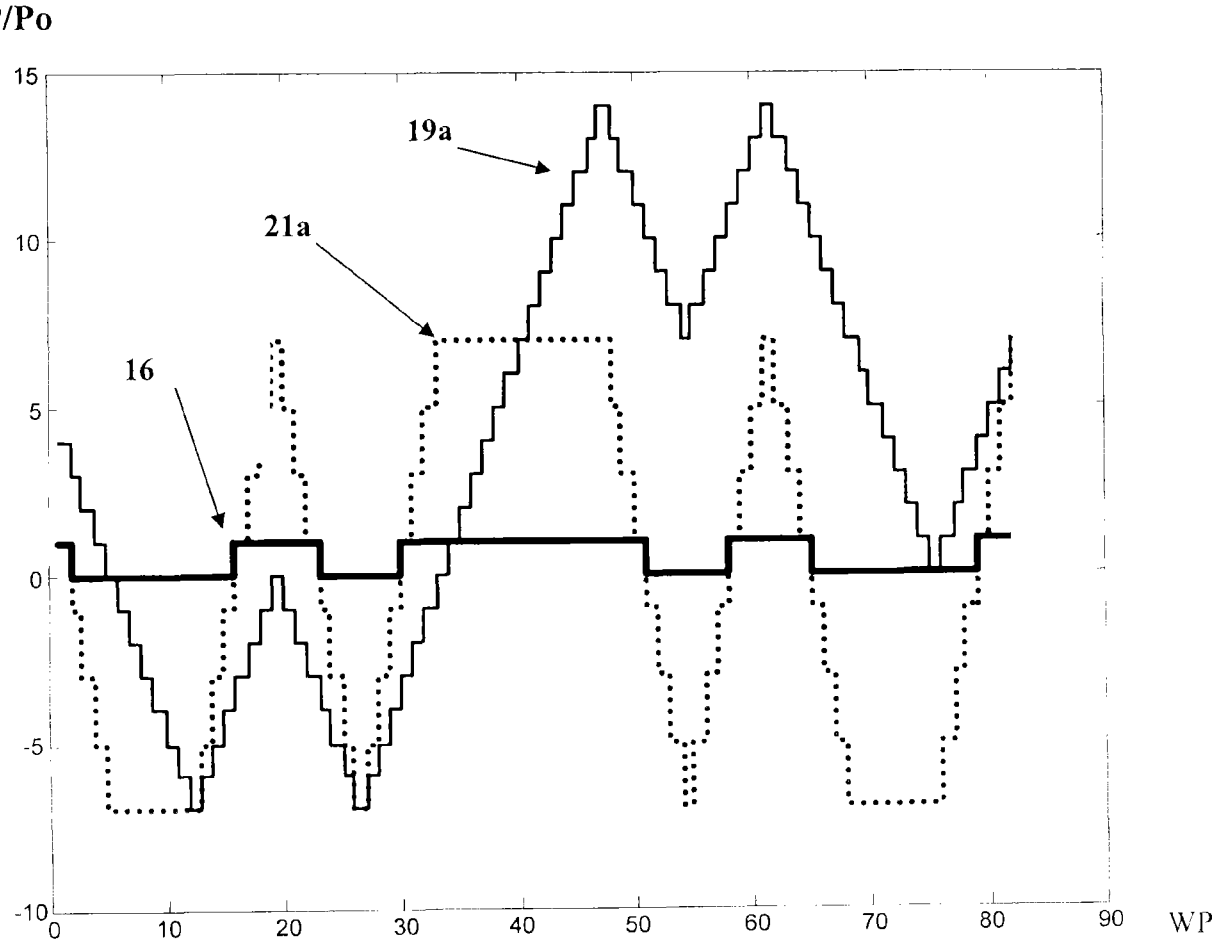


图 7

图 8

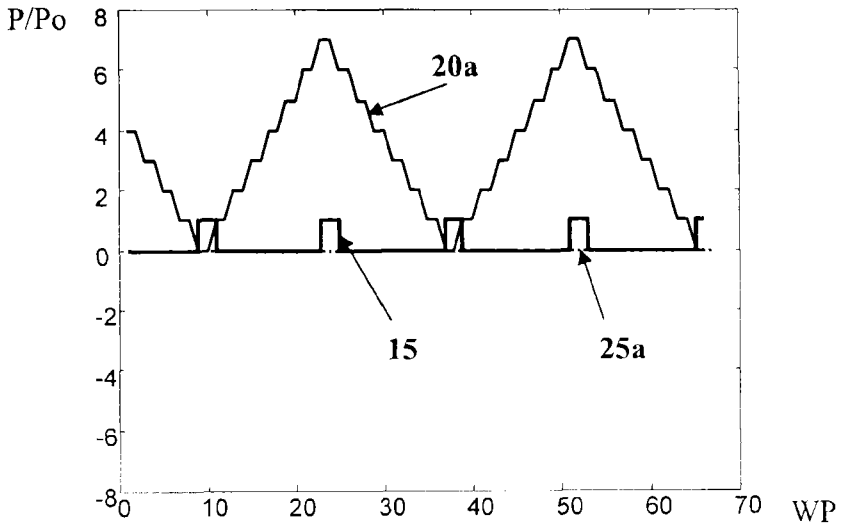

P/Po
8
6
4
2
0
-2
-4
-6
-8
0
10
20
30
40
50
60
70
WP
20a
15
25a

图 9

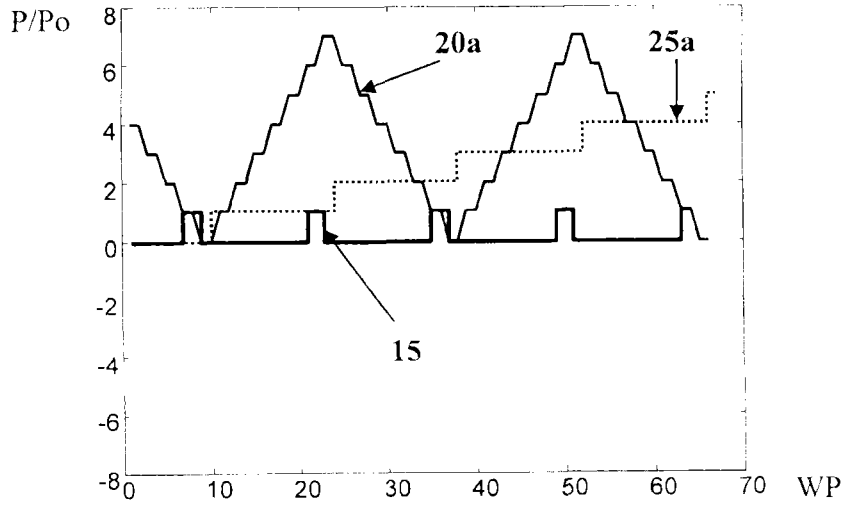
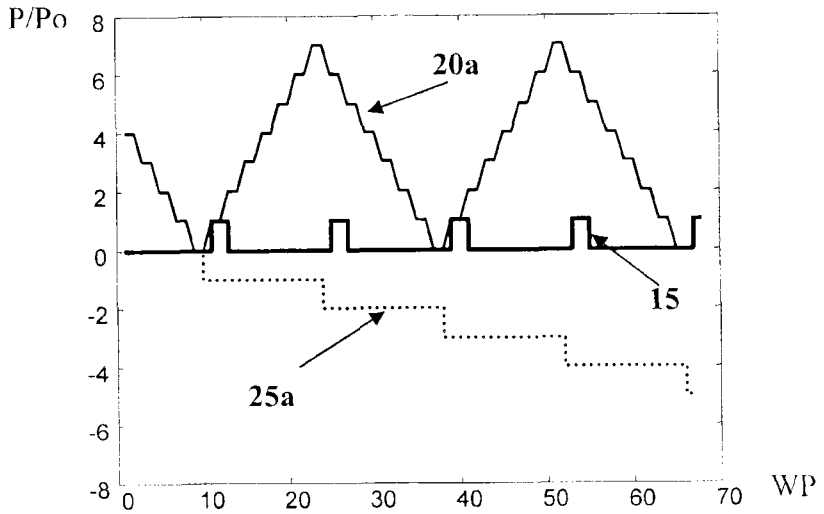

P/Po
8
6
4
2
0
-2
-4
-6
-8
0
10
20
30
40
50
60
70
WP
20a
25a
15

图 10


P/Po
8
6
4
2
0
-2
-4
-6
-8
0
10
20
30
40
50
60
70
WP
20a
15
25a

st		pol	
t(n-1)	t(n)	6a t(n)	7a t(n)
1	1	-/+	-
1	2	+	+
1	3	-	+
2	2	+	+
2	1	+	-
2	4	-	+
3	3	-	+
3	1	-	-
3	5	+	+
4	4	-	+/-
4	2	+	+
4	错误	+	-
5	5	+	+/-
5	3	-	+
5	错误	-	-

图 11

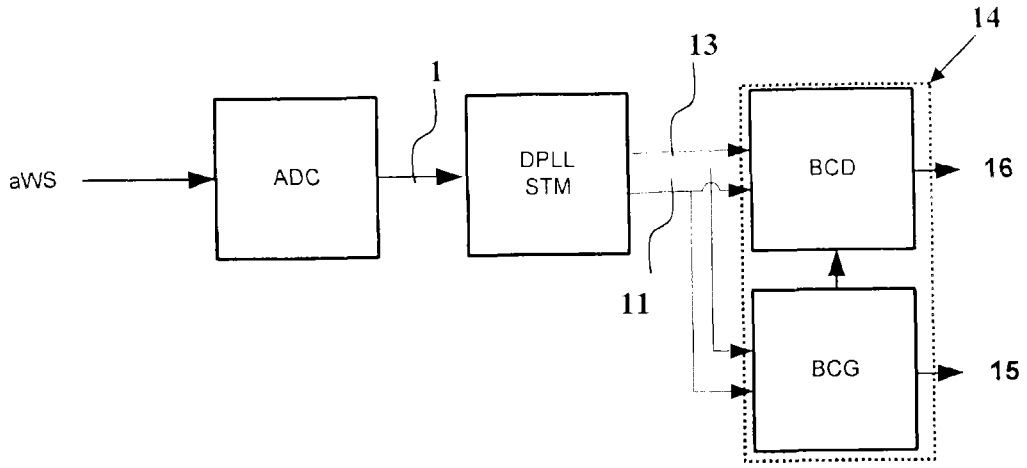


图 12