



## (12) 发明专利

(10) 授权公告号 CN 1998089 B

(45) 授权公告日 2010.09.01

(21) 申请号 200580014866.7

(22) 申请日 2005.04.21

(30) 优先权数据

60/571,342 2004.05.13 US

10/958,945 2004.10.04 US

(85) PCT申请进入国家阶段日

2006.11.10

(86) PCT申请的申请数据

PCT/US2005/013725 2005.04.21

(87) PCT申请的公布数据

W02005/114747 EN 2005.12.01

(73) 专利权人 美商克立股份有限公司

地址 美国北卡罗莱纳州

(72) 发明人 吴益逢 P·帕里克 U·米史拉

M·摩尔

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 陈斌

(51) Int. Cl.

H01L 29/812 (2006.01)

H01L 29/41 (2006.01)

(56) 对比文件

US 2003/0075719 A1, 2003.04.24, 全文.

US 2003/0107081 A1, 2003.06.12, 全文.

US 6559513 B1, 2003.05.06, 全文.

EP 0069429 A2, 1983.01.12, 全文.

US 6445038 B1, 2002.09.03, 全文.

Wataru Saito, Yoshiharu Takada, Masahiko Kuraguchi, Kunio Tsuda, Ichiro Omura and Tsuneo Ogura. Design and demonstration of high breakdown voltage GaN high electron mobility transistor (HEMT) using field plate structure for power electronics applications. Japanese Journal of Applied Physics 43 4B, 2004, 43(4B), 2239-2242.

审查员 刘振玲

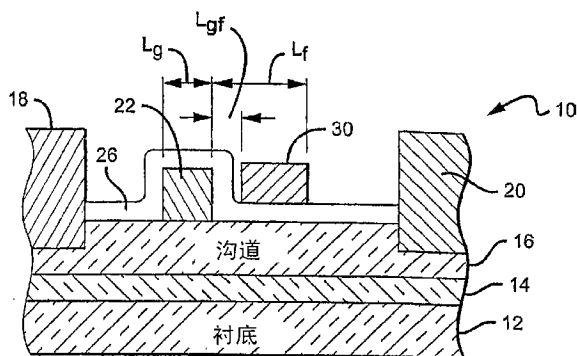
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

具有源极连接的场板的宽带隙场效应晶体管

(57) 摘要

一种场效应晶体管包含依次形成于衬底上的缓冲层与沟道层。源极(18)、漏极(20)、及栅(22)皆形成电接触于该沟道层,且该栅位于该源极与漏极的之间。间隔层(26)形成于该栅与漏极之间的沟道层的至少一部分表面上,并且场板(30)形成于该间隔层上且隔离于该栅与沟道层。该场板(30)间隔层通过至少一个导电路径电连接到该源极,其中该场板减小该 MESFET 内的峰值工作电场。



1. 一种金属半导体场效应晶体管,包括:  
缓冲层,它位于衬底上;  
沟道层,它位于所述缓冲层上,且所述缓冲层被夹置于所述沟道层和所述衬底之间;  
源极,它与所述沟道层电接触;  
漏极,它也与所述沟道层电接触;  
栅,它与所述源极和所述漏极之间的所述沟道层电接触;  
间隔层,它位于所述源极与所述漏极之间的所述沟道层的至少一部分之上;以及  
场板,它位于所述间隔层上且与所述沟道层和栅相隔离,所述场板通过至少一条导电路径电连接到所述源极,所述至少一条导电路径覆盖的区域小于所述栅和所述源极之间的所述间隔层的所有最顶部表面的区域。
2. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,在所述间隔层上,所述场板自所述栅的边缘朝着所述漏极延伸出一段距离  $L_f$ 。
3. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,所述间隔层至少部分地覆盖所述栅,而所述场板至少部分地叠覆所述栅且在所述间隔层上自所述栅的边缘朝着所述漏极延伸出一段距离  $L_f$ 。
4. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,所述至少一个导电路径铺设在所述场板与源极之间,每一个所述路径延伸到所述间隔层外且使所述场板电连接到所述源极。
5. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,所述间隔层进一步形成于所述栅与所述源极之间的所述沟道层的表面上。
6. 如权利要求 5 所述的金属半导体场效应晶体管,其特征在于,所述至少一个导电路径铺设在所述间隔层上的所述场板与源极之间,且使所述场板电连接到所述源极。
7. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,所述间隔层包括介电材料、或多层介电材料。
8. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,所述栅呈伽玛形。
9. 如权利要求 1 所述的金属半导体场效应晶体管,其特征在于,所述栅至少部分地被放入所述沟道层内的凹处。
10. 一种场效应晶体管,它包含:  
缓冲层与沟道层,它们依次形成于衬底上;  
源极、漏极和栅,它们皆形成为与所述沟道层电接触,且所述栅位于所述源极与漏极之间;  
间隔层,它形成于所述源极与所述漏极之间的所述沟道层的至少一部分表面上;以及  
场板,它形成于所述间隔层上且与所述栅和沟道层相隔离,并且通过至少一条导电路径电连接到所述源极,所述场板覆盖的区域小于所述栅和所述源极之间的所述间隔层的所有最顶部表面的区域,其中所述场板减小了所述晶体管内的峰值工作电场。
11. 如权利要求 10 所述的晶体管,其特征在于,所述峰值工作电场的减小使所述晶体管的击穿电压增大。
12. 如权利要求 10 所述的晶体管,其特征在于,所述峰值工作电场的减小使所述晶体管内的俘获现象减少。

13. 如权利要求 10 所述的晶体管,其特征在于,所述峰值工作电场的减小使所述晶体管内的漏电流减小。

14. 如权利要求 10 所述的晶体管,其特征在于,所述间隔层包括介电材料、或多层介电材料。

15. 一种金属半导体场效应晶体管,它包含:

缓冲层与沟道层,它们依次形成于衬底上;

源极、漏极和栅,它们皆形成为与所述沟道层电接触,且所述栅位于所述源极与漏极之间;

场板,它自所述栅的边缘朝着所述漏极延伸出一段距离  $L_f$ ,所述场板与所述栅和有源层相隔离;以及

至少一条导电路径,它将所述场板电连接到所述源极,所述至少一条导电路径覆盖的区域小于所述栅与所述源极之间的所有最顶部表面的区域。

16. 一种晶体管,包括:

有源区,它具有沟道;

源极、漏极和栅,它们皆与所述有源区电接触,且所述栅位于所述有源区上的所述源极与漏极之间;

间隔层,它位于所述栅与漏极之间的所述有源区的至少一部分上;以及

场板,它位于所述间隔层上且与所述有源区和栅相隔离,所述场板通过至少一条导电路径电连接到所述源极,所述场板在所述间隔层上自所述栅的边缘向所述漏极延伸距离  $L_f$ ,

其中将所述场板电连接到所述源极的所述至少一条导电路径覆盖的区域小于所述栅和所述源极之间的所有最顶部表面的区域。

## 具有源极连接的场板的宽隙场效应晶体管

### 技术领域

[0001] 本发明涉及晶体管,且特别涉及使用场板的场效应晶体管。

### 背景技术

[0002] 本申请案声明 Wu 等人在 2004 年 5 月 13 日提出的第 60/571,342 号美国专利临时申请案的权益。

[0003] 铝镓氮 / 镓氮半导体材料制造方面的改良推动了铝镓氮 / 镓氮晶体管的发展,例如用于高频、高温及高功率应用的高电子迁移率晶体管 (HEMT)。铝镓氮 / 镓氮具有大带隙、高峰值及饱和电子速度值 [B. Gelmont, K. Kim and M. Shur, Monte Carlo Simulation of Electron Transport in Gallium Nitride, J. Appl. Phys. 74, (1993), pp. 1818-1821]。

[0004] 电子俘获及其所导致的 DC 与 RF 特征之间的差异已经成为此类器件性能方面的限制性因素。氮化硅 (SiN) 钝化已被成功地用于缓解该俘获问题,从而产生了功率密度在 10W/mm 以上的 10GHz 高性能器件。例如,在此将其内文纳入供作参考的第 6,586,781 号美国专利即揭露了一种用于减少以氮化镓为主的晶体管内的俘获效应的方法及结构。然而,由于高电场存在于诸结构中,因此电荷俘获仍是个问题。

[0005] 场板 (FP) 已被用于提高微波频率段以氮化镓为主体的 HEMT 的性能 [请参阅 S. Kamalkar and U. K. Mishra, Very High Voltage AlGaIn/GaN High Electron Mobility Transistors Using a Field Plate Deposited on a Stepped Insulator, Solid State Electronics 45, (2001), pp. 1645-1662]。然而,诸方法牵涉到一种连接到晶体管的栅的场板,且该场板位于沟道的漏极侧的顶部之上。此将导致一明显的场板 - 漏极电容,且连接到栅的该场板会对该器件增添额外的栅 - 漏极电容 (Cgd)。此举不仅减低了增益,亦会因为输入 - 输出隔离较差而导致不稳定性。

### 发明内容

[0006] 本发明提供了一种改良的场效应晶体管,它具有连接到源极的场板。根据本发明的场效应晶体管的一个实施例包含一种金属半导体场效应晶体管 (MESFET),这种金属半导体场效应晶体管具有被置于衬底上的缓冲层以及被置于该缓冲层上的沟道层,其中该缓冲层被夹置于该沟道层与该衬底之间。源极也被包括进来并且与沟道层电接触,同时还有与该沟道层电接触的漏极。在该源极与漏极之间还包括栅,同时该栅与该沟道层电接触。在该栅与该漏极之间至少一部分沟道层上还有间隔层。场板形成于该间隔层上且与该沟道层、栅电隔离,其中该场板通过至少一个导电路径电连接到该源极。

[0007] 本发明的场效应晶体管的另一实施例包括依次形成于衬底上的缓冲层和沟道层。源极、漏极和栅皆形成与沟道层电接触,且该栅位于该源极与漏极之间。间隔层形成于该栅与漏极之间沟道层的至少一部分表面上,而场板单独形成于该间隔层上且与栅、沟道层隔离。该间隔层通过至少一个导电路径电连接到该源极,其中该场板减低了该晶体管内的峰值工作电场。

[0008] 本发明的晶体管的又一个实施例包括一种金属半导体场效应晶体管 (MESFET), 这种金属半导体场效应晶体管具有依次形成于衬底上的缓冲层与沟道层。源极、漏极和栅皆形成电连接到该沟道层, 且该栅位于该源极与漏极之间。场板从该栅的边缘向该漏极延伸出一段距离  $L_f$ , 同时该场板与该栅、有源层隔离。至少一个导电路径将该场板电连接到该源极, 该至少一个导电路径覆盖得比该栅与源极之间的全部最顶表面要少。

[0009] 本发明的晶体管的再一个实施例包括具有沟道的有源区、源极、漏极和栅, 它们皆电连接到该沟道层, 且该栅位于该有源区上的源极与漏极之间。本实施例还包括位于该栅与漏极之间的有源区的至少一部分上的间隔层。本实施例还包括位于该间隔层上且与有源区、栅隔离的场板, 该场板通过至少一个导电路径电连接到该源极, 并且从该栅的边缘向该漏极延伸出一距离  $L_f$ 。

[0010] 对于本领域的技术人员而言, 参照附图, 可以从下面的详细描述中清楚地看到本发明的上述及其他特性、优点。

## 附图说明

[0011] 图 1 是根据本发明的一 MESFET 实施例的平面图;

[0012] 图 2 是图 1 内的 MESFET 的截面图;

[0013] 图 3 是根据本发明的另一 MESFET 实施例的平面图; 及

[0014] 图 4 是图 3 内的 MESFET 的截面图;

[0015] 图 5 是根据本发明的另一 MESFET 实施例的截面图, 其具有一伽玛栅; 及

[0016] 图 6 是根据本发明的又一 MESFET 实施例的截面图, 其具有一凹陷形栅。

## 具体实施方式

[0017] 本发明的场板配置方式可用于许多不同的晶体管结构。宽带隙晶体管结构大体上包括: 有源区, 其中金属源极与漏极形成与有源区电接触; 以及栅电极, 它形成于该源极与漏极之间, 用于调制该有源区内的电场。间隔层形成于该有源区上方。该间隔层可包含电介质层, 或多个电介质层的组合。导电场板形成于该间隔层上, 且自该栅的边缘朝向该漏极延伸一距离  $L_f$ 。

[0018] 该场板可以电连接到该源极。此场板配置方式可以减小该器件内的峰值电场, 从而增大击穿电压及减少俘获。电场减小亦可产生其他效益, 例如减小漏电流及增进可靠性。通过将场板电连接到该源极, 由连接到场板的栅导致的减小的增益与不稳定性都减小了。当根据本发明而配置时, 源极连接式场板的遮蔽效果可以减少  $C_{gd}$ , 而增进了输入 - 输出隔离。

[0019] 可以使用本发明场板配置方式的一种晶体管类型是场效应晶体管, 特别是金属半导体场效应晶体管 (MESFET), 其通常包括缓冲层及设于该缓冲层上的沟道层。栅形成于该源极与漏极之间的该沟道层上。

[0020] 根据本发明, 间隔层形成于该沟道层上且覆盖该栅与漏极之间的至少一部分沟道层, 以致使场板可以形成于间隔层上且电隔离于该沟道层。在其他实施例中该间隔层亦可覆盖该栅的全部或一部分, 以致使场板可以叠覆于该栅同时仍电隔离于该栅与该沟道层。在一较佳实施例中, 该间隔层覆盖该栅以及该栅与该源极、漏极之间的阻挡层表面。该间

隔层可包含电介质层,或多个电介质层的组合。可以使用不同的介电性材料,例如氮化硅、二氧化硅、硅、锗、镁氧化物 ( $\text{MgO}_x$ )、镁氮化物 ( $\text{MgN}_x$ )、氧化锌、硅氮化物 ( $\text{SiN}_x$ )、硅氧化物 ( $\text{SiO}_x$ )、其合金或层列,或后文所述的外延生长材料。

[0021] 导电场板形成于该间隔层上且自该栅的缘部朝向该漏极延伸一测得距离  $L_f$ ,而该场板与栅通常在分离的沉积步骤作期间形成。该场板通常通过以不同方式配置的导电路径而电连接到该源极。

[0022] 应该了解的是当元件或层被称为“在上面”、“连接到”、“耦合于”或“接触于”另一元件或层时,其可直接在上面、连接到或耦合于、或接触于另一元件或层,或是可设有中间元件或层。对比的下,当元件或层被称为“直接在上面”、“直接连接到”、“直接耦合于”或“直接接触于”另一元件或层时,则无中间元件或层存在。同样地,当第一元件或层被称为“电接触于”或“电耦合于”第二元件或层时,则有电力路径可允许电流流动于该第一元件或层与该第二元件或层之间。该电力路径可包括电容器、耦合的电感器、及/或其他即使是在导电元件之间无直接接触下仍允许电流流动的其他元件。

[0023] 图 1、2 揭示根据本发明的 MESFET 10 的实施例,其可由许多不同半导体材料系统构成,且较佳的 MESFET 10 以碳化硅为主。MESFET 10 包含衬底 12,其可由能支撑碳化硅生长的许多不同材料构成。较佳的衬底材料为碳化硅,且在一些实施例中,衬底 12 可包含购自北卡州杜罕市 Cree 公司的半绝缘性 4H-SiC。

[0024] MESFET 10 尚包含形成于衬底 12 上的碳化硅缓冲层 14 且具有形成于该缓冲层上的碳化硅沟道层 16,而缓冲层 14 被夹置于沟道层 16 与衬底 12 之间。缓冲层与沟道层 14、16 皆可使用习知半导体生长技术而形成于衬底 12 上,例如金属氧化物化学气体沉积 (MOCVD)、氢化物气相外延 (HVPE) 或分子束外延 (MBE)。

[0025] 成核层 (图中未示) 可以包括在衬底 12 与缓冲层 14 之间,以减少二者之间的任意晶格错配。该成核层可包含许多不同材料,亦可利用 MOCVD、HVPE 或 MBE 而形成于衬底 12 上。该成核层的形成可以取决于衬底 12 所用的材料。例如,将成核层形成于不同衬底上的方法系揭示于第 5,290,393 及 5,686,738 号美国专利中,其内文在此纳入供作参考。将多个成核层形成于碳化硅衬底上的方法在第 5,393,993、5,523,589 及 5,739,554 号美国专利中有所揭示,其全文在此纳入供作参考。

[0026] 金属源极与漏极 18、20 形成与沟道层 16 接触,且栅 22 形成于源极与漏极 18、20 之间的沟道层 16 上。当栅 22 被以适当位准偏压时,电流即可通过沟道层 16 而流动于源极与漏极 18、20 之间。源极与漏极 18、20 可由不同材料构成,其包括但是不限定的有钛、铝、金、镍、铂、铬的合金、钛与钨的合金、或硅化铂。栅 22 可以具有许多不同长度,且较佳的栅长度 ( $L_g$ ) 为大约 0.5 微米。如图 1 所示,栅 22 连接到且接触于栅接触件 24。

[0027] 如图 2 所示,第一间隔层 26 形成于栅 22 上以及栅 22 与源极、漏极 18、20 之间的沟道层 16 的表面上。然而,如上所述,间隔层 26 可以覆盖较少的该沟道层与栅,只要备有足够的间隔层以将该场板隔离于该栅与沟道层即可。间隔层 26 可以包含许多上述的不同材料,无论是单独或组合上,但是较佳为包含一层的上述其中之一的介电性材料,或多个不同层的介电性材料。间隔层 26 可具有许多不同厚度,且适当的厚度范围在大约 0.05 至 2 微米。该等器件之间的电隔离是利用在 MESFET 的有源区以外的突块蚀刻或离子实施而达成。

[0028] 当间隔层 26 在该器件金属化之前形成时,间隔层 26 可以包含外延材料,例如具有不同 III 族元素的 III 族氮化物材料,例如铝、镓、或铟的合金,而合适的间隔层材料为  $\text{Al}_x\text{Ga}_{1-x}\text{N}$  ( $0 \leq x \leq 1$ )。在沟道层 16 的外延生长后,间隔层 26 可以使用相同的外延生长方法生长。间隔层 26 随后被蚀刻,以致使栅 22、源极 18 及漏极 20 可以正确地形成与沟道层 16 接触。场板可以随后沉积于栅 22 与漏极 20 之间的该间隔层上。在该场板叠覆于该栅的诸实施例中,另一介电性材料的间隔层应被包括在内且至少一部分在该栅上方,以将该栅隔离于该场板。

[0029] 场板 30 形成于栅 22 与漏极 20 之间的间隔层 26 上,且场板 30 接近于栅 22 但是不叠覆于其上。栅 22 与该场板之间的间隙 ( $L_{gf}$ ) 不变,且应该宽到足以隔离于场板 30,同时小到足以将场板 30 提供的场效应最大化。若  $L_{gf}$  太宽,场效应即减小。在本发明的一实施例中, $L_{gf}$  可为大约 0.4 微米或更小,尽管较大及较小的间隙亦可使用。

[0030] 场板 30 可以自栅 22 的缘部延伸出不同的距离  $L_f$ ,且适当的距离范围大约是 0.1 至 2 微米。场板 30 可以包含许多不同的导电材料,且合适的材料为金属、或多种金属的组合,其利用标准金属化方法而沉积。在本发明的一些实施例中,场板 30 包含钛/金或镍/金。

[0031] 场板 30 电连接到源极接触件 18 且图 1 揭示二种可以依本发明使用的连接结构,尽管可以了解到其他连接结构亦能使用。在该间隔层覆盖该栅以及栅 22 与源极 18 之间的沟道层表面上的诸实施例中,导电总线 32 可以形成于间隔层 26 上,以利延伸于场板 30 与源极 18 之间。不同数量的总线 32 皆可使用,尽管总线数量越多则由总线所生的不必要电容会越多。该总线应具有足够数量,使电流有效地分布于源极接触件 18 与场板 30 之间,同时不致于覆盖过多的 MESFET 有源区,总线 32 的一适当数量为 2。在一实施例中,导电路径并未覆盖该栅与源极之间的所有最顶层,而其较佳为间隔层 26。

[0032] 或者,间隔层 26 可以仅覆盖该栅与源极之间的长条(图中未示)内的沟道层表面,且该长条具有一足以支撑导电总线 32 的宽度。总线 32 随后从场板 30 延伸至将该沟道层覆盖的该等间隔层上。

[0033] 场板 30 亦可透过导电路径 34 而电连接到源极接触件 20,该路径延伸于该 MESFET 10 的有源区与间隔层 26 外且耦合到源极接触件 20。此配置方式可用于其他实施例中,但是特别适用于间隔层 26 未覆盖栅 22 与源极 18 之间的沟道层 16 的实施例。如图 1 所示,路径 34 在栅接触 24 的相反侧延伸到该 MESFET 的有源区外。在本发明的可替代实施例中,该导电路径可在栅接触 24 侧延伸于 MESFET 10 的有源区外,或 MESFET 10 可包括二或多条延伸于 MESFET 10 的相同或不同侧的导电路径。

[0034] 在场板 30 沉积及连接到源极 18 后,有源结构可以由介电性钝化层(图中未示)覆盖,例如氮化硅。钝化层可以利用已知生长方法形成。

[0035] 图 3、4 揭示根据本发明的 MESFET 40 的另一实施例,其具有许多相似于 MESFET 10 者的元件。针对相似元件则使用相同参考编号,且该等元件即不做详细说明,应该了解的是上述元件的说明同样适用于 MESFET 40。

[0036] MESFET 40 较佳系以碳化硅为主,且包含碳化硅衬底 12、碳化硅缓冲层 14、碳化硅沟道层 16、源极接触件 18、漏极接触件 20、栅 22、栅接触件 24 及间隔层 26。MESFET 40 亦包含场板 42,其主要形成于栅 22 与漏极接触件 20 之间的间隔层 26 上,但是亦叠覆一部分的栅 22。对于图 1、2 中的 MESFET10,其  $L_{gf}$  小,因而在制造期间会出现一些困难。通过将场

板 42 叠覆于栅 22, HEMT 40 可以不必符合  $L_{gf}$  的公差而制成。然而, 场板 42 的叠覆段会引起额外不必要的电容。在决定是否使用一场板 30 或 42 时, 使用场板 42 的制造方便性必需与图 1、2 中的场板 30 所提供的减小电容达成平衡。MESFET 40 亦包含总线 44 或一导电路径 46, 以将场板 42 电连接到源极接触件 18。

[0037] 根据本发明的源极连接场板配置方式可以使用在上述者以外的许多不同 MESFET。例如, 图 5 揭示根据本发明的 MESFET 50 的另一实施例, 其具有许多相似于 MESFET 10、40 者的元件, 包括衬底 12、缓冲层 14、沟道层 16、源极 18、及漏极 20。然而, MESFET 50 具有一伽玛 ( $\Gamma$ ) 形状的栅 52, 其特别适用于高频率操作。栅长度 ( $L_g$ ) 为在决定器件速度时的其中一重要器件尺寸, 且较高频率的器件则其栅长度较短。较短的栅长度可导致高电阻, 此对于高频率操作有负面冲击。T-栅被普遍用在高频率操作, 但是我们难以达成场板与 T-栅的良好耦合。

[0038] 伽玛栅 52 提供用于低栅电阻, 且容许做栅涵盖范围的控制性界定。间隔层 54 被包括在内, 其覆盖伽玛栅 52 以及伽玛栅 52 与源极、漏极 18、20 之间的阻挡层 16 表面。间隙保留在伽玛栅 52 的水平部分与间隔层 54 的顶部之间, 以及栅 52 与源极之间。MESFET 50 亦包括一设于间隔层 54 上的场板 56, 间隔层则叠覆于伽玛栅 52, 且场板 56 较佳为设于无水平悬伸段的伽玛栅 52 一侧上。此配置方式可供场板 56 与其下方诸有源层之间有紧密配置及有效耦合。在其他伽玛栅实施例中, 场板可与场板 56 同样地配置, 但是叠覆于栅, 栅缘部与场板之间可以有一间隙, 如图 2 中所示之间隙  $L_{gf}$ 。

[0039] 场板 56 可用许多不同方式电连接到源极 18。由于栅 52 的水平段的下表面与间隔层 54 之间之间隙, 故其难以直接在场板 56 与源极 18 之间提供一导电路径。取代的是, 一导电路径可被包括在场板 56 与源极 18 之间, 其延伸于 MESFET 50 的有源区外。另者, 伽玛栅 52 可由间隔层 54 完全覆盖, 且将该栅水平段下方之间隙填充。导电路径随后直接从场板 56 延伸至间隔层 54 上方的源极。有源结构接着可由介电性钝化层 (图中未示) 覆盖。

[0040] 图 6 揭示根据本发明的又一 MESFET 60, 其亦可配置一源极连接的场板。MESFET 60 亦具有许多相似于图 1-4 所示 MESFET 10、40 者的元件, 包括衬底 12、缓冲层 14、沟道层 16、源极 18、及漏极 20。然而, 栅 62 系在沟道层 16 内凹陷, 且由间隔层 64 覆盖。在其他实施例中, 该栅的底表面可以仅为局部凹陷, 或者该栅的不同部分可以在沟道层 16 内凹陷至不同深度。场板 66 系配置于间隔层 64 上且电连接到源极 18, 及该有源结构可由介电性钝化层 (图中未示) 覆盖。如同上述 MESFET 60 者, 场板 66 可经配置以致使栅缘部与场板之间有间隙  $L_{gf}$ 。

[0041] 上述实施例提供宽带隙的晶体管, 特别是 MESFET, 且其在微波与毫米波频率时有改善的功率。MESFET 同时可因为较高的输入-输出隔离而展现高增益、高功率、及较稳定的操作。该结构可以针对高压低频的应用而延伸至较大尺寸。

[0042] 尽管本发明已参考其特定的较佳构形详细说明于前, 其他版本仍是可行的。该场板配置方式可用于许多不同器件中。该场板亦可具有许多不同形状, 及以许多不同方式连接到该源极接触件。本发明的精神及范畴不应被局限于上述的本发明较佳版本内。



