



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0140782  
(43) 공개일자 2013년12월24일

- (51) 국제특허분류(Int. Cl.)  
*G11C 5/14* (2006.01) *G11C 11/4074* (2006.01)  
*G11C 16/30* (2006.01)
- (21) 출원번호 10-2013-7015142
- (22) 출원일자(국제) 2011년05월03일  
심사청구일자 없음
- (85) 번역문제출일자 2013년06월12일
- (86) 국제출원번호 PCT/CA2011/000528
- (87) 국제공개번호 WO 2012/068664  
국제공개일자 2012년05월31일
- (30) 우선권주장  
61/416,437 2010년11월23일 미국(US)

- (71) 출원인  
모사이드 테크놀로지스 인코퍼레이티드  
캐나다 케이2케이 2엑스1 온타리오 오타와 스위트  
203 하인스 로드 11
- (72) 발명자  
길링햄, 피터  
캐나다, 온타리오 케이2케이 2엑스1, 카나타, 슬  
레이드 크레센트 43
- (74) 대리인  
한양특허법인

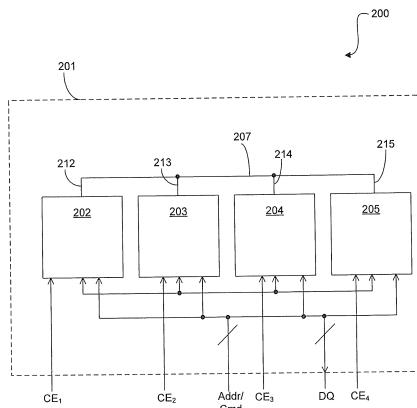
전체 청구항 수 : 총 33 항

(54) 발명의 명칭 집적 회로 장치에서 내부 전원을 공유하기 위한 방법 및 장치

### (57) 요 약

집적 회로 장치의 내부 전원을 위한 방법, 시스템 및 장치가 기재된다. 내부 전원을 각각 갖는 다수의 집적 회로(202 내지 205)를 포함하는 다수의 집적 회로 장치(200)는 인클로저(201)에 포함된다. 집적 회로(202 내지 205)는 내부 전원에 대한 외부 연결을 만드는 방법을 도시하며 기재된다. 연결(208 내지 212)은 각각의 장치(202 내지 205)의 내부 전원에 제공된다. 시스템의 다른 실시예(500)는 전력 소비량 감소를 위하여 다른 집적 회로(501)에 의하여 다수의 집적 회로(502, 503 및 504)에서의 레귤레이터의 디스에이블을 제공한다. 상기 방법은 장치를 제공하는 단계 및 상기 내부 전원을 함께 연결하는 단계를 포함한다. 레귤레이터를 디스에이블하기 위한 추가 회로(308, 404 및 402)를 갖는 상기 시스템 및 방법에 적응된 전원(400)을 갖는 집적 회로(501)가 기재된다.

**대 표 도** - 도2



## 특허청구의 범위

### 청구항 1

멀티칩 패키지로서,

복수의 메모리 장치를 포함하고,

각각의 메모리 장치는 내부 공급 전압 단자에 연결된 내부 공급 전압 생성기를 더 포함하고, 상기 각각의 메모리 장치의 내부 공급 전압 단자는 상기 멀티칩 패키지 내에서 함께 연결되는, 멀티칩 패키지.

### 청구항 2

청구항 1에 있어서, 상기 메모리 장치는 DRAM 장치인, 멀티칩 패키지.

### 청구항 3

청구항 2에 있어서, 상기 내부 공급 전압 생성기는 워드라인 공급 전압 생성기인, 멀티칩 패키지.

### 청구항 4

청구항 2에 있어서, 상기 내부 공급 전압 생성기는 기판 바이어스 공급 전압 생성기인, 멀티칩 패키지.

### 청구항 5

청구항 1에 있어서, 상기 메모리 장치는 플래시 메모리 장치인, 멀티칩 패키지.

### 청구항 6

청구항 5에 있어서, 상기 플래시 메모리 장치는 NAND 플래시 장치인, 멀티칩 패키지.

### 청구항 7

청구항 6에 있어서, 상기 내부 공급 전압 생성기는 페이지 프로그램 공급 전압 생성기인, 멀티칩 패키지.

### 청구항 8

청구항 6에 있어서, 상기 내부 공급 전압 생성기는 블록 소거 공급 전압 생성기인, 멀티칩 패키지.

### 청구항 9

청구항 1에 있어서, 상기 내부 공급 전압 생성기는

레귤레이터 출력 단자, 레귤레이터 입력 단자 및 레귤레이터 인에이블 단자에 연결된 레귤레이터를 더 포함하고, 상기 제 1 메모리 장치의 상기 레귤레이터 인에이블 단자는 상기 제 1 장치의 상기 레귤레이터를 인에이블하기 위해 상기 멀티칩 패키지 내에서 제 1 전압에 연결되고, 제 2 메모리 장치의 상기 레귤레이터 인에이블 단자는 상기 제 2 장치의 상기 레귤레이터를 디스에이블하기 위해 상기 멀티칩 패키지 내에서 제 2 전압에 연결되는, 멀티칩 패키지.

### 청구항 10

청구항 9에 있어서, 상기 제 1 메모리 장치의 상기 레귤레이터 출력 단자는 제 2 메모리 장치의 상기 레귤레이터 입력 단자에 연결되는, 멀티칩 패키지.

### 청구항 11

멀티칩 패키지를 구성하는 방법으로서, 내부 공급 전압 단자에 연결된 내부 공급 전압 생성기를 각각 갖는 복수의 메모리 장치를 제공하는 단계와 상기 멀티칩 패키지 내에서 각각의 메모리 장치의 내부 공급 전압 단자를 함께 연결하는 단계를 포함하는, 방법.

**청구항 12**

청구항 11에 있어서, 상기 메모리 장치는 DRAM 장치인, 방법.

**청구항 13**

청구항 12에 있어서, 상기 내부 공급 전압 생성기는 워드라인 공급 전압 생성기인, 방법.

**청구항 14**

청구항 12에 있어서, 상기 내부 공급 전압 생성기는 기판 바이어스 공급 전압 생성기인, 방법.

**청구항 15**

청구항 11에 있어서, 상기 메모리 장치는 플래시 메모리 장치인, 방법.

**청구항 16**

청구항 15에 있어서, 상기 플래시 메모리 장치는 NAND 플래시 장치인, 방법.

**청구항 17**

청구항 16에 있어서, 상기 내부 공급 전압 생성기는 페이지 프로그램 공급 전압 생성기인, 방법.

**청구항 18**

청구항 16에 있어서, 상기 내부 공급 전압 생성기는 블록 소거 공급 전압 생성기인, 방법.

**청구항 19**

청구항 11에 있어서, 상기 내부 공급 전압 생성기는 레귤레이터 출력 단자, 레귤레이터 입력 단자 및 레귤레이터 인에이블 단자에 연결된 레귤레이터를 더 포함하고, 상기 방법은 상기 멀티칩 패키지 내에서 상기 제 1 메모리 장치의 레귤레이터 인에이블 단자를 상기 제 1 장치의 상기 레귤레이터를 인에이블하기 위한 제 1 전압에 연결하는 단계 및 상기 멀티칩 패키지 내에서 제 2 메모리 장치의 레귤레이터 인에이블 단자를 상기 제 2 장치의 레귤레이터를 디스에이블하기 위한 제 2 전압에 연결하는 단계를 더 포함하는, 방법.

**청구항 20**

청구항 19에 있어서, 상기 제 1 메모리 장치의 레귤레이터 출력 단자를 상기 제 2 메모리 장치의 레귤레이터 입력 단자에 연결하는 단계를 더 포함하는, 방법.

**청구항 21**

공통 패키지에서 적어도 하나의 다른 집적 회로 장치와 내부 전원을 공유하기 위해 적응된 상기 내부 전원을 갖는 집적 회로 장치로서, 상기 적응은 상기 내부 전원에 대한 제 1 외부 연결을 포함하는, 집적회로 장치.

**청구항 22**

청구항 21에 있어서, 상기 제 1 외부 연결은 와이어 본드 패드와 TSV 범프의 그룹으로부터 선택되는, 집적 회로 장치.

**청구항 23**

청구항 21에 있어서, 상기 제 1 연결과는 상이한 전위를 갖는, 상기 내부 전원에 대한 제 2 연결을 더 포함하는, 집적 회로 장치.

청구항 21에 있어서, 상기 전원의 레귤레이터 및 다른 유사한 집적 회로의 상기 레귤레이터를 디스에이블하기 위한 상기 내부 전원에 대한 제 2 연결을 더 포함하는, 집적 회로 장치.

**청구항 24**

시스템으로서,

멀티칩 패키지의 복수의 메모리 장치를 포함하고, 각각의 메모리 장치는 내부 공급 전압 단자에 연결된 내부 공급 전압 생성기를 더 포함하고, 상기 각각의 메모리 장치의 내부 공급 전압 단자는 상기 멀티칩 패키지 내에서 함께 연결되는, 시스템.

### 청구항 25

청구항 23에 있어서, 상기 메모리 장치는 DRAM 장치인, 시스템.

### 청구항 26

청구항 24에 있어서, 상기 내부 공급 전압 생성기는 워드라인 공급 전압 생성기인, 시스템.

### 청구항 27

청구항 24에 있어서, 상기 내부 공급 전압 생성기는 기판 바이어스 공급 전압 생성기인, 시스템.

### 청구항 28

청구항 24에 있어서, 상기 메모리 장치는 플래시 메모리 장치인, 시스템.

### 청구항 29

청구항 27에 있어서, 상기 플래시 메모리 장치는 NAND 플래시 장치인, 시스템.

### 청구항 30

청구항 28에 있어서, 상기 내부 공급 전압 생성기는 페이지 프로그램 공급 전압 생성기인, 시스템.

### 청구항 31

청구항 28에 있어서, 상기 내부 공급 전압 생성기는 블록 소거 공급 전압 생성기인, 시스템.

### 청구항 32

청구항 23에 있어서, 상기 내부 공급 전압 생성기는,

레귤레이터 출력 단자, 레귤레이터 입력 단자 및 레귤레이터 인에이블 단자에 연결된 레귤레이터를 더 포함하고, 상기 제 1 메모리 장치의 상기 레귤레이터 인에이블 단자는 상기 멀티칩 패키지내에서 상기 제 1 장치의 상기 레귤레이터를 인에이블하기 위한 제 1 전압에 연결되고, 제 2 메모리 장치의 상기 레귤레이터 인에이블 단자는 상기 멀티칩 패키지내에서 상기 제 2 장치의 상기 레귤레이터를 디스에이블하기 위한 제 2 전압에 연결되는, 시스템.

### 청구항 33

청구항 31에 있어서, 상기 제 1 메모리 장치의 상기 레귤레이터 출력 단자는 상기 제 2 메모리 장치의 상기 레귤레이터 입력 단자에 연결되는, 시스템.

## 명세서

### 기술분야

[0001]

본 발명은 일반적으로 집적 회로 장치에 관한 것이고 특히 내부 전원을 갖는 집적 회로 장치에 관한 것이다.

### 배경기술

[0002]

DRAM(동적 랜덤 액세스 메모리) 및 플래쉬(전기적으로 소거/프로그램 가능한 비휘발성 메모리)와 같은 집적 회로 장치는, 일반적으로 데이터를 저장하고 판독하고 소거하는 것을 포함하는 개별 동작을 위한 다수의 전압을 요구한다. 이러한 전압은 외부적으로 공급된 전압원 - 종종  $V_{dd}$ 로 지칭됨 - 을 사용하여 내부적으로 생성된다.

[0003]

종래의 DRAM 장치는 워드라인을 메모리 셀에 저장된  $V_{dd}$  레벨 이상으로 활성화하기 위하여 고전압을 제공하기 위한  $V_{pp}$  공급, 미드-레일 전위로 셀 플레이트를 활성화하기 위한  $V_{dd}/2$  공급 및 메모리 셀 기판에 네거티브 백 바

이어스 전위를 제공하기 위한  $V_{bb}$  공급을 가질 수 있다.

[0004] 종래의 NAND 플래시 장치는 페이지 판독 동작 동안 선택된 블록의 선택되지 않은 워드라인에 대한 인가를 위해  $V_{pass}$ , 페이지 프로그램 동작의 선택된 워드라인에 인가하기 위한  $V_{pgm}$  및 블록 소거 동작 동안 선택된 블록의 워드라인에 인가하기 위한  $V_{ers}$ 를 생성하기 위한 펌프 회로를 가질 수 있다.

[0005] 용량성 펌프 회로가 사용되고 이것이 대형 펌프 및 저장 커페시터(reservoir capacitor)를 요구하는 경우에, 특히, 이러한 내부 전압 공급 회로는 상당한 칩 영역을 차지하고 다이 크기 및 비용을 증가시킨다. 전압 공급 회로는 또한 성능을 제한할 수 있다. 예컨대, NAND 플래시 장치에서,  $V_{pgm}$  전압은 검증 판독 동작과 교대로 반복적으로 워드라인에 펄스되고 인가되어야 한다. 워드라인을 충전하기 위해 드는 시간은 각각의 프로그램/검증 판독 사이클에 오버헤드를 추가하고 NAND 플래시 성능의 결정적인 요소인 프로그램 시간 파라미터( $t_{PROG}$ )를 연장 할 수 있다.

[0006] 일부 집적 회로 장치, 예컨대, JEDEC(Joint Electron Device Engineering Council) 규격 JESD209-2B에 개시된 바와 같은 LPDDR2(Low-Power Double Data Rate 2) DRAM에서, 주어진 타임 윈도우 내에서 활성화될 수 있는 뱅크의 수는 더 높은 속도 등급에 대해 50ns로 명시되는  $t_{FAW}$ (Four bank Activate Window)에 따른다. 모든 8개의 뱅크를 활성화하는 명령이 이러한 시간의 기간 내에 이 장치에 발행될 수 있더라도,  $t_{FAW}$  제한은, 사용자가 둘링  $t_{FAW}$  윈도우의 최대 4개의 뱅크를 활성화하도록 강제하여 내부  $V_{pp}$  생성기 및 아마도 기타 내부 전압 생성기에 관한 전류 활성화 요건을 제한한다. 이러한 제한은  $V_{pp}$  생성기의 크기가 제한되지 않은 뱅크 활성화를 위해 요구되는 크기에서 감소되도록 허용하여 다이 영역을 절약하고 및 비용을 감소시킨다.

[0007] 다수의 메모리 장치가 더 큰 메모리 서브시스템을 제공하기 위해 결합될 때, 이들은 공통 공유 버스에 종종 연결된다. 이러한 경우에, 모든 장치들을 그 최대 성능까지 실행하기 위한 충분한 명령 대역폭이 존재할 수 없다. 예컨대, 400MHz에서 동작하는 공유 명령 버스에 연결된 8개의 LPDDR2 DRAM 장치의 경우, 50ns  $t_{FAW}$  윈도우 내의 각각의 장치에 4개의 뱅크 활성화 명령을 발행하는 것이 불가능하다. 하나의 명령은 클록의 2개의 에지 또는 2.5ns를 요구한다. 그러므로, 장치의 적어도 일부는 그 내부  $V_{pp}$  생성기의 성능을 완전히 활용하지 않을 것이다. 내부 전압 생성기 활성화 성능 및 최적화된 다이 크기의 범위를 갖는 메모리 제품의 상이한 변형을 제공하는 것은 DRAM 제조업자들에게 실용적이지 않다. 메모리 제품 제조업자는 비용을 낮추기 위한 다양한 표준화된 제품에 의존한다.

## 발명의 내용

### 발명의 효과

[0008] 본 발명은 다수의 집적 회로의 내부 전압을 함께 연결하기 위한 방법 및 장치를 제공한다. 이것은 그렇지 않다면 휴지 상태(idle)인 자원의 공유된 사용을 허용하여, 더 큰 용량 및 감소된 크기를 초래한다. 본 발명은 단일 또는 다수의 전압 공유에 적응 가능하다. 이 장치는 외부 환경으로부터의 내부 전원의 연결을 갖는 집적 회로를 포함한다. 추가 실시예는 다수의 내부 공급에 대한 액세스를 제공한다. 이 방법은 액세스가 가능하게 하고 다수의 집적 회로 내부 전압 및 제어를 연결하는 프로세스를 포함한다.

[0009] 추가 실시예는 하나의 집적 회로가 다른 유사한 집적 회로의 내부 전원을 제어하는 것을 가능하게 한다. 이것은 제어된 집적 회로의 전원에서 레귤레이터를 디스에이블하여 감소된 전력 소비량 및 더욱 효율적인 자원의 할당을 초래하는 능력으로써 설명된다.

[0010] 이러한 시스템은 전원을 공유하여 함께 연결되는 다수의 집적 회로를 포함한다.

### 도면의 간단한 설명

[0011] 본 발명의 추가 특성 및 장점을 첨부된 도면과 결합하여 이하의 상세한 설명으로부터 명백해질 것이다.

도 1은 종래의 MCP(멀티-칩 패키지) 인클로저의 블록 다이어그램이다.

도 2는 본 발명의 실시예를 포함하는 MCP 인클로저의 블록 다이어그램이다.

도 3은 종래의 전원의 블록 다이어그램이다.

도 4는 본 발명의 제 3 실시예에 적합한 스위칭가능한 전원의 블록 다이어그램이다.

도 5는 본 발명의 제 3 실시예를 통합하는 MCP 인클로저의 다른 블록 다이어그램이다.

도 6은 본 발명의 방법의 흐름도이다.

첨부된 도면에서, 유사한 특징부는 유사한 참조 부호에 의해 식별되는 것이 주목될 것이다.

### 발명을 실시하기 위한 구체적인 내용

[0012]

메모리 다이는 더 높은 체적 효율(volumetric efficiency)을 성취하기 위해 단일 기판상에 함께 적층되고 패키징될 수 있다. 패키지의 메모리 장치와 패키지 상의 단자 사이의 상호연결은 와이어 본드 또는 TSV(관통 실리콘 비아)로 성취될 수 있다. 2010년 4월 9일자로 출원된 U.S 특허 출원 제 12/757,540 호는 적층된 메모리 장치를 위한 칩 선택 및 버스 구조를 기재한다. 별개의 패키징된 메모리 장치처럼, MCP(멀티-칩 패키지) 인클로저 내의 멀티플 다이는 동일한 버스에 종종 연결된다.

[0013]

도 1을 참조하여, 종래의 구조에서, 상기 기재된  $t_{FAW}$  규격을 갖는 4개의 LPDDR DRAM 다이는 단일 MCP(100)에 함께 패키징되는 것으로 가정한다.

[0014]

모든 4개의 다이 상의 어드레스 및 명령 입력은 함께 와이어링되어(wired) MCP 어드레스/명령 단자에 연결된다. 마찬가지로, 양방향 데이터버스 단자(DQ)는 각각의 다이에 공통으로 연결된다. 별개의 칩 인에이블 핀(CE<sub>1</sub> 내지 CE<sub>4</sub>)은 명령이 MCP 내의 별개의 LPDDR2 다이를 향해 보내지는 것을 허용한다. 클록은 구체적으로 도시되지 않지만 어드레스/명령 및 데이터 버스의 부분으로서 포함된다. 전원(V<sub>dd</sub>, V<sub>ss</sub>, V<sub>ddq</sub> 및 V<sub>ssq</sub>)은 또한 모든 4개의 다이에 공통으로 제공된다. 이러한 구조는 별개의 개별적으로 패키징된 메모리 장치를 포함하는 보드 레벨 메모리 서브시스템으로서 동일한 결점을 공유한다. 각각의 다이의 뱅크 활성화는  $t_{FAW}$  규격에 의해 한정되고 다이의 특정한 수 이상으로, 각각의 다이를  $t_{FAW}$  한도로 실행하기에는 불충분한 명령 대역폭이 존재한다.

[0015]

도 2를 참조하여, 본 발명의 일 실시예(200)에서, 종래의 MCP(100)와 같이 동일한  $t_{FAW}$  규격을 모두 갖는, LPDDR2 기능을 가지는 4개의 다이(202, 203, 204 및 205)는 단일 MCP(201)에서 함께 패키징된다고 가정한다. 이러한 다이는 와이어 본드 패드의 추가에 의해, 또는 공통 버스(207)를 통한 내부 V<sub>pp</sub> 전압 공급에 대한 개별적인 TSV 범프 연결(212, 213, 214 및 215)에 의해 변형된다. 제 2 실시예는 유사한 방식으로 V<sub>bb</sub> 또는 V<sub>dd</sub>/2와 같은 다른 내부 전압 공급에 대한 연결을 제공한다. 모든 다이(202, 203, 204 및 205)의 전원이 평행할 경우 회로 구성요소의 크기상의 감소가 일어날 수 있다.

[0016]

MCP 인클로저 또는 인캡슐레이션(enclosure or encapsulation) 내에서, 각각의 다이(202, 203, 204 및 205)에 대한 내부 V<sub>pp</sub> 공급 노드(212, 213, 214 및 215)는 버스(207)에 함께 와이어링된다. 각각의 다이(202, 203, 204 및 205)가 50ns  $t_{FAW}$  윈도우 내의 4개의 뱅크를 활성하기에 충분한 V<sub>pp</sub> 전류를 제공하는 것이 가능하다고 가정하면, 4개의 다이 사이의 16개의 뱅크의 분포에 관계 없이 4개의 다이 적층(200)은  $t_{FAW}$  윈도우 내에서 16개의 뱅크 활성화를 지원할 수 있다. 이것은, 더 큰 내부 공급을 위한 임의의 추가적인 다이 영역 패널티 없이 성능상의 상당한 증대를 야기할 수 있다.

[0017]

도 3은 종래의 V<sub>pp</sub> 펌프 회로(300)의 블록 다이어그램이다. 용량성 펌프 회로는 V<sub>dd</sub> 공급으로부터 전류를 유입하고 V<sub>dd</sub>보다 더 높은 전위로 레벨을 상승한다. 회로의 간단한 형태는 V<sub>dd</sub> 레벨의 2배에 가까운 V<sub>pp</sub> 레벨을 성취할 수 있다. 2x V<sub>dd</sub>보다 더 높은 전압 레벨을 성취하는 더 복잡한 회로가 업계에 알려져있다. V<sub>dd</sub> 펌프(미도시)는 유사한 구조를 갖는다.

[0018]

오실레이터(302)는 용량성 펌프(304)를 제어하기 위한 클록 신호를 생성한다. 각각의 클록 사이클 상에서, 다량의 전하는 V<sub>pp</sub> 레벨을 증가시키기 위하여 출력에 전해진다. 종종, 저장 커패시터는 전하를 홀드하고 각각의 클록 사이클 상에서 전하를 덤핑함으로써 전압 단계를 약화시키기 위하여 출력에 연결되고, 이러한 커패시터는 다소 커져서 집적 회로 칩 상에서 상당한 공간을 차지할 수 있다. 레귤레이터(306)는 언제 V<sub>pp</sub>가 바람직한 레벨에 도달할지 결정하기 위해 V<sub>pp</sub>의 레벨을 감지한다. 이것이 일어나면, 레귤레이터(306) 출력이 낮아져서 오실레이터(302) 및 펌프(304)를 디스에이블한다. V<sub>pp</sub> 공급은 EN 입력 신호로 인에이블되거나 디스에이블될 수 있다.

메모리의 데이터가 유지될 필요가 없는 심한 전력 저하 모드에서, EN 입력 신호가 낮아져서 레귤레이터(306)를 직접 디스에이블하여 AND 게이트(308)로 오실레이터(302) 및 펌프(304)를 턴오프할 수 있다. 동작 중에,  $V_{pp}$  레벨이 바람직한 레벨 미만일 때, 모든 3개의 블록(302, 304 및 306)은 전력을 소비한다.  $V_{pp}$ 가 바람직한 레벨에 도달하면, 오직 레귤레이터(306)만이 전력을 소비한다. 심한 전력 저하 모드에서, 레귤레이터(306)는 EN 입력 신호에 의해 완전히 턴오프되어 전력을 절약한다.

[0019] 제 3 실시예에서, 오직 하나의 다이의 레귤레이터는 남은 레귤레이터가 디스에이블 될 동안 인에이블된다. 이것은, 휴대전화와 같은 핸드헬드(handheld) 휴대용 장치에서 특히 중요한 셀프 리프레시 데이터 리텐션 모드에서 전력을 상당히 절감시킬 수 있다.

[0020] 도 4는 본 발명의 제 3 실시예에 적합한 스위칭가능한 전원(400)의 블록 다이어그램이다.  $V_{pp}$  공급(400)은 추가 입력  $EN_R$ (407)을 가져서 레귤레이터(306)를 인에이블한다.  $EN_R$ (407)이 하이 레벨 1일 경우, 회로는 도 3의  $V_{pp}$  공급과 동일하게 기능한다. 이러한 실시예에서, 레귤레이터(306)는  $EN_R$  입력(407) 상의 로우 레벨 신호0에 의해 디스에이블될 수 있다.  $EN_R$  입력(407)은 AND 게이트(402) 상의 하나의 입력에 연결되고, 그 결과 신호 0이  $EN_R$ 상에 있을 때 레귤레이터(306)를 디스에이블한다. 추가적으로, 외부로 제공된 레귤레이터 입력( $R_{IN}$ (406))은 오실레이터(302) 및 펌프(304)를 제어하기 위해 다중화기(404)를 통해 연결된다.  $V_{pp}$  공급(400)은 또한  $R_{out}$  단자(408) 상에서 로컬 레귤레이터 출력을 제공한다.

[0021] 도 5를 참조하면, 본 발명의 제 3 실시예는 도 4의 전원을 통합한다. 도 1과 같이, 각각의 다이(501, 502, 503 및 504)의 내부  $V_{pp}$  공급 노드(212, 213, 214 및 215)는 MCP(500)의 버스(207)에 함께 와이어링된다. 그러나, 이러한 실시예에서 LPDDR2 다이 #1(501)은  $EN_R$  입력(512)에 인가된 로직 하이 1(511) 또는  $V_{dd}$  레벨의 결과로 인에이블된 레귤레이터를 가지고, LPDDR2 다이 #2(502), #3(503) 및 #4(504)는 각각 라인(521, 531 및 541) 상의 로직 로우 0나 또는 상응하는  $EN_R$  입력(522, 532 및 542)에 인가된  $V_{ss}$  레벨의 결과로 디스에이블된 레귤레이터를 갖는다. 다이 #1 상의 레귤레이터 출력  $R_{OUT}$ (513)은 다이 #2(502), #3(503) 및 #4(504) 상의 레귤레이터 입력(523, 533 및 543)  $R_{IN}$ 에 각각 연결된다. 결과적으로, MCP(500) 내의 오직 하나의 레귤레이터(LPDDR2 다이 #1(501) 상의 레귤레이터)가 인에이블되고 전력 소비량이 감소된다. 이전처럼, 다이(501, 502, 503 및 504) 상의 모든  $V_{pp}$  펌프는 다수의 뱅크가 짧은 시간의 기간 이내에 활성화될 때처럼  $V_{pp}$ 에 대한 전류 드라이브 요건을 충족시켜야 할 때 활성화될 수 있다. 이러한 기법은  $V_{bb}$  기판 바이어스 공급과 같이 MCP DRAM의 다른 공급에 또한 적용될 수 있다. 이것은 또한  $V_{prog}$  또는  $V_{ers}$  전하 펌프와 같은 MCP 구성의 NAND 플래시 장치 상의 내부 공급에 적용될 수도 있다.

[0022]  $V_{pp}$ 와 같이 펌핑된 공급은 문제없이 함께 집단을 이룰 수 있다. 이러한 경우에, 각각의 장치가 자신의 레귤레이터를 인에이블하면, 장치 간의 변화로 인하여, 각각의 레귤레이터는 다소 상이한 전압에서 펌프를 디스에이블 할 수 있다. 필수적으로, 최고 임계값을 갖는 레귤레이터는 결합된 시스템의 전체  $V_{pp}$  레벨을 결정할 것이다.  $V_{pp}$  공급의 레귤레이터는 임계값 지점에 정확하게 전압을 확립하기 위해 전형적으로 초과 전하를 드레인오프하지 않으므로, 전력은 레귤레이터 임계 레벨의 일부 변화를 가짐으로써 낭비되지 않는다.

[0023] 도 6은 본 발명의 방법의 흐름도이다. 상기 기재된 바와 같이, 제 1 단계는 내부 전원에 연결된 별개의 메모리 장치상에 단자를 제공하는 단계이다. 선행 기술 장치에서, 이러한 연결은 다른 구성요소에 접근불가능하다. 기재된 바와 같이, 이러한 방법은 DRAM, NOR 플래시, NAND 플래시를 포함하는 플래시 메모리, PCRAM(상 변화 랜덤 액세스 메모리) 및 내부 전원을 포함하는 임의의 메모리 소자와 같은 다양한 장치로 동작할 것이다.

[0024] 다음 단계는 장치가 전력을 공유하는 것을 허용하는 장치의 단자를 연결하는 단계다. 도 1에서 도시된 바와 같은 간단한 실시예는 종료된다. 동일한 프로세스는  $V_{bb}$  기판 바이어스 공급과 같은 MCP DRAM의 공급과 같은 메모리 장치 내부의 다른 전압을 연결하기 위해 지속될 수 있다. 이것은 또한  $V_{prog}$  또는  $V_{ers}$  전하 펌프와 같은 MCP 구조의 NAND 플래시 장치 상의 내부 공급에 적용될 수 있다.

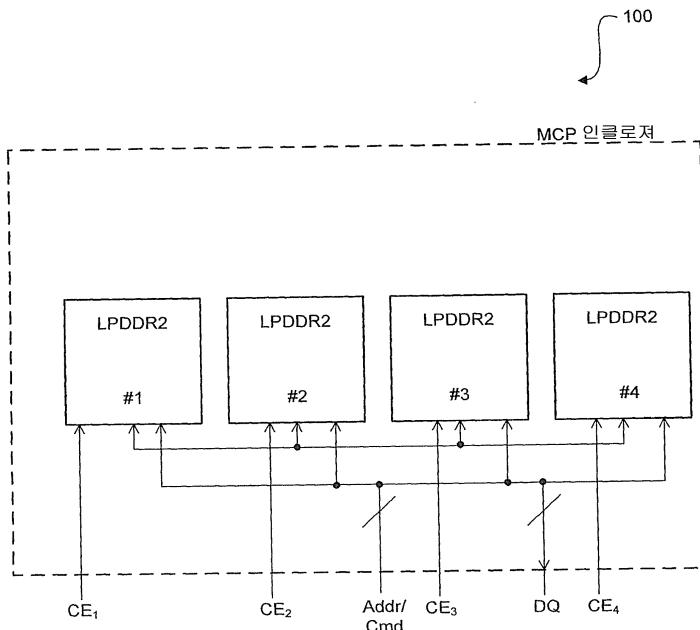
[0025] 이 프로세스는 자신의 내부 전원의 내부 레귤레이터를 갖는 장치에서 지속된다. 이러한 경우에, 이 장치는 레귤레이터 입력 및/또는 레귤레이터 출력 연결이 제공될 수 있다. 제 1 장치의 레귤레이터 출력 연결은 적어도

하나 및 종종 다수의 장치의 레귤레이터 입력에 연결된다. 상기 기재된 바와 같이, 이것은 제 1 장치가 다른 장치의 레귤레이터를 스위치 온 및 오프하게 하여 전력을 절감하고 열 축적을 감소시키도록 허용한다.

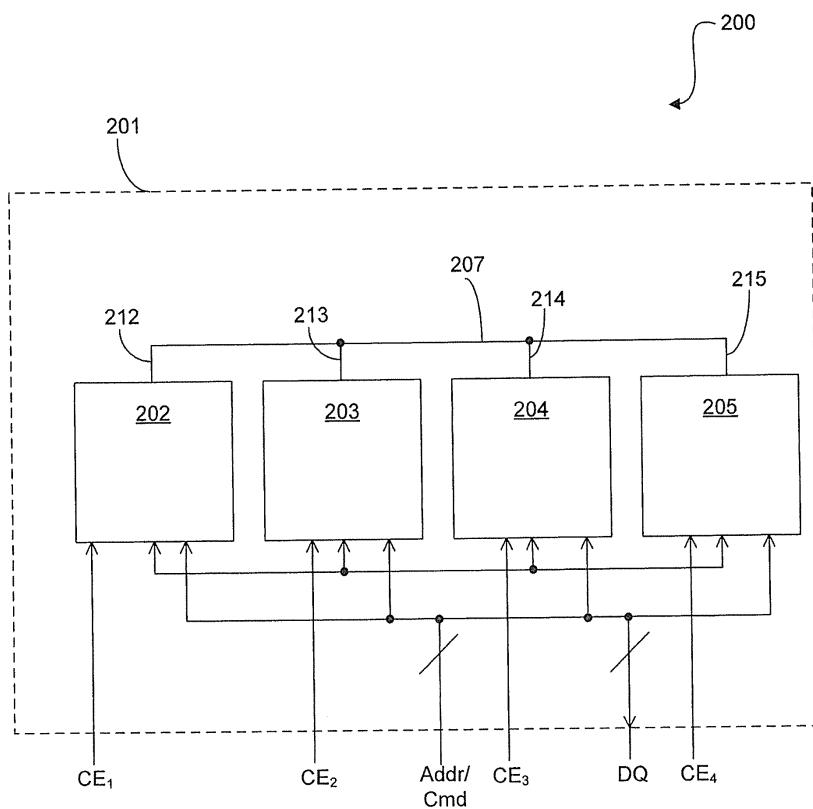
[0026] 도면이  $V_{pp}$  공급의 공유만 도시하였으나, 내부 공급의 임의의 결합이나 모든 내부 공급이 MCP 인클로저 내에서 공유되어 성능을 향상시키고 전력 소비량을 감소시키고 각각의 별개의 다이 내의 다이 영역을 최적화할 수 있다. 이러한 기법은 DRAM, NAND 플래시 및 NOR 플래시를 포함하는 플래시 메모리뿐만 아니라 PCRAM(상변화 랜덤 액세스 메모리)과 같은 다른 형태의 메모리 및 기타 최근 생겨난 메모리 기술에 적용될 수 있다.

## 도면

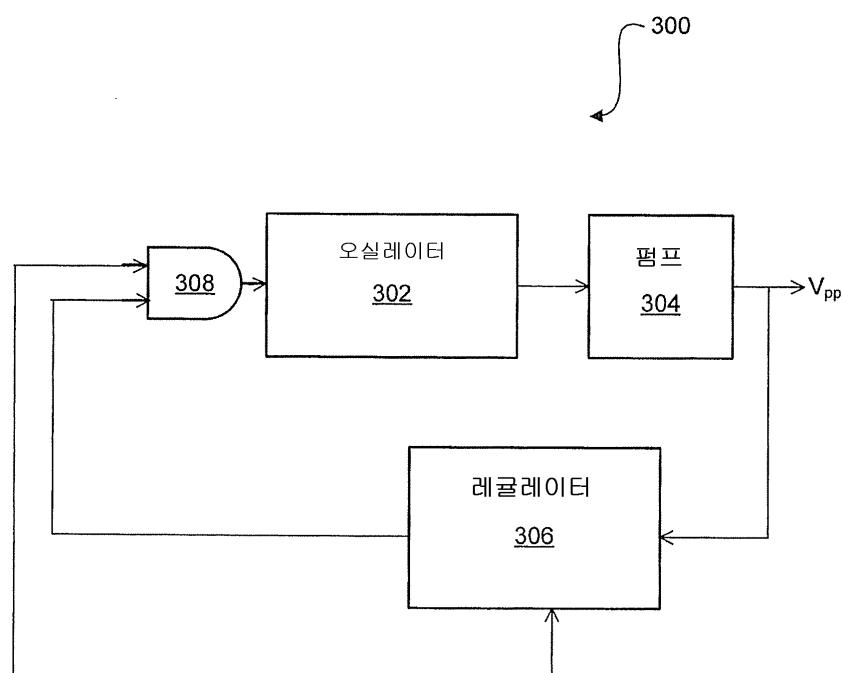
### 도면1



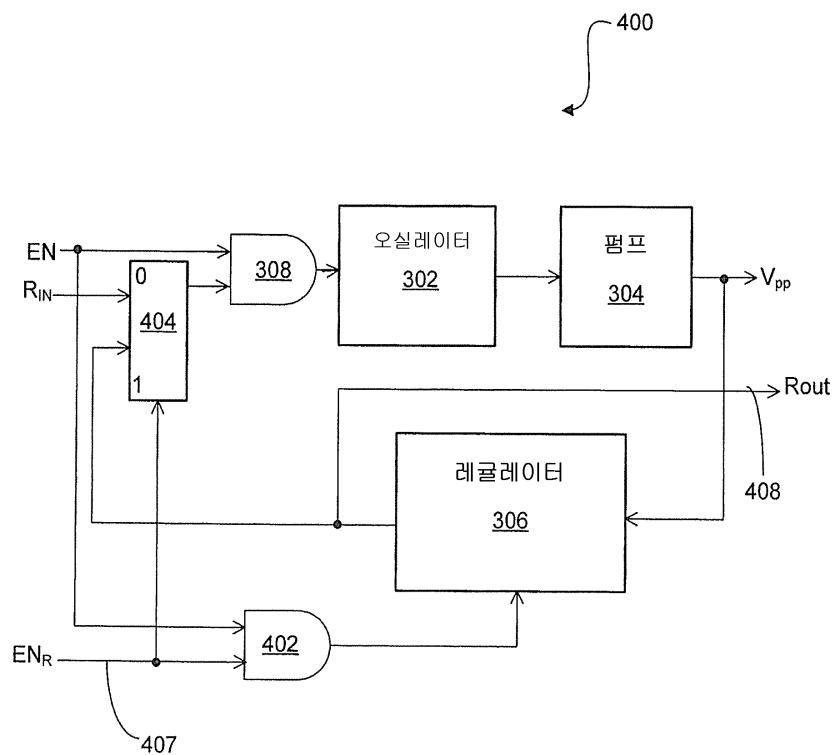
## 도면2



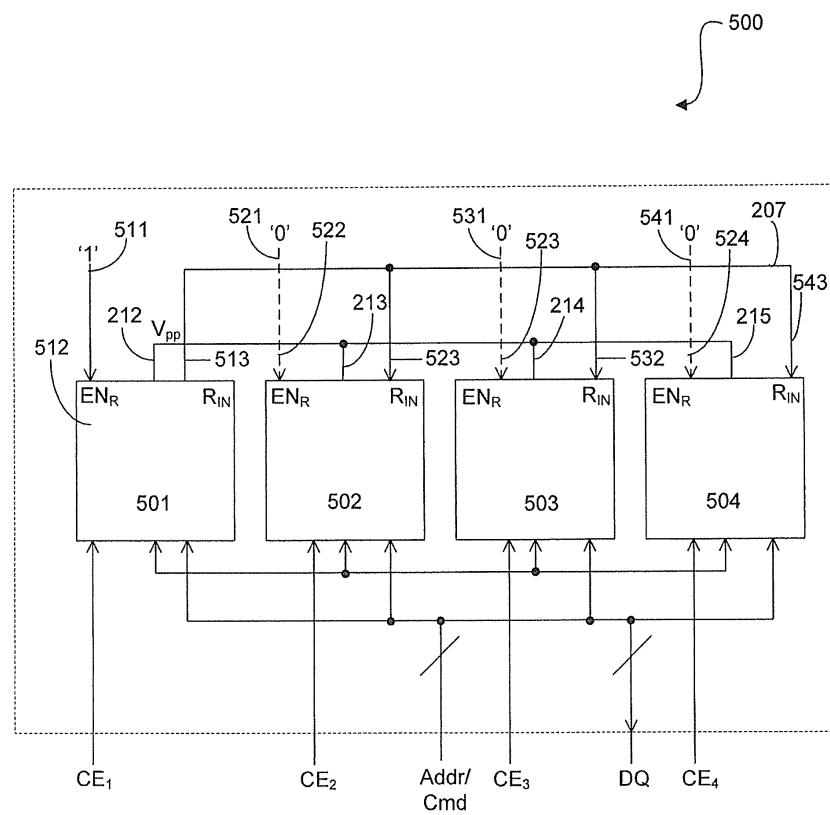
## 도면3



도면4



도면5



도면6

