



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2006 062 473 A1** 2008.07.03

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2006 062 473.4**

(22) Anmeldetag: **28.12.2006**

(43) Offenlegungstag: **03.07.2008**

(51) Int Cl.⁸: **H01L 23/06** (2006.01)

H01L 23/055 (2006.01)

H01L 25/00 (2006.01)

(71) Anmelder:

Qimonda AG, 81739 München, DE

(74) Vertreter:

**Patentanwälte Lippert, Stachow & Partner, 01309
Dresden**

(72) Erfinder:

**Kroehnert, Steffen, 01109 Dresden, DE; Nocke,
Kerstin, Dr.-Ing., 01109 Dresden, DE; Grafe,
Jürgen, Dr.-Ing., 01156 Dresden, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE10 2004 029586 A1

DE 199 54 888 A1

DE 198 01 312 A1

DE 195 42 883 A1

DE 103 47 320 A1

DE 102 38 581 A1

US 56 79 977

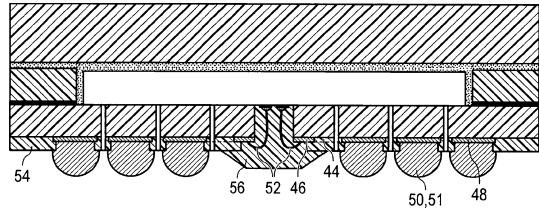
US 54 01 688

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Halbleiterbauelement mit auf einem Substrat montiertem Chip**

(57) Zusammenfassung: Die Erfindung betrifft ein Halbleiterbauelement, bestehend aus zumindest einem Halbleiterchip, der auf einem Substrat montiert, mit Kontaktelementen des Substrates kontaktiert und dessen Rückseite und Seitenflächen von einer schützenden Hülle umgeben ist. Die elektrische Kontaktierung über das Substrat erfolgt einerseits zwischen den einzelnen Chips und den Schaltungselementen des Halbleiterbauelements sowie andererseits zwischen dem Halbleiterbauelement und externen Schaltungselementen. Der Erfindung liegt die Aufgabe zugrunde, ein solches Halbleiterbauelement anzugeben, das ein verringertes Warpage-Verhalten zeigt, um die damit verbundenen Zuverlässigkeits- und Fertigungsprobleme zu überwinden. Die Aufgabe wird dadurch gelöst, dass die Umhüllung des Halbleiterchips aus dem Substrat und einer Abdeckung (Cover) besteht, die den Chip in seiner Lage zum Substrat fixieren und dass das Cover aus dem gleichen Material besteht, wie das Substrat.



Beschreibung

[0001] Die Erfindung betrifft gehäuste Halbleiterchips, die auf einem Substrat montiert und mit Kontaktelementen des Substrates kontaktiert sind.

STAND DER TECHNIK

[0002] Moderne Halbleiterbauelemente umfassen ein oder mehr Halbleiterchips und gegebenenfalls weitere Schaltungselemente, die auf einem Substrat montiert und elektrisch kontaktiert sind. Die elektrische Kontaktierung mittels Substrat erfolgt einerseits zwischen den einzelnen Chips und den Schaltungselementen des Halbleiterbauelements sowie andererseits zwischen dem Halbleiterbauelement und externen Schaltungselementen. Die einzelnen Chips eines Halbleiterbauelements können diskrete, ungehäuste Chips sein oder Chips, die ebenfalls auf einem Substrat montiert und kontaktiert sind und verschiedene Ausführungsarten eines Gehäuses im Sinne eines umhüllenden Schutzes aufweisen. Die Montage eines Chips „auf“ einem Substrat kennzeichnet die neben der elektrischen Kontaktierung bestehende zweite wesentliche Funktion des Substrats als Halterung des Chips. Sie umfasst auch solche Konstruktionen, bei denen das Substrat dem Chip angepasste Strukturen aufweist, welche den Chip zumindest teilweise aufnehmen.

[0003] Die Kontaktierung zwischen einem Chip und einem Substrat (First-Level-Interconnection) erfolgt z. B. mittels Drahtbonden (Wire Bonding). Bei der Face-down-Montage wird der Chip mit seiner aktiven Seite, welche die Kontakte zur elektrischen Kontaktierung aufweist, auf der Oberseite des Substrats, d. h. mit der aktiven Seite nach unten montiert. Als Oberseite des Substrats sei hier die Seite des Substrats bezeichnet, welche dem Chip zugewandt ist, unabhängig von Funktion, Bestandteile oder der späteren Lage dieser Substratseite im endmontierten Package. Diese Technologie wird insbesondere bei Speicherchips angewendet, deren Kontakte ein-, zwei- oder mehrreihig zentral angeordnet sind. Zur elektrischen Kontaktierung des Chips weist das Substrat einen längs erstreckten Durchgang (Bond-Kanal) auf, dessen Größe und Lage mit der Anordnung der Kontakte eines Chips korrespondiert.

[0004] Der Chip wird so auf dem Substrat angeordnet, dass die Kontakte durch den Bond-Kanal zugänglich sind, so dass die Drahtbrücken von den Kontakten ausgehend durch den Bond-Kanal führen und auf den Anschlüssen auf der Unterseite, d. h. jener der Oberseite gegenüber liegenden Seite des Substrats enden. Die Anschlüsse wiederum sind mittels auf der Unterseite des Substrats verlaufende, schichtartige Leitbahnstrukturen elektrisch mit externen Ausgängen verbunden, die meist in einer rasterartigen Struktur auf der Unterseite des Substrats ver-

teilt sind. Sie stellen über Lötkegeln einen mechanischen und elektrischen Kontakt zu externen Schaltungselementen, z. B. dem Printed Circuit Board (PCB) her. Derartige Anschlussstrukturen sind als Ball-Grid-Arrays (BGA) bekannt.

[0005] Weitere Verbindungstechnologien sind die Face-up-Montage in Verbindung mit Wire-Bonding und das Flip-Chip-Bonding. Die Face-up-Montage kommt dann zur Anwendung, wenn die Kontakte am Rand des Chips, z. B. in einer ringartigen Struktur angeordnet sind. Der Chip wird hier mit seiner der aktiven Seite gegenüberliegenden Rückseite auf dem Substrat montiert und mittels Drahtbrücken kontaktiert, die von den Kontakte ausgehend auswärts, über die Chipkanten hinweg verlaufen. Die Anschlüsse sind auf Oberseite des Substrats benachbart zur Montagefläche des Chips angeordnet. In diesem Falle werden die Leitbahnstrukturen über Durchkontaktierungen (Vias) auf die Unterseite des Substrates geführt und dort rasterartig an die Ausgänge verteilt. Das Substrat derartiger Wire-Bonding-Komponenten ist stets deutlich größer als die Chipfläche.

[0006] Nur geringfügig größer als die Chipfläche ist das Substrat beim Flip-Chip-Bonding. Zur mechanischen und elektrischen Kontaktierung werden die Kontakte des Chips mit jeweils einer Lötkegel versehen und der Chip face-down auf dem Substrat angeordnet, das zur Lötkegelanordnung korrespondierende Anschlüsse aufweist. In einem einzigen Lötvorgang wird der mechanische und elektrische Kontakt zwischen den Lötkegeln und den Anschlüssen hergestellt.

[0007] Auch in den beiden letztgenannten Verbindungstechnologien weist das Substrat auf seiner Unterseite externe Ausgänge auf, die z. B. über metallisierte Durchgänge durch das Substrat und schichtartige Leiterbahnstrukturen mit den Anschlüssen elektrisch verbunden sind und der Integration des Halbleiterbauelements in komplexe Schaltungselemente dienen.

[0008] Als Substratmaterial dient elektrisch isolierendes Material, das je nach Anwendung die erforderlichen elektrischen und mechanischen Eigenschaften aufweist. Meist wird glasfaserverstärktes Epoxydharz verwendet, für verschiedene Anwendungsfälle kommen auch weitere Materialien zum Einsatz, z. B. Polymerkunststoffe, Glas oder Keramik.

[0009] Zum Schutz insbesondere vor Feuchtigkeit und vor mechanischen und chemischen Beanspruchungen werden die Halbleiterbauelemente mit einer Kunststoffumhüllung, hergestellt aus einer Verguss- oder Pressmasse (Mold Compound) derart umgeben, dass die Rückseiten und/oder die Seitenkanten des oder der Chips geschützt sind (Back-Side-Pro-

tection, BSP).

[0010] Das so gehäuste Halbleiterbauelement (Package) ist im Verlauf verschiedener Tests und während des Betriebs thermischer Belastung unterworfen, die zur Erwärmung von Chip, Substrat und Gehäuse führt. Aufgrund der unterschiedlichen thermischen Ausdehnungskoeffizienten der miteinander verbundenen Bestandteile des Packages, des Silizium des Chips im Verhältnis zum Mold-Compound des Gehäuses und zum Substrat, kommt es zur Wölbung des Halbleiterbauelements, vergleichbar dem Effekt eines Bimetalls, was zu Schädigungen des Bauelements, zu Zuverlässigkeitsproblemen der elektrischen Kontakte des ersten und/oder zweiten Levels bis hin zur Zerstörung des Bauelements führen kann. Da der Wärmeeintrag in das Halbleiterbauelement bereits im Verlaufe des Fertigungsprozesses erfolgen kann, z. B. bei verschiedenen Lötprozessen, führt das Durchbiegeverhalten (Warpage) auch zu Problemen im Fertigungsprozess. Insbesondere das dynamische Warpage des Bauelements, d. h. die Änderung der Durchbiegung bei Temperaturbelastung, verursacht die Fertigungs- und Zuverlässigkeitsprobleme.

[0011] Um den Zuverlässigkeitsproblemen zu begegnen werden verschiedene Maßnahmen ergriffen, die entweder der Aussteifung des Packages dienen, wie beispielsweise in der DE 103 47 320 A1 beschrieben, oder die nachgiebige Verbindungselemente vorsehen, so dass eine geringfügige Bewegung der Kontakte Chips relativ zu den Anschlüssen des Substrats möglich ist. Neben der Tatsache dass die Maßnahmen zum Ausgleich des unterschiedlichen Ausdehnungsverhaltens im Package häufig nicht ausreichend sind, erhöhen die eingefügten Elemente häufig auch die Chiphöhe und kosten so Signallaufzeiten. Beispielsweise sind in der US 5,679,977 auf der Chipfläche zusätzliche, nachgiebige Layer zur Entkopplung der Anschluss-Level vorgesehen.

[0012] Um komplexere Funktionen und hohe Speicherkapazitäten zu realisieren, werden zunehmend mehrere Komponenten gestapelt und mechanisch und/oder elektrisch miteinander verbunden. Für die Stapelung sind verschiedene Technologien bekannt. So werden sowohl komplett gehäuste Halbleiterbauelemente gestapelt und mit einem externen Board kontaktiert oder innerhalb des Gehäuses mehrere Chips einer bestimmten Ausbaustufe gestapelt (Multi-Chip-Packaging). Im Stapel sind die einzelnen Komponenten einheitlich face-up oder face-down gestapelt und zueinander fixiert oder abwechselnd oder in beliebiger Reihenfolge face-up und face-down angeordnet.

[0013] Die Kontaktierung der einzelnen Komponenten eines Stapels erfolgt mittels Drahtbrücken entweder von Komponente zu Komponente oder direkt von

der Komponente zum Basissubstrat, je nach Ausgestaltung der Einzelkomponente und deren Leistungsparameter. Da sich die Kontaktflächen der gestapelten Komponenten, d. h. die externen Ausgänge oder die Anschlüsse des Halbleiterbauelements oder die Kontakte des Chips stets auf einer der Flächen befinden, auf denen die Stapelung erfolgt, muss die Zugänglichkeit zu diesen Kontaktflächen innerhalb des Stapels ermöglicht sein.

[0014] In verschiedenen Stapeltechnologien umfasst jede Komponente schichtartige Abstandshalter, mit denen die erforderlichen Abstände zwischen den einzelnen Komponenten hergestellt sind sowie gegebenenfalls passive Umverdrahtungen zur Verlegung der Kontaktflächen in den Randbereich der Komponente. Andere Technologien gestatten es, auf Abstandshalter zwischen den Chips zu verzichten. Dies ist z. B. möglich, wenn die Kontaktflächen im Randbereich der Komponenten angeordnet sind und die gestapelten Komponenten in ihrer Größe voneinander abweichend oder gemischt face-up und face-down gestapelt sind. Bei Anwendung der Wirebondtechnik können die Bonddrähte auch auf geeignete Weise in den Klebstoff zwischen den Chips eingebettet werden, um keine Abstandshalter zu benötigen.

[0015] Eine weitere Methode der Chipstapelung verwendet Durchgänge im Silizium der gestapelten Chips (z. B. Thru Silicon Vias – TSV) für die Kontaktierungen der gestapelten Komponenten. In der so genannten TSV-Technologie werden ebenfalls nackte Chips gestapelt. Zur Kontaktierung der einzelnen, gestapelten Chips sind die Durchgänge in die Chips eingebracht und auf geeignete Art metallisiert, z. B. mit Metall gefüllt. Die Metallisierungen der einzelnen Chips stehen z. B. über Lotkugeln derart miteinander in Verbindung, dass jeder Kontakt eines Chips mit einem Kontakt des Stapels an dessen Unter- oder Oberseite elektrisch verbunden ist und die Kontaktierung jedes Chips des Stapels über diese Kontakte des Stapels erfolgt. Sofern Lotkugeln zur Verbindung der Metallisierungen verwendet werden, realisieren diese auch die mechanische Verbindung der einzelnen Chips miteinander. Da auf diese Weise die Stapelung direkt über die TSV erfolgt, sind ebenfalls keine gesonderten Abstandshalter erforderlich.

[0016] Unabhängig von der verwendeten Technologie verstärkt sich in derartigen Stapeln das Warpage des Packages, da zum einen mehr Wärme im Package anfällt aber gleichzeitig die Wärmeableitung schwieriger wird und da sich zum anderen die Wölbungen summieren können, so dass sich die Zuverlässigkeit der zahlreichen Kontakte im Stapel verringern kann.

ERLÄUTERUNG DER ERFINDUNG

[0017] Es ist deshalb eine Aufgabe der Erfindung, ein Halbleiterbauelement anzugeben, das ein verringertes Warpage-Verhalten zeigt, um die Zuverlässigkeits- und Fertigungsprobleme zu überwinden.

[0018] Ein Halbleiterbauelement, das diesen Anforderungen entspricht, umfasst im Wesentlichen einen Chip, der auf seiner aktiven Seite Kontakte zu dessen elektrischer Kontaktierung aufweist. Der Chip ist auf einem Substrat angeordnet, so dass zumindest ein Teil einer Oberfläche des Substrats durch den Chip überdeckt ist. Die Oberfläche des Substrats, die dem Chip gegenüber liegt, soll im Folgenden als erste Oberfläche benannt sein. Das Halbleiterbauelement umfasst des Weiteren ein Cover, welches mit dem Substrat verbunden ist und dabei im Zusammenhang mit dem Substrat den Chip allseitig umhüllt. Die Umhüllung durch Cover und Substrat ist dabei derart ausgeführt, dass die Lage des Chips über dem Substrat fixiert ist und darüber hinaus das Substrat nur von einem Material umhüllt wird und zwar von dem Material des Substrats.

[0019] Indem die umhüllende Vergussmasse ersetzt wird durch Substratmaterial als Cover, ist es möglich, die Anteile der flächig miteinander verbundenen und somit das Warpage-Verhalten wesentlich bestimmenden Materialkomponenten zu reduzieren, wodurch die Biegung des Halbleiterbauelements bei Erwärmung oder Abkühlung deutlich verringert und die Zuverlässigkeit des Bauelements entscheidend verbessert wird.

[0020] Infolge der vollständigen Umhüllung des Chips mit nur einem Material verliert auch der unterschiedliche Ausdehnungskoeffizient, der zwischen Chip und Substrat besteht, wesentlich an Einfluss auf das Biegeverhalten. Das Halbleiterbauelement verhält sich vergleichbar einem Verbundmaterial, das eine mittlere thermische Ausdehnung zeigt, die sich aus den Ausdehnungskoeffizienten der beiden verbundenen Materialien ergibt.

[0021] Zur Umhüllung des Chips durch Substrat und Cover passt sich entweder einer der beiden Teile der Umhüllung oder beide im Wesentlichen der Chipform und -größe an. Für die Fixierung ist eine Anpassung in zumindest einer Ausdehnung des Chips ausreichend, so dass gegebenenfalls Räume innerhalb der Umhüllung zur Verfügung stehen können, die für solche elektrische Verbindungen wie beispielsweise die Face-up-Montage benötigt werden.

[0022] Ein weiterer Aspekt der Erfindung besteht darüber hinaus in der Flexibilität hinsichtlich der Packagehöhe, die von der Chiphöhe unabhängiger wird, da kein Verguss oder Verpressen mit dem Chip als Grundlage erforderlich ist. Die Höhe des Halblei-

terbauelements wird vielmehr durch die Höhe von Substrat und Cover bestimmt. Als Substrat und somit als Umhüllung können in Abhängigkeit von den Leistungsparametern, der Verwendung und den Einsatzbedingungen die verschiedenen, bekannten Substrate verwendet werden, so dass die Bauelementehöhe auch nach deren mechanischer Stabilität festgelegt werden kann.

[0023] Ein besonderer Aspekt der Erfindung ist die Möglichkeit, durch entsprechende Gestaltung der Form von Substrat und/oder Cover die Fixierung des Chips relativ zum Substrat und somit dessen Kontakte relativ zu den Anschlüssen des Substrats vorzunehmen. In vorteilhafter Weise kann dafür in Cover oder Substrat eine Vertiefung gestaltet sein, die den Chip aufnimmt und die Fixierung des Chips damit bereits vorbereitet. Die Vertiefung vermag den Chip bereits lateral zu fixieren, so dass für die weitere Montage auf eine Klebeverbindung zwischen dem Chip und dessen Auflagefläche auf dem Substrat verzichtet werden kann. Mit dem Verschluss der Vertiefung mittels des jeweils anderen Teils ist der Chip in seiner Lage endgültig gesichert. Die Vermeidung von Klebstoff zwischen Chip und Chipauflagefläche des Substrats gestattet es außerdem, das Delaminieren infolge des bekannten Popcorn-Effekts zwischen Chip, Klebstoff und Substrat aufgrund der hohen Wasseraufnahmefähigkeit von Klebstoff zu vermeiden.

[0024] Ein weiterer Aspekt der Erfindung liegt in der Anpassungsmöglichkeit der Bestandteile der Umhüllung an die Ausführung des Chips und die Prozessschritte zur Herstellung des Halbleiterbauelements. So ist es entweder möglich, den Chip im Substrat zu platzieren oder im Cover. Welche der beiden Varianten zum Einsatz kommt, hängt z. B. davon ab, welche Elemente an dem jeweiligen Bauteil der Umhüllung für die Fertigstellung des Packages und eine spätere Integration des Packages vorgefertigt sind oder wie die Kontaktierung des Chips erfolgen und dafür erforderlicher Raum bereit gehalten werden soll. Ist zum Beispiel eine Fixierung des Chips mittels Klebstoff erforderlich kann das auf dessen Rückseite erfolgen, indem der Chip auf dem Cover fixiert wird. So kann trotz der Fixierung des Chips z. B. mittels üblichem Adhesive die Klebeverbindung zwischen Chip und Chipauflagefläche des Substrats vermieden werden.

[0025] Die Anpassungsmöglichkeit der Bestandteile der Umhüllung an die Ausführung und die Größe des Chips gestattet es in besonders vorteilhafter Weise, anstelle einzelner Chips auch Stapel von Chips zu umhüllen. In diesem Fall ist die Vertiefung im Substrat und/oder im Cover der Stapelhöhe angepasst und werden die zumindest mechanisch miteinander verbundenen Chips gemeinsam in einer Vertiefung platziert. Die elektrische Kontaktierung der einzelnen Chips erfolgt dann entsprechend der Kontakte der einzelnen Chips und der bekannten Stapeltechnologien.

gien entweder einzeln für jeden Chip über das Substrat oder über die Kontakte des Stapels, welche über die eingangs beschriebenen Verbindungen innerhalb des Stapels zu den einzelnen Chips geführt sind.

[0026] Darüber hinaus ist es besonders vorteilhaft, dass die Bestandteile der Umhüllung des Chips, d. h. das Substrat mit und ohne Vertiefung, das Cover mit und ohne Vertiefung, die dafür benötigten Frames und gegebenenfalls auch Zusatzframes in der jeweils erforderlichen Größe und Gestalt vorgefertigt werden können. Die Vorfertigung kann ebenso die besonderen Ausgestaltungen der Vertiefungen betreffen, z. B. Abstandshalter an den Wandungen der Vertiefung oder andere geeignete Gestaltungen, die es gestatten, den Chip lateral oder in der Höhe auf dem Substrat zu fixieren. Ein Vorteil der Vorfertigung ist die Möglichkeit der Synchronisierung oder Standardisierung hinsichtlich der Größe des Halbleiterbauelements. Darüber hinaus verringert eine derartige Vorfertigung die Prozessschritte zur Herstellung des Gehäuses auf die Positionierung des Chips und das Zusammenfügen der beiden Bestandteile der Umhüllung. Das Ausfüllen von Zwischenräumen, Spalten und/oder Fugen kann, soweit erforderlich, dann in einer Prozessphase erfolgen, in der der Chip bereits positioniert und zumindest teilweise umhüllt ist, was dessen Handling wesentlich vereinfacht.

[0027] Mit der Reduzierung der Wölbung eines Halbleiterbauelement und somit eines solch ein Halbleiterbauelement umfassenden Packages unter thermischer Belastung eignet sich das erfindungsgemäße Halbleiterbauelement insbesondere zur Stapelung fertig gehäuster Chips. Die vollständige Umhüllung verbessert das Handling der einzelnen Stapelkomponenten und vereinfacht deren Kontaktierung. Darüber hinaus ist es von besonderem Vorteil, dass ein Cover einer Stapelkomponente aus dem gleichen Material hergestellt ist, wie ein Substrat. Damit ist es möglich, auf und in diesem Cover die Leitungsstrukturen und Verbindungselemente mit bekannten Materialien und Verfahren für die Kontaktierung der darüber angeordneten Stapelkomponente auszubilden. Zudem treffen an den Schnittstellen zwischen zwei Stapelkomponenten gleiche Materialien aufeinander, was den mechanischen Stress aufgrund thermischer Beanspruchung weiter verringert.

[0028] Des Weiteren erweisen sich die Möglichkeiten, die sich aus der gezielten Einstellung der Höhe einer Stapelkomponente insbesondere über die Coverhöhe und aus der Vorfertigung von Substrat und Cover als sehr vorteilhaft. In die Vorfertigung können die Verbindungselemente, welche für die Stapelung und die elektrische Kontaktierung der Stapelkomponenten erforderlich sind einbezogen werden. Dies betrifft z. B. Leitungsstrukturen auf den Oberflächen von Cover und/oder Substrat, Vias zur Durchkontaktierung von Cover, Substrat und Halbleiterbauele-

ment sowie Justierelemente zur Ausrichtung der Stapelkomponenten. Auch für die Vorfertigung der Cover kann dabei auf bewährte Verfahren aus der Substratfertigung zurückgegriffen werden.

[0029] Die Erfindung soll nachfolgend anhand von Ausführungsbeispielen näher erläutert werden. Die zugehörigen Zeichnungen zeigen in

[0030] [Fig. 1](#) ein Halbleiterbauelement mit face-down auf dem Substrat aufliegenden Chip oder Chip-Stapel;

[0031] [Fig. 2a](#) bis [Fig. 2c](#) Substrat-, Frame- und Cover-Matrix von Umhüllungen nach [Fig. 1](#);

[0032] [Fig. 3a](#) und [Fig. 3b](#) einzelner Frame und Frame-Matrix mit Abstandshaltern;

[0033] [Fig. 3c](#) eine Komponente aus Substrat und Frame nach [Fig. 1](#);

[0034] [Fig. 4](#) ein Package mit einem Halbleiterbauelement nach [Fig. 1](#);

[0035] [Fig. 5](#) ein Halbleiterbauelement mit face-up auf dem Substrat aufliegendem Chip;

[0036] [Fig. 6](#) ein Halbleiterbauelement mit face-down mittels Zusatzframe über einem Substrat angeordnetem Chip oder Chip-Stapel;

[0037] [Fig. 7a](#) bis [Fig. 7d](#) Substrat-, Zusatzframe-, Frame- und Cover-Matrix von Umhüllungen nach [Fig. 6](#);

[0038] [Fig. 8](#) Ausgestaltung einer Frame-Matrix nach [Fig. 7c](#);

[0039] [Fig. 9](#) ein Package mit einem Halbleiterbauelement nach [Fig. 6](#);

[0040] [Fig. 10](#) in Halbleiterbauelement mit face-down mittels Abstandshalter über einem Substrat angeordnetem Chip oder Chip-Stapel;

[0041] [Fig. 11a](#) Substrat-Matrix nach [Fig. 10](#) mit Bondkanälen;

[0042] [Fig. 11b](#) eine Cover-Matrix mit Cover-Vertiefungen nach [Fig. 10](#);

[0043] [Fig. 12](#) ein Package mit einem Halbleiterbauelement nach [Fig. 10](#) und

[0044] [Fig. 13](#) Ein Stapel von zwei, jeweils einen Chip umfassenden Packages gemäß [Fig. 1](#).

[0045] Ein erfindungsgemäßes Halbleiterbauelement umfasst einen Chip 1 mit einer aktiven Seite 2,

auf der die Kontakte **8** des Chips **1** angeordnet sind. Die der aktiven Seite **2** gegenüber liegende Seite ist die Rückseite **4** des Chips **1** und die umlaufenden Mantelflächen sollen im Folgenden als Seitenflächen **6** bezeichnet sein. Wie eingangs beschrieben, weisen auch verschiedene Chip-Stapel **1**, insbesondere solche, die mit der TSV-Technologie gestapelt sind, Kontakte **8** auf einer Seite des Chip-Stapels **1** auf, über welche alle gestapelten Chips **1** elektrisch kontaktierbar sind. In diesem Fall entspricht die Verwendung eines Chip-Stapels **1** in einem erfindungsgemäßen Halbleiterbauelement der eines Chips **1**, so dass im Folgenden bei der Beschreibung eines Halbleiterbauelements, eines Packages oder einer Komponente stets ein Chip **1** und gleichermaßen ein Chip-Stapel **1** beschrieben sein soll. Dementsprechend sollen die Begriffe, welche den Chip **1** beschreiben, d. h. die aktive Seite **2**, die Rückseite **4**, die Seitenfläche **6** und die Kontakte **8**, auch den Chip-Stapel **1** beschreiben.

[0046] In einer Ausgestaltung der Erfindung sind die Kontakte **8** des Chips **1** zentral zweireihig angeordnet ([Fig. 1](#)). Der Chip **1** ist mit seiner aktiven Seite **2** nach unten, d. h. mit den Kontakten **8** dem Substrat **10** zugewandt, auf einem Substrat **10** aufgelegt.

[0047] Das Substrat **10** dient unter anderem der Halterung des Chips **1** und weist zentral einen Bond-Kanal **12** auf, dessen Größe und Gestalt es gestattet, dass alle Kontakte **8** des Chips **1** durch den Bond-Kanal **12** hindurch zugänglich sind. Darüber hinaus weist das Substrat **10** innerhalb jener Fläche, welche vom Chip **1** belegt ist (Chipauflagefläche), mehrere offene Durchgänge auf, die als Luftdurchlässe (Vents) **14** dienen. Die Luftdurchlässe **14** verhindern mögliche Lufteinschlüsse zwischen Chip **1** und Substrat **10** infolge von Unebenheiten beider aufeinander treffender Flächen. Da beide Flächen nicht durch einen Klebstoff oder ähnliches verbunden sind, können selbst geringfügige Unebenheiten einer oder beider Flächen zu Hohlräumen führen, in welchen Luft und Feuchtigkeit verbleibt. Die Luftdurchlässe **14** gestatten das Entweichen von Luft und die Dampfentspannung bei Erwärmung des Halbleiterbauelements z. B. in Tests oder unter Leistung. Die Luftdurchlässe **14** sind entsprechend den später am Halbleiterbauelement zu realisierenden externen Kontaktflächen **48** und der Art der Integration des Halbleiterbauelements in einer komplexeren Struktur verteilt. Sie sind beispielsweise mechanisch durch Bohren herstellbar. Andere Verfahren, die von der Herstellung von Durchgängen (Vias) in Substraten **10** zur elektrischen Kontaktierung bekannt sind, eignen sich ebenso.

[0048] Das Substrat **10** gemäß [Fig. 1](#) ist ein plattenartiges Element **16**, bestehend aus zwei, flächig zusammengefügt Substratplatten **16** ([Fig. 2a](#) und [Fig. 2b](#)). Die beiden Substratplatten **16** können selbst wiederum aus einzelnen, fest miteinander ver-

bundenen Layern bestehen, wie es von laminierten Leiterplattensubstraten aus glasfaserverstärktem Epoxidharz (FR4) bekannt ist. Bestehen die Substratplatten **16** z. B. aus FR4, sind beide Substratplatten **16** auf die gleiche Art unter definiertem Druck und definierter Temperatur miteinander verpressbar, wie es vom Laminieren des Substratmaterials bekannt ist. Auf diese Weise steht ein homogen gefügtes Substrat **10** zur Verfügung, ohne dass eine besondere Fügefläche, wie in [Fig. 1](#) dargestellt, vorhanden ist. Es können, je nach den erforderlichen mechanischen, chemischen und elektrischen Eigenschaften, ebenso andere Materialien verwendet werden, sowohl in Form kompakter Substratplatten **16** als auch aus zwei oder mehr miteinander verbundenen Substratplatten **16** bestehend.

[0049] Das Substrat **10** weist in seiner ersten Oberfläche **30** eine Substrat-Vertiefung **28** auf, die in einer Ausgestaltung der Erfindung aus einem Durchgang (Frame-Durchgang **34**) in der oberen Substratplatte **16**, im Folgenden als Frame **22** bezeichnet, gebildet ist, welcher auf der zweiten, unteren Substratplatte **16** (Substrat-Basis **18**) endet. Die Substrat-Basis **18** ist ein plattenartiges Element **16** mit einem Bond-Kanal **12** und um den Bond-Kanal **12** eingebrachten Luftdurchlässen **14**. [Fig. 2a](#) zeigt eine Matrix von gleichen Substrat-Basen **18**, von denen jede einen Bond-Kanal **12** aufweist. Die einzelnen Luftdurchlässe **14** um jeden Bond-Kanal **12** sind der besseren Übersicht wegen in [Fig. 2a](#) nicht dargestellt. Eine Matrix von Frames **22**, welche jeweils einen rechteckigen Frame-Durchgang **34** aufweisen, ist in [Fig. 2b](#) dargestellt.

[0050] Alternativ kann die Substrat-Vertiefung **28** auch mittels geeigneter Verfahren in ein kompaktes Substratmaterial eingebracht werden. Die Substrat-Vertiefung **28** gemäß [Fig. 1](#) hat solch eine Größe und Gestalt, dass sie den Chip **1** vollständig aufnehmen kann und dabei eine Fuge **38** zwischen der Seitenfläche **6** des Chips **1** und der Wandung **36** der Substrat-Vertiefung **28** verbleibt. Im Ausführungsbeispiel verbleibt neben beiden dargestellten Seitenflächen **6** jeweils eine Fuge **38**, die zudem die gleiche Breite aufweist. Ebenso können auch unterschiedlich breite oder nur einseitige Fugen **38** angeordnet sein. Ein Aspekt, welcher auf Fugenanzahl und Fugenbreite Einfluss hat, sind die Maßtoleranzen von Chip **1** und Substrat **10**, da mit den Fugen **38** Maßabweichungen ausgleichbar sind.

[0051] Die Fixierung des Chips **1** erfolgt durch das Füllen der Fuge **38** oder der Fugen **38** mit härtbarem Material. Bei diesem Material kann es sich z. B. um eine Vergussmasse handeln oder um einen Klebstoff. Die Verwendung von Klebstoff hat den Vorteil, dass der Klebstoffauftrag auf das plattenartige Cover **19** ([Fig. 2c](#)), welches mit dem Substrat **10** zum Verschließen der Substrat-Vertiefung **28** verklebt wird,

sowie das Einbringen des Klebstoffs in die Fuge **38** bzw. die Fugen **38** für dessen Füllung in einem Arbeitsschritt erfolgen kann. Die Fugenbreite sollte dabei auf die Viskosität des Materials zum Füllen abgestimmt sein, so dass die Fuge **38** vollständig ausgefüllt wird, ohne unerwünschte Hohlräume innerhalb der Fuge **38** entstehen zu lassen. Ist die Viskosität des Füllmaterials höher, muss die Fugenbreite größer sein.

[0052] Alternativ ist es auch möglich, die Substrat-Vertiefung **28** genau so groß zu gestalten, dass der Chip **1** ohne Fuge **38** eingepasst werden kann. In diesem Fall sind weitere Maßnahmen zu Ausrichtung und Fixierung des Chips **1** nicht erforderlich. Die Möglichkeit, die laterale Fixierung des Chips **1** in der Substrat-Vertiefung **28** durch die Gestaltung der Vertiefung mit dem Füllen möglicher Fugen **38** oder Hohlräume zu verbinden, besteht mit Substrat-Vertiefungen **28** gemäß [Fig. 3a](#). Hier sind an den Wandungen **36** des rechteckigen Frame-Durchgangs **34** Abstandshalter **40** in Form von Nasen ausgebildet, die in den Frame-Durchgang **34** hineinragen. Der Abstand zwischen zwei gegenüberliegenden Abstandshaltern **40** ist gerade so groß, dass der Chip **1** zwischen ihnen eingepasst wird und somit ausgerichtet und lateral fixiert werden kann. Auch solch ein Frame **22** ist als Matrix herstellbar ([Fig. 3b](#)). Selbstverständlich können entsprechend der Chipgeometrie die Abstandshalter **40** auch mit geänderter Anzahl und Verteilung ausgebildet sein. Wesentlich ist, dass der Chip **1** in einer definierten Lage fixierbar ist.

[0053] Eine Komponente eines Halbleiterbauelements, bestehend aus einer Substrat-Basis **18**, die verbunden ist mit einem Frame **22** gemäß [Fig. 3a](#), ist in [Fig. 3c](#) dargestellt. Die Substrat-Basis **18** weist zentral einen Bond-Kanal **12** und in der Chipauflagefläche mehrere Luftdurchlässe **14** auf. Die Komponente hat eine Substrat-Vertiefung **28**, die durch einen Frame-Durchgang **34** gebildet ist. In den Frame-Durchgang **34** hinein ragen die Abstandshalter **40**. In vergleichbarer Weise kann der Frame **22** auch mit einem plattenartigen Element **16** gemäß [Fig. 2c](#) verbunden sein und so einen Cover **19** mit Cover-Vertiefung bilden.

[0054] Der in der Substrat-Vertiefung **28** fixierte Chip **1** wird gemäß [Fig. 1](#) mittels eines plattenartigen Covers **19**, bestehend aus dem gleichen Material wie das Substrat **10**, vollständig umhüllt. Zu diesem Zweck weist der Frame **22** eine Höhe auf, die geringfügig größer ist als die Höhe des Chips **1**, sowie eine plane Oberfläche, auf die das Cover **19** auflegbar ist. Cover **19** und Frame **22** sind miteinander verbunden. Die Verbindung kann mittels Klebstoff erfolgen, jedoch alternativ auch mittels anderer geeigneter Materialien und Methoden, durch welche der eingeschlossene Chip **1** nicht beschädigt wird, z. B. Laminiert.

[0055] Aufgrund der Höhe des Frames **22** verbleibt oberhalb der Rückseite **4** des Chips **1** zum Cover ein Zwischenraum **42**, welcher ebenfalls mit einer härtbaren Masse füllbar ist. Auch dieser Zwischenraum **42** kann zum Ausgleich von Maßtoleranzen genutzt werden und sollte entsprechend der Viskosität bzw. Fließfähigkeit des Füllmaterials definiert sein. Über die Dicke des Covers **19** ist darüber hinaus die Höhe des Halbleiterbauelements einstellbar.

[0056] Ein Package, welches auf einem Halbleiterbauelement gemäß [Fig. 1](#) beruht, ist in [Fig. 4](#) dargestellt. Das Substrat **10** des vollständig durch Substrat **10** und Cover **19** umhüllten Chips **1** weist auf seiner zweiten, d. h. der vom Chip **1** abgewandten Oberfläche **32** einen Metalllayer **44**, z. B. einen Kupferlayer auf, die mittels fotolithografischer Verfahren strukturiert ist, so dass Leiterbahnen **44** ausgebildet sind. Diese Leiterbahnen **44** verbinden beidseitig des Bond-Kanals **12** angeordnete Anschlüsse **46** mit auf der zweiten Oberfläche **32** des Substrats **10** matrixartig verteilten (externen) Kontaktflächen **48**, die der Verbindung des Packages mit externen Schaltungselementen, z. B. einer PCB dienen. Auf jeder externen Kontaktfläche **48** ist eine Lotkugel **50** ausgebildet. Derartige Anordnungen von externen Kontaktflächen **48** eines Packages sind als Ball Grid Array (BGA) **51** bekannt.

[0057] Jeder Anschluss des Substrats **10** ist über eine Drahtbrücke **52** durch den Bond-Kanal **12** hindurch mit einem Kontakt **8** des Chips **1** elektrisch verbunden, so dass jeder Kontakt **8** des Chips **1** über Drahtbrücke **52**, Anschluss **46** und Leiterbahn **44** mit einer externen Kontaktfläche **48** elektrisch verbunden ist. Die zweite Oberfläche **32** des Substrats **10** einschließlich der Leiterbahnen **44** ist von einer Schutzschicht **54**, z. B. einer Lötstoppschicht überdeckt, wobei sich die Luftdurchlässe **14** des Substrats **10** in der Schutzschicht **54** fortsetzen, so dass deren untere Ausgänge zwischen den Lotkugeln **50** verteilt sind. Die Drahtbrücken **52** einschließlich der Kontakte **8** und Anschlüsse **46** sind zum Schutz mit einer Vergussmasse **56** umhüllt.

[0058] Zur Herstellung eines solchen Packages wird in der Vorfertigung aus Substrat-Basen **18** und Frames **22** gemäß [Fig. 2a](#) und [Fig. 2b](#) durch Laminiert beider Substratplatten **16** eine Substratmatrix hergestellt, die eine Vielzahl von Substrat-Vertiefungen **28** in der erforderlichen Größe und Gestalt aufweist. Des Weiteren wird das plattenartige Cover **19** gemäß [Fig. 2c](#) hergestellt.

[0059] Mittels „Pick and Place“ werden mit einem geeigneten Werkzeug nacheinander jeweils ein nackter Chip **1** erfasst und mittig, face-down in der Substrat-Vertiefung **28** platziert. Nachfolgend wird ein Klebstoff derart appliziert, dass die um den Chip **1** vorhandenen Fugen **38** verfüllt und die Rückseite **4**

sowie die Oberfläche des Frames **22** mit einer Klebstoffschicht **58** bedeckt ist. Mittels geeigneter Hilfsmittel, z. B. Justieröffnungen und -stifte, wird das Cover **19** zum Substrat **10** ausgerichtet, aufgelegt und in dieser Position belassen, bis der Klebstoff gehärtet und die Verbindung zwischen Substrat **10** und Cover **19** hergestellt ist.

[0060] Nachfolgend erfolgt die Verbindung der Kontakte **8** des bereits umhüllten Chips **1** mittels Drahtbrücken **52** und der Verguss des Bond-Kanals **12** mit Vergussmasse **56**. Aufgrund des bereits vollständig umhüllten Chips **1** können Bond-Kanal **12** und Drahtbrücken **52** auch alternativ durch einen Print-Prozess umhüllt werden, bei welchem die Masse gut dosierbar gedruckt wird.

[0061] Abschließend werden die Lotkugeln **50** in der bekannten Weise auf das Substrat **10** montiert oder das notwendige Lotvolumen in Form eines Lotpastendruckes appliziert und reflowgelötet, woraufhin die Vereinzelung der Packages erfolgt, indem die einzelnen, noch in der Matrix vorliegenden Elemente voneinander getrennt werden.

[0062] In einer anderen Ausgestaltung der Erfindung ist ein Substrat **10** in der oben beschriebenen Art aus einer Substrat-Basis **18** und einem Frame **22** ausgeführt und weist eine Substrat-Vertiefung **28** auf. In der Substrat-Vertiefung **28** ist ein Chip **1** face-up, d. h. mit seiner aktiven Seite **2** nach oben, angeordnet ([Fig. 5](#)). Die Substrat-Basis **18** umfasst in der Chipauflagefläche Luftdurchlässe **14**, zur Ableitung von Luft und Wasserdampf aus eventuell zwischen Chip **1** und Substrat-Basis **18** vorhandenen Hohlräumen, welche aus Unebenheiten der aufeinander liegenden Flächen resultieren können.

[0063] Die Kontakte **8** des Chips **1**, die indem dargestellten Beispiel in zwei einzelnen Reihen an zwei gegenüber liegenden Außenkanten des Chips **1** angeordnet sind, sind über Drahtbrücken **52** mit den Anschlüssen **46** des Substrats **10** elektrisch verbunden. Die Anschlüsse **46** sind, wie in [Fig. 5](#) dargestellt innerhalb der Substrat-Vertiefung **28** auf der ersten, d. h. dem Chip **1** zugewandten Oberfläche **30** des Substrats **10** angeordnet. Eine elektrische Verbindung der Anschlüsse **46** zu außerhalb der Umhüllung liegenden, nicht dargestellten externen Kontaktflächen **48** ist mit bekannten Mitteln und Verfahren realisierbar. Geeignet ist z. B. die Verbindung über metallisierte Vias und Leiterbahnstrukturen.

[0064] Die Größe der Substrat-Vertiefung **28** ist in diesem Beispiel zumindest in einer Ausdehnungsrichtung so gewählt, dass der erforderliche Platz für die Anordnung der Anschlüsse **46** in der Substrat-Vertiefung **28** und die Herstellung der Drahtbrücken **52** zu Verfügung steht. Eine Fixierung des Chips **1** ist auch in diesem Ausführungsbeispiel durch das

Ausfüllen der Fugen **38** zwischen der Wandung **36** der Substrat-Vertiefung **28** und den Seitenflächen **6** des Chips **1** und/oder Zwischenräume **42** zwischen Chip **1** und Cover **19**, durch ein Einpassen des Chips **1** in eine Substrat-Vertiefung **28**, die in der Ausdehnungsrichtung, welche senkrecht zur Zeichnungsebene steht, der Chipgröße angepasst ist oder durch Abstandshalter **40** an der Wandung **36** der Substrat-Vertiefung **28**, die sich zu den Seitenflächen **6** des Chips **1** erstrecken, an denen keine Drahtbrücken **52** herzustellen sind. Auch eine Kombination dieser Maßnahmen ist möglich. Ebenso sind Abstandshalter **42** zur Fixierung eines beliebigen Chips **1** geeignet, die in den Frame-Durchgang **34** ragen und an den Chipecken anliegen.

[0065] Auch in dieser Ausgestaltung der Erfindung ist anstelle des einzelnen Chips **1** ein Chip-Stapel **1** umhüllbar, wobei mittels einer geeigneten der eingangs beschriebenen Stapel-Technologien die Drahtbrücken **52** jedes einzelnen Chips **1** entweder von Chip **1** zu Chip **1** oder direkt vom Chip **1** zum Substrat **10**, gegebenenfalls unter Einhaltung von Abständen herstellbar sind. Auch in diesem Fall ist die Höhe des Frames **22**, die Gestalt der Substrat-Vertiefung **28** und gegebenenfalls die Anordnung von Abstandshaltern **40** an der Wandung **36** der Substrat-Vertiefung **28** an den Chip-Stapel **1** und den Verlauf der Drahtbrücken **52** anzupassen.

[0066] Vor dem Verschluss des Halbleiterbauelements durch Aufkleben eines plattenartigen Covers **19** auf dem Frame **22** mittels z. B. Klebstoffschicht **58** wird die Substrat-Vertiefung **28** mit einer härtbaren Masse, z. B. Mold-Compound verfüllt. Der Verschluss der Substrat-Vertiefung **28** kann ebenso durch Laminierung von Cover **19** und Substrat **10** mittels hohem Druck über Harze erfolgen.

[0067] In einer weiteren Ausgestaltung der Erfindung ist eine Substrat-Vertiefung **28** modifiziert, indem zwischen Frame **22** und Substrat-Basis **18** ein Zusatzframe **60** eingefügt wurde. Das Zusatzframe **60** weist einen zweiten Durchgang **62** auf, der in seiner Geometrie von dem Frame-Durchgang **34** abweicht. Der Zusatzframe **60** soll einen Spalt **64** zwischen dem Chip **1** und der ersten Oberfläche des Substrats **10** herstellen, indem die Außenkanten des Chips **1** zumindest abschnittsweise auf Abschnitten des Zusatzframes **60** aufliegen. Zu diesem Zweck ist der unterhalb des Frame-Durchgangs **34** liegende, zweite Durchgang **62** derart zu gestalten, dass er an zumindest drei Stellen in die Chipauflagefläche hineinragt.

[0068] Im dargestellten Ausführungsbeispiel hat der zweite Durchgang **62** die gleiche Gestalt wie der Frame-Durchgang **34**, ist jedoch verkleinert, so dass der Chip **1** mit den Außenkanten seiner aktiven Seite **2** vollumfänglich definiert auf dem Zusatzframe **60**, der

somit einen Distanzhalter zum Substrat **10** darstellt, aufliegt. Damit weist nahezu die gesamte aktive Seite **2** des Chips **1** einen definierten Spalt **64** zum Substrat **10** auf.

[0069] Auch bei einem derart hergestellten Substrat **10** sind Substrat-Basis **18**, Zusatz-Frame **60** und Frame **22** so in der oben beschriebenen Weise zusammengefügt, dass ein kompaktes, einheitliches Bauteil mit einer Substrat-Vertiefung **28** zur Verfügung steht.

[0070] Die oben beschriebene geometrische Beziehung zwischen Frame-Durchgang **34**, zweitem Durchgang **62** und Chip **1** führt dazu, dass bei einer späteren Verfüllung der Fugen **38** zwischen den Seitenflächen **6** des Chips **1** und der Wandung **36** der Substrat-Vertiefung **28** kein Verfüllmaterial in den Spalt **64** unter dem Chip **1** eindringt. Damit ist es möglich, diese Verfüllung unabhängig von einer Verfüllung des Spalts **64** zu gestalten. Liegt hingegen der Chip **1** nicht vollumfänglich auf dem Zusatzframe **60** auf und bestehen somit räumliche Verbindungen zwischen seitlicher Fuge **38** und unterem Spalt **64**, ist es möglich, entweder das Eindringen des Verfüllmaterials der Fuge **38** in den Spalt **38** durch dessen genügend hohe Viskosität zu verhindern oder beide Hohlräume gleichermaßen zu verfüllen und dabei lediglich sicherzustellen, dass das Verfüllmaterial der Fuge **38** nicht die Kontakte **8** des Chips **1** vor deren Kontaktierung bedeckt und nicht durch den Spalt **64** und den Bond-Kanal **12** abfließt.

[0071] Hinsichtlich der Geometrie des Frame-Durchgangs **34**, der Fixierung des Chips **1** im Frame-Durchgang **34**, der Verfüllung von Fugen **38** und Zwischenraum **42** zwischen Chip **1** und Cover **19** gilt das Gleiche wie das zum Ausführungsbeispiel in [Fig. 1](#) gesagte, womit auf die dortigen Ausführungen verwiesen sein soll.

[0072] Auch hinsichtlich eines Packages, welches aus einem Halbleiterbauelement gemäß [Fig. 6](#) hergestellt wird ([Fig. 9](#)), und hinsichtlich dessen Herstellung kann auf die obigen Ausführungen verwiesen werden. Der Spalt **64** zwischen Chip **1** und Substrat-Basis **18** führt lediglich dazu dass bei der Verfüllung des Bond-Kanals **12** dieser Spalt **64** gleichzeitig mit verfüllt wird. Auf Grund der hohen Steifigkeit der ausgehärteten Verfüllmasse **56** ist dann die Lage der Kontakte **8** relativ zur Lage der Anschlüsse **46** fixiert, da die ausgehärtete Verfüllmasse **56** eine Biegung des Chips **1** verhindert.

[0073] Um eine Biegung des Chips **1** bis zu diesem Zeitpunkt, z. B. im Verlaufe der Herstellung der Drahtbrücken **52**, zu vermeiden, sind in einer Ausgestaltung der Erfindung an exponierten Stellen im Spalt **64**, z. B. benachbart zum Bond-Kanal **12** Distanzstücke **66** angeordnet, welche die Spaltbreite selbst unter mechanischer Last aufrecht erhalten. In Abhän-

gigkeit von der Chipgröße können weitere Distanzstücke **66** über die Chipauflagefläche verteilt angeordnet werden, um bis zur Aushärtung der Verfüllmasse die erforderliche vertikale Fixierung des Chips **1** über seine gesamte Fläche zu gewährleisten. Um auch mit diesen Distanzstücken **66** auf der Chipauflagefläche keine weiteren Materialien in das Halbleiterbauelement bzw. in das Package einzubringen, ist es von Vorteil, wenn diese Distanzstücke **66** aus kleinen Portionen von Verfüllmasse oder alternativ aus Substratmaterial hergestellt werden. Sofern sie aus Substratmaterial bestehen, sind sie in die Vorfertigung des Substrats **10** einzubeziehen. Bestehen sie hingegen aus Verfüllmasse, werden sie vor der Platzierung des Chips **1** in die Substrat-Vertiefung **28** eingebracht und ausgehärtet. Selbstverständlich können diese Distanzstücke **66** auch aus anderen Materialien bestehen, deren thermisches und chemisches Verhalten dem des Substrats **10** oder der Verfüllmasse vergleichbar ist, da das Volumen der Distanzstücke **66** im Vergleich zu den Volumina der Verfüllmasse und des Substrats **10** nur einen Bruchteil ausmacht.

[0074] Auch wenn in [Fig. 6](#) und [Fig. 9](#) die Chips **1** face-down im Halbleiterbauelement angeordnet sind, ist es grundsätzlich ebenso möglich, durch eine entsprechende Gestaltung des Zusatzframes **60** einen Abstand zwischen Substrat-Basis **18** und Chip **1** herzustellen und dabei, vergleichbar zu dem Halbleiterbauelement in [Fig. 5](#), die Anschlüsse **46** innerhalb des zweiten Durchganges **62**, d. h. des Durchganges des Zusatzframes **60** anzuordnen.

[0075] Die einzelnen Bestandteile eines Halbleiterbauelements gemäß [Fig. 6](#) in Form einer Matrix, die der effektiven Herstellung einer größeren Anzahl von Halbleiterbauelementen unter Einsatz von entsprechenden, mehrere Elemente gleichzeitig bearbeitenden Werkzeugen dient, sind in den [Fig. 7a](#) bis [Fig. 7d](#) dargestellt. Die Substrat-Basis **18** ([Fig. 7a](#)), der Frame **22** ([Fig. 7c](#)) und das Cover **19** ([Fig. 7d](#)) sind vergleichbar denen in [Fig. 2a](#) bis [Fig. 2c](#), gegebenenfalls hinsichtlich ihrer Größe dem Chip **1** angepasst. Zusätzlich eingefügt ist der Zusatzframe **60** ([Fig. 7b](#)), dessen zweite Durchgänge **62** die rechteckige Form der Frame-Durchgänge **34** aufweisen, jedoch um einen definierten Faktor verkleinert sind. Die Position der zweiten Durchgänge **62** ist auf der Matrix der Zusatzframes **60** so festgelegt, dass bei dem Aufeinanderlegen beider Frames **22**, **60** jeder Frame-Durchgang **34** und zweiter Durchgang **62** konzentrisch zueinander liegen.

[0076] Eine Ausgestaltung einer Matrix von Zusatzframes **60** ist in [Fig. 8](#) dargestellt. In dieser Matrix sind die zweiten Durchgänge **62** einer Spalte, d. h. in der Zeichnungsebene der Darstellung untereinander liegende zweite Durchgänge **62**, durch kanalartige Verbindungen **68** miteinander verbunden, welche

wiederum in Aussparungen **70** am Anfang und am Ende jeder Spalte münden. Mittels dieser Ausgestaltung ist es möglich, die so verbundenen zweiten Durchgänge **62** im eingebauten Zustand des Packages mit nur einem Verfüllvorgang zu verfüllen und dabei die Luft in die Aussparungen **70** zu verdrängen, so dass Verfüllmasse im Package frei von Lunkern ist. Mit dieser Ausgestaltung kann ebenfalls die Zuverlässigkeit erhöht werden, da wie oben dargestellt unerwünschte Hohlräume z. B. unter thermischer Belastung zur Schädigung des Packages führen können.

[0077] In einer alternativen Ausgestaltung der Erfindung ist die Vertiefung im Cover **119** angeordnet (Cover-Vertiefung **128**). Das Cover **119** gemäß [Fig. 10](#) ist, vergleichbar dem Substrat **10** in [Fig. 1](#), ein plattenartiges Element **116**, bestehend aus zwei, flächig zusammengefügt Coverplatten **116** ([Fig. 11b](#) im zusammengefügt Zustand). Das Substrat ist als Platte ausgeführt (Substratplatte **120**), vergleichbar dem Cover **19** gemäß [Fig. 1](#). Da das Covermaterial dem der Substratplatte **120** entspricht, können die beiden Coverplatten **116** selbst ebenfalls aus einzelnen, fest miteinander verbundenen Layern bestehen, wie es von laminierten Leiterplattensubstraten aus glasfaserverstärktem Epoxydharz (FR4) bekannt ist. Bestehen die Coverplatten **116** z. B. aus FR4, sind beide auf die gleiche Art unter definiertem Druck und definierter Temperatur miteinander verpressbar (Laminieren). Auf diese Weise steht ein homogen gefügtes Cover **119** zur Verfügung, ohne dass eine besondere Fügefläche, wie in [Fig. 10](#) dargestellt, vorhanden ist. Je nach den erforderlichen mechanischen, chemischen und elektrischen Eigenschaften, können für die Substratplatte **120** und somit auch für das Cover **119** ebenso andere Materialien verwendet werden, sowohl in Form kompakter Coverplatten **116** als auch aus zwei oder mehr miteinander verbundenen Coverplatten **116** bestehend.

[0078] Das Cover **119** weist in seiner ersten Oberfläche eine Cover-Vertiefung **128** auf, die in einer Ausgestaltung der Erfindung vergleichbar der Substrat-Vertiefung **28** aus einem Durchgang (Frame-Durchgang **134**) in der unteren Coverplatte **116**, im Folgenden ebenfalls als Frame **122** bezeichnet, gebildet ist. Dieser Frame-Durchgang **134** endet auf der zweiten, oberen Coverplatte (Cover-Basis **118**), einem plattenartiges Element. [Fig. 11a](#) zeigt eine Matrix von gleichen Cover-Basen **118**, verbunden mit einer Matrix von Frames **122**, welche jeweils einen rechteckigen Frame-Durchgang **134** aufweisen. Eine Matrix von Substratplatten **120**, von denen jede einen Bond-Kanal **12** aufweist, ist in [Fig. 11b](#) dargestellt.

[0079] Alternativ kann die Cover-Vertiefung **128** auch mittels geeigneter Verfahren in ein kompaktes Covermaterial eingebracht werden. Die Cover-Vertiefung **128** gemäß [Fig. 10](#) hat solch eine Größe und

Gestalt, dass sie den Chip **1** vollständig aufnehmen kann und dabei eine Fuge **138** zwischen der Seitenfläche **6** des Chips **1** und der Wandung **136** der Cover-Vertiefung **128** verbleibt, die zudem überall die gleiche Breite aufweist. Ebenso können auch unterschiedlich breite oder nur einseitige Fugen **138** angeordnet sein. Ein Aspekt, welcher auf Fugenanzahl und Fugenbreite Einfluss hat, sind die Maßtoleranzen von Chip **1** und Substratplatte **120**, da mit den Fugen **138** Maßabweichungen ausgleichbar sind.

[0080] In einer Ausgestaltung der Erfindung ist der Chip **1** mit seiner Rückseite **4** der Cover-Basis **118** zugewandt in die Cover-Vertiefung **128** eingefügt und dabei ausgerichtet. Die Ausrichtung des Chips **1** dient der Positionierung seiner Kontakte **8** bezogen auf vordefinierte Bezugspunkte des Halbleiterbauelements für deren spätere automatisierte Verbindung mit den Anschlüssen **46** der Substratplatte **120**. Die Fixierung des genau ausgerichteten Chips **1** erfolgt in dieser Ausgestaltung mittels einer Klebeverbindung zwischen der Rückseite **4** des Chips **1** und der Cover-Basis **118**. Diese Klebeverbindung ist mittels eines Auftrags einer Klebstoffschicht **58** vor dem Einfügen des Chips **1** oder bevorzugt mittels eines Klebebandes (Tape) realisiert. Die Verwendung eines Tapes ist eine bekannte Verbindungs-Technologie für Chips **1** (Die-Bonding) und gestattet die Vorfertigung des Chips **1** mit dem Tape. Ein Klebstoff-Auftrag kann z. B. mittels portionierten Einzelauftrags (Dispensen) erfolgen.

[0081] Alternativ oder zusätzlich zur Fixierung über eine Klebeverbindung auf der Rückseite **4** des Chips **1** kann der Chip **1** auch durch das Füllen der Fuge **138** oder der Fugen **138** mit härtbarem Material fixiert werden. Bei diesem Material kann es sich ebenfalls um Klebstoff handeln, der wie oben bereits dargestellt, gleichzeitig mit dem Auftrag der Klebstoffschicht **58** auf der Rückseite **4** erfolgen kann. Alternativ kann als Verfüllung der Fugen **138** auch eine Vergussmasse verwendet werden. Die Viskosität des Materials zum Füllen und die Breite der Fugen **138** zwischen Chip **1** und der Wandung **136** der Cover-Vertiefung **128** sollten sehr präzise aufeinander abgestimmt sein, so dass die Fuge **138** vollständig ausgefüllt wird, ohne unerwünschte Hohlräume innerhalb der Fuge **138** entstehen zu lassen und ohne dass Verfüllmasse zwischen Chip **1** und Substratplatte **120** gelangt. Ist die Fugenbreite größer, muss die Viskosität des Füllmaterials höher sein.

[0082] Aufgrund einer Fixierung des Chips **1** mittels Klebstoffschicht **58** besteht ein Zwischenraum **142** zwischen Chip **1** und Cover-Basis **118**, welcher mit dem Klebstoff ausgefüllt ist. Zur Gewährleistung eines gleichmäßigen Zwischenraumes **142** sind in einer Ausgestaltung der Erfindung ein Distanzhalter, gebildet aus einem Zusatzframe **60** zwischen Cover-Basis **118** und Frame **122**, und in einer anderen

Ausgestaltung Distanzstücke **66** aus Vergussmasse oder dem Covermaterial angeordnet. Zur Ausführung wird auf die obigen Darstellungen verwiesen.

[0083] Alternativ oder zusätzlich zur Fixierung über eine Klebeverbindung auf der Rückseite **4** des Chips **1** ist es auch möglich, die Cover-Vertiefung **128** genau so groß zu gestalten, dass der Chip **1** ohne Fuge **138** eingepasst werden kann. In diesem Fall sind Maßnahmen zur Ausrichtung des Chips **1** nicht erforderlich. Alternativ zur Passgenauigkeit von Chip **1** und Cover-Vertiefung **128** können auch hier an den Wandungen **136** des Frame-Durchgangs **134** Abstandshalter in Form von Nasen ausgebildet sein, die in den Frame-Durchgang **134** hineinragen, wie oben bereits dargelegt.

[0084] Die zusammenzufügenden Komponenten eines Halbleiterbauelements gemäß [Fig. 10](#) bestehen somit aus dem Cover **119** mit Cover-Vertiefung **128** und einem plattenförmigen Substrat **120**, welches einen Bond-Kanal **12** korrespondierend zur Anordnung der Kontakte **8** des Chips **1** aufweist.

[0085] Der in der Cover-Vertiefung **128** fixierte Chip **1** wird gemäß [Fig. 10](#) mittels eines plattenartigen Substrats **120**, bestehend aus dem gleichen Material wie das Cover **119**, vollständig umhüllt. Zu diesem Zweck weist der Frame **122** eine Höhe auf, die geringfügig größer ist als die Höhe des Chips **1**, sowie eine plane Oberfläche, auf welche die Substratplatte **120** auflegbar ist. Substratplatte **120** und Frame **122** sind miteinander verbunden. Die Verbindung kann wiederum mittels Klebstoff erfolgen, jedoch alternativ mittels anderer geeigneter Materialien und Methoden, durch welche der eingeschlossene Chip **1** nicht beschädigt wird. Z. B. ist auch das Laminieren von Frame **122** und Substratplatte **120** mittels Harz anwendbar.

[0086] Aufgrund der Höhe des Frames **122** verbleibt unterhalb der aktiven Seite **2** des Chips **1** zur Substratplatte **120** ein Spalt **64**, welcher mit einer härtbaren Masse füllbar ist. Zur Einstellung der Höhe des Spalts **64** sind Distanzhalter **160** im Bereich der Außenkanten des Chips **1** angeordnet. Die Distanzhalter **160** sind in einer Ausgestaltung der Erfindung aus Vergussmasse hergestellt, welche die Fugen **138** zwischen Chip **1** und Cover-Vertiefung **128** füllt. Zu diesem Zweck wurde die Menge der Vergussmasse so eingestellt, dass ein Teil davon über die aktive Seite **2** des Chips **1** im Bereich seiner Außenkanten hinausragt und damit nach der Aushärtung die Distanzhalter **160** bildet. Distanzstücke **166** können in der oben beschriebenen Weise und Verteilung auf der aktiven Seite **2** des Chips **1** angeordnet sein, um die Höhe des Spaltes **164** vollflächig auch unter mechanischer Last zu gewährleisten.

[0087] Auch in dieser Ausgestaltung kann der Spalt

164 zum Ausgleich von Maßtoleranzen genutzt werden und ist die Höhe des Halbleiterbauelements über die Dicke des Covers **119** einstellbar.

[0088] Ein Package, welches auf einem Halbleiterbauelement gemäß [Fig. 10](#) beruht, ist in [Fig. 12](#) dargestellt. Die Substratplatte **120** des vollständig umhüllten Chips **1** weist auf seiner zweiten, d. h. der vom Chip **1** abgewandten Oberfläche **132** einen Metalllayer **44**, z. B. einen Kupferlayer auf, die mittels fotolithografischer Verfahren strukturiert ist, so dass Leiterbahnen **44** ausgebildet sind. Diese Leiterbahnen **44** verbinden beidseitig des Bond-Kanals **12** angeordnete Anschlüsse **46** mit auf der zweiten Oberfläche der Substratplatte **120** matrixartig verteilte (externe) Kontaktflächen **48**, die der Verbindung des Packages mit externen Schaltungselementen, z. B. einer PCB dienen und als Array verteilt sind. Auf jeder externen Kontaktfläche **48** ist eine Lotkugel **50** zur Herstellung eines BGA **51** ausgebildet.

[0089] Jeder Anschluss **46** der Substratplatte **120** ist über eine Drahtbrücke **52** durch den Bond-Kanal **12** hindurch mit einem Kontakt **8** des Chips **1** elektrisch verbunden, so dass jeder Kontakt **8** des Chips **1** über Drahtbrücke **52**, Anschluss **46** und Leiterbahn **44** mit einer externen Kontaktfläche **48** elektrisch verbunden ist. Die zweite Oberfläche **132** der Substratplatte **120** einschließlich der Leiterbahnen **44** ist von einer Schutzschicht **54**, z. B. einer Lötstopmmaske überdeckt. Die Drahtbrücken **52** einschließlich der Kontakte **8** und Anschlüsse **46** sind zum Schutz mit einer Vergussmasse **56** umhüllt, welche auch den Spalt **164** zwischen Chip **1** und Substratplatte **120** vollständig ausfüllt. Die Viskosität des Füllmaterials sollte entsprechend der Spalthöhe definiert sein, um die vollständige Füllung des Spalts **164** zu erzielen. Sofern die Distanzhalter **160** und Distanzstücke **166** aus der gleichen Vergussmasse hergestellt sind, ist der Spalt **164** mit nur einem Material gefüllt.

[0090] Zur Herstellung eines solchen Packages wird in der Vorfertigung aus Cover-Basen **118** und Frames **122** durch Laminieren beider Platten eine Covermatrix ([Fig. 11a](#)) hergestellt, die eine Vielzahl von Cover-Vertiefungen **128** in der erforderlichen Größe und Gestalt aufweist. Des Weiteren wird die Substratplatte **120** mit den Bond-Kanälen **12** gemäß [Fig. 11b](#) hergestellt.

[0091] Mittels „Pick and Place“ werden mit einem geeigneten Werkzeug nacheinander jeweils ein nackter Chip **1**, welcher auf seiner Rückseite **4** ein Tape aufweist, erfasst und mittig, mit seiner Rückseite **4** der Cover-Basis **118** zugewandt in der Cover-Vertiefung **128** platziert. Nachfolgend werden die Fugen **138** mittels Verfüllmasse gefüllt und gleichzeitig im Bereich der Außenkanten der Chips **1** Distanzhalter **160** hergestellt, welche mit der ersten, dem Chip **1** zugewandten Oberfläche des Covers **150** ab-

schließen. Auf der aktiven Seite **2** des Chips **1** und benachbart zu den Kontakten **8** werden darüber hinaus Distanzstücke **166** aus Füllmasse appliziert, deren Höhe mit jener der Distanzhalter **160** im Rahmen der erforderlichen Toleranzen übereinstimmt. Nachfolgend wird die Oberfläche des Frames **122** mit einer Klebstoffschicht bedeckt und mittels geeigneter Hilfsmittel, z. B. Justieröffnungen und -stifte, wird die Substratplatte **120** zum Cover **119** ausgerichtet, aufgelegt und in dieser Position belassen, bis der Klebstoff gehärtet und die Verbindung zwischen Cover **119** und Substratplatte **120** hergestellt ist.

[0092] Nachfolgend erfolgt die Verbindung der Kontakte **8** des bereits umhüllten Chips **1** mittels Drahtbrücken **52** und der Verguss des Bond-Kanals **12** und des Spalts **164** mit Vergussmasse **56**.

[0093] Abschließend werden die Lotkugeln **50** in der bekannten Weise durch den Auftrag von Lotportionen und deren Erwärmung hergestellt, woraufhin die Vereinzelung der Packages erfolgt, indem die einzelnen, noch in der Matrix vorliegenden Elemente voneinander getrennt werden.

[0094] In einer Ausgestaltung der Erfindung ist die zweite, dem Chip **1** abgewandte und somit außen liegende Oberfläche **152** des Covers **119** strukturiert, so dass sie vergrößert ist. Eine derartige Oberflächenvergrößerung erweist sich beispielsweise zur besseren Wärmeableitung als günstig, wobei in einer weiteren Ausgestaltung auf der zweiten Oberfläche **152** eine Schicht abgeschieden ist, dessen Material einen Wärmeübergang verbessert. Selbstverständlich ist solch eine Strukturierung der außen liegenden, zweiten Oberfläche **152** des Covers **119** nicht auf solche Halbleiterbauelemente beschränkt, welche eine Cover-Vertiefung **128** aufweisen. Auch plattenartige Cover **19** gemäß [Fig. 1](#), [Fig. 5](#) oder [Fig. 6](#) können diese Modifizierung umfassen.

[0095] Die Erfindung umfasst ebenso einen Stapel von zumindest zwei Packages, die jeweils ein erfindungsgemäßes Halbleiterbauelement umfassen. Gemäß einer Ausgestaltung werden zwei BGA-Packages gestapelt, in denen je ein Chip **1** face-down in der Substrat-Vertiefung **28** eines Halbleiterbauelements angeordnet und durch einen Bond-Kanal **12** im Substrat **10** elektrisch kontaktiert ist. Die externen Kontaktflächen **48** des Packages sind in Form von Ball Grid Arrays **51** ausgeführt, die über Leiterbahnen **44** mit den Anschlüssen **46** des Halbleiterbauelements und diese wiederum über Drahtbrücken **52** mit den Kontakten **8** des Chips **1** elektrisch verbunden sind. Die weitere Ausgestaltung der einzelnen Halbleiterbauelemente jeder Stapelkomponente entspricht in dem dargestellten Ausführungsbeispiel einem Halbleiterbauelement gemäß [Fig. 1](#) und das Package jenem in [Fig. 4](#), so dass hinsichtlich deren Ausführungen auf die dortigen Darlegungen verwie-

sen wird. Selbstverständlich sind auch andere der zuvor ausführlich dargestellten Ausgestaltungen der Halbleiterbauelemente und Packages einsetzbar, wobei die mechanische Verbindung und Kontaktierung entsprechend der bekannten Vorrichtungen und Verfahren zur Stapelung von Packages anzupassen sind.

[0096] Auf jener Oberfläche des im Stapel unten angeordneten Packages, die dem oberen Package zugewandt ist, sind zu dem Ball Grid Array **51** korrespondierende Landungspads **72** angeordnet, mit denen die Lotkugeln **50** zur Herstellung der mechanischen und elektrischen Verbindung verlötet sind. Jedes Landungspad **72** ist über eine Leiterbahn **44**, die Teil einer weiteren Leiterbahnstruktur auf dem Cover **19** des unteren Packages ist, mit einer metallisierten Durchkontaktierung **74** im unteren Package elektrisch verbunden. Vergleichbar der Ausführung der Anschlüsse **46** am Package sind auch die Landungspads **72** von einer Schutzschicht **54** umgeben und die Leiterbahnstruktur von dieser Schutzschicht **54** bedeckt.

[0097] Die Durchkontaktierungen **74** führen im Bereich des Frames **22** durch Cover **19** und Substrat **10** des unteren Packages, d. h. außerhalb dessen Chipauflagefläche durch das untere Package hindurch, und enden in externen Kontaktflächen **48** des Stapels. Mittels der Durchkontaktierungen **74** werden somit die externen Anschlüsse **48** des oberen Packages im Stapel nach unten geführt, um alle externen Kontaktflächen **48** im Stapel in einer Fläche anzuordnen. Die derart an das untere Package verlegten externen Kontaktflächen **48** des oberen Packages sind gleich denen des unteren Packages ausgeführt, um alle externen Kontaktflächen **48** mit einem einheitlichen Verbindungsprozess in ein externes Schaltungselement zu integrieren. Im dargestellten Ausführungsbeispiel wird das Ball Grid Array **51** des unteren Packages durch Lotkugeln **50** im Randbereich ergänzt.

[0098] Hier erweist sich die Gestaltung des Covers **19** aus dem Material des Substrats **10**, welches gegebenenfalls aus mehreren Lagern aufgebaut ist, als vorteilhaft, da diese Materialien bereits mit einer Metallisierung angeboten werden, aus der die Leiterbahnstruktur zu fertigen ist, und da damit die Leiterbahnstruktur z. B. bei komplexen Ball Grid Arrays **51** teilweise oder auch vollständig als innen liegender Layer des unteren Covers **19** ausgeführt sein kann.

[0099] Selbstverständlich sind von der Erfindung sowohl hinsichtlich der Halbleiterbauelemente, der Packages und der Stapelanordnungen auch solche Ausgestaltungen umfasst, in welchen die Vertiefung **28**, **128** teilweise im Substrat **10** und teilweise im Cover **119** ausgebildet ist. In diesem Fall entspricht die Gesamthöhe beider Vertiefungen **28**, **128** mindes-

tens der Chiphöhe. Die oben dargelegten Modifizierungen und Ausgestaltungen der Substrat- **28** und Cover-Vertiefungen **128**, z. B. hinsichtlich der Fixierung, der Ausbildung von Fugen **38**, **138**, Spalten **64**, **164** und Zwischenräumen **42**, **142** oder der Verfüllung sind dann einzeln oder sinnvoll kombiniert auch auf solch ein Halbleiterbauelement und Package anwendbar.

[0100] Darüber hinaus soll die Erfindung nicht auf die Anordnung von nur einem Chip **1** innerhalb der Umhüllung beschränkt sein, denn durch entsprechende Gestaltung der Substrat- **28** oder Cover-Vertiefung **128** in vergleichbarer Weise können auch mehr als ein Chip **1** gemeinsam umhüllt werden. Aufgrund der Variabilität der Gestaltung von Substrat **10**, **120** und Cover **19**, **119** können die Chips **1** auch nebeneinander angeordnet sein. Damit sind die erforderlichen Kontaktierungen der einzelnen Chips **1** in das erfindungsgemäße Halbleiterbauelement integrierbar.

72	Landungspad
74	Durchkontaktierung
116	Coverplatte, plattenartiges Element
118	Cover-Basis
119	Cover
120	Substratplatte
122	Frame
126	Fügefläche
128	Cover-Vertiefung
130	erste Oberfläche der Substratplatte
132	zweite Oberfläche der Substratplatte
134	Frame-Durchgang
136	Wandung
138	Fuge
140	Abstandshalter
142	Zwischenraum
150	erste Oberfläche des Covers
152	zweite Oberfläche des Covers
160	Distanzhalter
164	Spalt
166	Distanzstück

Bezugszeichenliste

1	Chip oder Chip-Stapel
2	aktive Seite
4	Rückseite
6	Seitenfläche
8	Kontakte
10	Substrat
12	Bond-Kanal
14	Luftdurchlass, Vent
16	Substratplatte, plattenartiges Element
18	Substrat-Basis
19	Cover
22	Frame
26	Fügefläche
28	Substrat-Vertiefung
30	erste Oberfläche
32	zweite Oberfläche
34	Frame-Durchgang
36	Wandung
38	Fuge
40	Abstandshalter
42	Zwischenraum
44	Metalllayer, Leiterbahnen
46	Anschlüsse
48	externe Kontaktflächen
50	Lotkugel
51	Ball Grid Array
52	Drahtbrücke
54	Schutzschicht
56	Vergussmasse
58	Klebstoffschicht
60	Zusatzframe
62	zweiter Durchgang
64	Spalt
66	Distanzstück
68	kanalartige Verbindung
70	Aussparung

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- DE 10347320 A1 [\[0011\]](#)
- US 5679977 [\[0011\]](#)

Patentansprüche

1. Halbleiterbauelement mit auf einem Substrat montiertem Chip, folgende Bestandteile umfassend:
 – einen Chip mit einer aktiven Seite und einer Rückseite sowie mit Seitenflächen und mit Kontakten auf der aktiven Seite zur elektrischen Kontaktierung des Chips;

– ein Substrat zur Halterung und elektrischen Kontaktierung des Chips mit einer ersten und einer zweiten Oberfläche, wobei der Chip über der ersten Oberfläche des Substrats angeordnet ist und zumindest einen Teil der ersten Oberfläche überdeckt;
 – eine Abdeckung (Cover), die mit dem Substrat verbunden ist, so dass Cover und Substrat den Chip allseitig umhüllen und der Chip in seiner Lage fixiert ist;
 – wobei das Cover aus dem gleichen Material besteht, wie das Substrat;

2. Halbleiterbauelement nach Anspruch 1, wobei das Substrat in seiner ersten Oberfläche eine Substrat-Vertiefung mit solch einer Größe und Gestalt aufweist, dass sie den Chip aufnimmt und das Cover die Substrat-Vertiefung verschließt.

3. Halbleiterbauelement nach Anspruch 1, wobei das Cover in ihrer dem Chip zugewandten Oberfläche eine Cover-Vertiefung mit solch einer Größe und Gestalt aufweist, dass sie den Chip aufnimmt und das Substrat die Cover-Vertiefung verschließt.

4. Halbleiterbauelement nach Anspruch 2 oder 3, wobei der Chip auf dem Substrat aufliegt und das Substrat in dem vom Chip überdeckten Bereich Luftdurchlässe (Vents) aufweist, die je eine Öffnung auf der ersten und der zweiten Oberfläche haben.

5. Halbleiterbauelement nach Anspruch 4, wobei das Substrat auf der dem Chip abgewandten Seite einen Layer aufweist und sich die Luftdurchlässe im Layer fortsetzen.

6. Halbleiterbauelement nach einem der Ansprüche 2 bis 5, wobei die Tiefe der Substrat-Vertiefung bzw. der Cover-Vertiefung geringfügig größer ist als die Höhe des Chips und ein Zwischenraum zwischen dem Chip und dem Cover besteht, welcher mit einer härtbaren Masse ausgefüllt ist.

7. Halbleiterbauelement nach einem der Ansprüche 2 bis 6, wobei die Substrat-Vertiefung bzw. die Cover-Vertiefung in zumindest einer lateralen Ausdehnung geringfügig größer ist als der Chip und zumindest eine Fuge zwischen zumindest einer Seitenfläche des Chips und der Substrat-Vertiefung bzw. der Cover-Vertiefung besteht.

8. Halbleiterbauelement nach Anspruch 7, wobei sich zumindest je eine Fuge zwischen einer von zwei sich gegenüber liegenden Seitenflächen des Chips

und der Substrat-Vertiefung bzw. der Cover-Vertiefung besteht und zumindest eine Wandung der Substrat-Vertiefung bzw. der Cover-Vertiefung, die an die Fuge angrenzt, Abstandshalter zur Fixierung des Chips in seiner lateralen Position aufweist.

9. Halbleiterbauelement nach Anspruch 7 oder 8, wobei die Fuge mit einer härtbaren Masse ausgefüllt ist.

10. Halbleiterbauelement nach einem der Ansprüche 6 oder 9, wobei die härtbare Masse ein Klebstoff ist.

11. Halbleiterbauelement nach einem der Ansprüche 6 oder 9, wobei die härtbare Masse ein Vergussmaterial (Mold-Compound) ist.

12. Halbleiterbauelement nach einem der Ansprüche 2 bis 11, wobei das Substrat bzw. das Cover aus einem plattenartigen Element (Substrat- bzw. Cover-Basis) besteht, welches mit einem plattenartigen, eine Aussparung aufweisenden Rahmen (Frame) flächig verbunden ist, wobei die Aussparung die Substrat-Vertiefung bzw. die Cover-Vertiefung bildet.

13. Halbleiterbauelement nach Anspruch 12, wobei Substrat-Basis und Frame bzw. Cover-Basis und Frame unter definiertem Druck und definierter Temperatur miteinander verbundenen sind.

14. Halbleiterbauelement nach einem der vorstehenden Ansprüche, wobei
 – das Substrat zumindest einen Durchgang (Bond-Kanal) aufweist, der oder die in Lage, Größe und Gestalt mit dem Areal oder den Arealen der Kontaktanordnung des Chips korrespondieren; und
 – der Chip mit seiner aktiven Seite auf der ersten Oberfläche des Substrats (face-down) aufliegt, so dass alle Kontakte durch den Bond-Kanal oder die Bond-Kanäle kontaktierbar sind.

15. Halbleiterbauelement nach Anspruch 14, wobei die Tiefe der Substrat-Vertiefung bzw. der Cover-Vertiefung geringfügig größer ist als die Höhe des Chips und ein Spalt zwischen dem Chip und dem Substrat besteht, welcher mit einer härtbaren, steifen Masse ausgefüllt ist.

16. Halbleiterbauelement nach Anspruch 15, wobei der Spalt mit Mold-Compound ausgefüllt ist.

17. Halbleiterbauelement nach Anspruch 15 oder 16, wobei der Spalt durch Abstandshalter zwischen aktiver Seite des Chips und Substrat eingestellt ist.

18. Halbleiterbauelement nach Anspruch 17, wobei die Abstandshalter und/oder Distanzstücke durch gehärtetes Mold-Compound gebildet ist.

19. Halbleiterbauelement nach Anspruch 15 oder 16, wobei das Substrat Abstandshalter aufweist, auf welchen die Chipaußenkanten zumindest abschnittsweise aufliegen und welche durch ein plattenartiges, zumindest eine Aussparung aufweisendes und flächig mit dem Substrat bzw. mit der Substrat-Basis verbundenes Zusatzframe gebildet ist, das aus dem gleichen Material bestehen, wie das Substrat.

20. Halbleiterbauelement nach Anspruch 19, wobei Substrat bzw. Substrat-Basis und Zusatzframe unter definiertem Druck und definierter Temperatur miteinander verbundenen sind.

21. Halbleiterbauelement nach Anspruch 19 oder 20, wobei benachbart zum Bond-Kanal weitere Abstandshalter zwischen Chip und Substrat angeordnet sind.

22. Halbleiterbauelement nach einem der vorstehenden Ansprüche, wobei anstelle eines Chips ein Stapel von Chips auf dem Substrat montiert ist.

23. Package mit auf einem Substrat montiertem Chip, folgende Bestandteile umfassend:

- einen Chip mit einer aktiven Seite und einer Rückseite sowie mit Seitenflächen und mit Kontakten auf der aktiven Seite zur elektrischen Kontaktierung des Chips;
- ein Substrat mit einer ersten und einer zweiten Oberfläche, wobei der Chip zumindest einen Teil der ersten Oberfläche des Substrats überdeckt;
- wobei das Substrat auf seiner zweiten Oberfläche Anschlüsse aufweist, die mit den Kontakten des Chips elektrisch verbunden sind, und externe Kontaktflächen zur elektrischen Kontaktierung des Packages, die mit den Anschlüssen elektrisch verbunden sind;
- ein Cover, das an das Substrat anschließt und mit dem Substrat verbunden ist, wobei Cover und Substrat den Chip allseitig umhüllen, so dass die Lage des Chips fixiert ist;
- wobei das Cover aus dem gleichen Material besteht, wie das Substrat;

24. Package nach Anspruch 23, wobei

- die Kontakte des Chips zentral ein-, zwei- oder mehrreihig angeordnet sind;
- das Substrat zumindest einen Durchgang (Bond-Kanal) aufweist, der oder die in Lage, Größe und Gestalt mit dem Areal oder den Arealen der Kontaktanordnung des Chips korrespondieren; und
- der Chip face-down auf dem Substrat aufliegt, so dass alle Kontakte durch den Bond-Kanal kontaktierbar und die Kontakte mit den Anschlüssen mittels Drahtbrücken (Bond-Wire) elektrisch verbunden sind; und
- der Bond-Kanal mit einem härtbaren, steifen Material ausgefüllt.

25. Package nach Anspruch 24, wobei das Substrat in dem vom Chip überdeckten Bereich Luftdurchlässe (Vents) aufweist, die jeweils eine erste Öffnung auf der ersten Oberfläche haben und eine zweite Öffnung auf der Unterseite des Packages.

26. Package nach Anspruch 23, wobei

- die Kontakte des Chips zentral ein-, zwei- oder mehrreihig angeordnet sind;
- das Substrat zumindest einen Durchgang (Bond-Kanal) aufweist, der oder die in Lage, Größe und Gestalt mit dem Areal oder den Arealen der Kontaktanordnung des Chips korrespondieren; und
- der Chip face-down über dem Substrat angeordnet ist, so dass alle Kontakte durch den Bond-Kanal kontaktierbar und die Kontakte mit den Anschlüssen mittels Drahtbrücken (Bond-Wire) elektrisch verbunden sind; und
- zwischen dem Chip und dem Substrat ein Spalt besteht, der gemeinsam mit dem Bond-Kanal mit einem härtbaren, steifen Material ausgefüllt ist.

27. Package nach einem der Ansprüche 23 bis 26, wobei anstelle eines Chips ein Stapel von Chips auf dem Substrat montiert ist.

28. Package mit zumindest zwei substratbasierten Chips, wobei

- beide Chips jeweils in einem Package nach einem der Ansprüche 23 bis 26 integriert sind;
- die Packages übereinander gestapelt sind; und
- die externen Kontaktflächen zumindest eines Packages mittels Zwischenverbindungen und metallisierten Durchgängen (Vias) mit externen Kontaktflächen des Stapels elektrisch verbunden sind;
- wobei die metallisierten Vias außerhalb der Chipfläche des Chips eines Packages angeordnet sind;
- die Zwischenverbindungen die externen Kontaktflächen eines Packages mit metallisierten Vias elektrisch verbinden; und
- die externen Kontaktflächen des Stapels mit den unteren Ausgängen der metallisierten Vias elektrisch verbunden sind.

29. Komponente zur Halterung von Chips mit zumindest zwei, unter definiertem Druck und definierter Temperatur miteinander verbundenen, plattenartigen Elementen, die eine Vertiefung für jeden aufzunehmenden Chip umfassen, gebildet aus einem Durchgang (erster Durchgang) in dem ersten plattenartigen Element (Frame), der auf einem weiteren, geschlossenen, plattenartigen Element (Basis) endet und eine Höhe, eine Größe und eine Gestalt aufweist, die gleich oder geringfügig größer sind als die Höhe, die Größe und die Gestalt des aufzunehmenden Chips.

30. Komponente nach Anspruch 29, wobei zumindest ein plattenartiges Element aus mehreren Layern besteht.

31. Komponente nach Anspruch 29 oder 30, wobei zwischen Basis und Frame ein weiteres plattenartiges Element (Zusatzframe) eingefügt ist, das korrespondierend zu jedem ersten Durchgang einen weiteren Durchgang aufweist, welcher zumindest abschnittsweise in die Vertiefung hineinragt.

32. Komponente nach Anspruch 29 oder 30, wobei die Vertiefung einen Grundriss hat, welcher geringfügig größer ist als der Chipgrundriss und zumindest zwei der sich gegenüber liegenden Wandungen der Vertiefung in die Vertiefung ragende Vorsprünge aufweist, zwischen denen der aufzunehmende Chip fixierbar ist.

33. Komponente nach Anspruch 29 bis 32, wobei die Komponente auf jener Oberfläche einen elektrisch leitfähigen Layer umfasst, welche der Oberfläche gegenüber liegt (geschlossene Fläche), von welcher die Vertiefung ausgeht.

34. Komponente nach Anspruch 29 bis 32, wobei die Komponente auf der geschlossenen Fläche elektrisch leitfähige Kontaktinseln aufweist.

35. Komponente nach einem der Ansprüche 29 bis 32, wobei die geschlossene Fläche der Komponente zur Vergrößerung ihrer Oberfläche strukturiert ist.

36. Komponente nach Anspruch 33 oder 34, wobei auf dem Grund der Vertiefung zumindest ein Bond-Kanal angeordnet ist.

37. Komponente nach einem der Ansprüche 29 bis 36, wobei eine große Anzahl von Vertiefungen matrixartig angeordnet ist und die Vertiefungen einer Reihe oder einer Spalte der Matrix durch kanalartige Verbindungen miteinander und mit je einer Aussparung an jedem Ende der Reihe oder Spalte verbunden sind und die kanalartigen Verbindungen und Aussparungen ebenfalls auf der geschlossenen Schicht der Komponente enden.

Es folgen 9 Blatt Zeichnungen

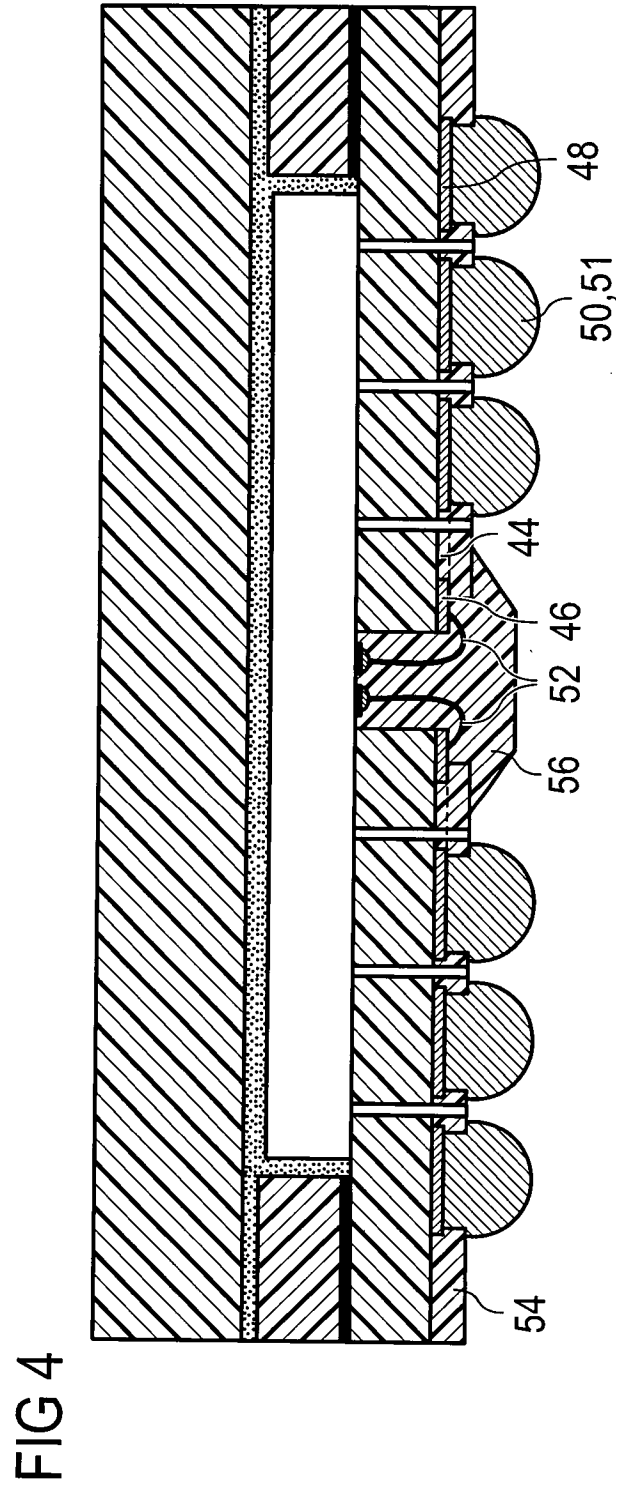
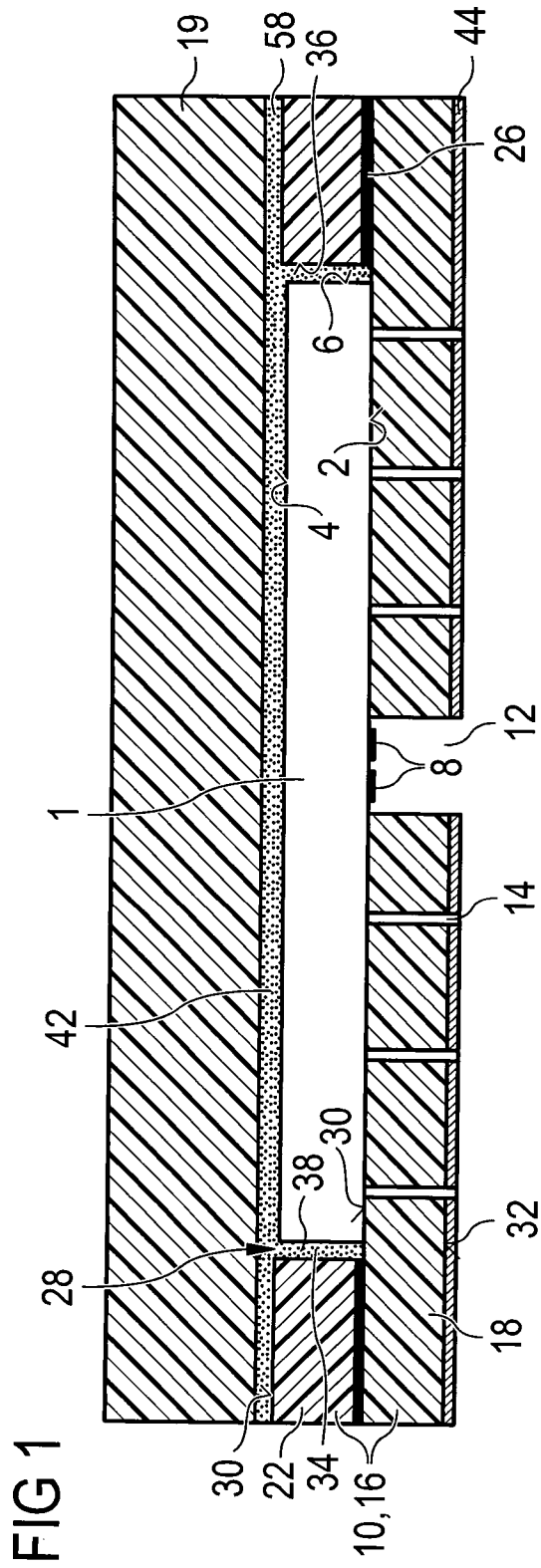


FIG 2A

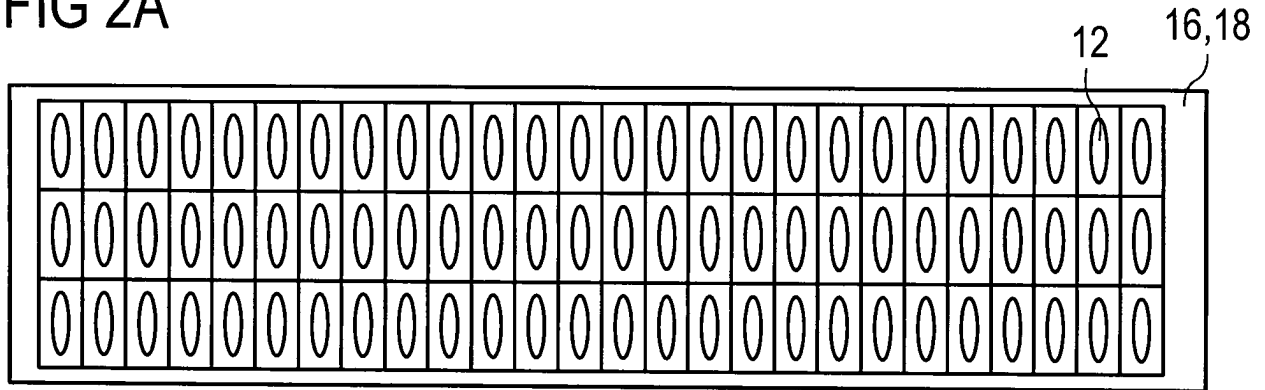


FIG 2B

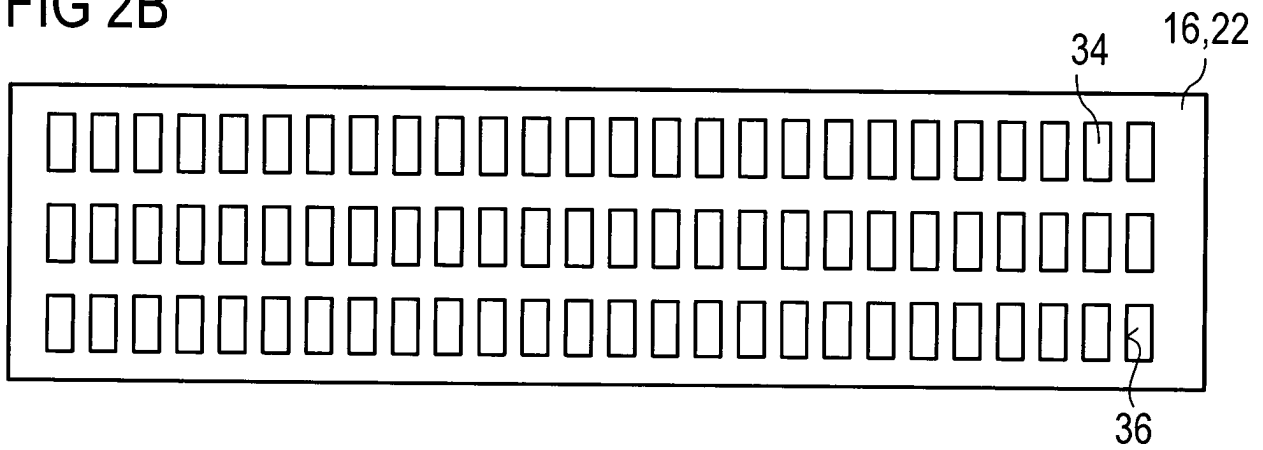


FIG 2C

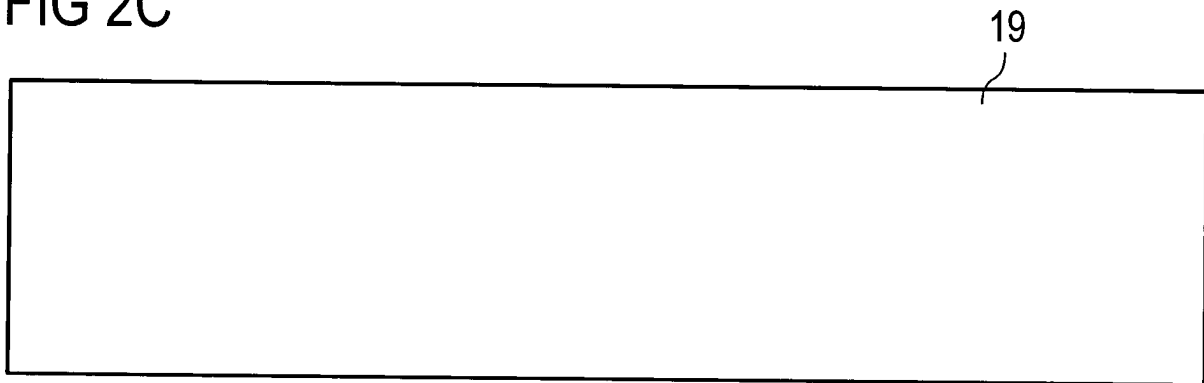


FIG 3A

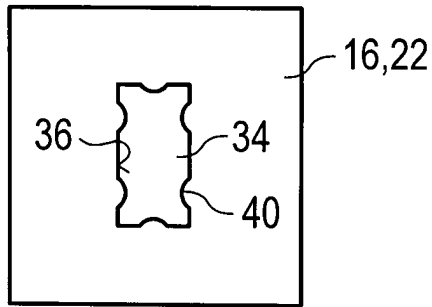


FIG 3B

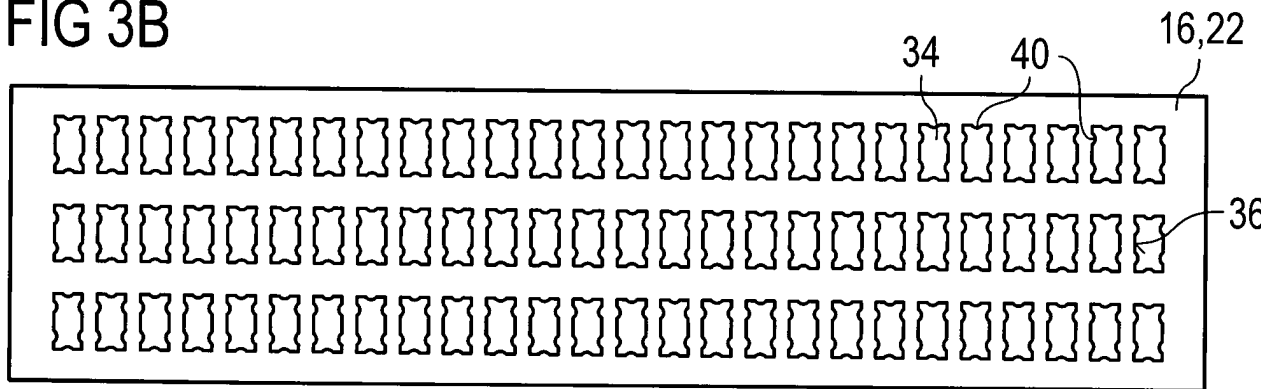


FIG 3C

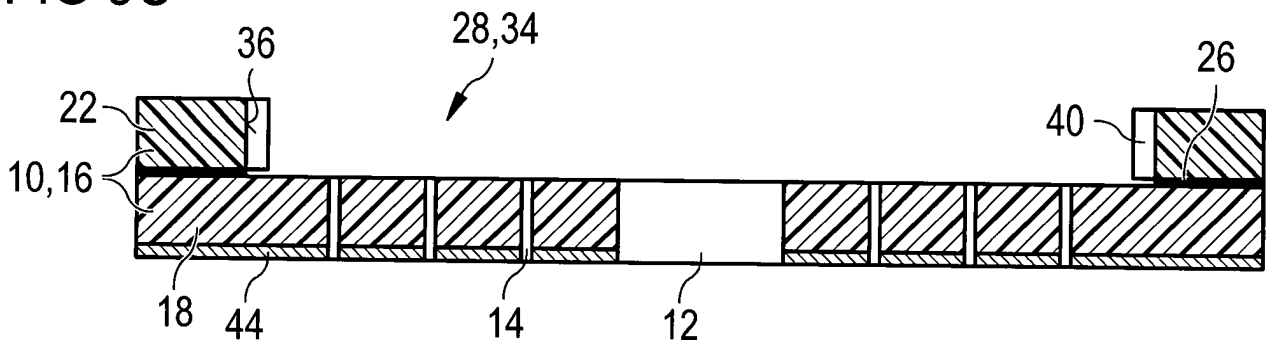


FIG 5

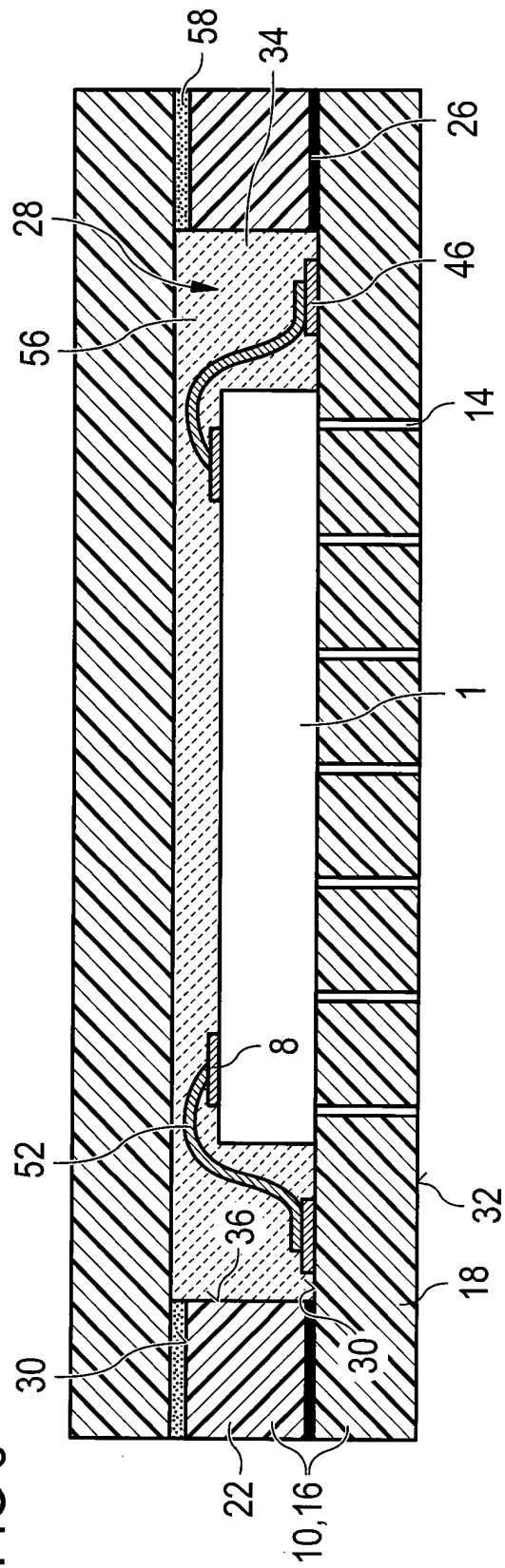


FIG 6

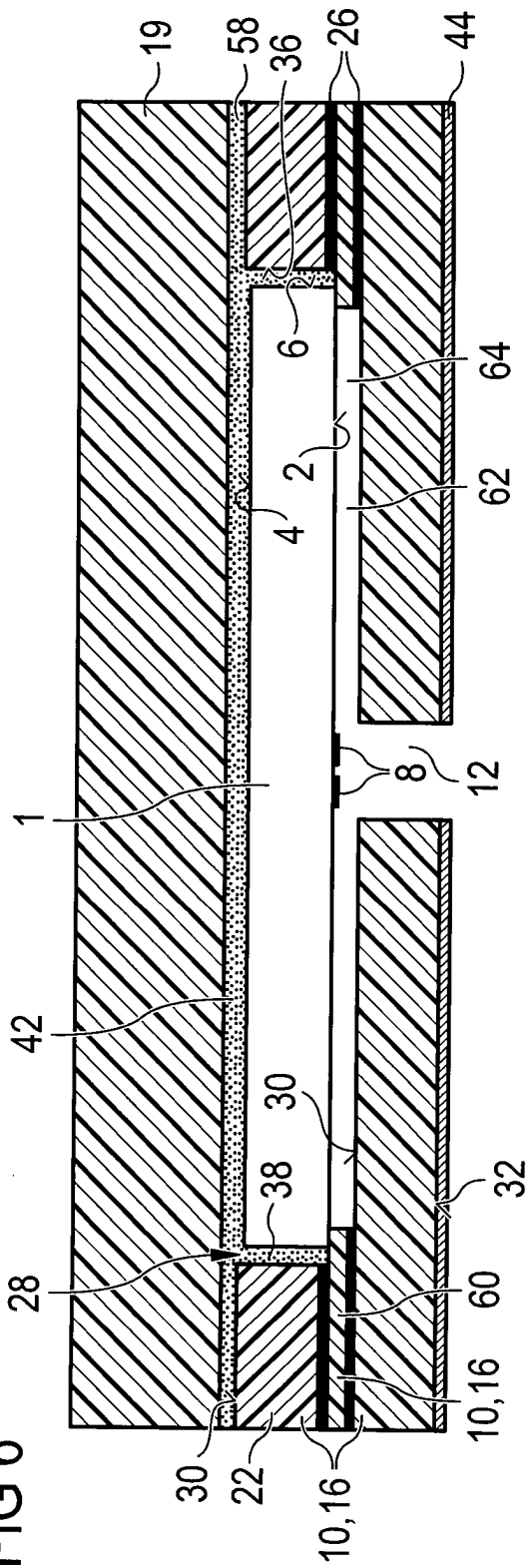


FIG 9

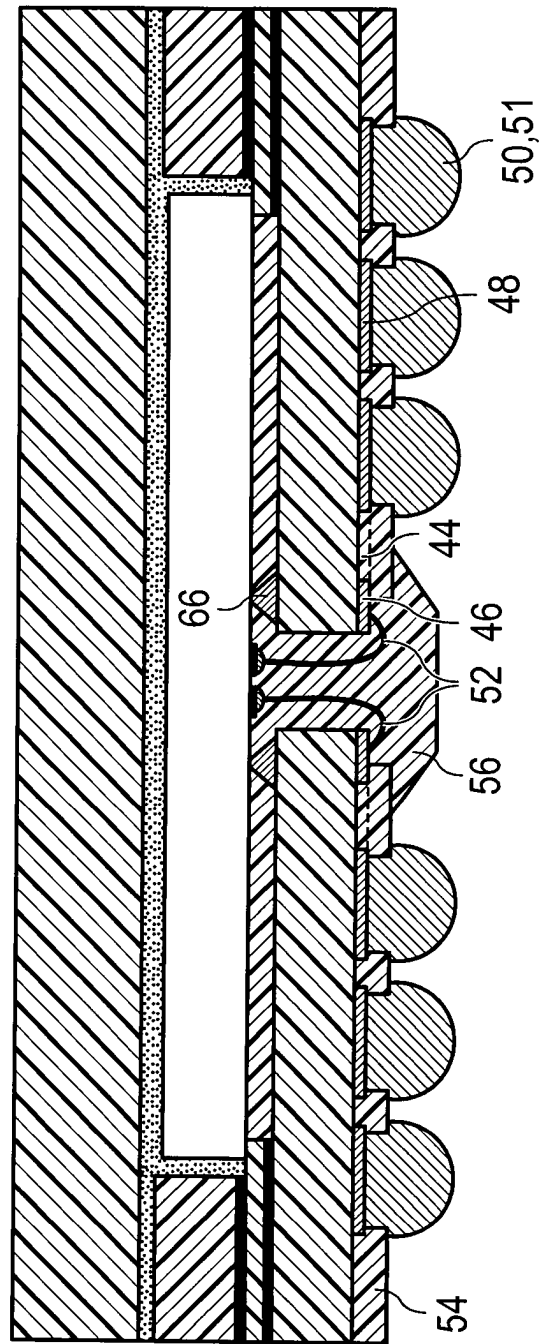


FIG 7A

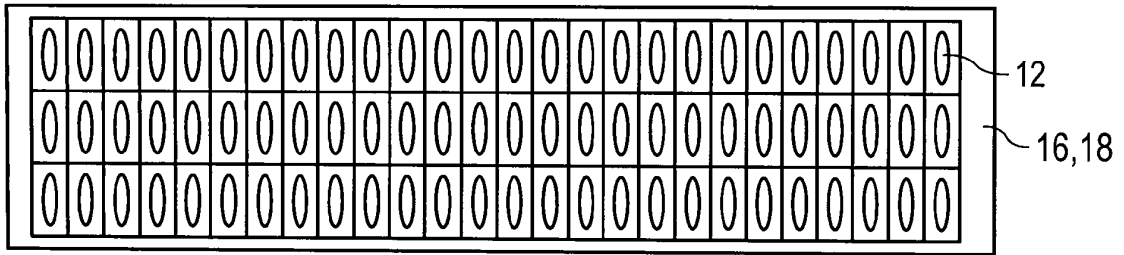


FIG 7B

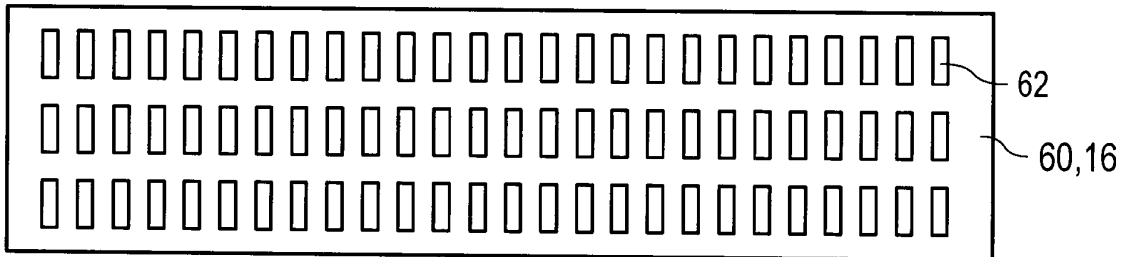


FIG 7C

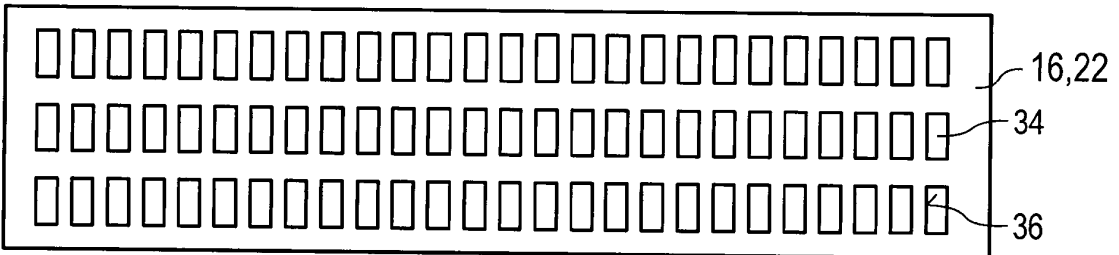


FIG 7D

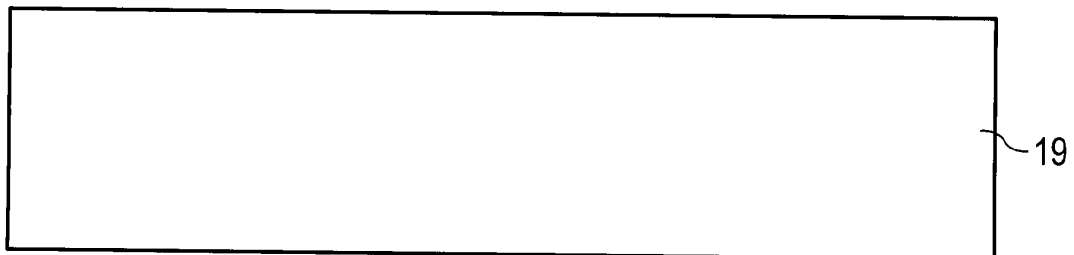


FIG 8

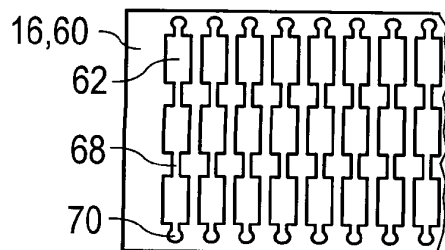


FIG 10

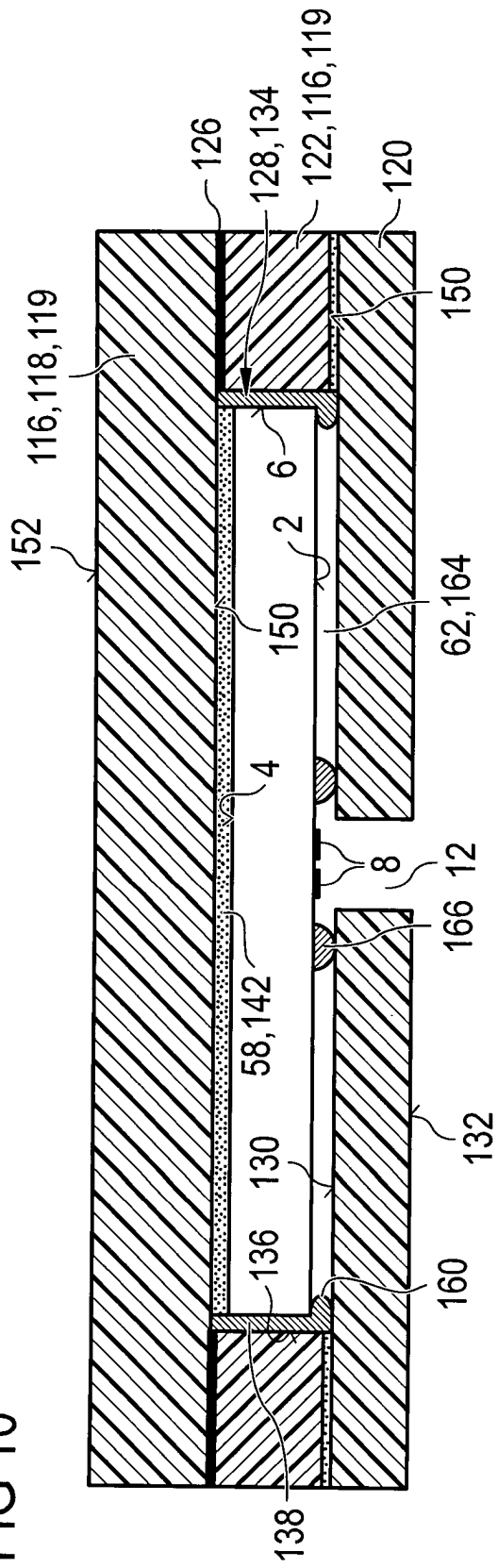


FIG 12

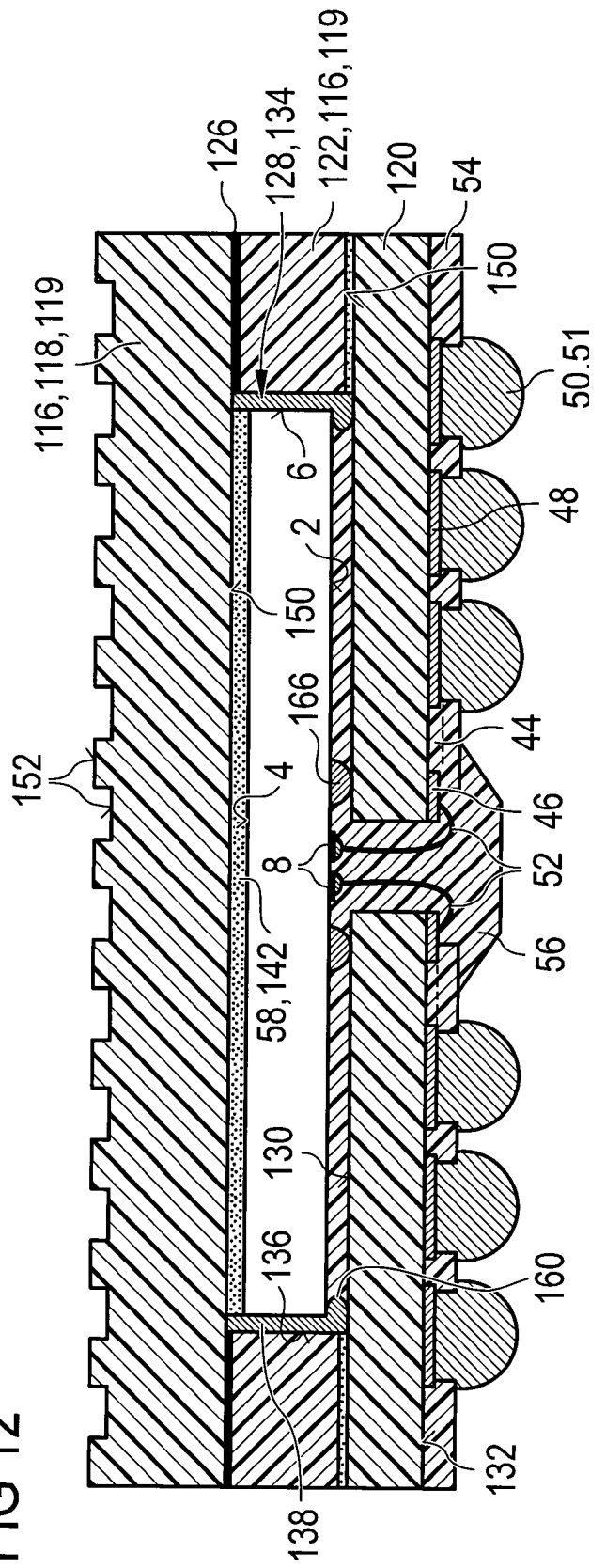


FIG 11A

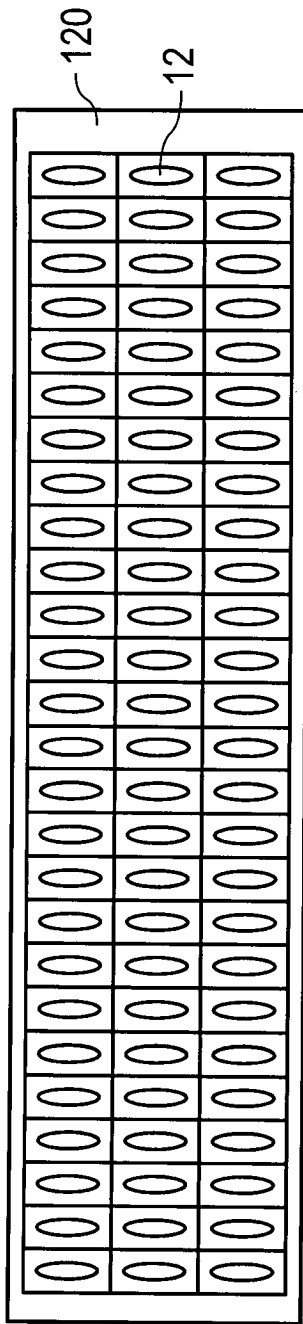


FIG 11B

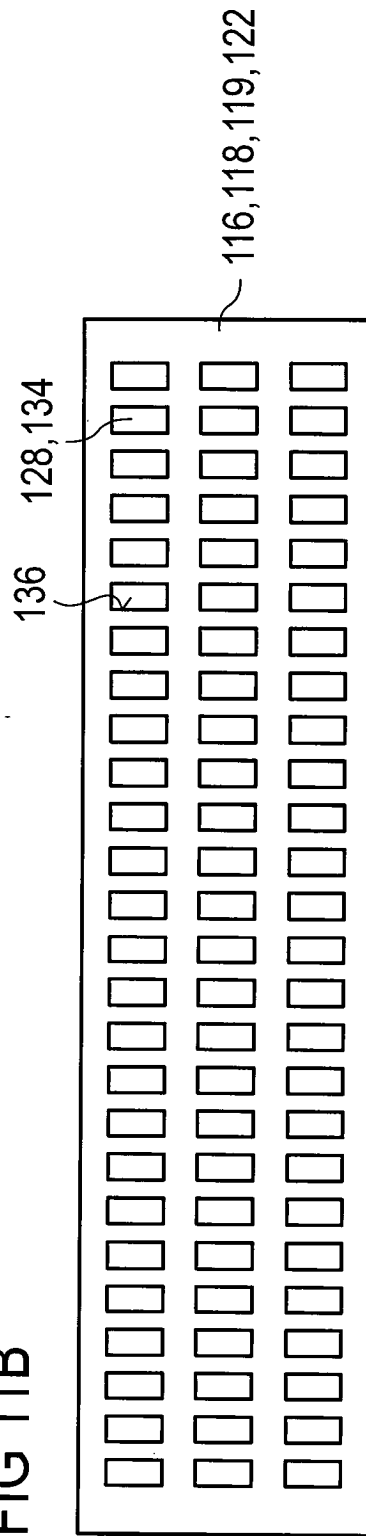


FIG 13

