(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 2 月 16 日 (16.02.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/015648 A1

(51) 国际专利分类号:
H01L 27/108 (2006.01)

(21) 国际申请号: PCT/CN2021/117233

(22) 国际申请日: 2021 年 9 月 8 日 (08.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110919736.9 2021年8月11日 (11.08.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 程明 (**CHENG, Ming**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 李冉 (**LI, Ran**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 孙正庆 (**SUN, Zhengqing**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。 金星 (**JIN, Xing**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所 (普通合伙) (**BEIJING LINKAW PATENT ATTORNEY LAW FIRM**); 中国北京市昌平区北清路TBD云集中心2号楼B座502, Beijing 102209 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 半导体器件及其制备方法

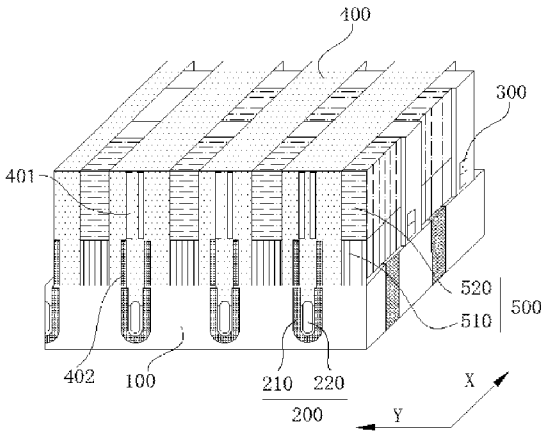


图 19

(57) **Abstract:** Disclosed in the present application are a semiconductor device and a manufacturing method therefor, relating to the technical field of semiconductors. The semiconductor device comprises: a substrate; word line structures which extend in a first direction on the substrate and are arranged at intervals in a second direction, wherein the second direction is perpendicular to the first direction; spacer structures located above the word line structures, wherein the spacer structures comprise first spacer layers and air gaps, the first spacer layers are arranged at the bottoms of the spacer structures, the air gaps are arranged above the first spacer layers, and in the second direction, the air gaps are located between the first spacer layers; and contact plugs arranged between the spacer structures. The first spacer layers and the air gaps are provided in the spacer structures, such that the resistance between capacitor contact holes is increased, the insulation performance between the capacitor contact holes is improved, the generation of parasitic capacitance is reduced, and the spacing resistance of the capacitance contact holes is increased, which is conducive to reducing the spacing size of the capacitor contact holes, enlarging the size of the capacitor contact holes, and improving the conduction effect between a capacitor and an active area.

WO 2023/015648 A1

[见续页]

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

一 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本申请公开了一种半导体结构及其制备方法，涉及半导体技术领域，包括：衬底；字线结构，字线结构在衬底上沿第一方向延伸且在第二方向间隔排布，第二方向与第一方向垂直；间隔结构，间隔结构位于字线结构上方，间隔结构包括第一间隔层和空气间隙，第一间隔层设置在间隔结构的底部，空气间隙设置在第一间隔层的上方，在第二方向上，空气间隙位于第一间隔层之间；以及，接触插塞，设置在间隔结构之间。在间隔结构中设置有第一间隔层和空气间隙，从而提高电容接触孔间的电阻，增加电容接触孔间的绝缘性能，减少寄生电容产生，同时增加电容接触孔间隔电阻有助于实现减小电容接触孔间隔尺寸，扩大电容接触孔尺寸，提高电容与有源区之间导通效果。

半导体器件及其制备方法

交叉引用

本申请基于申请号为 202110919736.9、申请日为 2021 年 08 月 11 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体技术领域，尤其涉及一种半导体结构及其制备方法。

背景技术

随着半导体集成电路器件特征尺寸的不断缩小，DRAM（动态随机存储器）制程技术到 20nm 左右，对于制程的制作工艺需要更高的要求。在 DRAM 的 array（存储阵列）工艺过程中，由于制程尺寸的不断缩小，工艺技术的进步，对于绝缘层的绝缘性能也在不断提升。

现有的电容接触孔结构中，通过采用导电介质填充到接触孔中，相邻的两个接触孔之间通过氮化硅起到间隔作用，为了减小导电介质间产生寄生电容，需要增加大氮化硅的厚度来实现，导致接触孔的尺寸减小，电容与有源区之间的导通率会受到影响。

因此，在保持电容与有源区导通率的情况下，如何增加电容节点

接触间电阻，减小电介质间产生寄生电容，是当前亟待解决的问题。

申请内容

根据一些实施例，本公开的一些实施例第一方面提供了一种半导体结构，包括：

衬底；

字线结构，所述字线结构在所述衬底上沿第一方向延伸且在第二方向间隔排布，所述第二方向与所述第一方向垂直；

间隔结构，所述间隔结构位于所述字线结构上方，所述间隔结构包括第一间隔层和空气间隙，所述第一间隔层设置在所述间隔结构的底部，所述空气间隙设置在所述第一间隔层的上方，在第二方向上，所述空气间隙位于所述第一间隔层之间；以及，

接触插塞，设置在所述间隔结构之间。

根据一些实施例，本公开的一些实施例第二方面还提供了一种半导体结构的制备方法，包括：

提供衬底；所述衬底上形成有沿第一方向延伸且在第二方向间隔排布的字线结构，所述第二方向与所述第一方向垂直；

在所述字线结构的上方形成间隔结构，所述间隔结构包括第一间隔层和空气间隙，所述第一间隔层设置在所述间隔结构的底部，所述空气间隙设置在所述第一间隔层的上方，在第二方向上，所述空气间隙位于所述第一间隔层之间；

在所述间隔结构之间形成接触插塞。

附图说明

图 1 为现有技术中半导体结构的结构示意图；

图 2 为本公开实施例提供的半导体结构的制备方法的流程图；

图 3 为本公开实施例提供的半导体结构的制备方法的形成间隔结构的流程图；

图 4 为-图 19 为本公开实施例提供的半导体结构的制备方法各步骤所呈现的结构示意图；

图 20-图 28 为本公开实施例提供的半导体结构的制备方法中形成台阶状的绝缘结构各步骤所呈现的结构示意图。

图标：100’-衬底；200’-位线结构；300’-字线结构；400’-间隔结构；500’-接触插塞；

40-第四介质层；41-绝缘结构；60-第一掩膜层；61-第一掩膜；70-第二掩膜层；71-第二掩膜；72-第一沟槽；81-光刻胶；82-抗反射涂层；83-牺牲层；84-第五介质层；85-第六介质层；

100-衬底；200-字线结构；210-栅介质层；220-栅电极；300-位线结构；400-间隔结构；401-空气间隙；402-第一间隔层；411-第一开口；412-第二开口；500-接触插塞；510-第一导电结构；520-第二导电结构；600-第一介质层；700-间隙层；800-第二介质层；801-第三开口；900-密封层；910-第三介质层。

具体实施方式

下面结合附图对本公开的一些实施例提供的半导体结构和半导体结构的制备方法的具体实施方式做详细说明。

为使本申请的目的、技术方案和优点更加清楚明白，以下结合具体实施例，并参照附图，对本申请进一步详细说明。但是应该理解，这些描述只是示例性的，而并非要限制本申请的范围。此外，在以下说明中，省略了对公知结构和技术的描述，以避免不必要地混淆本申请的概念。

在附图中示出了根据本公开的一些实施例的半导体器件的各种结构图及截面图。这些图并非是按比例绘制的，其中为了清楚的目的而放大了某些细节，并且可能省略了某些细节。图中所示出的各种区域、层的形状以及它们之间的相对大小、位置关系仅是示例性的，实际中可能由于制造公差或技术限制而有所偏差，并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的区域/层。

参见图 1 所示，为现有技术中的半导体结构的结构示意图，其中，包括衬底 100’，沿第一方向延伸且在第二方向上间隔设置的字线结构 200’，沿第二方向延伸且在第一方向上间隔设置的位线结构 300’，其中，在平行于第二方向的截面内，相邻两个字线结构 200’之间形成电容接触孔，并通过设置于衬底 100’上的间隔结构 400’隔开，电容接触孔中填充有接触插塞 500’。为减小接触插塞 500’之间产生的寄生电容，需控制间隔结构 400’的厚度，从而导致不能扩大接触孔尺寸，影响导通率。

参见图 19 所示，图中的 X 所示方向为第一方向，图中的 Y 所示方向为第二方向。本公开的一些实施例提供了一种半导体结构，具体包括：

衬底 100；衬底 100 还可以包括字线结构 200。可以理解的是，在衬底 100 中还可以形成有浅沟槽隔离结构、掺杂区或者其它公知的半导体结构等，本实施例对此不做限定。此外，图中未标注的相关结构，可以为公知的半导体结构等（例如形成电容接触孔所需的相关结构），本实施例对此不做限定。

字线结构 200，字线结构 200 在衬底 100 上沿第一方向延伸且在第二方向间隔排布，第二方向与第一方向垂直。

间隔结构 400，间隔结构 400 位于字线结构 200 上方，具体是指，在第二方向的截面上，字线结构 200 处于衬底 100 内，而间隔结构 400 位于字线结构 200 的上方。其中，间隔结构 400 包括第一间隔层 402 和空气间隙 401，第一间隔层 402 设置在间隔结构 400 的底部，空气间隙 401 设置在第一间隔层 402 的上方，在第二方向上，空气间隙 401 位于第一间隔层 402 之间；需要说明的是，间隔结构 400 包括氮化硅，第一间隔层包括氧化硅，其中，第一间隔层 402 处于间隔结构 400 的底部，在底部形成 NON 的结构，空气间隙 401 处于第一间隔层 402 的上方。

以及，接触插塞 500，设置在间隔结构 400 之间。

需要说明的是，由于空气具有良好的绝缘性和较小的介电系数，因此，通过在电容接触孔间的间隔结构 400 中的上部形成空气间隙

401，可以降低接触插塞500之间的耦合效应。同时，在间隔结构400的下部内设置第一间隔层402，且第一间隔层402的材料与间隔结构400的材质不同，因此，可以形成不同材质交替的结构形式，从而进一步提高电容接触孔之间的电阻。

本公开的实施例提供的半导体结构中，在间隔结构400中设置有第一间隔层402和空气间隙401，从而提高电容接触孔间的电阻，增加电容接触孔间的绝缘性能，减少寄生电容产生，同时增加电容接触孔间隔电阻有助于实现减小电容接触孔间隔尺寸，扩大电容接触孔尺寸，提高电容与有源区之间导通效果。

衬底设有沿第一方向的沟槽，字线结构200包括栅介质层210和栅电极220；栅介质层210位于衬底100的沟槽的侧壁，栅电极220位于栅介质层210内；第一间隔层402位于栅介质层210的上方，且在第二方向上，第一间隔层402位于栅电极220的两侧。

在其中一个实施例中，空气间隙401至少包括两个，且在第二方向上间隔排布；同时，第一间隔层402至少包括两个，且在第二方向上间隔排布。在第二方向上，至少两个空气间隙401位于两个第一间隔层402之间。

在其中一个实施例中，空气间隙401的数量为多个，且在第二方向间隔排布；具体是指，在间隔结构400的内部，空气间隙401可以有多个，且多个空气间隙401在第二方向上间隔排布，可以进一步地增大电容接触孔之间的电阻。

同时，第一间隔层402的数量为多个，且在第二方向间隔排布。

也即，在间隔结构 400 的底部的内部，第一间隔层 402 也可以具有多个，且多个第一间隔层 402 在第二方向上间隔排布，同样可以起到增大电容接触孔之间电阻的作用。

在其中一个实施例中，还包括位线结构 300，位线结构 300 在衬底 100 上沿第二方向延伸并在第一方向上间隔排布。其中，衬底 100 上设有位线结构 300，位线结构 300 沿第二方向延伸，且在第一方向上间隔排布，位线结构 300 与间隔结构 400 交叉布置，从而在位线结构 300 和间隔结构 400 之间形成电容接触孔。

位线结构 300 包括位线导电层和位线绝缘层，其中，位线导电层可以包括非金属导电层和金属层。其中非金属导电层可包括多晶硅、非晶硅或其他含硅或不含硅的非金属导电材料，金属层可包括铝、钨、铜、铝合金或其他适合的低电阻金属导电材料，而位线绝缘层可包括氮化硅、氮氧化硅、氮碳化硅或其他适合的绝缘材料，但不以此为限。

在其中一个实施例中，第一间隔层 402 的表面低于位线结构 300 的表面。具体地，间隔结构 400 中的第一间隔层 402 的上表面低于位线结构 300 的上表面。

在其中一个实施例中，接触插塞 500 包括依次设置在衬底 100 上的第一导电结构 510 和第二导电结构 520。需要说明的是，第一导电结构 510 与第二导电结构 520 的材料不同。其中，第一导电结构 510 的材料可以选用但不限于多晶硅，多晶硅与有源区具有较好的粘附性，可以有效的将有源区和第二导电结构 520 连接起来，第二导电结构 520 的材料可以选用但不限于金属钨和/或金属钛。

在其中一个实施例中，第一导电结构 510 的表面与第一间隔层 402 的表面平齐；第二导电结构 520 的表面与空气间隙 401 的表面平齐。

基于同一构思，本公开的实施例还提供了半导体结构的制备方法，参见图 2 所示，半导体结构的制备方法具体包括：

步骤 S10，提供衬底 100；衬底 100 上形成有沿第一方向延伸且在第二方向间隔排布的字线结构 200，第二方向与第一方向垂直。

步骤 S20，在字线结构 200 的上方形成间隔结构 400，间隔结构 400 包括第一间隔层 402 和空气间隙 401，第一间隔层 402 设置在间隔结构 400 的底部，空气间隙 401 设置在第一间隔层 402 的上方，在第二方向上，空气间隙 401 位于第一间隔层 402 之间。

步骤 S30，在间隔结构 400 之间形成接触插塞 500。

本实施例中，在半导体结构的制备方法中，在字线结构 200 上方的衬底 100 上形成间隔结构 400，其中，间隔结构 400 包括设置在其中的第一间隔层 402 和空气间隙 401，通过第一间隔层 402 和空气间隙 401 提高电容接触孔间的电阻，增加电容接触孔间的绝缘性能，减少寄生电容产生，同时，增加电容接触孔间隔电阻有助于实现减小电容接触孔间隔尺寸，扩大电容接触孔尺寸，提高电容与有源区之间导通效果。

本实施例中，衬底 100 可为硅基底、外延硅基底、硅锗基底、碳化硅基底或硅覆绝缘基底，但不以此为限。

其中，间隔结构 400 选用但不限于氮化硅材质，第一间隔层 402

可以采用但不限于氧化硅材质。

在其中一个实施例中，步骤S20，参见图3所示，在字线结构200的上方形成间隔结构400，包括：

步骤S210，参见图4所示，在字线结构200之间形成台阶状的绝缘结构41，绝缘结构41之间形成第一开口411，第一开口411包括上部和下部，第一开口411上部的宽度小于第一开口411下部的宽度；其中，台阶状的绝缘结构41的材料可以包括但不限于氧化硅。

步骤S220，在第一开口411内依次沉积第一介质层600和间隙层700，其中，第一介质层600填充第一开口411下部、以及覆盖第一开口411上部的侧壁，间隙层700覆盖第一开口411上部侧壁的第一介质层600的侧壁；第一介质层600的材料可以包括但不限于氮化硅，间隙层700的材料可以包括但不限于碳。

步骤S230，沉积第二介质层800，第二介质层800填充第一开口411上部；其中，第二介质层800可以选用与第一介质层600相同的材料，即也可以选用但不限于氮化硅材质。

步骤S240，去除间隙层700，形成空气间隙401。

步骤S250，形成密封层900，密封层900覆盖空气间隙401和第二介质层800的上方，将空气间隙401封口，以密封层为掩膜，刻蚀绝缘结构并暴露衬底，形成第二开口412，在第二开口412底部侧壁形成第一间隔层；其中，密封层900可以选用与第一介质层600和第二介质层800相同的材料，即也可以选用但不限于氮化硅材质。

步骤S260，参见图16及图17所示，在第二开口412侧壁形成

第三介质层。刻蚀绝缘结构 41 并暴露衬底 100 形成第二开口 412 后，在第二开口 412 的侧壁形成第三介质层 910。其中，第三介质层 910 可以选用与第二介质层 800 相同的材料，即选用但不限于氮化硅材质。

在其中一个实施例中，步骤 S220，在第一开口 411 内依次沉积第一介质层 600 和间隙层 700，包括：

参见图 5 及图 6 所示，其中，图 5 为在平行于字线结构 200 方向的剖面图，图 6 为在平行于位线结构 300 方向的剖面图。形成填充第一开口 411 下部、第一开口 411 上部的侧壁以及绝缘结构 41 的顶面的第一介质层 600；具体的，可以选用沉积方法形成上述的第一介质层 600，其中，沉积方法可以包括化学气相沉积法（atmospheric pressure CVD，简称 APCVD）、低压化学气相沉积法（low pressure CVD，简称 LPCVD）、等离子体增强型化学气相沉积法（plasma-enhanced CVD，简称 PECVD）、高密度等离子体化学气相沉积法（high-density plasma CVD，简称 HDP-CVD）、自由基增强型化学气相沉积法（radical-enhanced CVD，简称 RECVD）、原子层沉积法（atomic layer deposition，简称 ALD）。

刻蚀去除绝缘结构 41 顶面的第一介质层 600。

参见图 7 及图 8 所示，其中，图 7 为在平行于字线结构 200 方向的剖面图，图 8 为在平行于位线结构 300 方向的剖面图。沉积覆盖绝缘结构 41 和第一介质层 600 的顶面、以及第一开口 411 上部的底部和侧壁的间隙层 700。

参见图 9 及图 10 所示，其中，图 9 为在平行于字线结构 200 方向的剖面图，图 10 为在平行于位线结构 300 方向的剖面图。刻蚀去除部分间隙层 700（包括绝缘结构 41 和第一介质层 600 的顶面以及上部的底部的间隙层 700），保留位于第一开口 411 上部侧壁的第一介质层 600 侧壁的间隙层 700。

在其中一个实施例中，步骤 S230，沉积第二介质层 800，包括：

参见图 11 所示，形成填充第一开口 411 上部且覆盖绝缘结构 41、第一介质层 600 和间隙层 700 的顶面的第二介质层 800；同样可以选用原子层沉积或者化学气相沉积的方法形成第二介质层 800。

参见图 12 所示，通过平坦化工艺暴露绝缘结构 41；具体地，平坦化工艺可以包括化学机械平坦化工艺，需要说明的是，还可以采用回刻工艺暴露绝缘结构 41。

参见图 13 所示，通过刻蚀绝缘结构 41 之间的第一介质层 600 和第二介质层 800 暴露间隙层 700 的顶面。

在其中一个实施例中，参见图 14 所示，利用刻蚀工艺去除间隙层 700。具体而言，通过刻蚀工艺去除间隙层 700 形成空气间隙 401，形成的空气间隙 401 的尺寸约等于间隙层 700 的尺寸。

在其中一个实施例中，参见图 15 所示，形成密封层 900，包括：

在空气间隙 401 上方形成密封层 900，密封层 900 的高度大于绝缘结构 41 的顶面；同样可以选用原子层沉积或者化学气相沉积的方法形成密封层 900。

通过平坦化工艺去除密封层 900 至暴露绝缘结构 41 的顶面。

在其中一个实施例中，在第二开口412侧壁形成第三介质层910，包括：

参见图16及图17所示，形成覆盖密封层900、以及第二开口412的底壁和侧壁的第三介质层910；同样可以选用原子层沉积或者化学气相沉积的方法形成第三介质层910。

参见图18所示，刻蚀去除密封层900的顶部以及第二开口412的底壁的第三介质层910。

在其中一个实施例中，参见图19所示，在间隔结构400之间形成接触插塞500包括：在衬底100上依次形成第一导电结构510和第二导电结构520，其中，第一导电结构510的材料包括但不限于多晶硅；第二导电结构520的材料包括但不限于金属钨和/或金属钛。

在其中一个实施例中，在字线结构200之间形成台阶状的绝缘结构41，包括：

参见图20所示，在衬底100表面沉积第四介质层40；其中，第四介质层40可以选用氧化硅材质。同样可以选用原子层沉积或者化学气相沉积的方法形成第四介质层40。

在第四介质层40的表面形成台阶状的第一掩膜61，其中，第一掩膜61沿第一方向延伸且在第二方向间隔排布，在第二方向上，第一掩膜61处于字线结构200之间。

参见图4所示，刻蚀第四介质层40并暴露衬底100，以形成台阶状的绝缘结构41。

衬底100中的位线结构300包括导电层和设置在导电层外侧并包

裹导电层的绝缘层，绝缘层的材料可以包括氮化硅。具体而言，本实施例中，由于第四介质层 40 与位线结构 300 的绝缘层的材料不同，因此，两者的刻蚀速率不同；在一个具体的示例中，刻蚀采用的刻蚀剂对第四介质层 40 和绝缘层的材料具有不同的刻蚀速率，例如，刻蚀采用的刻蚀剂对第四介质层 40 的材料的刻蚀速率大于对绝缘层的材料的刻蚀速率。因此，当第四介质层 40 被刻蚀并暴露衬底 100 时，绝缘层仅有小部分被刻蚀，即形成在保留位线结构 300 的前提下，形成对第四介质层 40 的刻蚀。

在其中一个实施例中，在第四介质层 40 的表面形成台阶状的第一掩膜 61，包括：

参见图 21 及图 22 所示，其中，图 21 为在平行于字线结构 200 方向的剖面图，图 22 为在平行于位线结构 300 方向的剖面图。在第五介质层 40 的表面依次沉积第一掩膜层 60、第二掩膜层 70、牺牲层 83 和抗反射涂层 82。其中，第一掩膜层 60 的材质包括但不限于碳，具体而言，同样可以选用原子层沉积或者化学气相沉积的方法形成第一掩膜层 60；第二掩膜层 70 的材质包括但不限于氮氧化硅，牺牲层 83 的材质包括但不限于 SOC。

参见图 23 所示，基于图形化的光刻胶 81 在抗反射涂层 82 和牺牲层 83 形成第三开口 801。

参见图 24 所示，形成覆盖抗反射涂层 82、以及第三开口 801 的底部和侧壁的第五介质层 84；其中，第五介质层 84 的材料包括但不限于氧化硅，具体而言，同样可以选用原子层沉积或者化学气相沉积

的方法形成第五介质层 84。

参见图 25 所示，去除第三开口 801 底部的第五介质层 84、牺牲层 83 顶面的抗反射涂层 82 和第五介质层 84 后，去除牺牲层 83 形成第三掩膜；基于第三掩膜刻蚀第二掩膜层 70 形成第一沟槽 72。

参见图 26 所示，形成覆盖第三掩膜的顶面和侧壁、以及第一沟槽 72 的第六介质层 85；其中，第六介质层 85 的材料包括但不限于氮化硅，可以选用原子层沉积或者化学气相原子层沉积或者化学气相沉积的方法形成第六介质层 85。

去除第三掩膜的顶面以及第一沟槽 72 的第六介质层 85，保留第三掩膜的侧壁的第六介质层 85；第三掩膜与第六介质层 85 形成第四掩膜；

参见图 27 及图 28 所示，刻蚀第二掩膜层 70 在第一掩膜层 60 的表面形成台阶状的第二掩膜 71。然后，去除第四掩膜。其中，第二掩膜 71 沿第一方向延伸且在第二方向间隔排布，第二掩膜 71 处于相邻两个字线结构 200 之间。

参见图 20 所示，其于上述的第二掩膜 71 刻蚀第一掩膜层 60 形成台阶状的第一腌膜。

本实施例中，利用台阶状的第二掩膜 71 刻蚀形成台阶状的第一掩膜 61，可以利用刻蚀比，形成的第二掩膜 71 的上部与下部的高度可以不同，按需要进行多种选择。

在其中一个实施例中，采用自动对准双重曝光工艺形成覆盖抗反射涂层 82、以及第三开口 801 的底部和侧壁的第五介质层 84。

同时，也可以采用自动对准双重曝光工艺形成覆盖第三掩膜的顶面和侧壁、以及第一沟槽 72 的第六介质层 85。

上述实施例中，可以采用干法刻蚀或湿法刻蚀工艺进行刻蚀，具体工艺和参数，本领域技术人员可以参考现有技术进行选择，这里不再赘述。

综上所述，本公开的一些实施例提供的半导体结构，具体包括：衬底 100；字线结构 200，字线结构 200 在衬底 100 上沿第一方向延伸且在第二方向间隔排布，第二方向与第一方向垂直；间隔结构 400，间隔结构 400 位于字线结构 200 上方，间隔结构 400 包括第一间隔层 402 和空气间隙 401，第一间隔层 402 设置在间隔结构 400 的底部，空气间隙 401 设置在第一间隔层 402 的上方，在第二方向上，空气间隙 401 位于第一间隔层 402 之间；以及，接触插塞 500，设置在间隔结构 400 之间。在间隔结构 400 中设置有第一间隔层 402 和空气间隙 401，从而提高电容接触孔间的电阻，增加电容接触孔间的绝缘性能，减少寄生电容产生，同时增加电容接触孔间隔电阻有助于实现减小电容接触孔间隔尺寸，扩大电容接触孔尺寸，提高电容与有源区之间导通效果。

本公开的一些实施例提供的半导体结构的制备方法，包括：提供衬底 100；衬底 100 上形成有沿第一方向延伸且在第二方向间隔排布的字线结构 200，第二方向与第一方向垂直；在字线结构 200 的上方形成间隔结构 400，间隔结构 400 包括第一间隔层 402 和空气间隙 401，第一间隔层 402 设置在间隔结构 400 的底部，空气间隙 401 设

置在第一间隔层402的上方，在第二方向上，空气间隙401位于第一间隔层402之间；在间隔结构400之间形成接触插塞500。在字线结构200上方的衬底100上形成间隔结构400，其中，间隔结构400包括设置在其中的第一间隔层402和空气间隙401,通过第一间隔层402和空气间隙401提高电容接触孔间的电阻，增加电容接触孔间的绝缘性能，减少寄生电容产生，同时，增加电容接触孔间隔电阻有助于实现减小电容接触孔间隔尺寸，扩大电容接触孔尺寸，提高电容与有源区之间导通效果。

在以上的描述中，对于各层的构图、刻蚀等技术细节并没有做出详细的说明。但是本领域技术人员应当理解，可以通过现有技术中的各种手段来形成所需形状的层、区域等。另外，为了形成同一结构，本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。尽管以上分别描述了各个实施例，但是并不意味着这些实施例中的有利特征不能结合使用。

以上所述的具体实施例，对本申请的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本申请的具体实施例而已，并不用于限制本申请，凡在本申请的精神和原则之内，所做的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

以上所述仅是本申请的优选实施方式，应当指出，对于本技术领域的普通技术人员，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

应当理解的是，本申请的上述具体实施方式仅仅用于示例性说明或解释本申请的原理，而不构成对本申请的限制。因此，在不偏离本申请的精神和范围的情况下所做的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。此外，本申请所附权利要求旨在涵盖落入所附权利要求范围和边界、或者这种范围和边界的等同形式内的全部变化和修改例。

权 利 要 求

1. 一种半导体结构，包括：

衬底；

字线结构，所述字线结构在所述衬底上沿第一方向延伸且在第二方向间隔排布，所述第二方向与所述第一方向垂直；

间隔结构，所述间隔结构位于所述字线结构上方，所述间隔结构包括第一间隔层和空气间隙，所述第一间隔层设置在所述间隔结构的底部，所述空气间隙设置在所述第一间隔层的上方，在第二方向上，所述空气间隙位于所述第一间隔层之间；以及，

接触插塞，设置在所述间隔结构之间。

2. 根据权利要求 1 所述的半导体结构，其中，所述字线结构包括栅介质层和栅电极；所述栅介质层位于衬底的沟槽的侧壁，所述栅电极位于所述栅介质层内；

所述第一间隔层位于所述栅介质层的上方，且在第二方向上，所述第一间隔层位于所述栅电极的两侧。

3. 根据权利要求 1 所述的半导体结构，其中，所述空气间隙至少包括两个，且在第二方向间隔排布；所述第一间隔层至少包括两个，且在第二方向间隔排布。

4. 根据权利要求 3 所述的半导体结构，其中，在第二方向上，至少两个所述空气间隙位于两个所述第一间隔层之间。

5. 根据权利要求 4 所述的半导体结构，其中，所述间隔结构包括氮化硅，所述第一间隔层包括氧化硅，所述间隔结构的底部形成 NON

结构。

6. 根据权利要求 1-5 任一项所述的半导体结构，其中，所述接触插塞包括依次设置在所述衬底上的第一导电结构和第二导电结构。

7. 根据权利要求 6 所述的半导体结构，其中，所述第一导电结构包括多晶硅；所述第二导电结构包括金属钨和/或金属钛。

8. 根据权利要求 6 所述的半导体结构，其中，所述第一导电结构的表面与所述第一间隔层的表面平齐；所述第二导电结构的表面与所述空气间隙的表面平齐。

9. 一种半导体结构的制备方法，包括：

提供衬底；所述衬底上形成有沿第一方向延伸且在第二方向间隔排布的字线结构，所述第二方向与所述第一方向垂直；

在所述字线结构的上方形成间隔结构，所述间隔结构包括第一间隔层和空气间隙，所述第一间隔层设置在所述间隔结构的底部，所述空气间隙设置在所述第一间隔层的上方，在第二方向上，所述空气间隙位于所述第一间隔层之间；

在所述间隔结构之间形成接触插塞。

10. 根据权利要求 9 所述的半导体结构的制备方法，其中，所述在所述字线结构的上方形成间隔结构，包括：

在字线结构之间形成台阶状的绝缘结构，所述绝缘结构之间形成第一开口，所述第一开口包括上部和下部，所述第一开口上部的宽度小于所述第一开口下部的宽度；

在所述第一开口内依次沉积第一介质层和间隙层，其中，所述第

一介质层填充所述第一开口下部并覆盖所述第一开口上部的侧壁，所述间隙层覆盖所述第一开口上部侧壁的第一介质层的侧壁；

沉积第二介质层，所述第二介质层填充所述第一开口上部；

去除所述间隙层，形成空气间隙。

11. 根据权利要求 10 所述的半导体结构的制备方法，其中，形成空气间隙之后还包括：形成密封层，所述密封层覆盖所述空气间隙和第二介质层的上方，将所述空气间隙封口；

以密封层为掩膜，刻蚀所述绝缘结构并暴露所述衬底，形成第二开口，在所述第二开口底部侧壁形成第一间隔层。

12. 根据权利要求 11 所述的半导体结构的制备方法，其中，形成第一间隔层后还包括，在所述第二开口侧壁形成第三介质层。

13. 根据权利要求 10 所述的半导体结构的制备方法，其中，所述在所述第一开口内依次沉积第一介质层和间隙层，包括：

形成填充所述第一开口下部、所述第一开口上部的侧壁以及所述绝缘结构的顶面的第一介质层；

刻蚀去除所述绝缘结构顶面的第一介质层；

沉积覆盖所述绝缘结构和所述第一介质层的顶面、以及所述第一开口上部的底部和侧壁的间隙层；

刻蚀去除部分所述间隙层，保留位于所述第一开口上部侧壁的第一介质层侧壁的间隙层。

14. 根据权利要求 10 所述的半导体结构的制备方法，其中，所述沉积第二介质层，包括：

形成填充所述第一开口上部且覆盖所述绝缘结构、所述第一介质层和所述间隙层的顶面的第二介质层；

通过平坦化工艺暴露所述绝缘结构；

通过刻蚀绝缘结构之间的第一介质层和第二介质层暴露所述间隙层的顶面。

15. 根据权利要求 10-14 任一项所述的半导体结构的制备方法，其中，所述在字线结构之间形成台阶状的绝缘结构，包括：

在所述衬底表面沉积第四介质层；

在所述第四介质层的表面形成台阶状的第一掩膜，其中，所述第一掩膜沿第一方向延伸且在第二方向间隔排布，在第二方向上，所述第一掩膜处于字线结构之间；

刻蚀所述第四介质层并暴露所述衬底，以形成台阶状的绝缘结构。

16. 根据权利要求 15 所述的半导体结构的制备方法，其中，所述在所述第四介质层的表面形成台阶状的第一掩膜，包括：

在所述第四介质层的表面形成第一掩膜层；

在所述第一掩膜层的表面形成台阶状的第二掩膜，其中，所述第二掩膜沿第一方向延伸且在第二方向间隔排布，所述第二掩膜处于相邻两个所述字线结构之间；

刻蚀所述第一掩膜层形成台阶状的第一腌膜。

17. 根据权利要求 16 所述的半导体结构的制备方法，其中，所述在所述第一掩膜层的表面形成台阶状的第二掩膜，包括：

在所述第一掩膜层的表面依次形成第二掩膜层、牺牲层和抗反射涂层；

基于图形化的光刻胶在所述抗反射涂层和牺牲层形成第三开口；

形成覆盖所述抗反射涂层、以及所述第三开口的底部和侧壁的第五介质层；

去除所述第三开口底部的第五介质层、所述牺牲层顶面的所述抗反射涂层和第五介质层后，去除牺牲层形成第三掩膜；

基于所述第三掩膜刻蚀第二掩膜层形成第一沟槽；

形成覆盖第三掩膜的顶面和侧壁、以及所述第一沟槽的第六介质层；

去除所述第三掩膜的顶面以及所述第一沟槽的第六介质层，在第三掩膜的侧壁形成第六介质层；所述第三掩膜与所述第六介质层形成第四掩膜；

刻蚀第二掩膜层形成台阶状的第二掩膜。

18. 根据权利要求 17 所述的半导体结构的制备方法，其中，采用自动对准双重曝光工艺形成覆盖所述抗反射涂层、以及所述第三开口的底部和侧壁的第五介质层；

和/或，采用自动对准双重曝光工艺形成覆盖第三掩膜的顶面和侧壁、以及所述第一沟槽的第六介质层。

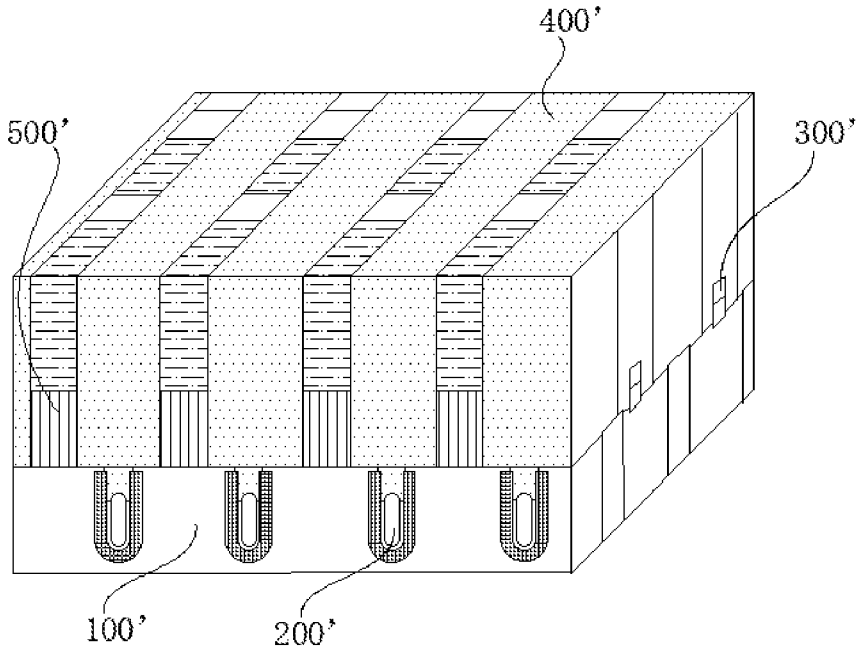

400'
500'
300'
100'
200'

图 1

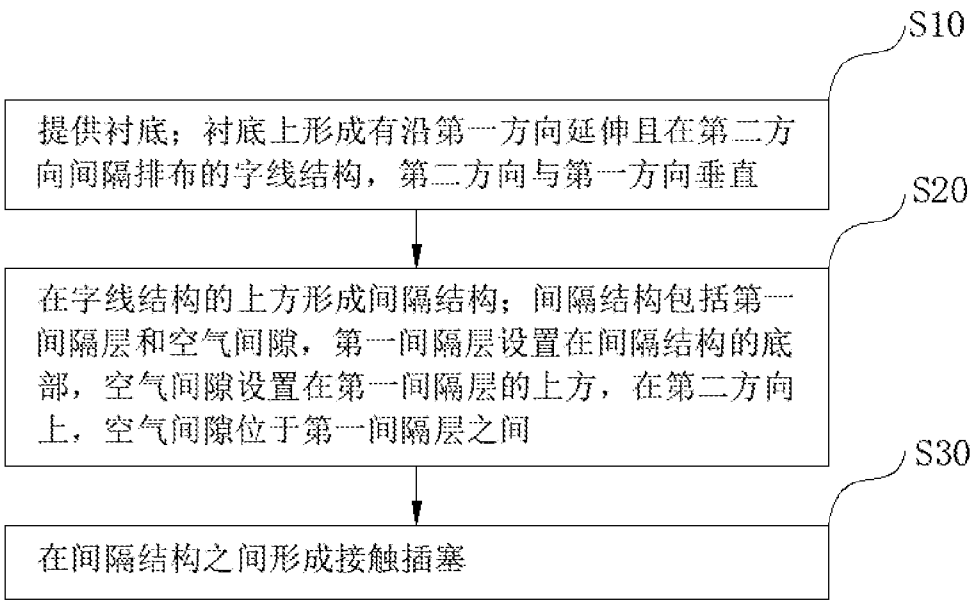

S10
提供衬底；衬底上形成有沿第一方向延伸且在第二方向间隔排布的字线结构，第二方向与第一方向垂直
S20
在字线结构的上方形成间隔结构；间隔结构包括第一间隔层和空气间隙，第一间隔层设置在间隔结构的底部，空气间隙设置在第一间隔层的上方，在第二方向上，空气间隙位于第一间隔层之间
S30
在间隔结构之间形成接触插塞

图 2

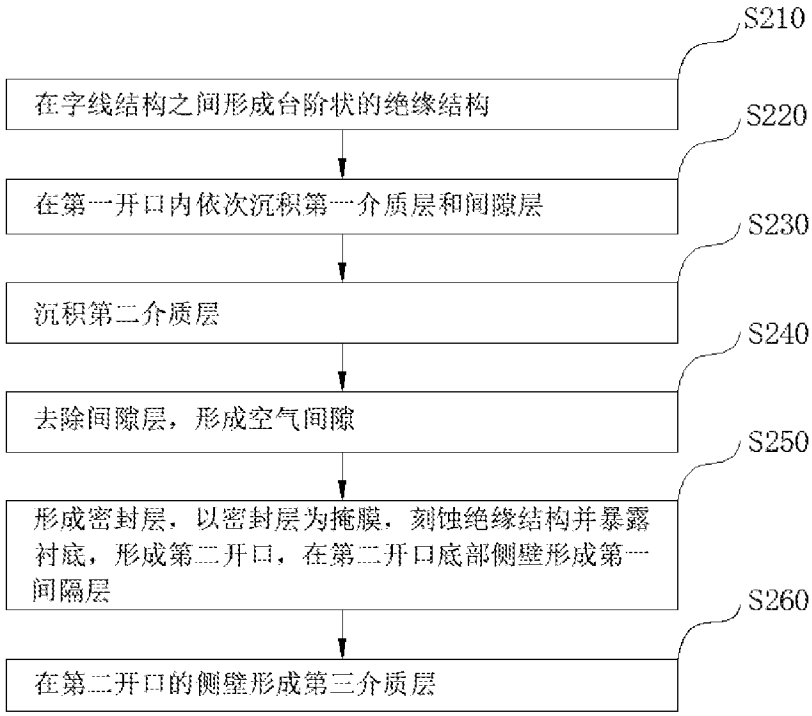

S210
在字线结构之间形成台阶状的绝缘结构
S220
在第一开口内依次沉积第一介质层和间隙层
S230
沉积第二介质层
S240
去除间隙层，形成空气间隙
S250
形成密封层，以密封层为掩膜，刻蚀绝缘结构并暴露衬底，形成第二开口，在第二开口底部侧壁形成第一间隔层
S260
在第二开口的侧壁形成第三介质层

图 3

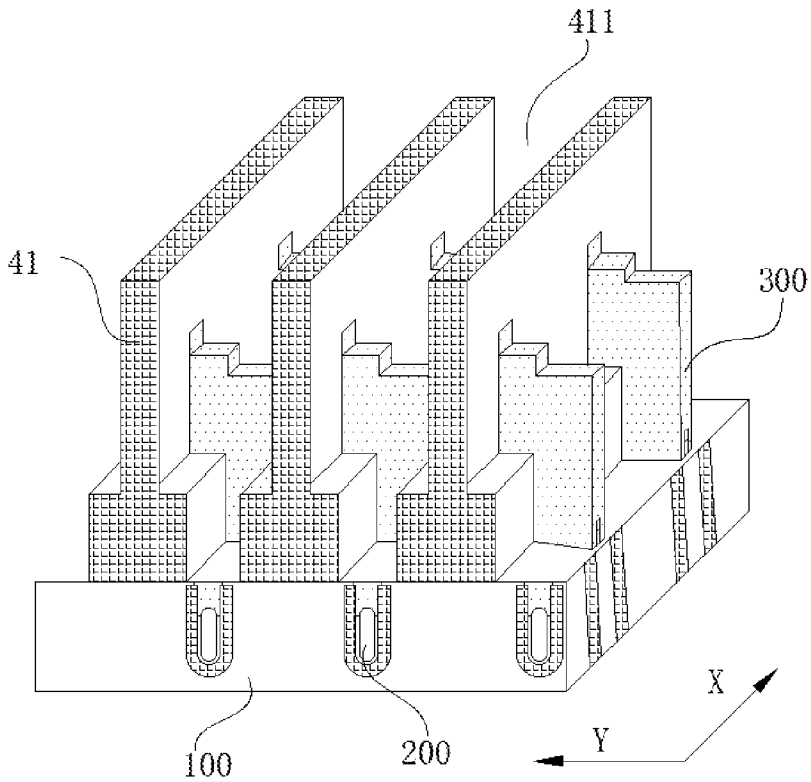

411
41
300
100
200
X
Y

图 4

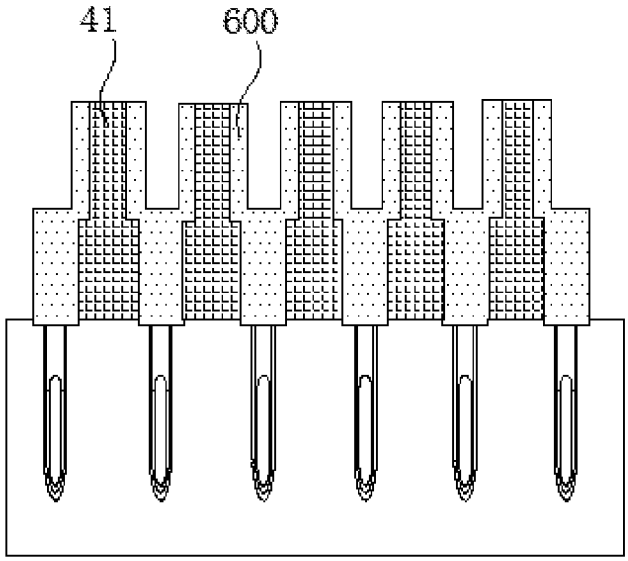


图 5

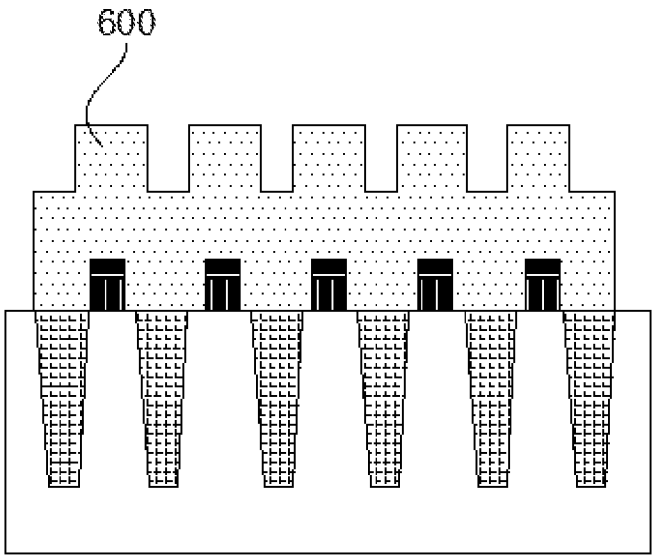


图 6

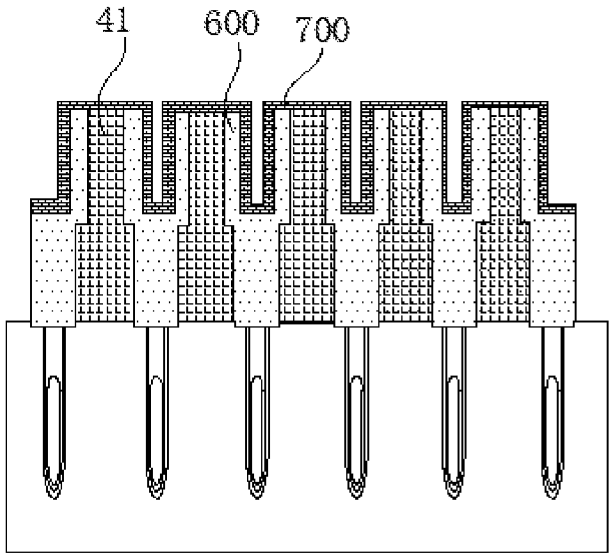


图 7

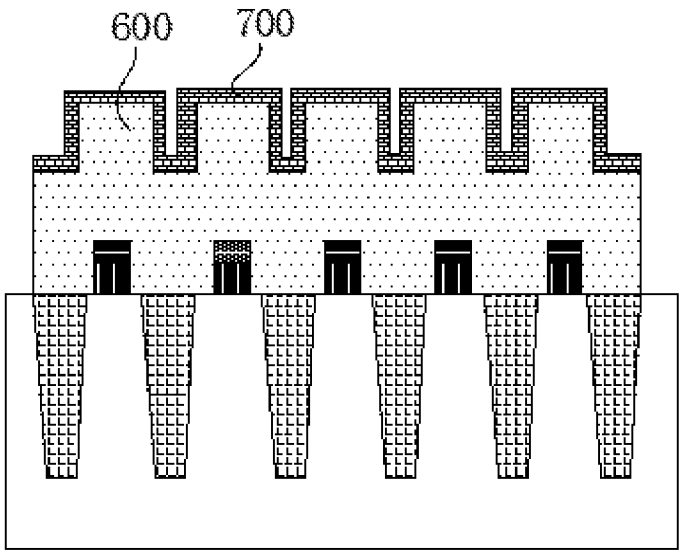


图 8

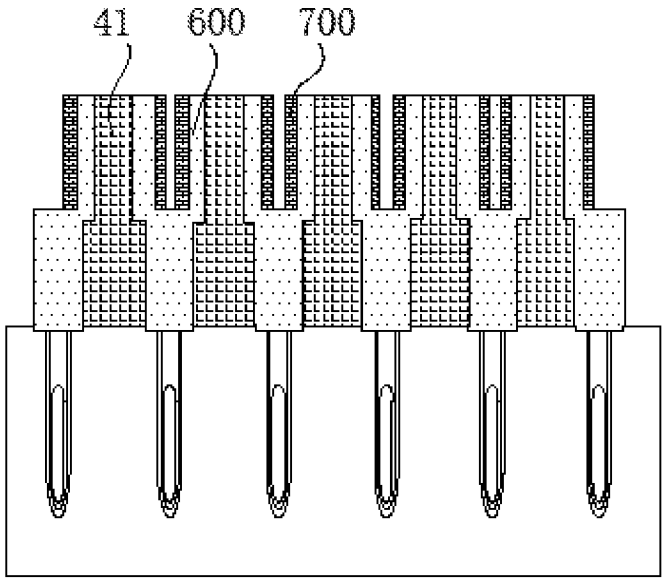


图 9

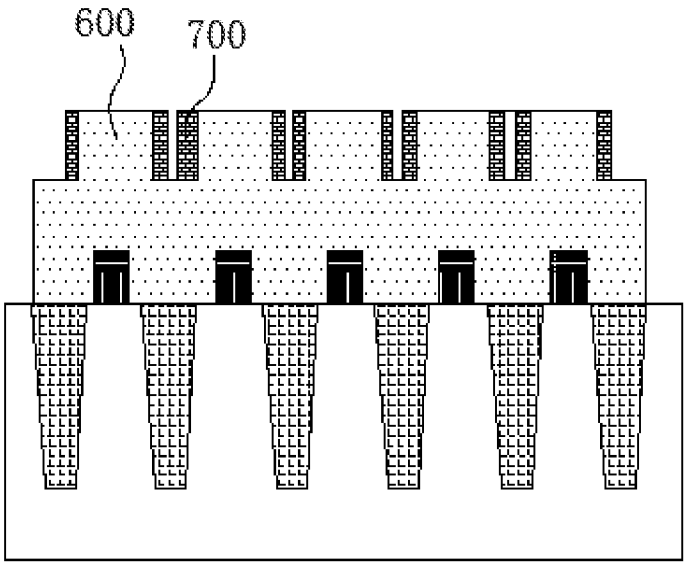


图 10

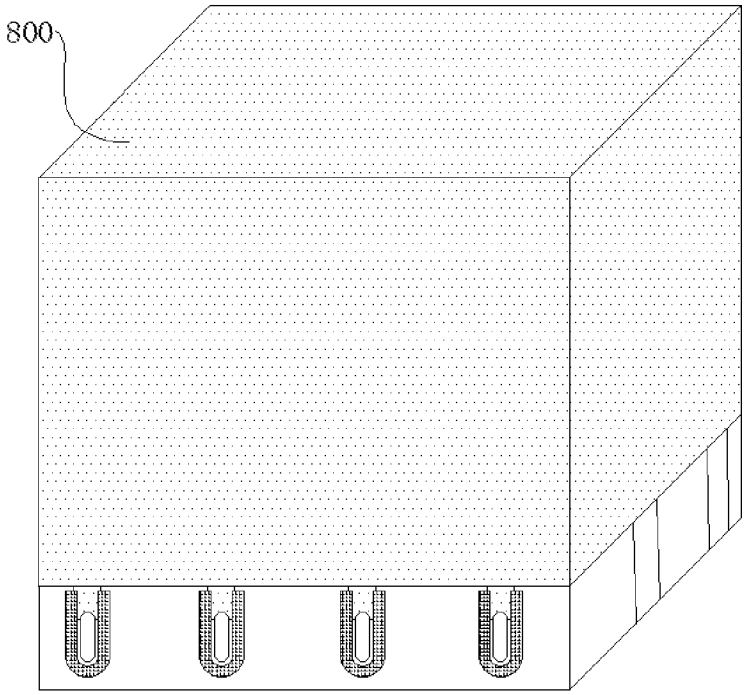


图 11

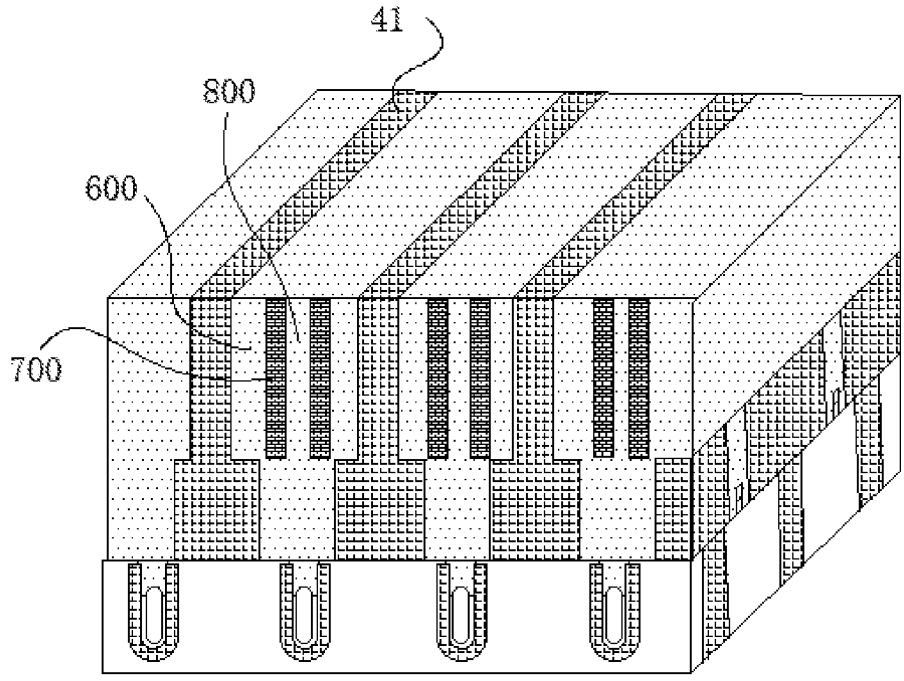


图 12

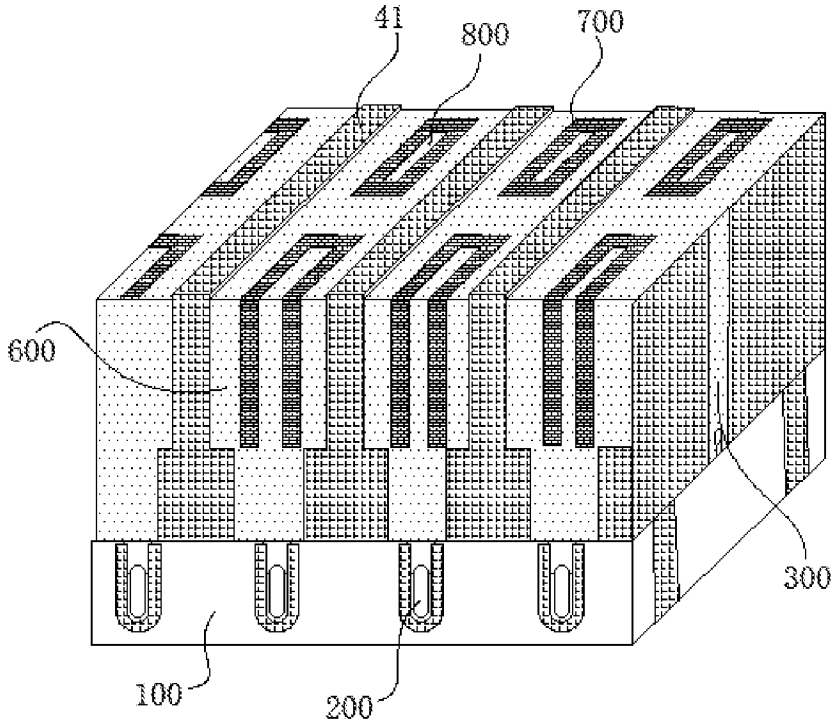


图 13

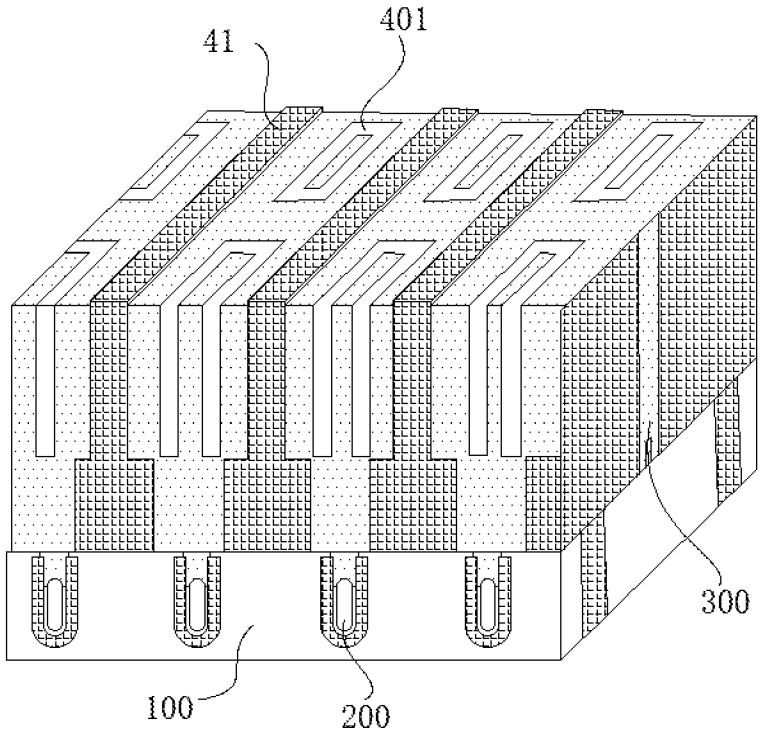


图 14

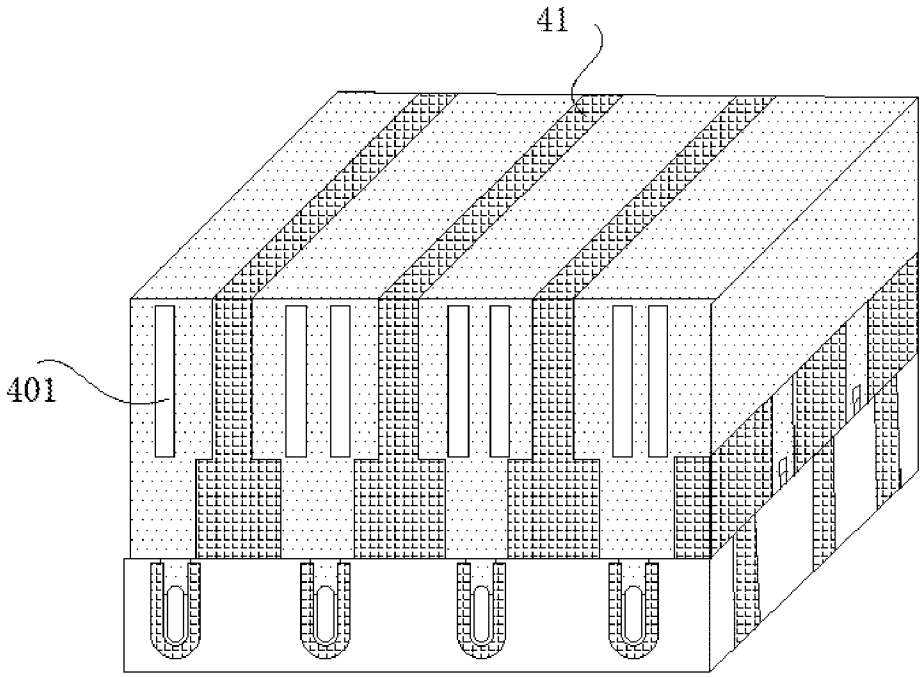


图 15

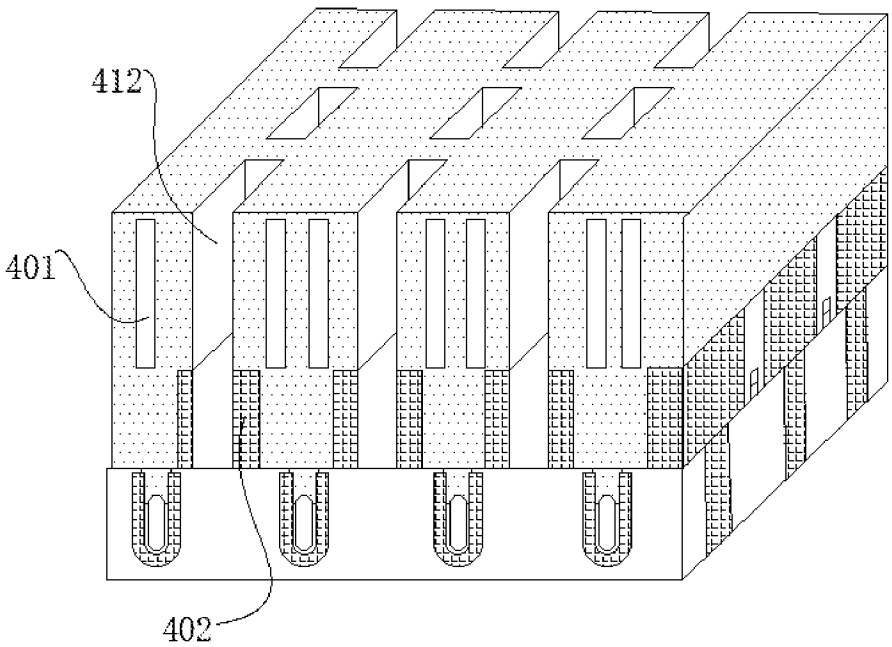


图 16

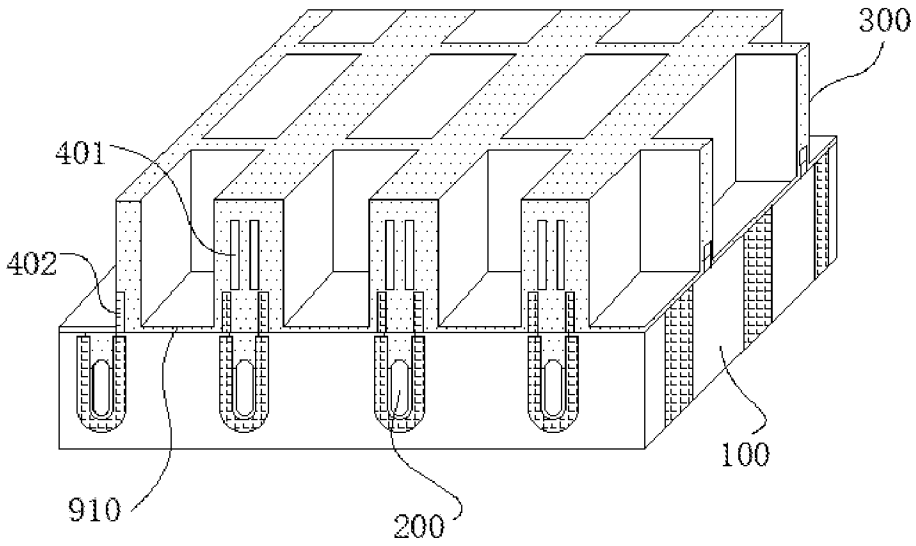


图 17

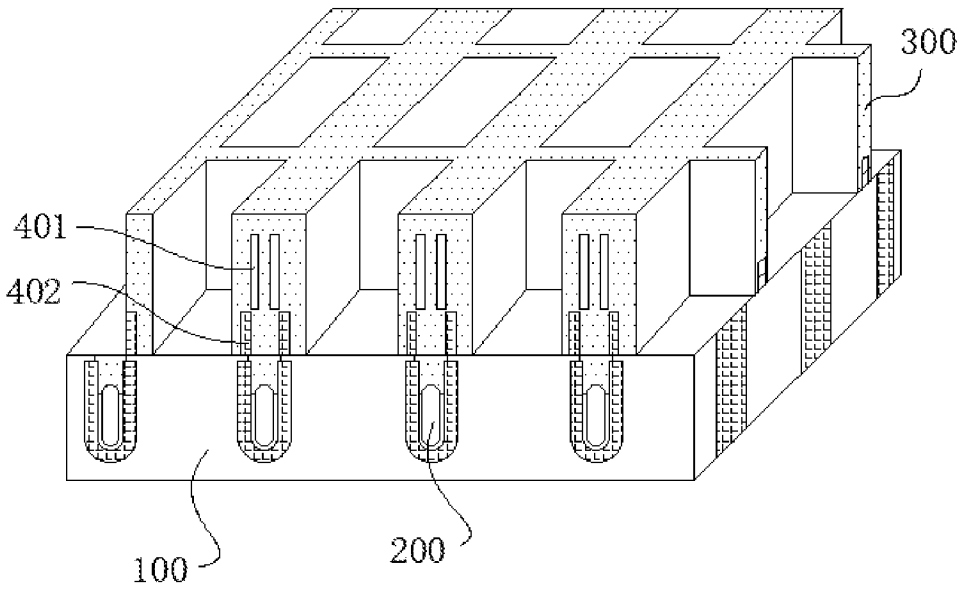


图 18

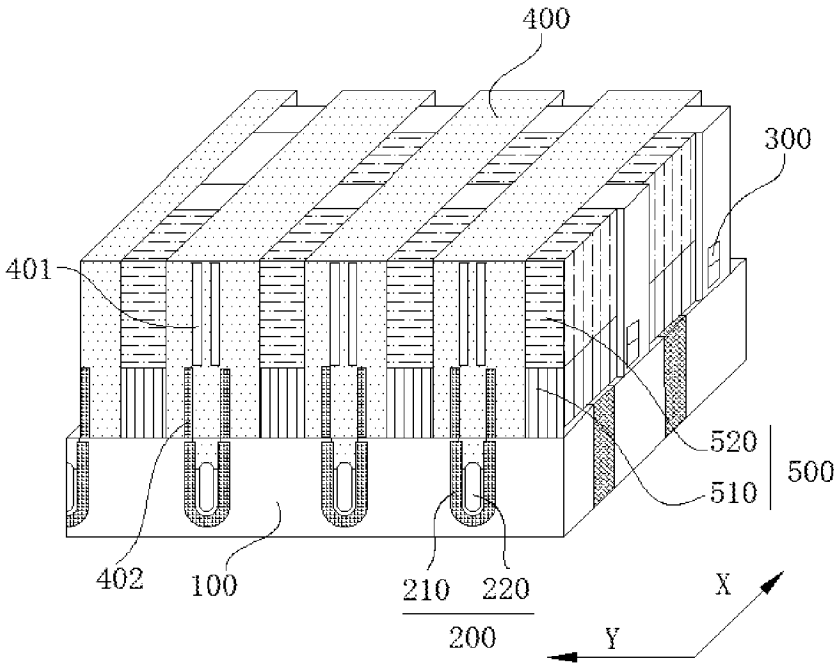


图 19

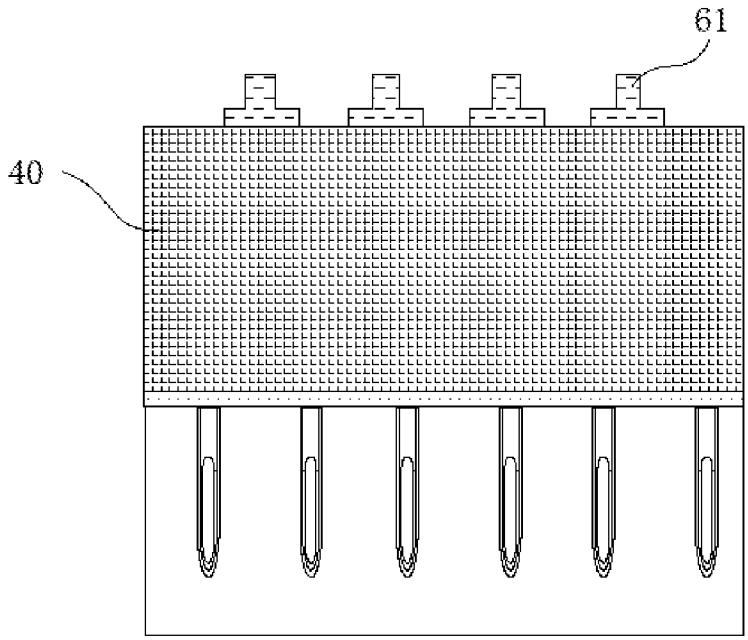


图 20

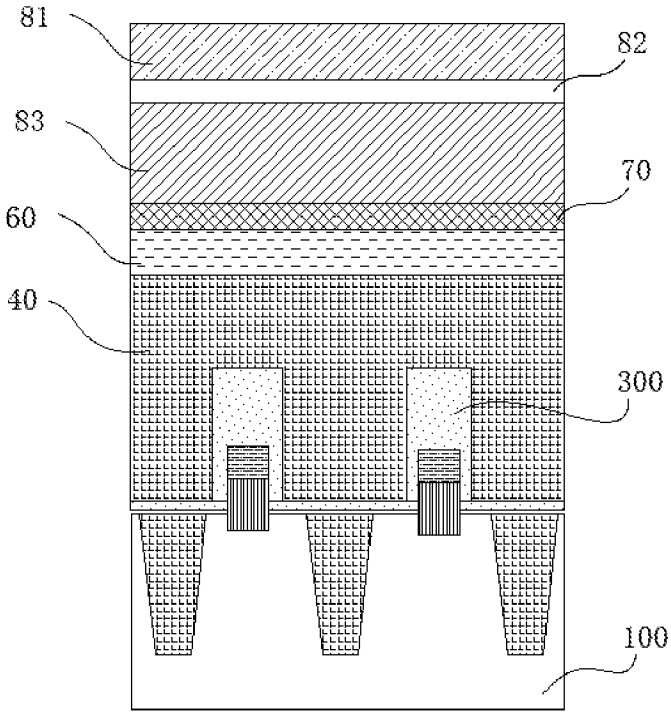


图 21

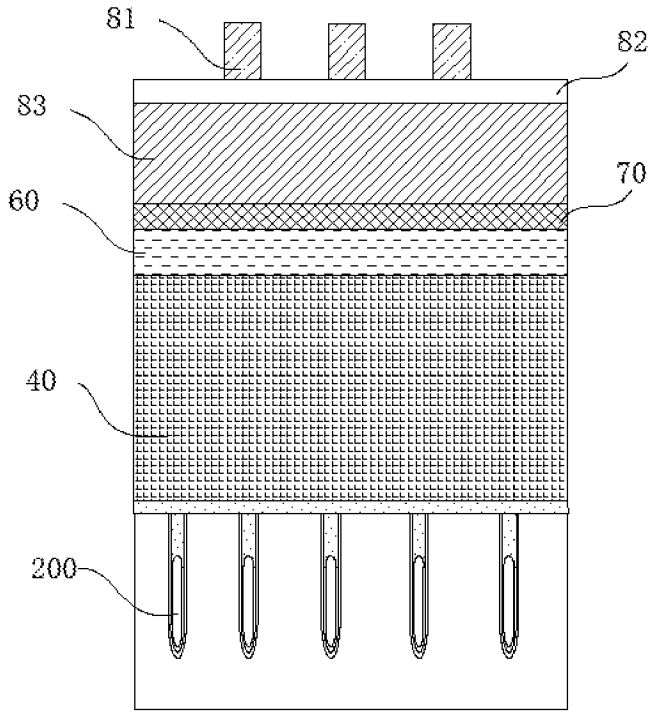


图 22

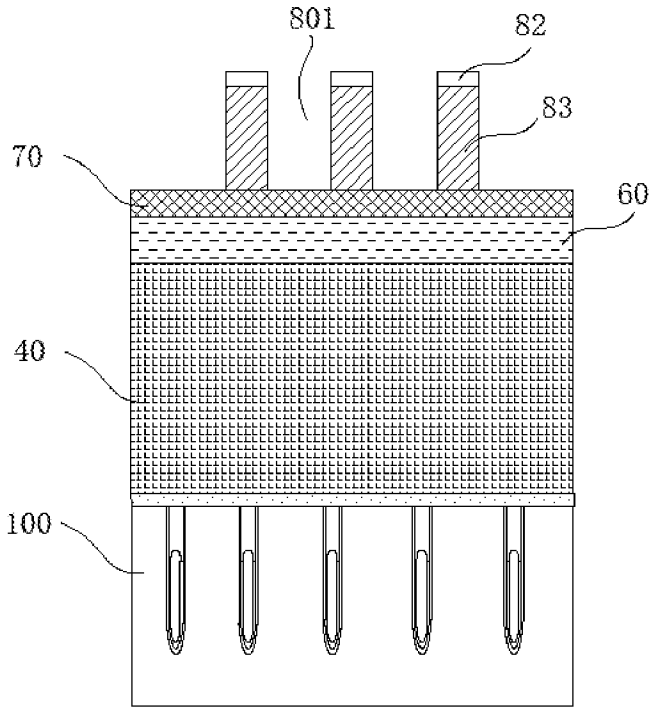


图 23

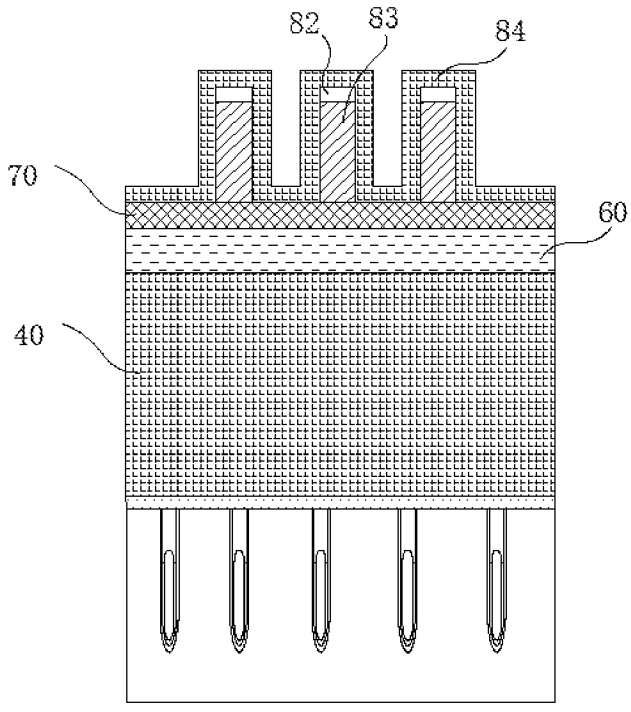


图 24

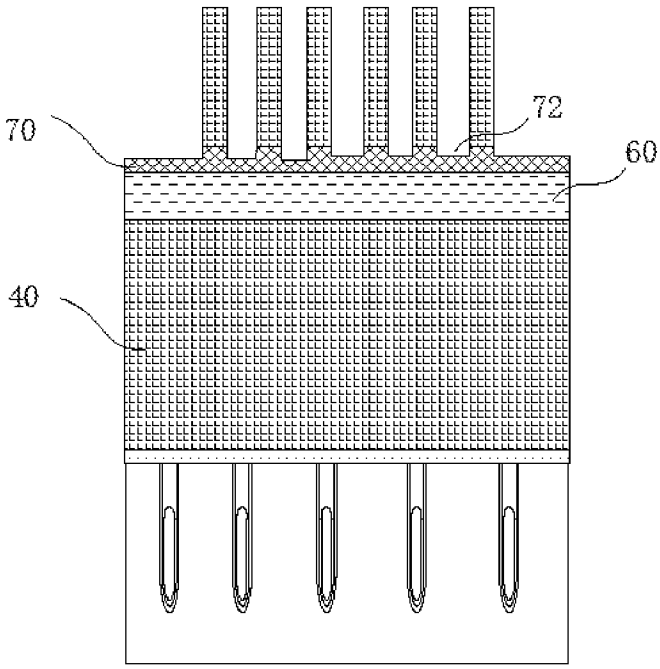


图 25

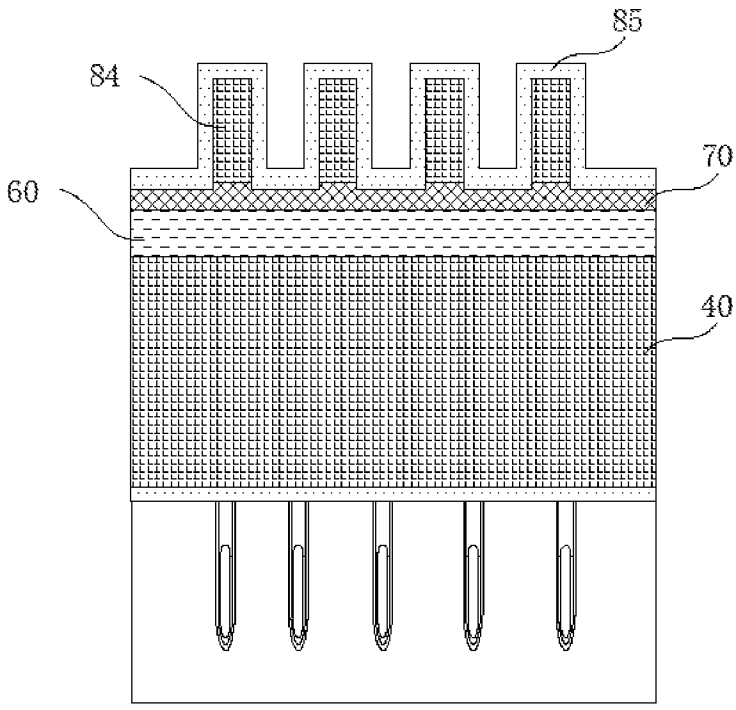


图 26

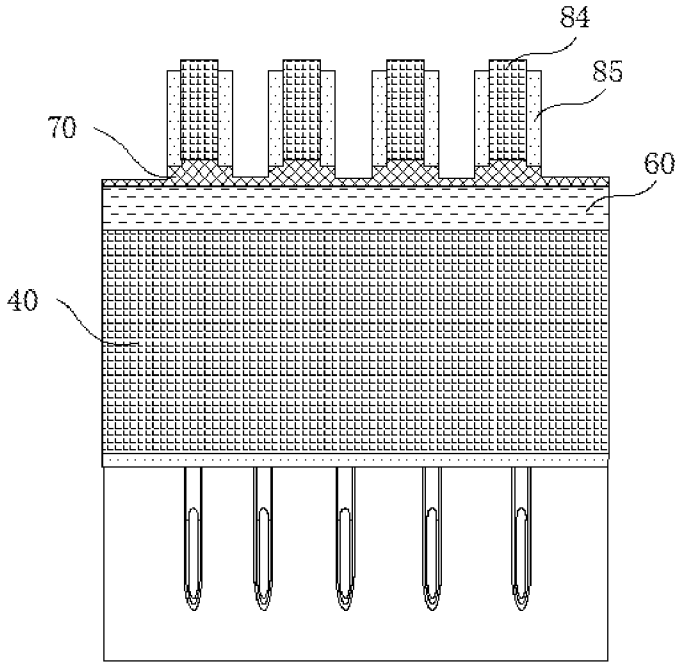


图 27

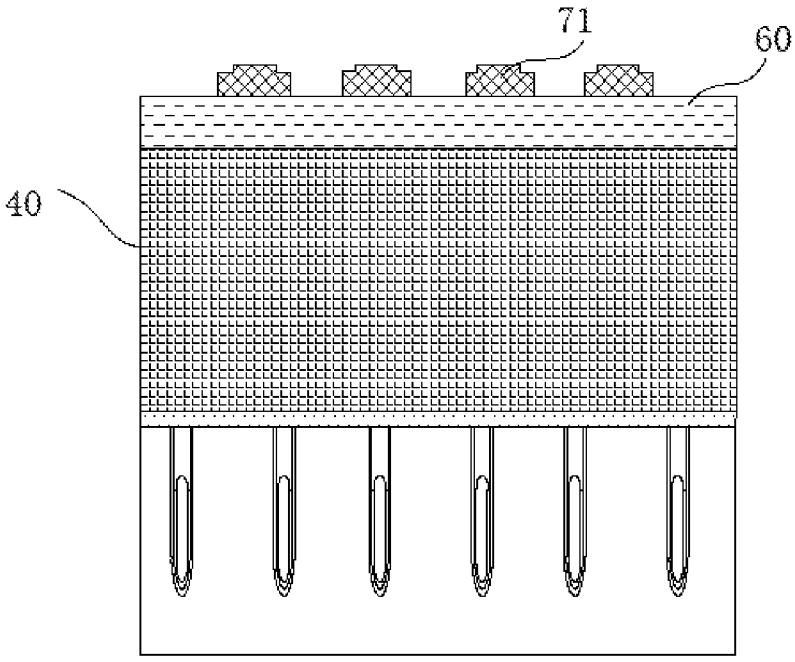


图 28

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/117233

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 动态随机存取存储器, DRAM, 字线, 位线, 电容, 寄生, 空气, 气隙, dynamic random access memory, word line, bit line, capacit+, parasitic, air gap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104900584 A (SK HYNIX INC.) 09 September 2015 (2015-09-09) description, paragraphs [0021]-[0078], and figures 1A-3P	1-2, 6-9
Y	CN 104900584 A (SK HYNIX INC.) 09 September 2015 (2015-09-09) description, paragraphs [0021]-[0078], and figures 1A-3P	3-5
Y	CN 105280608 A (SK HYNIX INC.) 27 January 2016 (2016-01-27) description, paragraphs [0029]-[0054], and figures 1-2E	3-5
Y	CN 108336017 A (SK HYNIX INC.) 27 July 2018 (2018-07-27) description, paragraphs [0128]-[0145], and figures 5A-5C	3-5
A	CN 106847754 A (HEFEI ZHIJU INTEGRATED CIRCUIT CO., LTD.) 13 June 2017 (2017-06-13) entire document	1-18
A	US 2014299989 A1 (SK HYNIX INC.) 09 October 2014 (2014-10-09) entire document	1-18
A	CN 210272309 U (CHANGXIN MEMORY TECHNOLOGIES, INC.) 07 April 2020 (2020-04-07) entire document	1-18

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 April 2022	**07 May 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/117233

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	104900584	A	09 September 2015	KR	20150104337	A	15 September 2015
				US	2015255466	A1	10 September 2015
				US	2016225710	A1	04 August 2016
				US	9337203	B2	10 May 2016
				CN	104900584	B	25 June 2019
				KR	2152798	B1	07 September 2020
CN	105280608	A	27 January 2016	KR	20160012826	A	03 February 2016
				US	2016027727	A1	28 January 2016
				US	9786598	B2	10 October 2017
				CN	105280608	B	28 May 2019
				KR	102238951	B1	12 April 2021
CN	108336017	A	27 July 2018	US	9929249	B1	27 March 2018
				KR	20180076424	A	06 July 2018
				US	2018182861	A1	28 June 2018
CN	106847754	A	13 June 2017	CN	106847754	B	03 April 2018
US	2014299989	A1	09 October 2014	US	2016005743	A1	07 January 2016
				KR	20140121955	A	17 October 2014
				CN	104103578	A	15 October 2014
				US	9165859	B2	20 October 2015
				CN	104103578	B	27 July 2018
				KR	102002980	B1	25 July 2019
CN	210272309	U	07 April 2020	CN	112447602	A	05 March 2021

国际检索报告

国际申请号
PCT/CN2021/117233

A. 主题的分类

H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, WPI, EPODOC, IEEE：动态随机存取存储器，DRAM，字线，位线，电容，寄生，空气，气隙，dynamic random access memory, word line, bit line, capacit+, parasitic, air gap

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 104900584 A (爱思开海力士有限公司) 2015年9月9日 (2015 - 09 - 09) 说明书第[0021]-[0078]段，附图1A-3P	1-2，6-9
Y	CN 104900584 A (爱思开海力士有限公司) 2015年9月9日 (2015 - 09 - 09) 说明书第[0021]-[0078]段，附图1A-3P	3-5
Y	CN 105280608 A (爱思开海力士有限公司) 2016年1月27日 (2016 - 01 - 27) 说明书第[0029]-[0054]段，附图1-2E	3-5
Y	CN 108336017 A (爱思开海力士有限公司) 2018年7月27日 (2018 - 07 - 27) 说明书第[0128]-[0145]段，附图5A-5C	3-5
A	CN 106847754 A (合肥智聚集成电路有限公司) 2017年6月13日 (2017 - 06 - 13) 全文	1-18
A	US 2014299989 A1 (SK HYNIX INC.) 2014年10月9日 (2014 - 10 - 09) 全文	1-18
A	CN 210272309 U (长鑫存储技术有限公司) 2020年4月7日 (2020 - 04 - 07) 全文	1-18

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年4月27日	2022年5月7日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘雪莲 电话号码 (86-10)53961471

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/117233

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104900584	A	2015年9月9日	KR	20150104337	A	2015年9月15日
				US	2015255466	A1	2015年9月10日
				US	2016225710	A1	2016年8月4日
				US	9337203	B2	2016年5月10日
				CN	104900584	B	2019年6月25日
				KR	2152798	B1	2020年9月7日
CN	105280608	A	2016年1月27日	KR	20160012826	A	2016年2月3日
				US	2016027727	A1	2016年1月28日
				US	9786598	B2	2017年10月10日
				CN	105280608	B	2019年5月28日
				KR	102238951	B1	2021年4月12日
CN	108336017	A	2018年7月27日	US	9929249	B1	2018年3月27日
				KR	20180076424	A	2018年7月6日
				US	2018182861	A1	2018年6月28日
CN	106847754	A	2017年6月13日	CN	106847754	B	2018年4月3日
US	2014299989	A1	2014年10月9日	US	2016005743	A1	2016年1月7日
				KR	20140121955	A	2014年10月17日
				CN	104103578	A	2014年10月15日
				US	9165859	B2	2015年10月20日
				CN	104103578	B	2018年7月27日
				KR	102002980	B1	2019年7月25日
CN	210272309	U	2020年4月7日	CN	112447602	A	2021年3月5日