

(12) 发明专利

(10) 授权公告号 CN 101512906 B

(45) 授权公告日 2011. 07. 27

(21) 申请号 200780032840. 4

代理人 李晓冬 南霆

(22) 申请日 2007. 09. 04

(51) Int. Cl.

(30) 优先权数据

H03M 1/36 (2006. 01)

239097/2006 2006. 09. 04 JP

H03M 1/14 (2006. 01)

(85) PCT申请进入国家阶段日

(56) 对比文件

2009. 03. 04

CN 1447526 A, 2003. 10. 08,

(86) PCT申请的申请数据

JP 2000165241 A, 2000. 06. 16,

PCT/JP2007/067161 2007. 09. 04

审查员 董泽华

(87) PCT申请的公布数据

W02008/029778 JA 2008. 03. 13

(73) 专利权人 索尼株式会社

地址 日本东京都

(72) 发明人 大川刚史 尾野孝一 松浦浩二

山下幸利 丰村纯次 中村章吾

金川典史

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

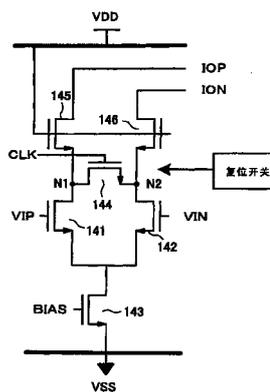
权利要求书 1 页 说明书 12 页 附图 16 页

(54) 发明名称

折叠电路和模数转换器

(57) 摘要

一种折叠电路和模数转换器,其中,对于小信号的响应被改善,时钟信号的负荷可以被减轻,并且电路面积的增加可以被防止。该电路包括:参考电压生成电路,该参考电压生成电路生成多个不同电压作为参考电压;多个放大电路,该多个放大电路将模拟输入电压和多个参考电压之间的差分电压转换为差分电流,并输出这些差分电流。放大电路的输出端被交替连接。每个放大电路利用具有共源共栅输出晶体管(145、146)的差分放大器电路来构成。与控制时钟同步接通的开关(144)被设置在共源共栅输出晶体管(145、146)的源极之间。



1. 一种折叠电路,包括:
参考电压生成电路,所述参考电压生成电路生成多个不同电压作为参考电压;以及
多个放大电路,所述多个放大电路将模拟输入电压和多个参考电压之间的差分电压转换为差分电流以便输出,
所述多个放大电路的输出端交替连接,
每个所述放大电路利用具有共源共栅输出晶体管的差分放大器电路来构成,并且
与控制时钟同步接通的开关被设置在所述共源共栅输出晶体管的源极之间。
2. 如权利要求 1 所述的折叠电路,其中
利用差分对输入级、共源共栅输出晶体管以及负载电阻构成的预放大电路被设置在每个放大电路的前级,并且
与所述控制时钟同步接通的另一开关被设置在所述预放大电路的共源共栅输出晶体管的源极之间。
3. 一种模数转换器,具有生成预定折叠数的折叠波的折叠电路,所述折叠电路包括:
参考电压生成电路,所述参考电压生成电路生成多个不同电压作为参考电压;以及
多个放大电路,所述多个放大电路将模拟输入电压和多个参考电压之间的差分电压转换为差分电流以便输出,
所述多个放大电路的输出端交替连接,
每个所述放大电路利用具有共源共栅输出晶体管的差分放大器电路来构成,并且
与控制时钟同步接通的开关被设置在所述共源共栅输出晶体管的源极之间。
4. 如权利要求 3 所述的模数转换器,其中
利用差分对输入级、共源共栅输出晶体管以及负载电阻构成的预放大电路被设置在所述放大电路的前级,并且
与所述控制时钟同步接通的另一开关被设置在所述预放大电路的共源共栅输出晶体管的源极之间。

折叠电路和模数转换器

技术领域

[0001] 本发明涉及折叠电路和包括该电路的模数转换器。

背景技术

[0002] 图 1 是示出一般折叠电路的电路图。

[0003] 该折叠电路 10 具有生成参考电压的梯形电阻 (ladder resistor) 11、具有交替连接的电流输出端的多个放大电路 D1 至 D5、以及负载电阻 R1 和 R2。

[0004] 梯形电阻 11 具有接续连接在最大参考电压 V_{rt} 的供电端子和最小参考电压 V_{rb} 的供电端子之间的多个电阻 R3 至 R6。其值顺次改变的多个参考电压 V_{rb} 、 V_{r1} 、 V_{r2} 、 V_{r3} 和 V_{rt} 被从以上述两个供电端子为起点的电阻间的各个节点输出。

[0005] 多个放大电路 D1 至 D5 中的每一个将输入电压 V_{in} 和参考电压 V_r (最大参考电压 V_{rt} 、最小参考电压 V_{rb} 或参考电压 V_{ri} ($i = 1, 2, 3$)) 进行比较, 并根据输入电压 V_{in} 和参考电压 V_r 之间的差来输出电流 (从输出端引出电流)。

[0006] 图 2 是示出放大电路的电路示例的图示。

[0007] 放大电路 D1 至 D5 中的每一个都通过形成差分对的两个 NMOS 晶体管 12a 和 12b 以及一个电流源 13 来配置, 如图所示。输入信号的电压 (输入电压 V_{in}) 被施加于 NMOS 晶体管 12a 的栅极, 并且参考电压 V_r 被输入到另一个 NMOS 晶体管 12b 的栅极。NMOS 晶体管 12a 和 12b 的源极被相互连接, 并且通过电流源 13 中流动的电流被偏置。

[0008] 当差分对 (放大电路) 以这样的方式通过电流源 13 被偏置时, 其输入 / 输出特性变为图 3 中所示。

[0009] 在图 1 的配置中, 当考虑此输入 / 输出特性 (图 3) 时, 每当放大电路超过参考电压 V_r 时, 引入差分对中的电流的晶体管被从施加了参考电压 V_r 的 NMOS 晶体管 12b 侧 (下文中称为“正相输出侧”) 切换到施加了输入电压 V_{in} 的 NMOS 晶体管 12a 侧 (下文中称为“反相输出侧”), 如图 2 所示。通过输出电流的这种切换 (操纵), 以顺次不同参考电压值 V_r 作为阈值的折叠波被生成。

[0010] 接下来, 将通过使用五个放大电路的示例给出折叠波的生成的说明 (图 1)。在放大电路 D1 至 D5 中, 符号“-”表示对应于输入端子的端子侧是反相输出侧, 另外的符号“+”表示对应于输入端子的端子是正相输出侧。

[0011] 首先, 在输入电压 V_{in} 和最小参考电压 V_{rb} 之间的关系为输入电压 $V_{in} < V_{rb}$ 的情况下, 所有放大电路 D1 至 D5 的输出从正相输出侧输出输出电流。因此, 当负载电阻 R1 中流动的电流 (负载电流) 被定义为 I_{r1} 并且负载电阻 R2 中流动的电流 (负载电流) 被定义为 I_{r2} 时, 以下等式 (1-1) 和 (1-2) 成立:

[0012] [等式 1]

$$[0013] \quad I_{r1} = 3I_o \quad (1-1)$$

$$[0014] \quad I_{r2} = 2I_o \quad (1-2)$$

[0015] 接着, 当输入电压 V_{in} 超过最小参考电压 V_{rb} 并小于下一个参考电压 V_{r1} (V_{rb}

<输入电压 $V_{in} < V_{r1}$) 时,通过超过施加于放大电路 D1 的最小参考电压 V_{rb} 的输入电压 V_{in} ,放大电路 D1 操纵其输出电流 I_o 从正相输出侧转到反相输出侧,并且在此时,负载电阻 R1 和 R2 中流动的负载电流 I_{r1} 和 I_{r2} 被改变为如以下等式 (2-1) 和 (2-2) 中所示:

[0016] [等式 2]

$$[0017] \quad I_{r1} = 2I_o \quad (2-1)$$

$$[0018] \quad I_{r2} = 3I_o \quad (2-2)$$

[0019] 接着,当输入电压 V_{in} 超过参考电压 V_{r1} 并小于下一个参考电压 V_{r2} ($V_{r1} < \text{输入电压 } V_{in} < V_{r2}$) 时,通过超过连接至放大电路 D2 的参考电压 V_{r1} 的输入电压 V_{in} ,放大电路 D2 操纵其输出电流 I_o 从正相输出侧转到反相输出侧,并且在此时,负载电阻 R1 和 R2 中流动的负载电流 I_{r1} 和 I_{r2} 被改变为如以下等式 (3-1) 和 (3-2) 中所示:

[0020] [等式 3]

$$[0021] \quad I_{r1} = 3I_o \quad (3-1)$$

$$[0022] \quad I_{r2} = 2I_o \quad (3-2)$$

[0023] 在下文中,每当输入电压 V_{in} 顺次超过参考电压 V_{r2} 和 V_{r3} 时,放大电路 D3、D4 和 D5 操纵其输出电流 I_o 从正相输出侧转到反相输出侧。这样,图 4 中所示的折叠波被生成。

[0024] 在折叠电路中,如前面所说明的,输入信号的改变正好增加了折叠数,从而,输入波带 (band) 倾向于变低。因此,与控制时钟同步终止输入信号的改变的追踪 / 保持电路 (track/hold circuit, T/H) 通常被设置在输入级。因此,输入波带可以很容易地向高延伸到 T/H 的波带。

[0025] 另一方面,生成折叠波的放大电路是连续系统的电路,所以,通常认为这些电路针对大幅度的响应非常弱。其主要原因在于,偏置电流完全是通过向配置折叠电路的差分对施加过大的输入而被操纵的,并且一侧的晶体管截止。

[0026] 对于这个问题,非专利文件 1 中的技术解决了这个问题并实现了高速响应。

[0027] 图 5 中所示的这种方法旨在通过在生成折叠波的放大电路的输出端设置开关 14,将该开关仅仅在追踪 / 保持电路 (T/H) 的追踪时间段接通,并复位输出端来改善放大电路的恢复时间。通过这种方法速度变得比传统技术快五倍的事实在非专利文件 1 中描述。

[0028] 非专利文件 1:“An 8b 600MS/s 200mW CMOS Folding A/D Converter Using an Amplifier Preset Technique”,Govert Geelen 等,ISSCC04 Digest of Technical Paper, 14. 2, 2004 年 2 月。

发明内容

[0029] 技术问题

[0030] 如以上所说明的,这种通过利用开关 14 执行短路并复位放大电路的输出端来防止在信号具有过大幅度时的输出饱和的方法具有加速放大电路的响应的效果,因此是非常好的。

[0031] 然而,由于开关被设置在输出端,开关的寄生电容也被添加到了输出端,所以对于小信号的响应趋于被牺牲。

[0032] 另外,对于并联型折叠 AD 转换器,追踪 / 保持电路接收差分模拟输入信号,在追踪时输出追从差分模拟输入信号的差分输出,在保持时保持 CLK 信号的上升 (下降) 边缘处

的输入信号,并输出差分输出,差分放大电路放大该信号并输出差分输出,并且差分分布式放大器电路生成期望的折叠波。

[0033] 另外,以下方法被尝试用于实现高速 AD 转换器。

[0034] (1) 在分布式放大器电路的差分输出处提供开关以在追踪时抑制幅度,并在保持时加速放大电路的响应。

[0035] (2) 采用级联型,减少第一级差分放大电路和差分分布式放大器电路的数目,减小生成折叠波的节点处的寄生电容,从而加速放大电路的响应。

[0036] 然而,这些技术遭遇了以下缺点:

[0037] (1') 在分布式放大器电路的差分输出处设置开关导致开关的寄生电容的增加并且因该增加的寄生电容量而恶化了小信号响应。(2') 采用级联型并在每级的差分分布式放大器电路处设置复位开关增加了 CLK 信号的负荷,并进一步增加了电路面积。

[0038] 本发明提供了一种折叠电路和模数转换器,他们具有良好的小信号响应,能够减轻时钟信号的负荷,并能够防止配置电路的电路面积的增加。

[0039] 技术解决方案

[0040] 本发明的第一方面是一种折叠电路,具有:参考电压生成电路,该参考电压生成电路生成多个不同电压作为参考电压;以及多个放大电路,该多个放大电路将模拟输入电压和多个参考电压之间的差分电压转换为差分电流以便输出,并且其中,放大电路的输出端被交替连接,每个放大电路利用具有共源共栅输出晶体管(cascode output transistors)的差分放大器电路来构成,并且与控制时钟同步接通的开关被设置在共源共栅输出晶体管的源极之间。

[0041] 优选地,利用差分对输入级、共源共栅输出晶体管以及负载电阻构成的预放大电路被设置在所述放大电路的前级,并且与控制时钟同步接通的开关被设置在预放大电路的共源共栅输出晶体管的源极之间。

[0042] 本发明的第二方面是一种模数转换器,该模数转换器具有生成预定折叠数的折叠波的折叠电路。其中,该折叠电路具有:参考电压生成电路,该参考电压生成电路生成多个不同电压作为参考电压;以及多个放大电路,该多个放大电路将模拟输入电压和多个参考电压之间的差分电压转换为差分电流以便输出,并且其中,放大电路的输出端被交替连接,并且每个放大电路利用具有共源共栅输出晶体管的差分放大器电路来构成的,并且与控制时钟同步接通的开关被设置在共源共栅输出晶体管的源极之间。

[0043] 根据本发明,复位开关被设置在共源共栅晶体管的源极侧的节点处。

[0044] 因此,可以在不向放大电路的差分电流输出添加开关的寄生电容的情况下抑制输出差分幅度。

[0045] 有益效果

[0046] 根据本发明,对于小信号的响应良好,时钟信号的负荷可以被减轻,并且配置电路的电路面积的增加可以被防止。

附图说明

[0047] [图 1] 一般折叠电路的电路图。

[0048] [图 2] 放大电路的电路图。

- [0049] [图 3] 放大电路的输入 / 输出特性图示。
- [0050] [图 4] 折叠波图示。
- [0051] [图 5] 示出配备有复位开关的差分放大电路的电路图。
- [0052] [图 6] 示出根据本发明的第一实施例的并联型折叠 AD 转换器的配置示例的框图。
- [0053] [图 7] 示出图 6 的并联型折叠 AD 转换器的低位的配置示例的电路图。
- [0054] [图 8] 示出第一实施例中的分布式放大器电路输出的折叠波的图示。
- [0055] [图 9] 示出差分分布式放大器电路的配置示例的电路图。
- [0056] [图 10] 示出第一实施例中的内插电路的内插波的图示。
- [0057] [图 11] 示出在不存在复位开关的情况下的差分分布式放大器电路输出的图示。
- [0058] [图 12] 示出在存在复位开关的情况下的差分分布式放大器电路输出的图示。
- [0059] [图 13] 示出根据本发明的第二实施例的级联型折叠 AD 转换器的配置示例的框图。
- [0060] [图 14] 示出图 13 的级联型折叠 AD 转换器的低位的配置示例的电路图。
- [0061] [图 15] 示出第二实施例中的分布式放大器电路输出的折叠波的图示。
- [0062] [图 16] 示出第二实施例中的内插电路的内插波的图示。
- [0063] [图 17] 示出第二实施例中的第一级预放大电路的电路示例的图示。
- [0064] 参考标号说明
- | | | |
|--------|---------------|--------------------|
| [0065] | 100 | 并联型折叠 AD 转换器 |
| [0066] | 100A | 级联型折叠 AD 转换器 |
| [0067] | 110 | 追踪 / 保持 (T/H) 电路 |
| [0068] | 120、120A | 参考电压生成电路 |
| [0069] | 130、130A | 预放大电路组 |
| [0070] | 140 | 分布式放大器电路组 |
| [0071] | 140A | 第一分布式放大器电路组 |
| [0072] | 150 | 负载电阻组 |
| [0073] | 150A | 第二负载电阻组 |
| [0074] | 160 | 缓存器组 |
| [0075] | 160A | 第二缓存器组 |
| [0076] | 170 | 内插电路 |
| [0077] | 170A | 第二内插电路 |
| [0078] | 180 | 高侧主比较锁存器组 |
| [0079] | 190 | 低侧主比较锁存器组 |
| [0080] | 200 | 第一负载电阻组 |
| [0081] | 210 | 第一缓存器组 |
| [0082] | 220 | 第一内插电路 |
| [0083] | 230 | 第二分布式放大器电路组 |
| [0084] | 144 | 复位开关 |
| [0085] | 145、146 | 共源共栅晶体管 (NMOS 晶体管) |
| [0086] | NT1304、NT1310 | 复位开关 |

[0087] NT1305、NT1306、NT1311、NT1312 共源共栅晶体管

具体实施方式

[0088] 下面,将参考附图说明本发明的实施例。

[0089] < 第一实施例 >

[0090] 图 6 是示出根据本发明的第一实施例的并联型折叠 AD 转换器的配置示例的框图。

[0091] 另外,图 7 是示出图 6 的并联型折叠 AD 转换器的低位的配置的具体示例的电路图。

[0092] 图 6 和图 7 中所示的折叠 AD 转换器 100 具有追踪 / 保持 (T/H) 电路 110、参考电压生成电路 120、预放大电路组 130、分布式放大器电路组 140、负载电阻组 150、缓存器组 160、低侧内插电路 170、高侧主比较锁存器组 180、以及低侧主比较锁存器组 190。

[0093] 注意,在图 1 中,例如,负载电阻组 150 被包括在分布式放大器电路组 140 中,缓存器组 160 被包括在内插电路 170 中。

[0094] 追踪 / 保持电路 110 具有与输入级中的控制时钟信号 CLK 同步终止输入信号 V_{in} 的改变的功能。

[0095] 追踪 / 保持电路 110 在时钟信号 CLK 处于高电平时追踪信号,并在低电平时保持信号用于输出。

[0096] 追踪 / 保持电路 110 的输出被并行地提供给预放大电路组 130 的差分放大电路的非反转输入 (+)。

[0097] 参考电压生成电路 120 具有梯形电阻 121。

[0098] 梯形电阻 121 具有被接续连接在最大参考电压 VRT 的供电端子和最小参考电压 VRB 的供电端子之间的多个电阻 R1101 至 R1124。其值顺次改变的多个参考电压 VRB、VR1、VR2、VR3、...、VR12 被从以上述两个供电端子为起点的两个串联连接的电阻间的节点 REF1 至 REF12 输出。

[0099] 预放大电路组 130 具有多个 (例如 12 个) 差分放大电路 1301 至 1312。

[0100] 多个差分放大电路 1301 至 1312 将输入电压 V_{in} 与参考电压 VR1 至 VR12 进行比较,并根据输入电压 V_{in} 与参考电压 VR1 至 VR12 之间的差向分布式放大器电路组 140 输出电流 (引入来自输出端的电流)。

[0101] 分布式放大电路组 140 具有多个 (例如 12 个) 差分分布式放大电路 1401 至 1412。

[0102] 差分分布式放大器电路 1401 至 1412 在非反转的输入端子 (+) 处接收预放大电路组 130 的相应差分放大器电路 1301 至 1312 的负侧输出,在反转的输入端子 (-) 处接收正侧输出,并生成图 8 中所示的所谓的“折叠波”。

[0103] 这里,图 8 中的 ΔV_{in1} 是差分分布式放大器电路的输入动态范围。

[0104] 通过在第一、第五和第九差分分布式放大器电路 1401、1405 和 1409 中相互叠加这些线性范围,具有折叠数 3 的第一折叠波 WV1 被生成。

[0105] 以同样的方式,通过在第二、第六和第十差分分布式放大器电路 1402、1406 和 1410 中叠加他们,具有折叠数 (degree)3 的第二折叠波 WV2 被生成。

[0106] 通过在第三、第七和第十一差分分布式放大器电路 1403、1407 和 1411 中叠加他们,具有折叠数 3 的第三折叠波 WV3 被生成。

[0107] 通过在第四、第八和第十二差分分布式放大器电路 1404、1408 和 1411 中叠加他们,具有折叠数 3 的第四折叠波 WV4 被生成。

[0108] 图 9 是示出差分分布式放大器电路 1401 至 1412 的配置示例的电路图。

[0109] 图 9 的差分分布式放大器电路是通过 NMOS 晶体管 NT141 至 146 配置的。

[0110] 配置差分对的 NMOS 晶体管 NT141 和 NT142 的源极被相互连接,其连接点被连接至 NMOS 晶体管 NT143 的漏极,并且 NMOS 晶体管 NT143 的源极被连接至参考电位 VSS。

[0111] 另外, NMOS 晶体管 NT141 的栅极被连接至信号 (电压)VIP 的电源线, NMOS 晶体管 NT142 的栅极被连接至信号 (电压)VOP 的电源线,并且 NMOS 晶体管 NT143 的栅极被连接至偏置信号 BIAS 的电源线。此 NMOS 晶体管 NT143 用作电流源。

[0112] NMOS 晶体管 NT144 的漏极被连接至 NMOS 晶体管 NT141 的漏极,节点 N1 通过其连接点形成。NMOS 晶体管 NT144 的源极被连接至 NMOS 晶体管 NT142 的漏极,节点 N2 通过其连接点形成。

[0113] NMOS 晶体管 NT144 的栅极被连接至时钟信号 CLK 的电源线,该时钟信号在追踪时被设置在高电平且在保持时被设置在低电平。

[0114] 这个 NMOS 晶体管 NT144 用作复位开关。

[0115] NMOS 晶体管 NT145 的源极被连接至节点 N1 (NMOS 晶体管 NT141 和 NT144 的漏极),并且漏极被连接至负载电阻组 150 的预定的负载电阻元件。

[0116] NMOS 晶体管 NT146 的源极被连接至节点 N2 (NMOS 晶体管 NT142 的漏极和 NT144 的源极),漏极被连接至负载电阻组 150 的预定的另一个负载电阻元件。

[0117] NMOS 晶体管 NT145 和 NT146 的栅极被连接至电源电位 VDD。

[0118] 负载电阻组 150 具有负载电阻元件 R151 至 R158 和输出线 L1 至 L8,其中,这些负载电阻元件具有连接至电源电位 VDD 的第一端,并且这些输出线的第一端被连接至负载电阻元件 R151 至 R158 的另一端,这些输出线的另一端侧被连接至分布式放大器电路组 140 的差分分布式放大器电路 1401 至 1412 的两个输出中的任意一个。

[0119] 以下各项被连接至输出线 L1 :第一差分分布式放大器电路 1401 的第一输出、第五差分分布式放大器电路 1405 的第二输出以及第九差分分布式放大器电路 1409 的第一输出。以下各项被连接至输出线 L2 :第一差分分布式放大器电路 1401 的第二输出、第五差分分布式放大器电路 1405 的第一输出以及第九差分分布式放大器电路 1409 的第二输出。

[0120] 以下各项被连接至输出线 L3 :第二差分分布式放大器电路 1402 的第一输出、第六差分分布式放大器电路 1406 的第二输出以及第十差分分布式放大器电路 1410 的第一输出。以下各项被连接至输出线 L4 :第二差分分布式放大器电路 1402 的第二输出、第六差分分布式放大器电路 1406 的第一输出以及第十差分分布式放大器电路 1410 的第二输出。

[0121] 以下各项被连接至输出线 L5 :第三差分分布式放大器电路 1403 的第一输出、第七差分分布式放大器电路 1407 的第二输出以及第十一差分分布式放大器电路 1411 的第一输出。以下各项被连接至输出线 L6 :第三差分分布式放大器电路 1403 的第二输出、第七差分分布式放大器电路 1407 的第一输出以及第十一差分分布式放大器电路 1411 的第二输出。

[0122] 以下各项被连接至输出线 L7 :第四差分分布式放大器电路 1404 的第一输出、第八差分分布式放大器电路 1408 的第二输出以及第十二差分分布式放大器电路 1412 的第一输出。以下各项被连接至输出线 L8 :第四差分分布式放大器电路 1404 的第二输出、第八差分

分布式放大器电路 1408 的第一输出以及第十二差分分布式放大器电路 1412 的第二输出。

[0123] 缓存器组 160 具有多个（例如四个）缓存器 161(I1) 至 164(I4)。

[0124] 缓存器 161 的输入端子 (-) 侧被连接至负载电阻组 150 的输出线 L1, 输入端子 (+) 侧被连接至负载电阻组 150 的输出线 L2。

[0125] 缓存器 162 的输入端子 (-) 侧被连接至负载电阻组 150 的输出线 L3, 输入端子 (+) 侧被连接至负载电阻组 150 的输出线 L4。

[0126] 缓存器 163 的输入端子 (-) 侧被连接至负载电阻组 150 的输出线 L5, 输入端子 (+) 侧被连接至负载电阻组 150 的输出线 L6。

[0127] 缓存器 164 的输入端子 (-) 侧被连接至负载电阻组 150 的输出线 L7, 输入端子 (+) 侧被连接至负载电阻组 150 的输出线 L8。

[0128] 内插电路 170 通过串联地连接在缓存器 161 的第一输出和第二输出之间的电阻元件 R1701 至 R1716 和串联地连接在缓存器 161 的第二输出和第一输出之间的电阻元件 R1717 至 R1732 配置。

[0129] 缓存器 162 的第一输出被连接至电阻元件 R1728 和 R1729 的连接点, 缓存器 162 的第二输出被连接至电阻元件 R1712 和 R1713 的连接点。

[0130] 缓存器 163 的第一输出被连接至电阻元件 R1724 和 R1725 的连接点, 并且缓存器 163 的第二输出被连接至电阻元件 R1708 和 R1709 的连接点。

[0131] 缓存器 164 的第一输出被连接至电阻元件 R1720 和 R1721 的连接点, 并且缓存器 164 的第二输出被连接至电阻元件 R1704 和 R1705 的连接点。

[0132] 这样, 内插电路 170 通过电阻分割 (resistor division) 输出图 10 中所示的十六个内插波。

[0133] 高侧主比较锁存器组 180 比较分布式放大器电路组 140 的差分输出并输出预定数目位的二进位信号。

[0134] 低侧主比较锁存器组 190 具有 16 个主比较器 1901 至 1916, 对内插电路 170 的输出进行比较, 并输出二进位信号。

[0135] 接着, 将描述通过以上配置进行的操作。

[0136] 在图 6 和图 7 的并联型折叠 AD 转换器 100 中, 追踪 / 保持电路 110 在时钟信号 CLK 处于高电平时追踪差分输入信号 V_{in} , 在时钟信号处于低电平时保持并输出这些信号, 并将输出输入到预放大电路组 130。

[0137] 预放大电路组 130 的预放大电路 1301 至 1312 对输入和参考电压生成电路 120 处的电阻分割的差分参考电位进行比较, 并放大和输出结果。

[0138] 通过从预放大电路 1301 至 1312 接收差分输出信号, 差分分布式放大电路 1401 至 1412 生成折叠波 (图 8)。

[0139] 这里, 如前所说明的, 图 8 中的 ΔV_{in1} 是差分分布式放大器电路的输入动态范围。通过在差分分布式放大器电路 1401 (第 1)、1405 (第 5)、和 1409 (第 9) 中将这些线性范围相互叠加, 具有折叠数 3 的第一折叠波 $WV1$ 被生成。以同样的方式, 通过在第 2- 第 6- 第 10、第 3- 第 7- 第 11、第 4- 第 8- 第 12 差分分布式放大器电路中对他们相互叠加, 总共四个折叠波被生成。

[0140] 接着, 缓存器 161 (I1)、162 (I2)、163 (I3) 以及 164 (I4) 接收折叠波并输出它们, 并

且十六个内插波被通过电阻分配内插电路 170 (图 10) 输出。

[0141] 这里,图 10 示出了从缓存器 161 和 162 (I1、I2) 的输出生成的内插波。以同样的方式,缓存器 162 和 163 (I2 和 I3)、缓存器 163 和 164 (I3 和 I4) 以及缓存器 164 和 161 (I4 和 I1) 生成内插波。这些信号被锁存比较器 (MCL) 接收,以从其输出具有四位的数字信号。

[0142] 这里,将参考图 9 说明差分分布式放大器电路。

[0143] 这个电路从前级的预放大电路接收差分输出 VIP 和 VIN,并输出差分电流输出 IOP 和 ION。这里,复位开关 144 被设置在共源共栅晶体管 NT145 和 146 的源极侧上的节点 N1 和 N2 处。

[0144] 因此,可以在不向差分电流输出 IOP 和 ION 侧添加开关的寄生电容的情况下抑制输出差分幅度。

[0145] 图 11 和图 12 是示出当在存在和不存在开关的两种情况下输入改变为 REF1 至 REF9 (VR1 至 VR9) 时的差分分布式放大器电路输出波形的图示。

[0146] 复位开关 144 与追踪 / 保持电路的时钟同步,并在高电平 h (即追踪时) 被接通,并在低电平 (即保持时) 被断开。这里,保持时的差分输出被表示如下:

[0147] [等式 4]

$$V_{\text{hold}} = (V1 - V0) \exp(-t / \tau) \quad (*1)$$

[0149] 这里, V_{hold} 是在保持时差分分布式放大器电路的输出, $V1$ 是通过将输入和 DC 增益相乘获得的期望的输出电压值, $V0$ 是当时钟从追踪切换到保持时的初始输出电压值, τ 是放大电路输出的时间常数。

[0150] 在没有开关的情况下,如图 11 中所示,与在差分分布式放大器电路输出波形中一样,追踪时存在幅度,从而值从初始电压值 $V0$ 恢复到 $V1$ 。

[0151] 在存在开关的情况下,如图 12 中所示,与在差分分布式放大器电路输出波形中一样,在追踪时开关被接通,并且幅度变为 0。因此,保持时的初始电压值 $V0 = 0$ 被获得,并且恢复变快了数量 $V0$ 。

[0152] 因此,放大电路的响应被改善,并且因此能够实现高速 AD 转换。

[0153] < 第二实施例 >

[0154] 图 13 是示出根据本发明的第二实施例的级联型折叠 AD 转换器的配置示例的框图。

[0155] 图 14 是图 13 的级联型折叠 AD 转换器的低位的配置示例的电路图。

[0156] 第二实施例的 AD 转换器 100A 与第一实施例的 AD 转换器 100 的不同在于:在参考电压生成电路 120A 处生成了九个参考电压 REF1 至 REF9,并且按照对应于此的第一分布式放大器电路组 140A 的差分分布式放大器电路 1401 至 1409,第一负载电阻组 200 被排列在第一分布式放大器电路组 140A 的输出级,第一缓存器组 210 被排列在第一负载电阻组 200 的输出级,第一内插电路 220 被排列在第一缓存器组 210 的输出级,第二分布式放大器电路组 230 被排列在第一内插电路 220 的输出级,第二负载电阻元件组 150A 被排列在第二分布式放大器电路组 230 的输出级,并且第二缓存器组 160A 和另外的第二内插电路 170A 被排列在第二负载电阻组 150A 的输出级。

[0157] 在这些电路中,第二负载电阻组 150A 具有与第一实施例的负载电阻组 150 相同的配置,第二缓存器组 160A 具有与第一实施例的缓存器组 160 相同的配置,并且第二内插电

路 170A 具有与第一实施例的内插电路 170 相同的配置。

[0158] 第一负载电阻组 200 具有负载电阻元件 R201 至 R206 和输出线 L11 至 L16。其中, 这些负载电阻元件具有连接至电源电位 VDD 的第一端, 这些输出线的第一端被连接至负载电阻元件 R201 至 R208 的另一端, 并且这些输出线的另一端被连接至分布式放大器电路组 140A 的差分分布式放大器电路 1401 至 1409 的两个输出中的任意一个。

[0159] 以下各项被连接至输出线 L11: 第 1 差分分布式放大器电路 1401 的第一输出、第 5 差分分布式放大器电路 1405 的第二输出、第 9 差分分布式放大器电路 1409 的第一输出。以下各项被连接至输出线 L12: 第 1 差分分布式放大器电路 1401 的第二输出、第 5 差分分布式放大器电路 1405 的第一输出以及第 9 差分分布式放大器电路 1409 的第二输出。

[0160] 以下各项被连接至输出线 L13: 第 2 差分分布式放大器电路 1402 的第一输出、第 6 差分分布式放大器电路 1406 的第二输出以及第 10 差分分布式放大器电路 1410 的第一输出。以下各项被连接至输出线 L14: 第 2 差分分布式放大器电路 1402 的第二输出、第 6 差分分布式放大器电路 1406 的第一输出以及第 10 差分分布式放大器电路 1410 的第二输出。

[0161] 以下各项被连接至输出线 L15: 第 3 差分分布式放大器电路 1403 的第一输出、第 7 差分分布式放大器电路 1407 的第二输出、第 11 差分分布式放大器电路 1411 的第一输出。以下各项被连接至输出线 L16: 第 3 差分分布式放大器电路 1403 的第二输出、第 7 差分分布式放大器电路 1407 的第一输出以及第 11 差分分布式放大器电路 1411 的第二输出。

[0162] 第一缓存器组 210 具有多个 (例如 3 个) 缓存器 211 至 213。

[0163] 缓存器 211 的输入端子 (-) 侧被连接至第一负载电阻组 200 的输出线 L13, 并且输入端子 (+) 侧被连接至负载电阻组 150 的输出线 L14。

[0164] 缓存器 212 的输入端子 (-) 侧被连接至第一负载电阻组 200 的输出线 L15, 并且输入端子 (+) 侧被连接至第一负载电阻组 200 的输出线 L16。

[0165] 缓存器 213 的输入端子 (-) 侧被连接至第一负载电阻组 200 的输出线 L11, 并且输入端子 (+) 侧被连接至第一负载电阻组 200 的输出线 L12。

[0166] 第一内插电路 220 通过串联地连接在缓存器 213 的第一输出和第二输出之间的电阻元件 R2201 至 R2212 和串联地连接在缓存器 213 的第二输出和第一输出之间的电阻元件 R2213 至 R2224 配置。

[0167] 另外, 缓存器 212 的第一输出被连接至电阻元件 R2204 和 R2205 的连接点, 并且缓存器 212 的第二输出被连接至电阻元件 R2216 和 R2217 的连接点。

[0168] 缓存器 211 的第一输出被连接至电阻元件 R2208 和 R2209 的连接点, 并且缓存器 211 的第二输出被连接至电阻元件 R2220 和 R2221 的连接点。

[0169] 第二分布式放大器电路组 230 具有 12 个差分分布式放大器电路 2301 至 2312。

[0170] 差分分布式放大器电路 2301 的输入端子 (-) 侧被连接至缓存器 213 的第二输出, 并且输入端子 (+) 侧被连接至缓存器 213 的第一输出。

[0171] 差分分布式放大器电路 2302 的输入端子 (-) 侧被连接至电阻元件 R2211 和 R2212 的连接点, 并且输入端子 (+) 侧被连接至电阻元件 R2223 和 R2224 的连接点。

[0172] 差分分布式放大器电路 2303 的输入端子 (-) 侧被连接至电阻元件 R2210 和 R2211 的连接点, 并且输入端子 (+) 侧被连接至电阻元件 R2222 和 R2223 的连接点。

[0173] 差分分布式放大器电路 2304 的输入端子 (-) 侧被连接至电阻元件 R2209 和 R2210

的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2221 和 R2222 的连接点。

[0174] 差分分布式放大器电路 2305 的输入端子 (-) 侧被连接至电阻元件 R2208 和 R2209 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2220 和 R2221 的连接点。

[0175] 差分分布式放大器电路 2306 的输入端子 (-) 侧被连接至电阻元件 R2207 和 R2208 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2219 和 R2220 的连接点。

[0176] 差分分布式放大器电路 2307 的输入端子 (-) 侧被连接至电阻元件 R2206 和 R2207 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2218 和 R2219 的连接点。

[0177] 差分分布式放大器电路 2308 的输入端子 (-) 侧被连接至电阻元件 R2205 和 R2206 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2217 和 R2218 的连接点。

[0178] 差分分布式放大器电路 2309 的输入端子 (-) 侧被连接至电阻元件 R2204 和 R2205 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2216 和 R2217 的连接点。

[0179] 差分分布式放大器电路 2310 的输入端子 (-) 侧被连接至电阻元件 R2203 和 R2204 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2215 和 R2216 的连接点。

[0180] 差分分布式放大器电路 2311 的输入端子 (-) 侧被连接至电阻元件 R2202 和 R2203 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2214 和 R2215 的连接点。

[0181] 差分分布式放大器电路 2312 的输入端子 (-) 侧被连接至电阻元件 R2201 和 R2202 的连接点,并且输入端子 (+) 侧被连接至电阻元件 R2213 和 R2214 的连接点。

[0182] 注意,第二分布式放大器电路组 230 的差分分布式放大器电路 2301 至 2312 被连接至负载电阻组 150 的输出线 L1 至 L8,具有与第一实施例的差分分布式放大器电路 1401 至 1412 的关系相同的关系(图 7)。因此,其详细说明在这里被省略。

[0183] 在第二实施例中,基本上,直到第一内插电路 220 的处理以与第一实施例相同的方式被执行。

[0184] 然后,如图 15 中所示,第二分布式放大器电路组 230 的差分分布式放大器电路 2301 至 2312 从第一内插电路 220 接收被折叠到该度数的放大电路输出。通过在第 1、第 5 和第 9 电路中将这输出相互叠加,具有折叠数 9 的折叠波 WV2 被生成。

[0185] 接着,缓存器 161 至 164 接收以上的折叠波,电阻器使用的四分割第二内插电路 170A 输出 16 个内插波(图 15),然后锁存比较器 MCL 接收这些内插波,并输出具有四位的数字信号。

[0186] 这里,当级联型折叠 AD 转换器 100A 的第二分布式放大器电路组 230 的差分分布式放大器电路 2301 至 2312 的增益为 A_2 ,输出信号为 V_{02} ,第一分布式放大器电路组 140A 的差分分布式放大器电路 1401 至 1409 的增益为 A_1 ,输出信号为 V_{01} ,预放大电路组 130A 的预放大电路 1301 至 1309 的增益为 A_P ,输出信号为 V_{0P} ,输入信号为 V_{in} 时,以下关系被得到:

[0187] [等式 5]

$$[0188] \quad V_{0P} = A_P \cdot V_{in} \quad (*1)$$

$$[0189] \quad V_{01} = A_1 \cdot V_{0P} \quad (*2)$$

$$[0190] \quad V_{02} = A_2 \cdot V_{01} \quad (*3)$$

[0191] 这里,通过在第一级的预放大电路中设置复位开关,在追踪时 V_{0P} 变得等于 0,并且放大电路输出信号 V_{01} 和 V_{02} 也变为 0。

[0192] 因此,通过仅在第一级的预放大电路中设置复位开关,每个分布式放大器电路的输出幅度被抑制,并且类似恢复被加快。

[0193] 图 17 是示出第二实施例中的第一级的预放大电路的电路示例的图示。

[0194] 图 17 的差分放大器电路通过 NMOS 晶体管 NT1301 至 NT1312 以及负载电阻元件 Rout1 和 Rout2 配置。

[0195] 配置差分对的 NMOS 晶体管 NT1301 和 NT1302 的源极被相互连接,并且其连接点被连接至 NMOS 晶体管 NT1303 的漏极, NMOS 晶体管 NT1303 的源极被连接至参考电位 VSS。

[0196] 然后, NMOS 晶体管 NT1301 的栅极被连接至信号 (电压) VIP 的电源线, NMOS 晶体管 NT1302 的栅极被连接至信号 (电压) REFP 的电源线, 并且 NMOS 晶体管 NT1303 的栅极被连接至偏置信号 BIAS 的电源线。这个 NMOS 晶体管 NT1303 用作电流源。

[0197] NMOS 晶体管 NT1304 的漏极被连接至 NMOS 晶体管 NT1301 的漏极, 并且节点 N11 通过其连接点形成。NMOS 晶体管 NT1304 的源极被连接至 NMOS 晶体管 NT1302 的漏极, 并且节点 N12 通过其连接点形成。

[0198] NMOS 晶体管 NT1304 的栅极被连接至在追踪时被设置在高电平并在保持时被设置在低电平的时钟信号 CLK 的电源线。

[0199] 这个 NMOS 晶体管 NT1304 用作复位开关。

[0200] NMOS 晶体管 NT1305 的源极被连接至节点 Ni1 (NMOS 晶体管 NT1301 和 NT1304 的漏极), 并且漏极被连接至负载电阻 Rout1。

[0201] NMOS 晶体管 NT1306 的源极被连接至节点 N12 (NMOS 晶体管 NT1302 的漏极, NT1304 的源极), 并且漏极被连接至负载电阻元件 Rout2。

[0202] 然后, NMOS 晶体管 NT1305 和 NT1306 的栅极被连接至电源电位 VDD。

[0203] 配置差分对的 NMOS 晶体管 NT1307 和 NT1308 的源极被互相连接, 并且其连接点被连接至 NMOS 晶体管 NT1309 的漏极, NMOS 晶体管 NT1309 的源极被连接至参考电位。

[0204] 另外, NMOS 晶体管 NT1307 的栅极被连接至信号 (电压) PEFN 的电源线, NMOS 晶体管 NT1308 的栅极被连接至信号 (电压) VIN 的电源线, 并且 NMOS 晶体管 NT1309 的栅极被连接至偏置信号 BIAS 的电源线。此 NMOS 晶体管 NT1309 用作电流源。

[0205] NMOS 晶体管 NT1310 的漏极被连接至 NMOS 晶体管 NT1307 的漏极, 并且节点 N13 通过其连接点形成。NMOS 晶体管 NT1310 的源极被连接至 NMOS 晶体管 NT1308 的漏极, 并且节点 N14 通过其连接点形成。

[0206] NMOS 晶体管 NT1310 的栅极被连接至在追踪时被设置在高电平并在保持时被设置在低电平的时钟信号 CLK 的电源线。

[0207] 这个 NMOS 晶体管 NT1310 用作复位开关。

[0208] NMOS 晶体管 NT1311 的源极被连接至节点 N13 (NMOS 晶体管 NT1307 和 NT1310 的漏极), 并且漏极被连接至负载电阻 Rout1。

[0209] NMOS 晶体管 NT1312 的源极被连接至节点 N14 (NMOS 晶体管 NT1308 的漏极, NT1310 的源极), 并且漏极被连接至负载电阻元件 Rout2。

[0210] 然后, NMOS 晶体管 NT1311 和 NT1312 的栅极被连接至电源电位 VDD。

[0211] 共源共栅晶体管 NT1305、NT1306、NT1311 和 NT1312 被设置在输出的差分对 VOP 和 VON 中, 并且复位开关 NT1304 和 NT1310 被设置在其源极侧。通过与第一实施例相同的方

式,与追踪/保持电路的时钟信号 CLK 同步,这些开关在时钟信号 CLK 处于高电平时(即,追踪时)被接通,并在低电平时(即,保持时)被断开。

[0212] 因此,在追踪时,随后级的信号幅度被抑制,放大电路的响应被改善,并且因此实现了高速 AD 转换。

[0213] 根据本发明,可以达到以下效果。

[0214] 在折叠型 AD 转换器中,通过在放大电路中的共源共栅晶体管的源极侧设置开关,可以在不向输出节点添加开关的寄生电容的情况下改善放大电路的响应。

[0215] 在级联型折叠 AD 转换器中,通过将开关仅引入第一级的预放大电路,提供了能够进行高速操作的 AD 转换器。

[0216] 在以上实施例中说明了低 4 位转换器的示例,但是本发明不限于这种配置,而可以被应用于 4 位或更多位的转换器。

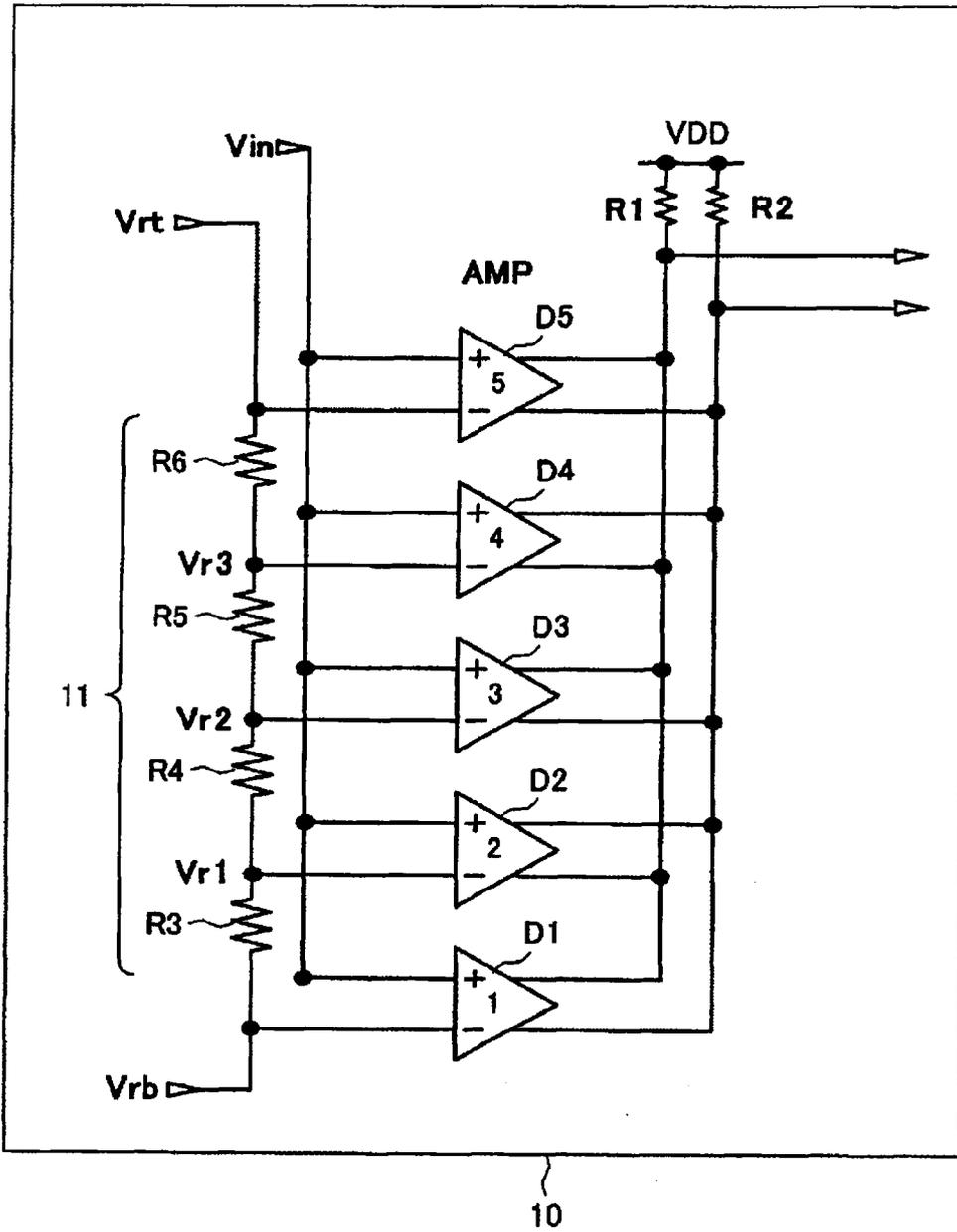


图 1

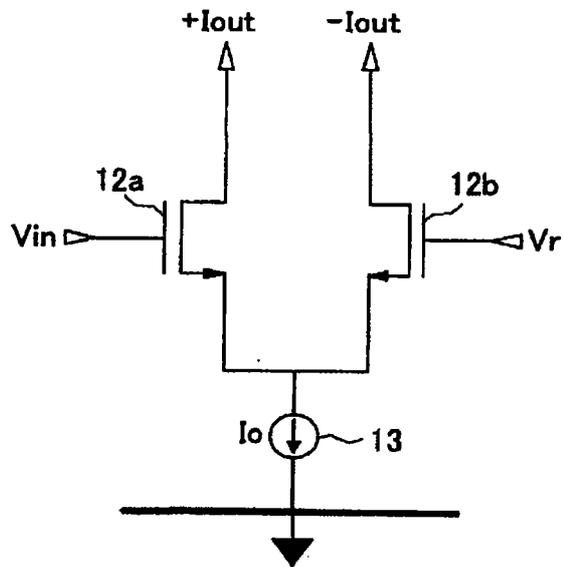


图 2

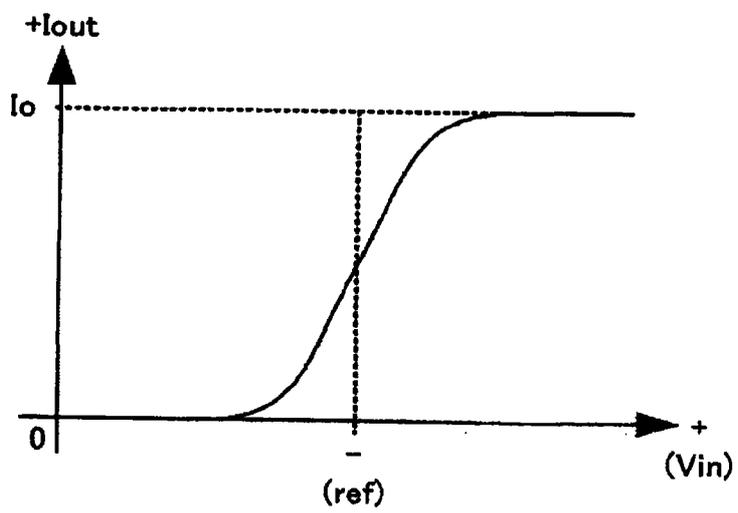


图 3

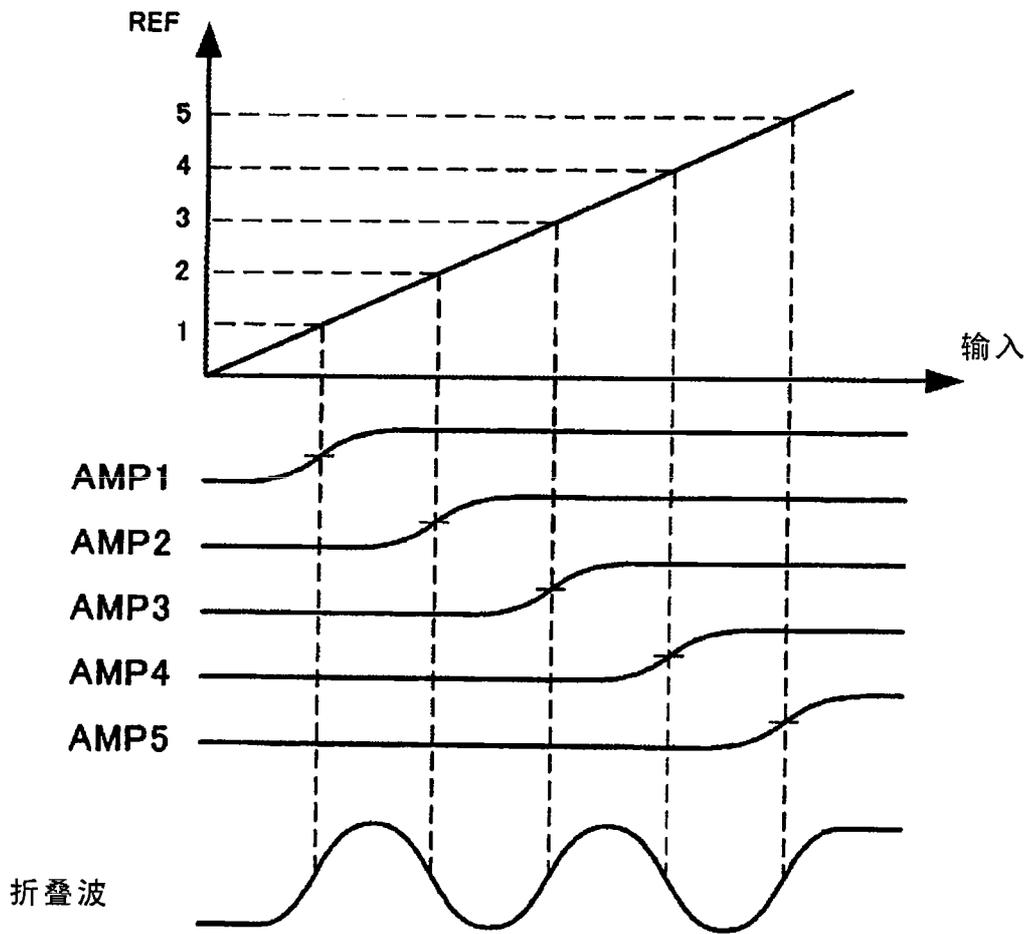


图 4

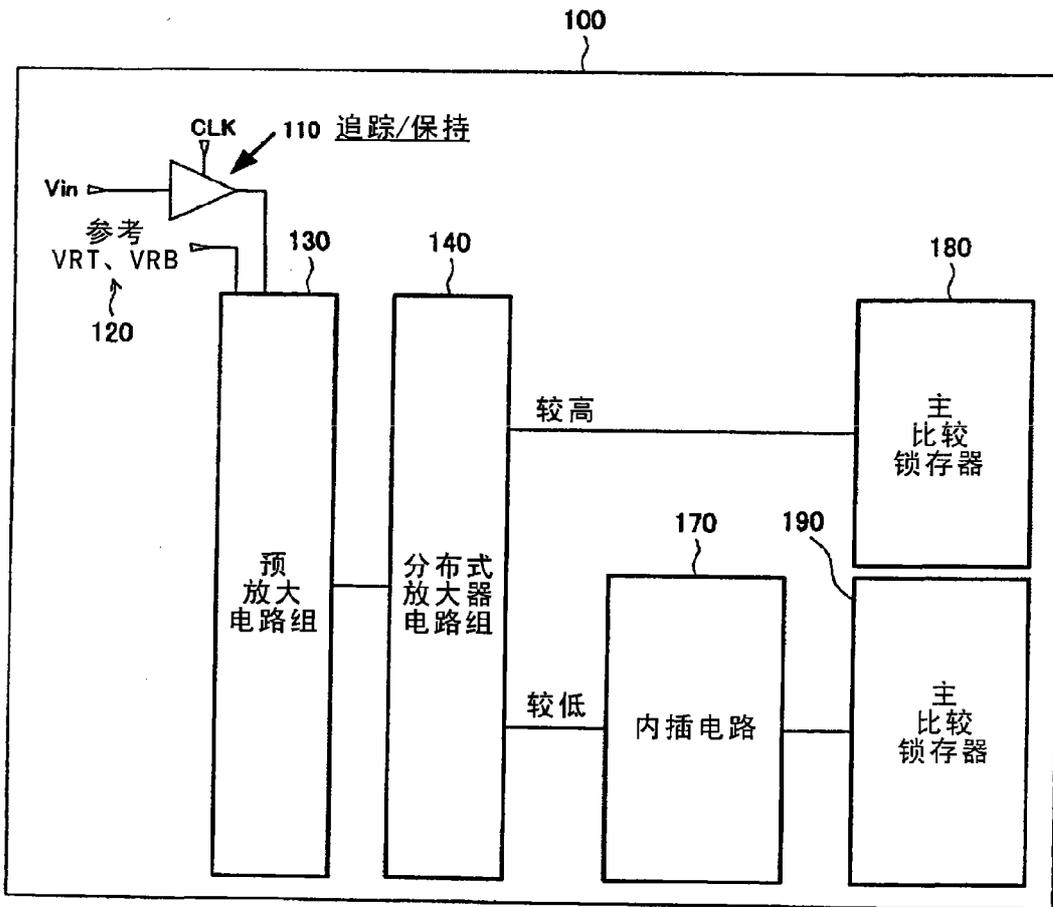


图 6

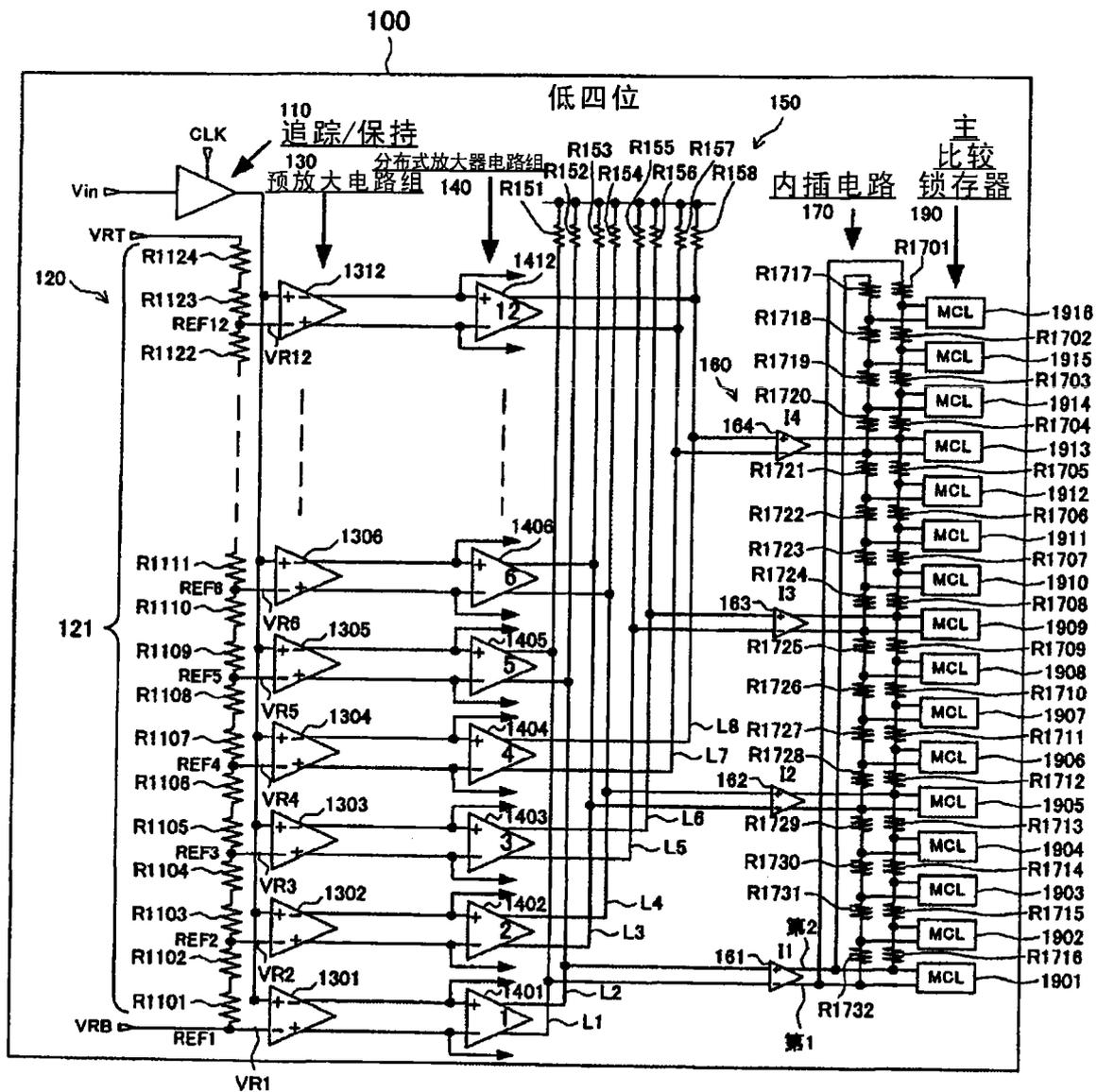


图 7

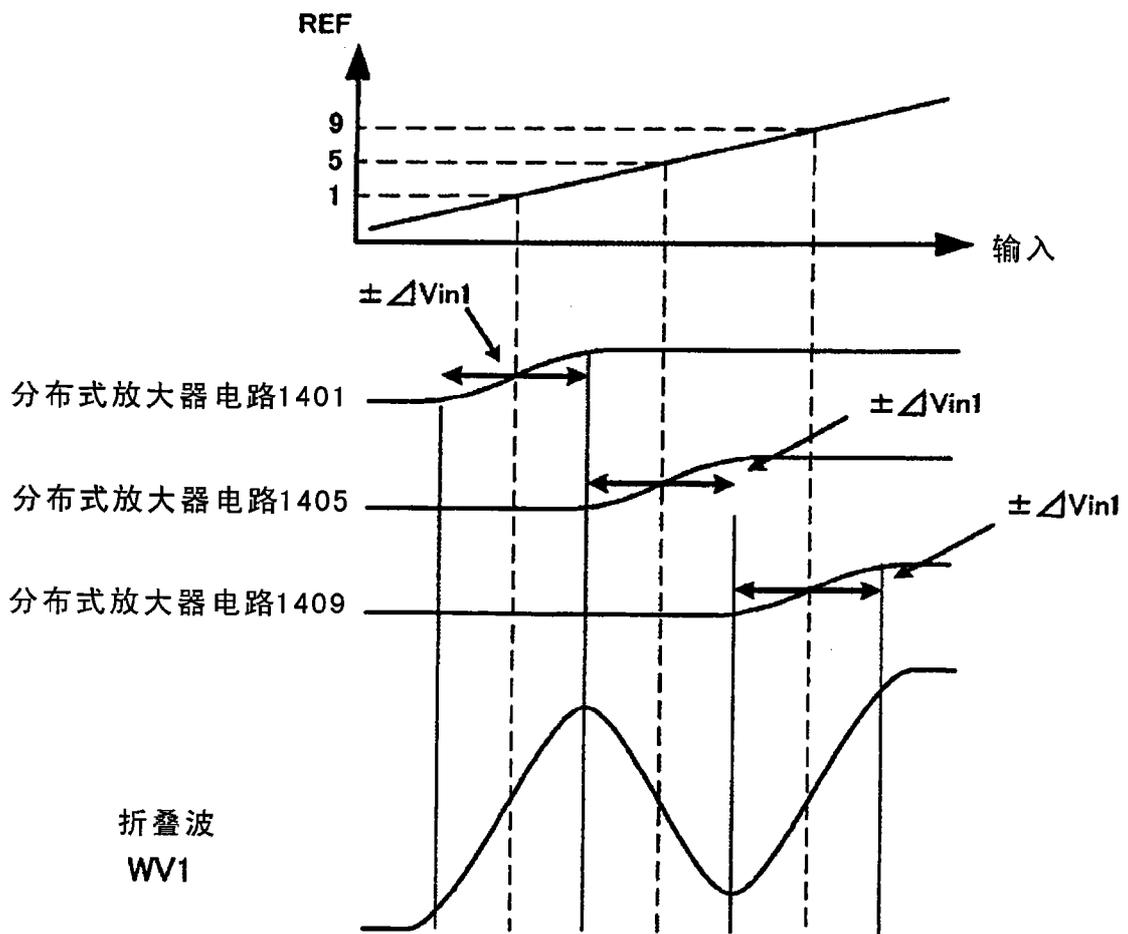


图 8

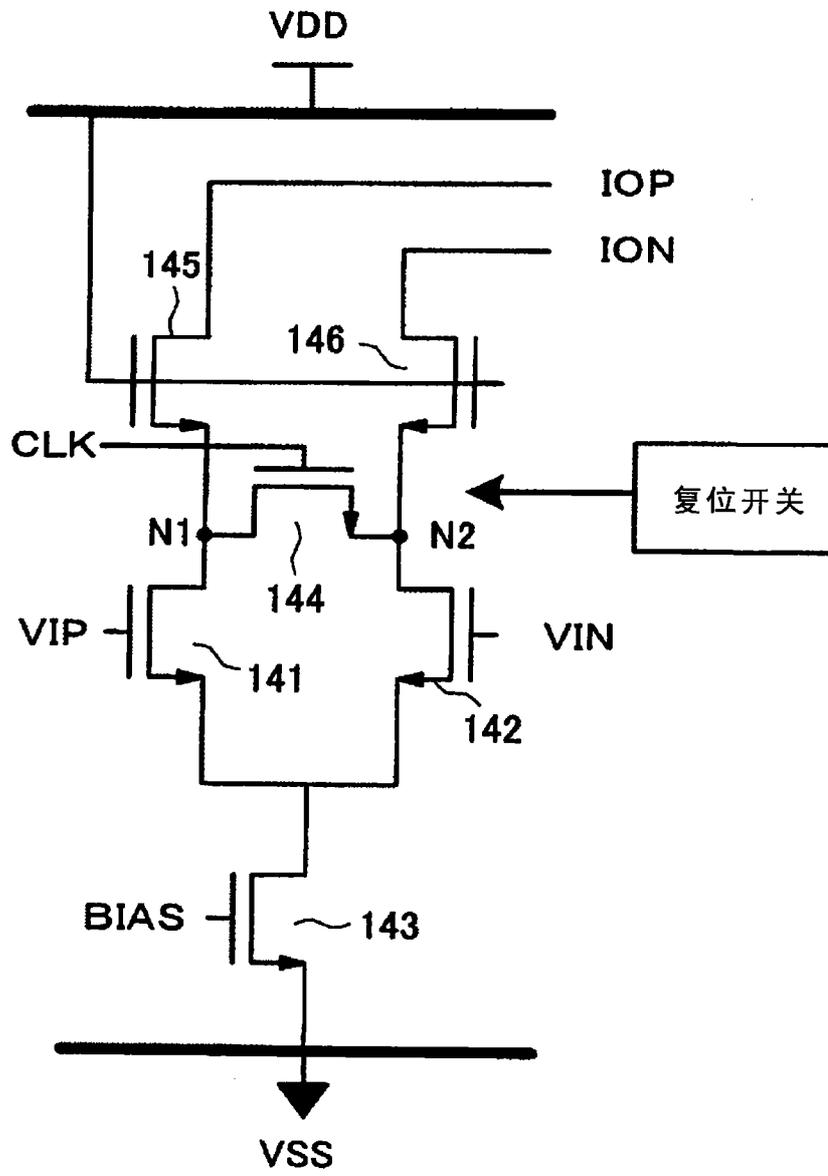


图 9

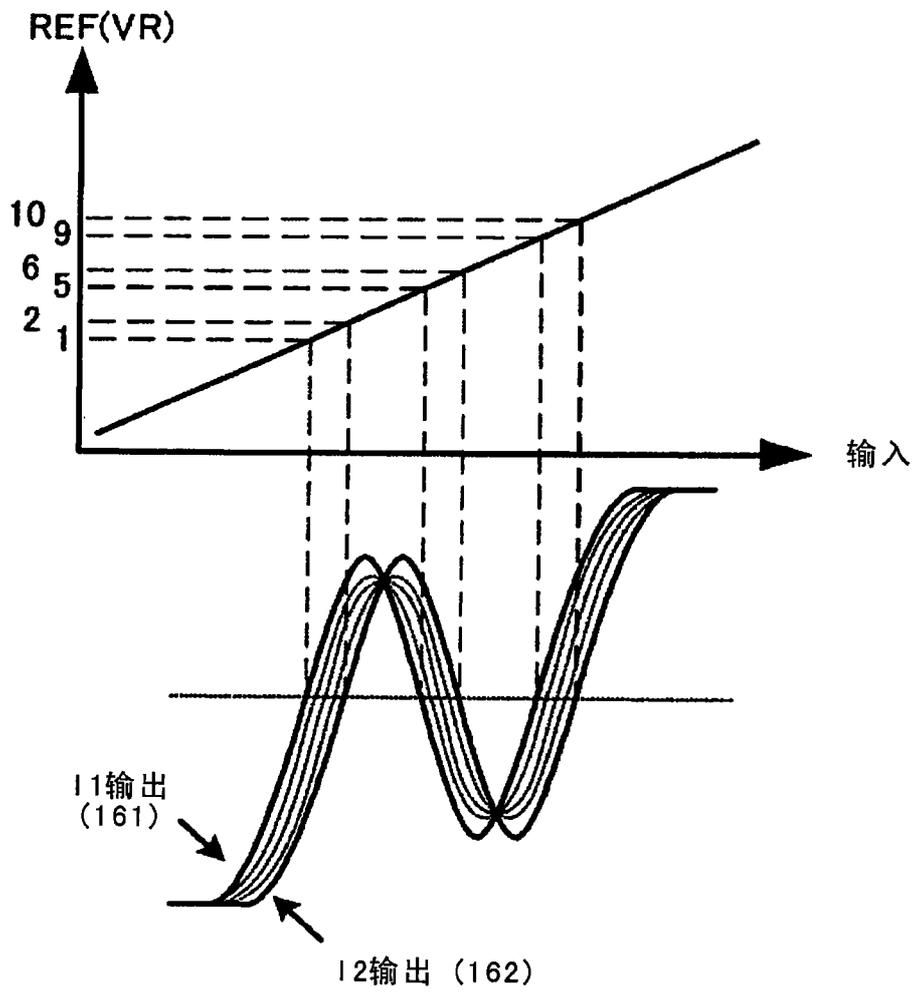


图 10

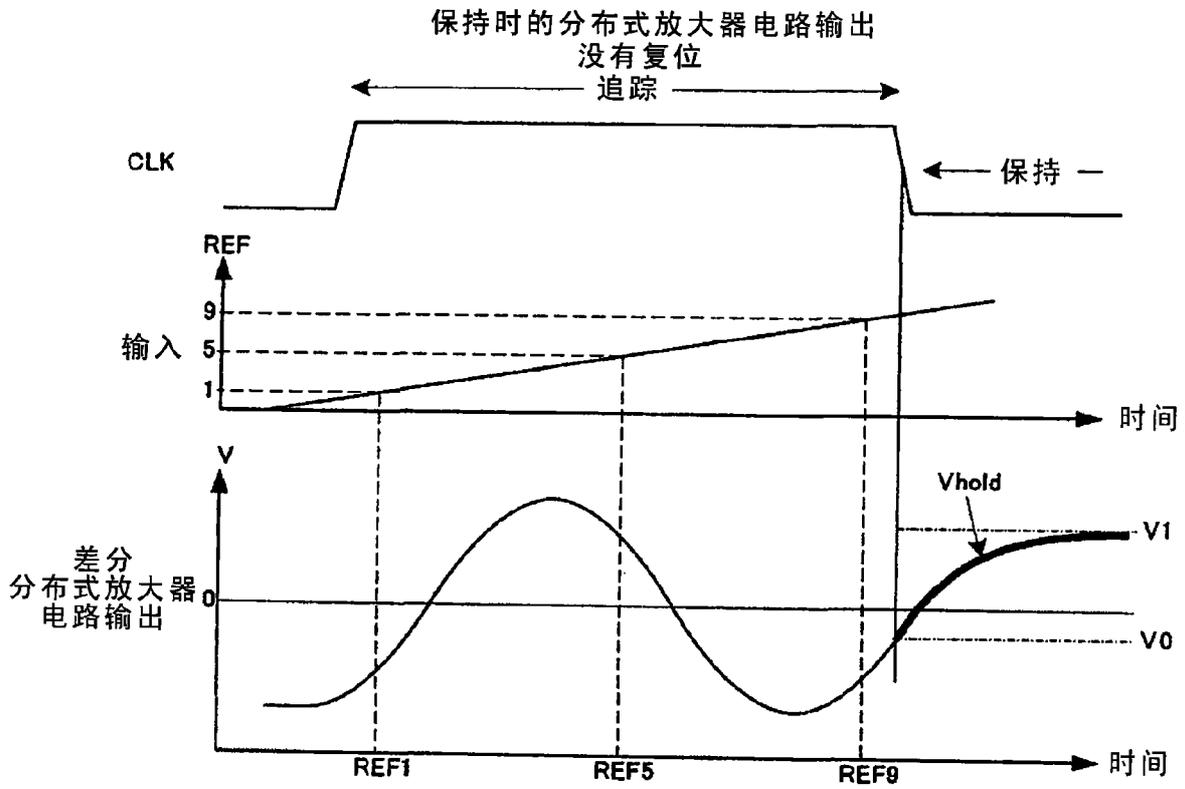


图 11

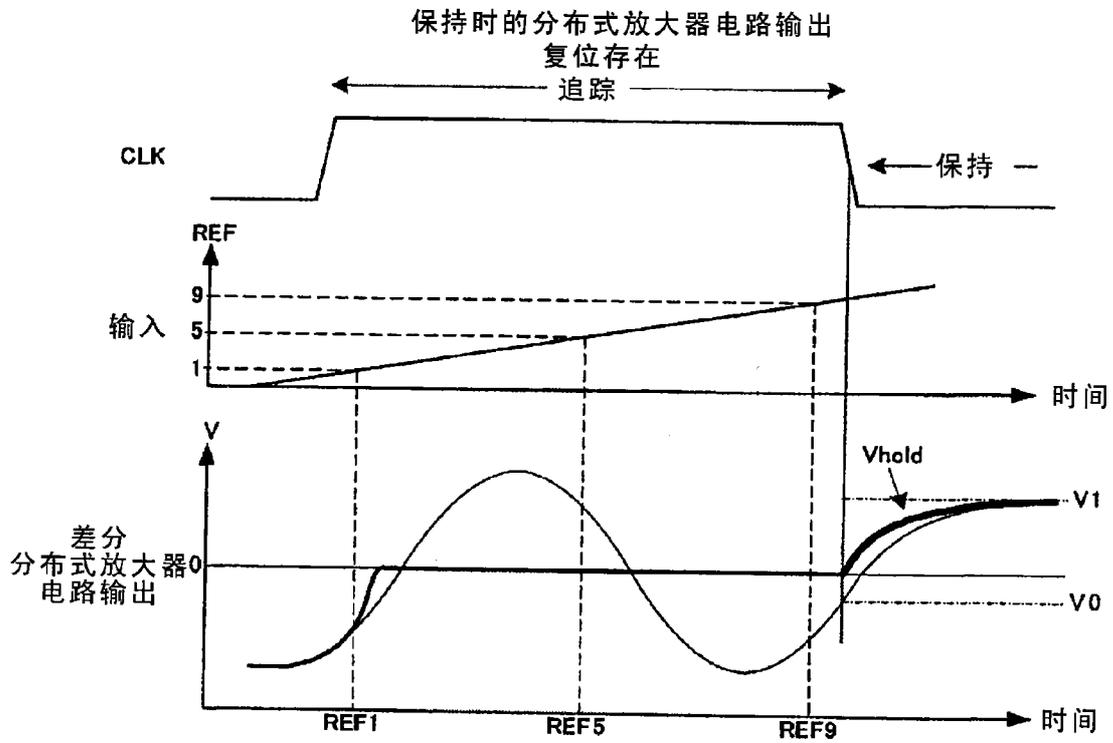


图 12

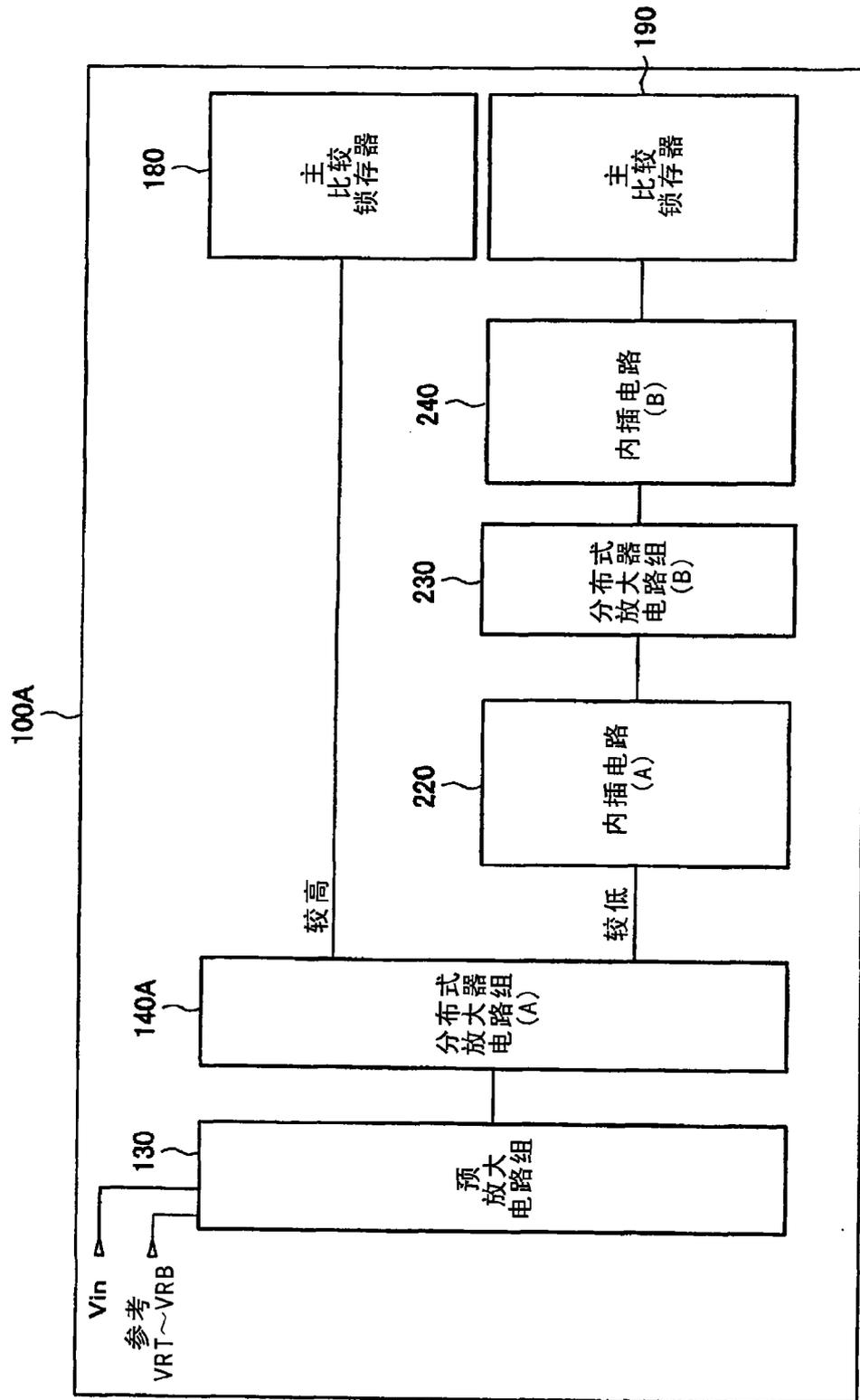


图13

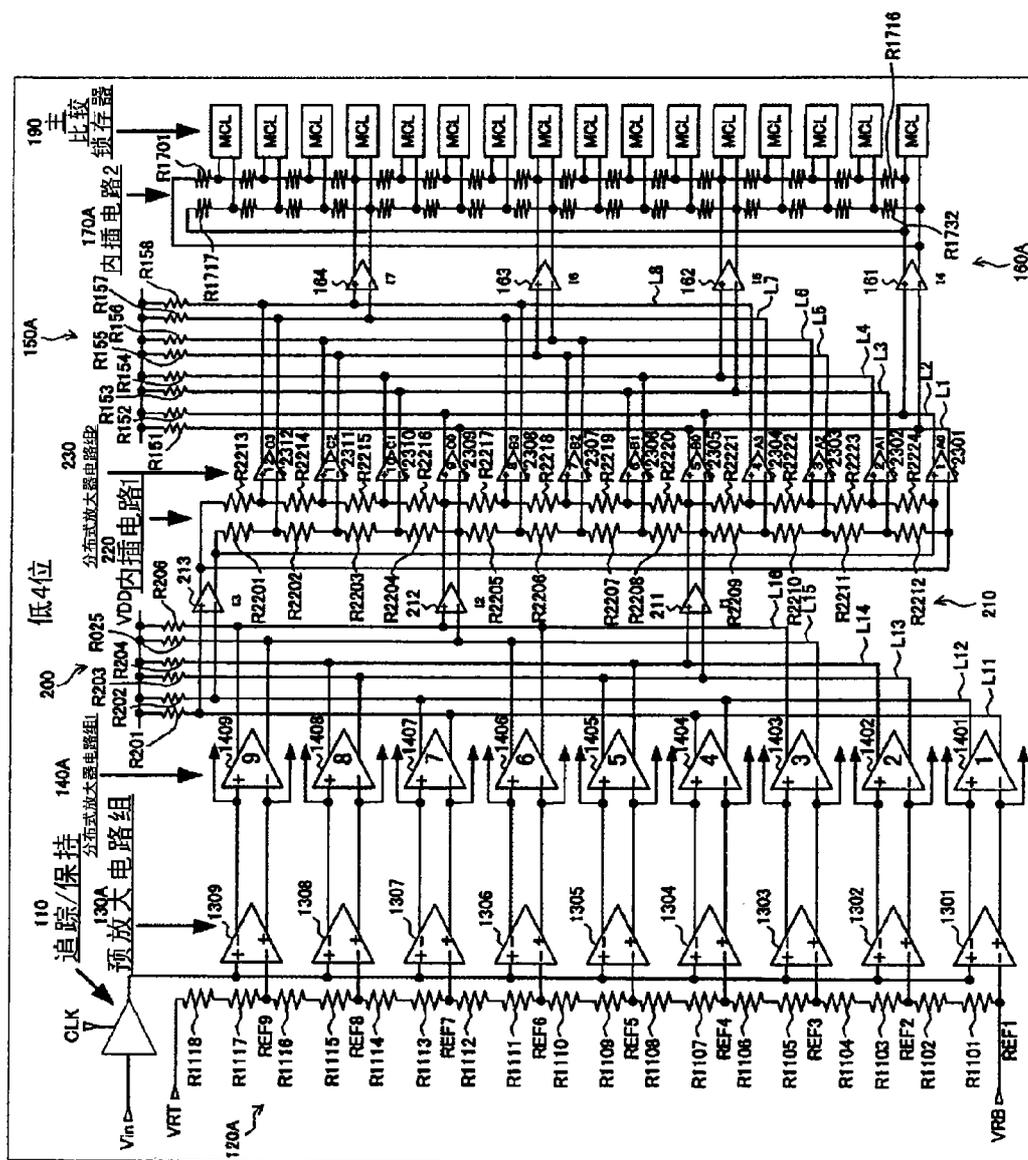


图14

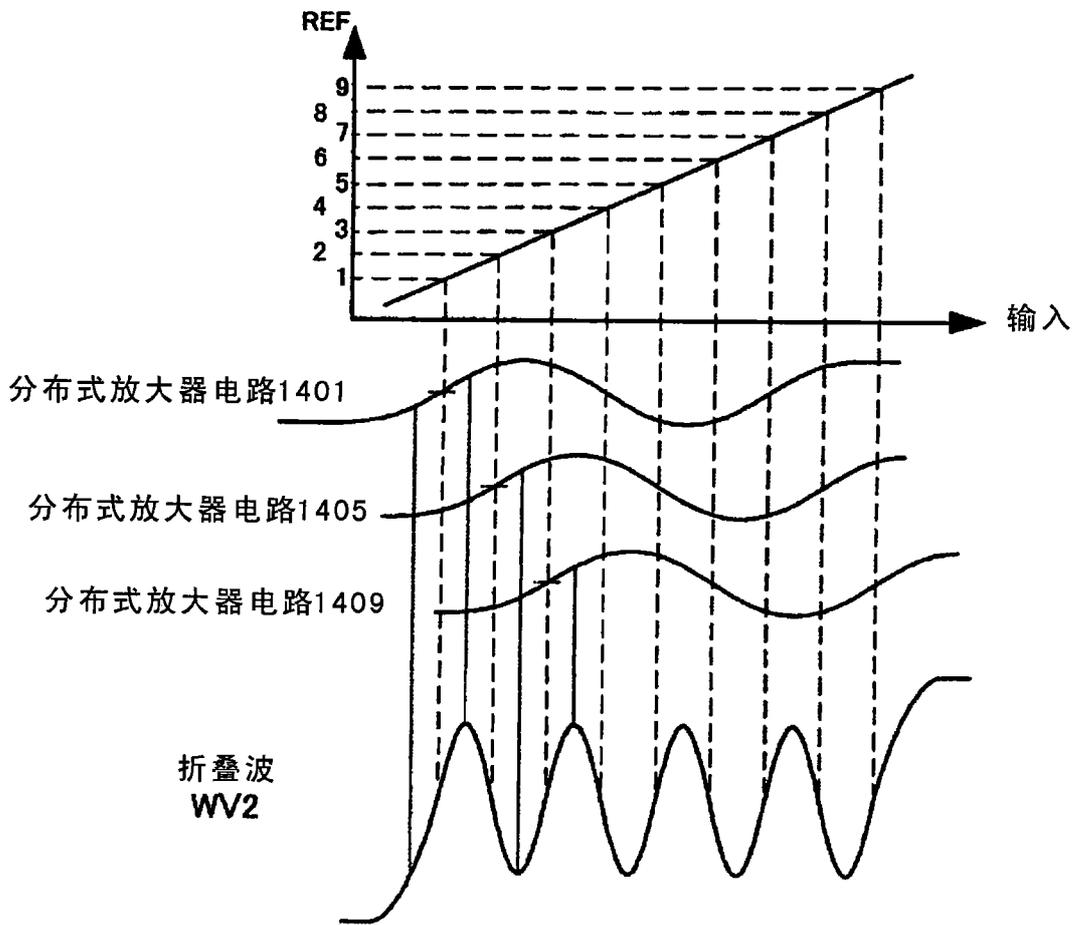


图 15

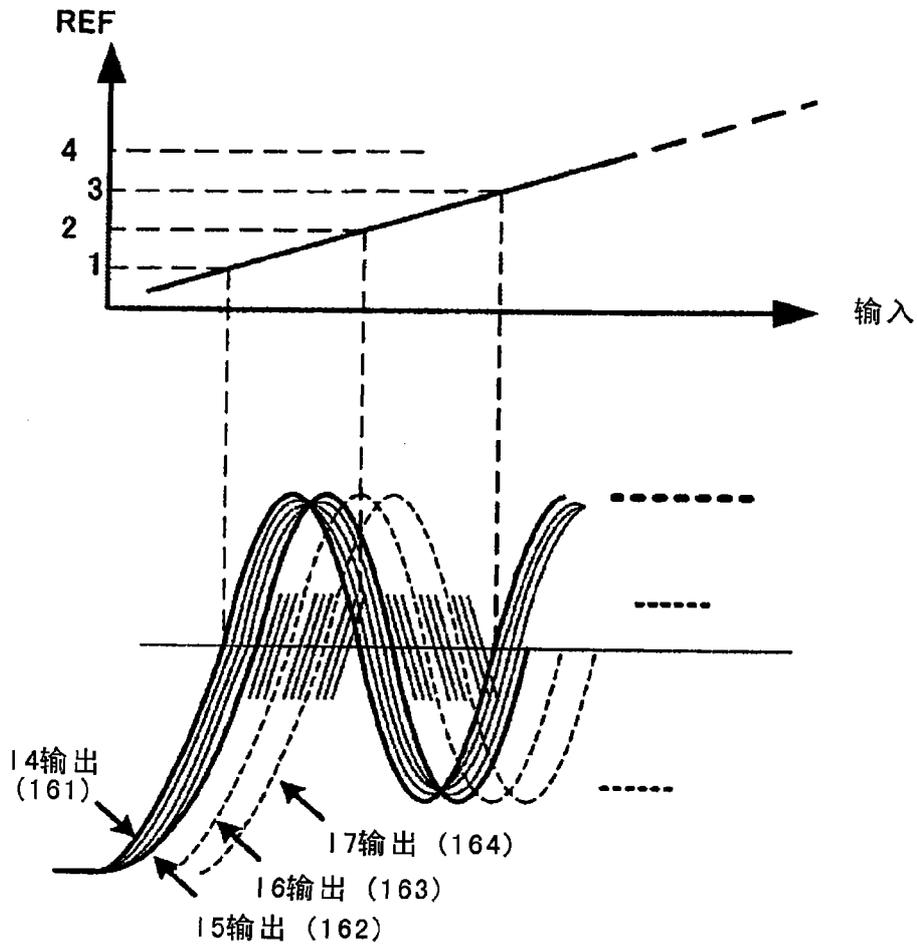


图 16

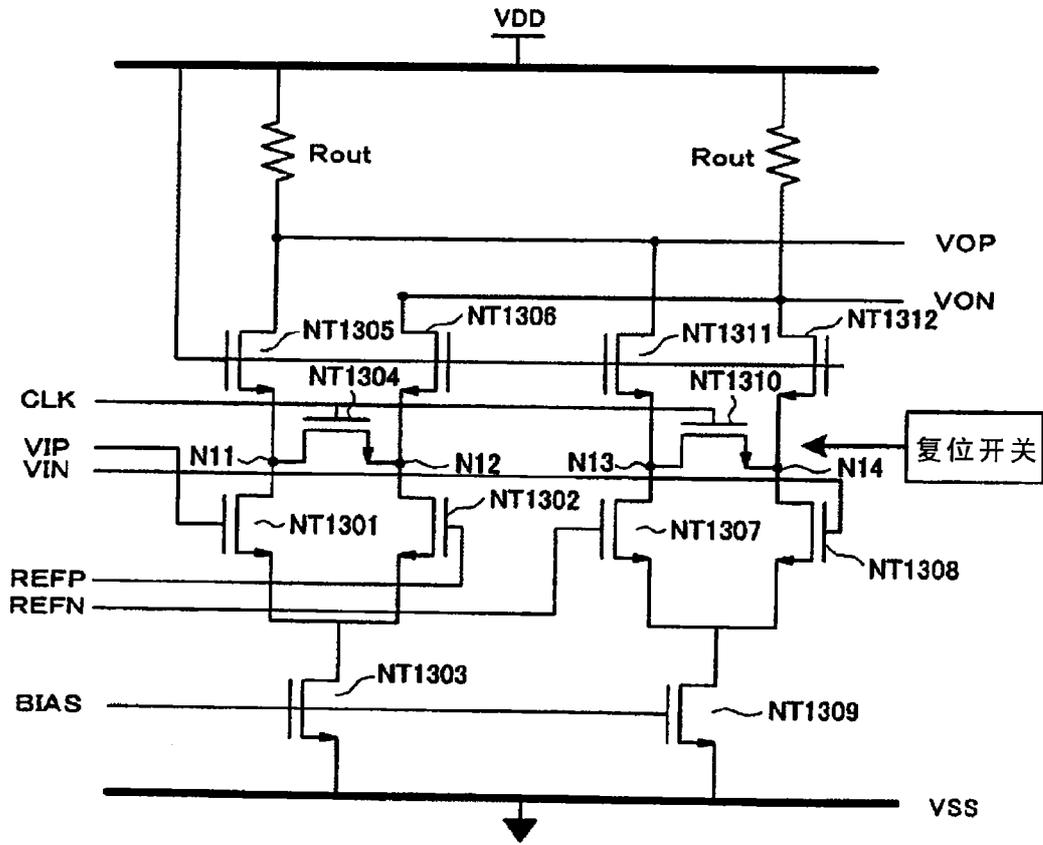


图 17