

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 5 月 25 日 (25.05.2023)



(10) 国际公布号
WO 2023/087640 A1

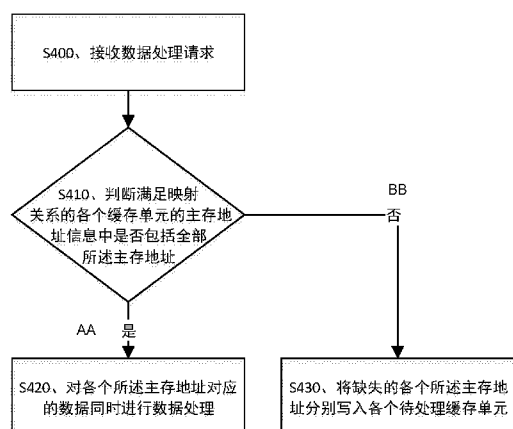
- (51) 国际专利分类号:
G06F 13/16 (2006.01)
- (21) 国际申请号: PCT/CN2022/092980
- (22) 国际申请日: 2022 年 5 月 16 日 (16.05.2022)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
202111363242.3 2021 年 11 月 17 日 (17.11.2021) CN
- (71) 申请人: 海光信息技术股份有限公司 (HYGON INFORMATION TECHNOLOGY CO., LTD.) [CN/CN]; 中国天津市华苑产业区海泰西路 18 号北 2-204 工业孵化-3-8, Tianjin 300392 (CN)。
- (72) 发明人: 翟海峰(ZHAI, Haifeng); 中国天津市华苑产业区海泰西路18号北2-204工业孵化-3-8, Tianjin 300392 (CN)。 左航(ZUO, Hang); 中国天津市华苑产业区海泰西路18号北2-204工业孵化-3-8, Tianjin 300392 (CN)。 王森(WANG, Sen); 中国天津市华苑产业区海泰西路18号北2-204工业

孵化-3-8, Tianjin 300392 (CN)。 潘于(PAN, Yu); 中国天津市华苑产业区海泰西路18号北2-204工业孵化-3-8, Tianjin 300392 (CN)。 梅程强(MEI, Chengqiang); 中国天津市华苑产业区海泰西路18号北2-204工业孵化-3-8, Tianjin 300392 (CN)。

- (74) 代理人: 北京市柳沈律师事务所(LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: DATA PROCESSING METHOD AND APPARATUS, AND CACHE, PROCESSOR AND ELECTRONIC DEVICE

(54) 发明名称: 数据处理方法、装置、缓存器、处理器及电子设备



S400 Receive a data processing request
S410 Determine whether main memory address information of each cache unit that satisfies a mapping relationship comprises all main memory addresses
S420 Simultaneously perform data processing on data which corresponds to the main memory addresses
S430 Respectively write each missing main memory address into each cache unit to be processed
AA Yes
BB No

图 4

(57) Abstract: A data processing method and apparatus, and a cache, a processor and an electronic device. The data processing method comprises: receiving a data processing request, wherein data that is requested by the data processing request comprises data that is suitable for being stored in at least two cache units, and main memory addresses of the data in each of the cache units are consecutive; and when main memory address information of each cache unit that satisfies a mapping relationship comprises all the main memory addresses, simultaneously performing data processing on the data which corresponds to the main memory addresses. By means of the method, a bandwidth is improved such that the efficiency of data transmission is improved.

(57) 摘要: 一种数据处理方法、装置、缓存器、处理器及电子设备。该数据处理方法包括接收数据处理请求, 所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据, 且各个所述缓存单元的数据的主存地址连续; 当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时, 对各个所述主存地址对应的数据同时进行数据处理。该方法可以提高带宽, 进而提高数据传输效率。

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

数据处理方法、装置、缓存器、处理器及电子设备

本申请要求于 2021 年 11 月 17 日递交的中国专利申请第
5 202111363242.3 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种数据处理方法、装置、缓存器、处理器及电
10 子设备。

背景技术

在典型计算机结构中，通常包含处理器和多级存储器。多级存储器中，主存储器存储指令和数据。处理器从主存储器中获取指令和相应的数据，
15 执行指令，并将结果数据写回到主存储器中。此外，在处理器和主存储器之间，通常有一级或多级高速缓冲存储器（Cache）。高速缓冲存储器用于降低处理器读取指令和数据的时间。当处理器需要读取主存储器中某个地址数据时，它首先检查该数据是否存在于高速缓存器中。如果高速缓存器中包含该数据，则处理器直接从高速缓存器中读取该数据，从高速缓存器
20 中读取数据要远快于从主存储器中读取数据。否则的话，高速缓存器从主存储器中读取该数据，存放在高速缓存器中，并返回给主存储器。

当处理器运算速度提高，对数据需求量加大时，需要提升数据获取效率，cache 间的数据通道宽度乘以单位时间通道可以传递数据的次数，即为带宽，其表明了 cache 在单位时间可以获取的最大数据量，为了提升数
25 据获取效率就需要提高带宽。

因此，如何提高带宽，进而提高数据传输效率，就成为本领域技术人员需要解决的技术问题。

发明内容

本公开至少一实施例提供一种数据处理方法，包括：接收数据处理请求，所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的
30

数据，且各个所述缓存单元的数据的主存地址连续；当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，对各个所述主存地址对应的数据同时进行数据处理，其中，所述满足映射关系的各个缓存单元，是指所述数据处理请求中的主存地址所对应的缓存单元。

5 例如，本公开一实施例提供的数据处理方法还包括：当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元，其中，各个所述待处理缓存单元的原有的主存地址信息，均异于所述数据处理请求的数据所对应的各个所述主存地址。

10 例如，在本公开一实施例提供的数据处理方法中，所述待处理缓存单元包括待替换缓存单元和空闲缓存单元中的至少一者。

 例如，在本公开一实施例提供的数据处理方法中，所述待替换缓存单元通过最近最少使用原则 RLU 确定。

15 例如，在本公开一实施例提供的数据处理方法中，所述数据处理请求包括数据读取请求，所述当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，对各个所述主存地址对应的数据同时进行数据处理的步骤，包括：当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，同时返回全部所述主存地址对应的数据。

20 例如，在本公开一实施例提供的数据处理方法中，所述数据处理请求包括数据读取请求，所述当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元的步骤之后，还包括：生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求。

25 例如，在本公开一实施例提供的数据处理方法中，所述生成读取缺失的各个所述主存地址所对应的数据的新数据处理请求的步骤包括：生成分别读取缺失的各个所述主存地址所对应的数据的各个缺失数据读取请求，所述缺失数据读取请求的数量与所述缺失的各个所述主存地址的数量相同；所述数据处理方法还包括：当接收到全部与缺失的各个所述主存地址对应的数据时，同时返回全部主存地址对应的数据。

30 例如，在本公开一实施例提供的数据处理方法中，所述生成读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求的步骤包括：获取

缺失的各个所述主存地址中地址连续的主存地址,得到各个连续主存地址;根据各个所述连续主存地址,生成读取缺失的各个所述连续主存地址所对应的数据的连续缺失数据读取请求;所述数据处理方法还包括:当接收到全部与缺失的各个所述主存地址对应的数据时,同时返回全部主存地址对应的数据。

例如,在本公开一实施例提供的数据处理方法中,所述数据处理请求包括数据写入请求,所述当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时,对各个所述主存地址对应的数据同时进行数据处理的步骤,包括:当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时,同时接收各个所述主存地址所对应的数据,并将各个所述数据写入相对应的所述缓存单元。

例如,在本公开一实施例提供的数据处理方法中,所述数据处理请求包括数据写入请求,所述当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时,将缺失的各个所述主存地址分别写入各个待处理缓存单元的步骤之后,还包括:同时接收各个所述主存地址所对应的数据,并将各个所述数据写入相对应的所述缓存单元。

例如,在本公开一实施例提供的数据处理方法中,所述数据处理请求还包括数据处理请求类型标识,所述数据处理请求类型标识用于标识所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据。

例如,在本公开一实施例提供的数据处理方法中,所述数据处理请求类型标识的实现方式包括增加主存地址数量标识位或增加请求类型标识种类。

本公开至少一实施例还提供一种数据处理装置,包括:数据处理请求模块,适于接收数据处理请求,所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据,且各个所述缓存单元的数据的主存地址连续;数据处理模块,适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时,对各个所述主存地址对应的数据同时进行数据处理,其中,所述满足映射关系的各个缓存单元,是指所述数据处理请求中的主存地址所对应的缓存单元。

例如,在本公开一实施例提供的数据处理装置中,数据处理模块,还适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主

存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元，其中，各个所述待处理缓存单元的原有的主存地址信息，均异于所述数据处理请求所请求数据的主存地址。

例如，在本公开一实施例提供的数据处理装置中，所述数据处理请求模块包括：数据读请求模块，适于接收数据读请求，所述数据读请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续；所述数据处理模块包括：数据读操作模块，适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，同时返回全部所述主存地址对应的数据。

例如，在本公开一实施例提供的数据处理装置中，所述数据处理请求模块包括：数据读请求模块，适于接收数据读请求，所述数据读请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续；所述数据处理模块包括：数据读操作模块，适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元，生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求。

例如，在本公开一实施例提供的数据处理装置中，所述数据读操作模块，适于生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求，包括：生成分别读取缺失的各个所述主存地址所对应的数据的各个缺失数据读取请求，所述缺失数据读取请求的数量与所述缺失的各个所述主存地址的数量相同；所述数据读操作模块，还适于当接收到全部与缺失的各个所述主存地址对应的数据时，同时返回全部主存地址对应的数据。

例如，在本公开一实施例提供的数据处理装置中，所述数据读操作模块，适于生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求包括：获取缺失的各个所述主存地址中地址连续的主存地址，得到各个连续主存地址；根据各个所述连续主存地址，生成读取缺失的各个所述连续主存地址所对应的数据的连续缺失数据读取请求。

例如，在本公开一实施例提供的数据处理装置中，所述数据处理请求模块包括：数据写请求模块，适于接收数据写请求，所述数据写请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元

的数据的主存地址连续；所述数据处理模块包括：数据写操作模块，适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，同时写入全部所述主存地址对应的数据。

例如，在本公开一实施例提供的数据处理装置中，所述数据处理请求模块包括数据写请求模块，所述数据处理装置包括：数据写操作模块，适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元后，同时接收各个所述主存地址所对应的数据，并将各个所述数据写入相对应的所述缓存单元。

例如，在本公开一实施例提供的数据处理装置中，所述数据处理请求还包括各个所述缓存单元的缓存单元索引和数据处理请求类型标识，所述数据处理请求类型标识用于标识所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据。

例如，在本公开一实施例提供的数据处理装置中，所述数据处理请求类型标识的实现方式包括增加主存地址数量标识位或增加请求类型标识种类。

本公开至少一实施例还提供一种缓存器，包括一级缓存和二级缓存，所述一级缓存的至少两个缓存单元和所述二级缓存的至少两个缓存单元同时映射，且所述一级缓存和所述二级缓存均包括如本公开的实施例所述的数据处理装置。

本公开至少一实施例还提供一种处理器，所述处理器执行计算机可执行指令，以实现如本公开的实施例所述的数据处理方法。

本公开至少一实施例还提供一种电子设备，包括如本公开的实施例所述的处理器。

附图说明

为了更清楚地说明本公开的实施例，下面将对实施例中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据提供的附图获得其他的附图。

图 1 为一种计算机结构的结构示意图；

图 2 为一种缓存单元的结构示意图；

图 3 为一种数据处理请求的结构示意图；

图 4 为本公开的实施例所提供的数据处理方法的一流程图；

图 5 为本公开的实施例所提供的数据处理方法的数据处理请求的结构

5 示意图；

图 6 为本公开的实施例所提供的数据处理方法的另一流程图；

图 7 为本公开的实施例所提供的数据处理方法的实现示例图；

图 8 为本公开的实施例所提供的数据处理方法的另一示例图；

图 9 为本公开的实施例所提供的数据处理方法的再一流程图；以及

10 图 10 为本公开的实施例所提供的数据处理装置的框图。

具体实施方式

下面将结合本公开的实施例中的附图，对本公开的实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开的一部分
15 实施例，而不是全部的实施例。基于本公开的中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开的保护的范围。

下面对一种缓存技术进行介绍。图 1 示出了一种计算机结构的结构示意图。如图 1 所示，该计算机结构主要包括处理器 100、高速缓存和主存
20 130，高速缓存包括一级高速缓存 110 和二级高速缓存 120。

其中，处理器 100，可以是中央处理器，也可以是图形处理器或通用图形处理器。本公开的实施例所有所述的处理器都是指功能意义上的处理器，即具有逻辑运算和控制功能的运算和控制核心，而不是从产品封装上看的包含高速缓存在内的一个封装盒，本公开的实施例所述的处理器可能
25 对应某些文献里所描述的处理器的物理核心。

高速缓存，分为多级高速缓存，一级高速缓存 110 存储量最小，二级高速缓存 120 比一级大，后面以此类推，在极小存储量的一级高速缓存 110 中有时还会区分成指令高速缓存和数据高速缓存，只有数据高速缓存可以存储数据，这进一步减小了一级高速缓存可以存储的数据大小。一般一个
30 处理器 100 独享一个一级高速缓存 110，多个处理器共享一个二级高速缓存 120，在一些实施例中，也可以是一个处理器独享一个一级高速缓存 110

和一个二级高速缓存 120, 多个处理器共享一个三级高速缓存, 后面以此类推, 处理器 100 通过共享高速缓存实现了相互间的数据交流。高速缓存存取速度比主存快, 存储容量比处理器大。

5 主存 130, 主存是存储所有指令和数据的存储单元, 存储容量大但存取速度慢, 通常采用 DRAM (动态随机存取存储器) 类型的存储芯片。

处理器 100 后连接专属的一级高速缓存 110, 一级高速缓存 110 连接二级高速缓存 120, 最后连接主存 130, 专属的一级高速缓存 110 一般存储空间较小, 只保存对应处理器当下处理的关联数据。当一级高速缓存 110 中没有命中时才会去二级高速缓存 120 中寻找。例如在一些实施例中, 二级
10 高速缓存 120 为多个处理器服务, 但一次只能为一个处理器提供服务, 不同的处理器通过二级高速缓存实现互相访问以及与主存 130 的访问。在另一些实施例中二级高速缓存 120 仍为一个处理器所专属, 共享的是三级高速缓存。处理器 100 通过对高速缓存的访问避免了对主存 130 的直接访问, 从而避免了巨大速度差异带来的时间浪费, 提高了效率。

15 图 2 示出了一种缓存单元的结构示意图。高速缓存由数个缓存单元(具体可以为缓存行)构成, 每个缓存单元的结构相同, 下面以一个缓存行为例进行说明。如图 2 所示, 每个缓存行的前面有索引, 比如图 2 中所示索引: 0。

索引, 也称为偏移量, 即是数据在缓存结构中的相对位置。

20 一个缓存行主要包含存储数据的数据 202、地址位 201、有效位 200。

其中, 数据 202 用于存储数据, 本公开的实施例所述的数据指的是数据信息、指令信息的统称, 每个缓存单元所存储的数据对应主存中的一个主存块的数据。

地址位 201, 适于表示存储于缓存单元中的数据在主存中的地址, 由于
25 于计算机系统中, 通过特定的位置转换算法可以获取任意主存地址对应的缓存单元的索引, 由于同一个缓存单元与多个主存地址映射, 因此在缓存单元存储数据时还必须标记数据在主存中的数据地址, 也称为缓存单元的数据地址。

有效位 200, 用于表明该缓存行是否有效, 如果有效位 200 的值所表示
30 的意义为无效, 无论当前缓存单元中是否有数据, 处理器都会逐级向下一级访问, 重新加载数据。

每个缓存行都有一个索引，缓存行与主存间有多种映射关系，在某些实施例中，可以为直接映射，缓存行根据接收到的地址，对比缓存行的索引，找到确切的缓存行，然后对比地址位 201，如果地址位 201 和所接收的请求中的地址信息相同，则为命中，对此缓存行进行相应操作，比如读回数据操作或者写入数据操作；如果不相同，则为缺失，对于数据读取请求，只能从下一级高速缓存或者主存中寻找，对于数据写入操作，则需要确定可以写入数据的缓存行。

图 3 示出了一种数据处理请求的结构示意图。如图 3 所示，数据处理请求主要包括请求类型标识种类位 300、其它控制位 310、数据位 320。

其中，请求类型标识种类位 300，用于标明请求类型是读操作请求还是写操作请求，在一些实施例中，读写控制位为两位 bit 大小，用 00 表示读操作，用 11 表示写操作。

数据位 320，适于标识数据处理请求所请求的数据信息或数据主存地址信息，需要注意的是，如果是读操作请求则没有数据只有主存地址信息，通过数据位 320 所标识的主存地址信息在缓存中寻找缓存行，并判断是否命中。

其它控制位 310，起到其余控制作用。

各级缓存之间的数据通道宽度、缓存与主存之间的数据通道宽度均与缓存行的数据带宽一致，在对数据进行处理的过程中，一个数据处理请求只请求一个缓存单元（缓存行），对一个缓存单元进行是否命中的判断。

然而，某些情况下，还需要进一步提高数据的传输效率，为此，需要增加带宽，进而提高数据传输效率。

为此，本公开的实施例提供一种数据处理方法，可以对连续数据地址的多个缓存单元（缓存行）同时进行处理，可以实现通过加宽带宽，提高数据传输效率。

图 4 示出了本公开的实施例所提供的数据处理方法的一流程图。

如图 4 所示，该流程可以包括如下步骤：在步骤 S400 中，接收数据处理请求。

在数据处理时，首先接收数据处理请求，容易理解的是，接收数据处理请求的可以为高速缓存或者主存，而当为高速缓存时，具体可以为一级高速缓存、二级高速缓存或者三级高速缓存中的一者。

需要说明的是，在接收数据处理请求的过程中，所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续。

本文所述的数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据，既包括所请求的数据为适于存储于两个缓存单元的数据，也可以包括所请求的数据为适于存储于多于两个缓存单元的数据。

如前所述，主存可以分为数个主存块，每个主存块的大小与缓存单元大小相同，数据的主存地址即为存储数据的主存块，以及块内偏移。数据处理请求所请求的数据存储于至少两个缓存单元，那么对应存储于主存中需存储于至少两个主存块，而各个所述缓存单元的数据的主存地址连续，不是指在一个缓存单元中或一个主存块中的两个或多个字或字节连续，而是指数据位于连续的主存块中，且缓存单元在物理上不一定连续的，但主存块是连续的。

例如，需要处理两个数据，分别为数据 1 和数据 2，数据 1 是存储于主存块 12 的第 4 个字，数据 2 是存储于主存块 13 的第 7 个字，与主存块 12 对应的缓存单元索引是 3，与主存块 13 对应的缓存行索引是 8，由于主存块 12 和主存块 13 连续，那么请求数据 1 和数据 2 的数据处理请求，即为本公开的所述的数据处理请求。需要注意的是，本公开的实施例提到的所有连续，表达的都是指本段所描述连续的方式。

具体地，数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据，可以通过数据处理请求类型标识进行标识，即数据处理请求中包括数据处理请求类型标识，从而当各级高速缓存或者主存接收到数据处理请求后，能够确定需要对存储于至少两个缓存单元的数据进行处理。

在一种具体实施方式中，数据处理请求类型标识的实现方式可以包括增加主存地址数量标识位或增加请求类型标识种类。图 5 示出了本公开的实施例所提供的数据处理方法的数据处理请求的结构示意图。如图 5 所示，该处理请求可以包括：主存地址数量标识位 1000，请求类型标识种类位 1010，其它控制位 1020，数据 1030。

对于增加主存地址数量标识位 1000，比如：如果所请求的数据包括适于存储于两个缓存单元的数据，可以通过增加一个主存地址数量标识位 1000 以表示该请求的特殊性，当其取值为 1 时，表示所请求的数据是存储

于两个缓存单元的数据，尽管数据处理请求中的地址仍然仅有一个主存地址，但所请求的数据为数据处理请求中的主存地址以及数据处理请求中的主存地址相邻的另一个主存地址中的数据；当然，当其取值为 0 时，表示所请求的数据是存储于一个缓存单元的数据。

5 容易理解的是，如果所请求的数据包括适于存储于多于两个缓存单元的数据，那么主存地址数量标识位 1000 的位数可以根据需要增加。

 对于增加请求类型标识种类，比如：如果所请求的数据包括适于存储于两个缓存单元的数据，可以通过 2 比特来表示请求类型的标识，00 表示普通的读数据请求，即所请求的数据包括适于存储于一个缓存单元的数据的读请求，01 表示普通的写数据请求，即所请求的数据包括适于存储于一个缓存单元的数据的写请求，10 表示所请求的数据存储于两个缓存单元的数据的读请求，11 表示所请求的数据存储于两个缓存单元的数据的写请求，当然，当所请求的数据包括适于存储于两个缓存单元的数据，数据处理请求中的地址仍然仅有一个主存地址，但所请求的数据为数据处理请求中的主存地址以及数据处理请求中的主存地址相邻的另一个主存地址中的数据。

10

15

 进一步地，当数据处理请求为数据读取请求时，所得到的数据需要返回至发送数据处理请求的模块，为此，数据处理请求中还可以包括各个所述缓存单元的缓存单元索引，从而保证数据处理请求所请求数据的顺利返回。

20

 值得注意的是，本公开的实施例还提供一种数据处理请求的标识方式，接收模块通过对接收到的请求进行分析，发现连续的数个请求所请求的数据的地址是连续的，便视为一个连续的处理请求，只有在全部命中的时候才返回给上级模块。

25 在步骤 S410 中，判断满足映射关系的各个缓存单元的主存地址信息中是否包括全部所述主存地址，如果是，则执行步骤 S420，如果否，则执行步骤 S430。

 当接收到数据处理请求后，需要基于数据处理请求处理数据，为此需要确定数据处理请求所对应的数据在接收请求的模块（各级高速缓存或主存）中存储，如果满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址，即所请求的数据全部备份在缓存行中，确定对应模块中

30

存储有数据，此时命中，执行步骤 S420，否则，只要请求中的一个主存块的主存地址未命中，则为缺失，执行步骤 S430。

容易理解的是，满足映射关系的各个缓存单元，是指所述数据处理请求中的主存地址所对应的缓存单元，基于映射方式的不同，所对应的缓存单元也不同，当映射方式为全关联映射时，满足映射关系的各个缓存单元是指全部的缓存单元，主存地址能够和全部的缓存单元进行映射；当映射方式为组关联映射时，满足映射关系的各个缓存单元是指主存地址所能够对应的一组缓存单元，即主存地址能够仅能和一部分缓存单元映射；从而，在进行查找时，所对应的查找范围不同。

主存地址信息指向的主存块中储存有处理请求所请求的数据，如果命中，那么所述的缓存单元的主存地址信息中包括了此数据的地址，所请求的全部数据的地址都包括，即所有的数据都储存在了缓存中。

在步骤 S420 中，对各个所述主存地址对应的数据同时进行数据处理。

满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址，尽管数据处理请求所请求的数据涉及多个缓存单元，但仍同时对多个缓存单元的数据同时进行处理。

以读操作为例，例如二级高速缓存接收到的一个数据读取请求中请求读取 M1、M2 这两个主存地址连续的数据，M1 和 M2 的主存地址分别对应着二级高速缓存的缓存单元 S1 和 S2，则二级高速缓存接收到数据读取请求后同时选中 S1 缓存单元和 S2 缓存单元，同时传输该两个缓存单元的数据内容给一级高速缓存，一级高速缓存同时接收到该两个缓存单元的数据。

容易理解的是，为了实现对各个所述主存地址对应的数据同时进行数据处理，在结构上，发送数据处理请求和接收数据处理请求的两级模块之间，至少两个缓存单元同时映射，即至少两个缓存单元的映射同时有效。

当数据处理请求所请求的数据多于两个缓存单元的数据时，映射同时有效的缓存单元的数量与数据处理请求所述请求的数据对应的缓存单元的数量相同。

在一些实施例中，还可以将每级高速缓存分为多个高速缓存器，每个高速缓存器中设置多个缓存单元。

可见，本公开的实施例所提供的数据处理方法，所接收的一个数据处

理请求至少对应两个缓存单元，各个缓存单元同时进行是否命中的判断，并在命中时，同时返回各个缓存单元的数据，可以在无需改变缓存单元大小的情况下，增大各级高速缓存间、高速缓存与计算单元间以及高速缓存与主存间的数据通道宽度，提高数据传输效率，并且可以避免加宽缓存单元所需要的映射关系改变，以及由此带来的工作量的增加，可以实现在较小工作量的基础上，提高带宽，进而提高数据传输效率的提高；进一步地，在读写请求的数量比例不一致的情况下，还可以在相邻两级传输之间改变读写请求的数据传输带宽比例，使得数据传输更满足使用要求。

例如，在另一实施例中，为了保证数据的顺利处理，还可以包括如下步骤：在步骤 S430 中，将缺失的各个所述主存地址分别写入各个待处理缓存单元。

满足映射关系的各个缓存单元的主存地址信息中仅包括部分数据处理请求中的所述主存地址，或者完全未包括时，需要首先确定一些缓存单元，所确定的缓存单元能够允许将缺失的主存地址写入到待处理缓存单元。

当然，待处理缓存单元既可以为已经被占用但可以被替换的待替换缓存单元，也可以为未被占用的空闲缓存单元，即其中不存在主存地址信息。

容易理解的是，待替换缓存单元中如果存在主存地址信息，那么其中的原有的主存地址信息需与数据处理请求的数据所对应的各个所述主存地址不同，否则会出现将未命中的数据全部读入缓存后，缓存中仍然没有包含全部所请求数据的问题。当然，其中也可以不存在主存地址信息，即为空的缓存单元。

具体地，待处理缓存单元可以基于 RLU 原则（最近最少使用原则）进行确定。

确定了待处理缓存单元，将缺失的主存地址写入各个待处理缓存单元，但并非将数据写入各个待处理缓存单元，以便当获取到对应的数据时，将其写入对应主存地址的缓存单元。

另外，容易理解的是，本文所述的缺失的主存地址是指缺失的地址信息中的各个缓存单元中存储的基地址。

在一种替代实现中，对待处理缓存单元，没有其主存地址信息异于所述数据处理请求的数据所对应的各个所述主存地址的要求，但在每次替换完后，都要再进行缓存中是否包含所有所请求数据的检查，如果没有，就

重复此过程，直到检测到所有所述请求数据都包含备份到了缓存中。

这样，通过将缺失的各个所述主存地址分别写入各个待处理缓存单元，可以在提高数据传输效率的基础上，保证数据读取或者写入的顺利执行。

5 为了方便理解，本公开的实施例还提供了一种数据处理方法，以说明在数据读取时的具体处理方法，图 6 示出了本公开的实施例所提供的数据处理方法的另一流程图。

容易理解的是，图 6 所示流程是数据处理请求为数据读取请求这一具体情况时的流程图。由于图中大部分步骤都与图 4 中的步骤相类似，对这部分内容不展开描述。如图 6 所示，该流程可以包括如下步骤。

在步骤 S500 中，接收数据读取请求。

步骤 S500 的具体内容请参考图 4 所示的步骤 S400 的描述，当然，数据处理请求为数据读取请求，其他内容，在此不再赘述。

15 在步骤 S510 中，判断满足映射关系的各个缓存单元的主存地址信息中是否包括全部所述主存地址，若是，执行步骤 S520，若否，执行步骤 S530。

步骤 S510 的具体内容，请参考图 4 所示的步骤 S410 的描述，在此不再赘述。

在步骤 S520 中，同时返回全部所述主存地址所对应的数据。

20 步骤 S520 的具体内容，请参考图 4 所示的步骤 S420 的描述，当然，由于数据处理请求为数据读取请求，因此，在对数据进行处理时，同时返回全部主存地址对应的数据。

这样，可以实现对于各个主存地址对应数据的读取，并且，由于可以同时返回数据，可以提高数据读取的效率。

25 在另一种具体实施方式中，当存在缺失的各个所述主存地址时，为了保证数据的顺利读取，还可以包括以下步骤：在步骤 S530 中，将缺失的各个所述主存地址分别写入各个待处理缓存单元。

步骤 S530 的具体内容，请参考图 4 所示的步骤 S430 的描述，在此不再赘述。

30 在步骤 S540 中，生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求。

当存在缺失的各个所述主存地址时，为了实现数据的读取还需要生成发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求，并向下一级模块（比如：二级缓存或者主存）发送缺失数据读取请求。

可以看出，对于数据读取请求，在满足映射关系的各个缓存单元的主存地址信息中不包括全部所述主存地址时，还生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求，从而保证实现数据的读取。

在缺失的主存地址是多个地址时，根据连续不连续会出现多种情况，例如缺失的数据也是连续的数据，缺失的数据部分连续部分不连续或者缺失的数据是全部不连续的。在一些实施例中，可以针对数个缺失的连续的主存地址对应的数据发出新的合并的数据读取请求。在另一些实施例中，不管有没有连续的缺失数据，都对每个缓存单元的数据单独的发送一个数据读取请求。不同的处理方法影响后续的处理，下面举出两个不同的实现示例。

图 7 示出了本公开的实施例所提供的数据处理方法的实现示例图。

需要说明的是，图 7 中大部分内容与图 6 中的步骤类似，对这部分内容不展开描述。如图 7 所示，该示例可以包括如下步骤。

在步骤 S600 中，接收数据读取请求。

在步骤 S610 中，判断满足映射关系的各个缓存单元的主存地址信息中是否包含全部所述主存地址，如果是，则执行步骤 S620，如果否，则执行步骤 S630。

在步骤 S620 中，同时返回全部所述主存地址对应的数据。

在步骤 S630 中，将缺失的各个所述主存地址分别写入各个待处理缓存单元。

步骤 S600-步骤 S630 的具体内容，请参考图 4 所示的步骤 S400-步骤 S430 的描述，在此不再赘述。

在步骤 S640 中，生成分别读取缺失的各个所述主存地址所对应的数据的各个缺失数据读取请求。

不论缺失数据是一个还是数个，是数个全部连续还是数个部分连续，都对每一个缓存单元的主存地址对应的数据分别生成一个缺失数据读取请求，挨个发送给下一级模块。每个数据请求只请求读取一个缓存单元的主

存地址对应的缺失数据，缺失数据读取请求的数量与所述缺失的各个所述主存地址的数量相同，下一级模块可以是高速缓存或主存，如果发送模块是最低级高速缓存，则下一级模块是主存。若发送模块是一级缓存，则下一级模块是二级缓存。

- 5 在步骤 S650 中，判断是否接收到全部与缺失的各个所述主存地址对应的数据，若是，执行步骤 S660，否则，再次等待和判断。

当向下一级模块发送获取数据的缺失数据读取请求后，还需确定是否接收到了全部的缺失数据，直至得到全部的缺失数据后，同时返回全部主存地址对应的数据。

- 10 当然，下一级模块如果是更低一级的缓存，仍然存在下一级模块中缺失所请求的部分数据的情况，此时会再向下一级模块发送请求，容易理解的是，具体的流程与上述流程一致，在此不再赘述。

在步骤 S660 中，同时返回全部主存地址对应的数据。

- 15 步骤 S660 的具体内容，请参考图 5 所示的步骤 S520 的描述，在此不再赘述。

这样，分别生成各个缺失数据读取请求，可以降低数据处理方法的复杂度，并且在接收到数据后，同时返回全部所述主存地址对应的数据，也可以提高数据传输效率。

- 20 图 8 示出了本公开的实施例所提供的数据处理方法的另一示例图。需要说明的是，图 8 的示例与图 7 的区别主要在于对于缺失的数据的处理，因此对其他步骤不展开描述。如图 8 所示，该示例可以包括如下步骤。

在步骤 S700 中，接收数据读取请求。

- 25 在步骤 S710 中，判断满足映射关系的各缓存单元的主存地址信息中是否包括全部所述主存地址。如果是，则执行步骤 S720，如果否，则执行步骤 S730。

在步骤 S720 中，同时返回全部所述主存地址对应的数据。

在步骤 S730 中，将缺失的各个所述主存地址分别写入各个待处理缓存单元。

- 30 步骤 S700-步骤 S730 的具体内容，请参考前述对应部分的描述，在此不再赘述。

在步骤 S740 中，获取缺失的各个所述主存地址中地址连续的主存地

址，得到各个连续主存地址，根据各个所述连续主存地址，生成读取缺失的各个所述连续主存地址所对应的数据的连续缺失数据读取请求。

在生成缺失数据读取请求时，为了进一步提高数据传输效率，可以进一步获取缺失的主存地址，然后，确定新的连续主存地址，并根据连续主存地址生成连续缺失数据读取请求。

当然，容易理解的是，对于无法确定为连续主存地址的主存地址，则仅需根据各个主存地址分别生成缺失数据读取请求即可。

为方便理解，现举例如下。

比如：缺失的数据的主存地址分别为 M1、M2 和 N1，其中主存地址 M1 和主存地址 M2 连续，那么生成连续缺失数据读取请求，主存地址 N1 与 M1 和 M2 不连续，那么，生成缺失数据读取请求，然后向下一级模块发送对应主存地址 M1 和 M2 的连续缺失数据读取请求和对应主存地址 N1 的缺失数据读取请求即可。

在步骤 S750 中，判断是否接收到全部与缺失的各个所述主存地址对应的数据，如果是，则执行步骤 S760，如果否，则重复进行判断。

在步骤 S760 中，同时返回全部主存地址对应的数据。

可以看出，当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，所生成的缺失数据读取请求中仍然可以包括读取缺失的各个所述连续主存地址所对应的数据的请求，从而，在数据读取过程中，进一步提高数据传输效率。

除了能够提高数据读取时的数据传输效率，当数据写入时，也可以提高数据的传输效率，为此，本公开的实施例还提供一种数据处理方法，请参考图 9，图 9 示出本公开的实施例所提供的数据处理方法的再一流程图。

如图 9 所示，该流程可以包括如下过程。

步骤 S800，接收数据写入请求。

步骤 S800 的具体内容请参考图 4 所示的步骤 S400 的描述，当然，数据处理请求为数据写入请求，其他内容，在此不再赘述。

步骤 S810，判断满足映射关系的各个缓存单元的主存地址信息中是否包括全部所述主存地址。如果是，则执行步骤 S820，如果否，则执行步骤 S830。

步骤 S810 的具体内容，请参考图 4 所示的步骤 S410 的描述，在此不

再赘述。

步骤 S820, 同时接收各个所述主存地址所对应的数据, 并将各个所述数据写入相对应的所述缓存单元。

步骤 S820 的具体内容, 请参考图 4 所示的步骤 S420 的描述, 当然, 5 由于数据处理请求为数据写入请求, 因此, 在对数据进行处理时, 同时将数据写入对应主存地址的缓存单元或者主存即可。

这样, 本公开的实施例所提供的数据处理方法, 所接收的一个数据写入请求至少对应两个缓存单元, 各个缓存单元同时进行是否命中的判断, 并在命中时, 同时写入各个缓存单元的数据, 可以在无需改变缓存单元大小 10 的情况下, 增大各级缓存间、缓存与计算单元间以及缓存与主存间的数据通道宽度, 提高数据传输效率, 从而可以避免加宽缓存单元所需要的映射关系改变, 以及由此带来的工作量的增加, 可以实现在较小工作量的基础上, 提高带宽, 进而提高数据传输效率。

可以实现对于各个主存地址对应数据的写入, 并且, 由于可以同时写入 15 数据, 可以提高数据写入的效率。

在另一实施例中, 还可以包括步骤 S830 中, 将缺失的各个所述主存地址分别写入各个待处理缓存单元。

步骤 S830 的具体内容, 请参考图 4 所示的步骤 S430 的描述, 当然, 由于数据处理请求为数据写入请求, 因此, 将缺失的各个所述主存地址分 20 别写入各个待处理缓存单元即可。

步骤 S840, 同时接收各个所述主存地址所对应的数据, 并将各个所述数据写入相对应的所述缓存单元。

将所有缺失的主存地址都已被写入到高级缓存中后, 将接收到的数据分别写入对应的缓存单元里即可。

25 可见, 本公开的实施例所提供的数据处理方法, 所接收的一个数据写入请求至少对应两个缓存单元, 各个缓存单元同时进行是否命中的判断, 并在未命中时, 将缺失的各个所述主存地址分别写入各个待处理缓存单元, 然后同时写入各个缓存单元的数据, 可以在无需改变缓存单元大小的情况下, 增大各级缓存间、缓存与计算单元间以及缓存与主存间的数据通道宽 30 度, 提高数据传输效率, 从而可以避免加宽缓存单元所需要的映射关系改变, 以及由此带来的工作量的增加, 可以实现在较小工作量的基础上, 提

高带宽，进而提高数据传输效率。

上文描述了本公开的多个实施例，各实施例介绍的各可选方式可在不冲突的情况下相互结合、交叉引用，从而延伸出多种可能的实施例，这些均可认为是本公开的实施例披露。

5 本公开的实施例还提供一种数据处理装置，该装置可以认为是实现本公开的实施例提供的数据处理方法所需设置的功能模块。本文描述的装置内容与上文描述方法内容相互对应参照。

10 图 10 示出了本公开的实施例所提供的数据处理装置的框图。该装置可适用于本公开的实施例所提供的数据处理方法。参照图 10，该装置可以包括：

 数据处理请求模块 910，适于接收数据处理请求，所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续。

15 数据处理模块 920，适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，对各个所述主存地址对应的数据同时进行数据处理，其中，所述满足映射关系的各个缓存单元，是指所述数据处理请求中的主存地址所对应的缓存单元。

20 在一些实施例中，数据处理模块 920 还适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元，其中，各个所述待处理缓存单元的原有的主存地址信息，均异于所述数据处理请求所请求数据的主存地址。

 在一些实施例中，数据处理请求模块 910 可以为数据读请求模块，适于接收数据读请求，所述数据读请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续。

25 数据处理模块 920 可以为数据读操作模块，适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，同时返回全部所述主存地址对应的数据。

30 在另一些实施例中，该数据读操作模块还适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元，生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求。

在一些实施例中，数据读操作模块，适于生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求，包括：生成分别读取缺失的各个所述主存地址所对应的数据的各个缺失数据读取请求，所述缺失数据读取请求的数量与所述缺失的各个所述主存地址的数量相同。

5 数据读操作模块，还适于当接收到全部与缺失的各个所述主存地址对应的数据时，同时返回全部主存地址对应的数据。

在一些实施例中，数据读操作模块，适于生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求，包括：获取缺失的各个所述主存地址中地址连续的主存地址，得到各个连续主存地址；根据各个
10 所述连续主存地址，生成读取缺失的各个所述连续主存地址所对应的数据的连续缺失数据读取请求；数据读操作模块，还适于当接收到全部与缺失的各个所述主存地址对应的数据时，同时返回全部主存地址对应的数据。

在另一些实施例中，数据处理请求模块 910 可以为数据写请求模块，适于接收数据写请求，所述数据写请求所请求的数据包括适于存储于至少
15 两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续。

数据处理模块 920 可以为数据写操作模块，适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，同时写入全部所述主存地址对应的数据。

在另一些实施例中，该数据写操作模块还适于当满足映射关系的各个
20 缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元后，同时接收各个所述主存地址所对应的数据，并将各个所述数据写入相对应的所述缓存单元。

可以看出，本公开的实施例所提供的数据处理装置，数据处理请求模块 910 所接收的一个数据处理请求至少对应两个缓存单元，数据处理模块
25 920 对各个缓存单元同时进行是否命中的判断，并在命中时，同时返回各个缓存单元的数据，可以在无需改变缓存单元大小的情况下，增大各级高速缓存间、高速缓存与计算单元间以及高速缓存与主存间的数据通道宽度，提高数据传输效率，并且可以避免加宽缓存单元所需要的映射关系改变，以及由此带来的工作量的增加，可以实现在较小工作量的基础上，提高带
30 宽，进而提高数据传输效率；进一步地，在读写请求的数量比例不一致的情况下，还可以在相邻两级传输之间改变读写请求的数据传输带宽比例，

使得数据传输更满足使用要求。

本公开至少一实施例还提供一种缓存器，该缓存器可以包括一级缓存和二级缓存，所述一级缓存的至少两个缓存单元和所述二级缓存的至少两个缓存单元同时映射，且所述一级缓存和所述二级缓存均包括本公开的实

5 施例所提供的数据处理装置。

这样，通过使一级缓存的至少两个缓存单元和二级缓存的至少两个缓存单元同时映射，可以实现可以同时传输至少两个缓存单元的数据，可以在无需改变缓存单元大小的情况下，增大各级高速缓存间的数据通道宽度，提高数据传输效率。

10 本公开至少一实施例还提供一种处理器，该处理器执行计算机可执行指令，以实现本公开的实施例提供的数据处理方法。

本公开至少一实施例还提供一种电子设备，该电子设备可以包括本公开的实施例上述提供的处理器。

15 虽然本公开的实施例披露如上，但本公开并非限定于此。任何本领域技术人员，在不脱离本公开的精神和范围内，均可作各种更动与修改，因此本公开的保护范围应当以权利要求所限定的范围为准。

权利要求书

1. 一种数据处理方法，包括：

接收数据处理请求，所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据，且各个所述缓存单元的数据的主存地址连续；当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，对各个所述主存地址对应的数据同时进行数据处理，其中，所述满足映射关系的各个缓存单元，是指所述数据处理请求中的主存地址所对应的缓存单元。

2. 如权利要求 1 所述的数据处理方法，还包括：

当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元，其中，各个所述待处理缓存单元的原有的主存地址信息，均异于所述数据处理请求的数据所对应的各个所述主存地址。

3. 如权利要求 2 所述的数据处理方法，其中，所述待处理缓存单元包括待替换缓存单元和空闲缓存单元中的至少一者。

4. 如权利要求 3 所述的数据处理方法，其中，所述待替换缓存单元通过最近最少使用原则 RLU 确定。

5. 如权利要求 1-4 任一所述的数据处理方法，其中，所述数据处理请求包括数据读取请求，所述当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，对各个所述主存地址对应的数据同时进行数据处理的步骤，包括：

当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时，同时返回全部所述主存地址对应的数据。

6. 如权利要求 2-4 任一所述的数据处理方法，其中，所述数据处理请求包括数据读取请求，所述当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元的步骤之后，还包括：

生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求。

7. 如权利要求 6 所述的数据处理方法，其中，所述生成读取缺失的各

个所述主存地址所对应的数据的新数据处理请求的步骤包括:

生成分别读取缺失的各个所述主存地址所对应的数据的各个缺失数据读取请求, 所述缺失数据读取请求的数量与所述缺失的各个所述主存地址的数量相同;

5 所述数据处理方法还包括:

当接收到全部与缺失的各个所述主存地址对应的数据时, 同时返回全部主存地址对应的数据。

8. 如权利要求 6 或 7 所述的数据处理方法, 其中, 所述生成读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求的步骤包括:

10 获取缺失的各个所述主存地址中地址连续的主存地址, 得到各个连续主存地址;

根据各个所述连续主存地址, 生成读取缺失的各个所述连续主存地址所对应的数据的连续缺失数据读取请求;

所述数据处理方法还包括:

15 当接收到全部与缺失的各个所述主存地址对应的数据时, 同时返回全部主存地址对应的数据。

9. 如权利要求 1-8 任一所述的数据处理方法, 其中, 所述数据处理请求包括数据写入请求, 所述当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时, 对各个所述主存地址对应的数据同时进行
20 数据处理的步骤, 包括:

当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时, 同时接收各个所述主存地址所对应的数据, 并将各个所述数据写入相对应的所述缓存单元。

10. 如权利要求 2-4 任一所述的数据处理方法, 其中, 所述数据处理请求包括数据写入请求, 所述当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时, 将缺失的各个所述主存地址分别写入各个待处理缓存单元的
25 步骤之后, 还包括:

同时接收各个所述主存地址所对应的数据, 并将各个所述数据写入相对应的所述缓存单元。

30 11. 如权利要求 1-10 任一项所述的数据处理方法, 其中, 所述数据处理请求还包括数据处理请求类型标识, 所述数据处理请求类型标识用于标

识所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据。

12.如权利要求 11 所述的数据处理方法, 其中, 所述数据处理请求类型标识的实现方式包括增加主存地址数量标识位或增加请求类型标识种类。

13.一种数据处理装置, 包括:

数据处理请求模块, 适于接收数据处理请求, 所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据, 且各个所述缓存单元的数据的主存地址连续;

10 数据处理模块, 适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时, 对各个所述主存地址对应的数据同时进行数据处理, 其中, 所述满足映射关系的各个缓存单元, 是指所述数据处理请求中的主存地址所对应的缓存单元。

14.如权利要求 13 所述的数据处理装置, 其中, 数据处理模块, 还适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时, 将缺失的各个所述主存地址分别写入各个待处理缓存单元, 其中, 各个所述待处理缓存单元的原有的主存地址信息, 均异于所述数据处理请求所请求数据的主存地址。

15.如权利要求 13 或 14 所述的数据处理装置, 其中, 所述数据处理请求模块包括:

数据读请求模块, 适于接收数据读请求, 所述数据读请求所请求的数据包括适于存储于至少两个缓存单元的数据, 且各个所述缓存单元的数据的主存地址连续;

所述数据处理模块包括:

25 数据读操作模块, 适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时, 同时返回全部所述主存地址对应的数据。

16.如权利要求 14 所述的数据处理装置, 其中, 所述数据处理请求模块包括:

30 数据读请求模块, 适于接收数据读请求, 所述数据读请求所请求的数据包括适于存储于至少两个缓存单元的数据, 且各个所述缓存单元的数据的主存地址连续;

所述数据处理模块包括:

数据读操作模块, 适于当满足映射关系的各个缓存单元的主存地址信息中未包括全部所述主存地址时, 将缺失的各个所述主存地址分别写入各个待处理缓存单元, 生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求。

17.如权利要求 16 所述的数据处理装置, 其中, 所述数据读操作模块, 适于生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求, 包括:

生成分别读取缺失的各个所述主存地址所对应的数据的各个缺失数据读取请求, 所述缺失数据读取请求的数量与所述缺失的各个所述主存地址的数量相同;

所述数据读操作模块, 还适于当接收到全部与缺失的各个所述主存地址对应的数据时, 同时返回全部主存地址对应的数据。

18.如权利要求 16 所述的数据处理装置, 其中, 所述数据读操作模块, 适于生成并发送读取缺失的各个所述主存地址所对应的数据的缺失数据读取请求包括:

获取缺失的各个所述主存地址中地址连续的主存地址, 得到各个连续主存地址;

根据各个所述连续主存地址, 生成读取缺失的各个所述连续主存地址所对应的数据的连续缺失数据读取请求。

19.如权利要求 13-18 任一所述的数据处理装置, 其中, 所述数据处理请求模块包括:

数据写请求模块, 适于接收数据写请求, 所述数据写请求所请求的数据包括适于存储于至少两个缓存单元的数据, 且各个所述缓存单元的数据的主存地址连续;

所述数据处理模块包括:

数据写操作模块, 适于当满足映射关系的各个缓存单元的主存地址信息中包括全部所述主存地址时, 同时写入全部所述主存地址对应的数据。

20.如权利要求 14 所述的数据处理装置, 其中, 所述数据处理请求模块包括数据写请求模块, 所述数据处理装置包括:

数据写操作模块, 适于当满足映射关系的各个缓存单元的主存地址信

息中未包括全部所述主存地址时，将缺失的各个所述主存地址分别写入各个待处理缓存单元后，同时接收各个所述主存地址所对应的数据，并将各个所述数据写入相对应的所述缓存单元。

21.如权利要求 13-20 任一项所述的数据处理装置，其中，所述数据处理请求还包括各个所述缓存单元的缓存单元索引和数据处理请求类型标识，所述数据处理请求类型标识用于标识所述数据处理请求所请求的数据包括适于存储于至少两个缓存单元的数据。

22.如权利要求 21 所述的数据处理装置，其中，所述数据处理请求类型标识的实现方式包括增加主存地址数量标识位或增加请求类型标识种类。

23.一种缓存器，包括一级缓存和二级缓存，所述一级缓存的至少两个缓存单元和所述二级缓存的至少两个缓存单元同时映射，且所述一级缓存和所述二级缓存均包括如权利要求 13-22 任一项所述的数据处理装置。

24.一种处理器，其中，所述处理器执行计算机可执行指令，以实现如权利要求 1-12 任一项所述的数据处理方法。

25.一种电子设备，包括如权利要求 24 所述的处理器。

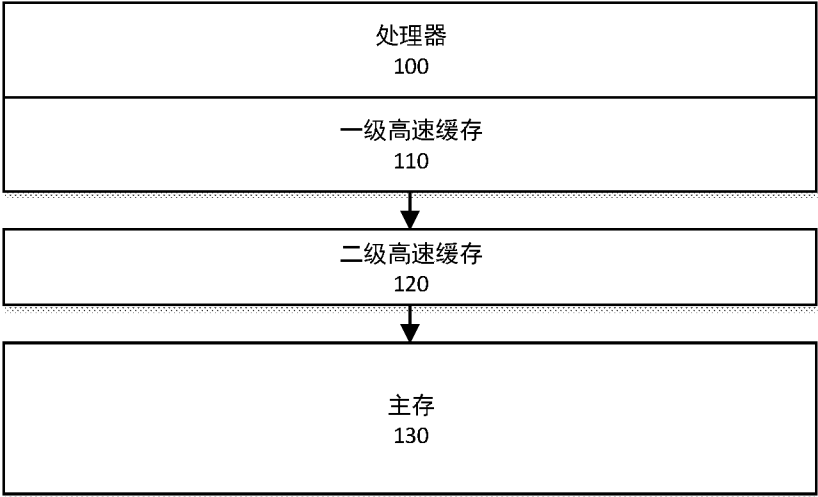


图 1

索引 0	有效位	地址位	数据
	200	201	202

图 2

请求类型标识种 类位 300	其它控制位 310	数据 320
----------------------	--------------	-----------

图 3

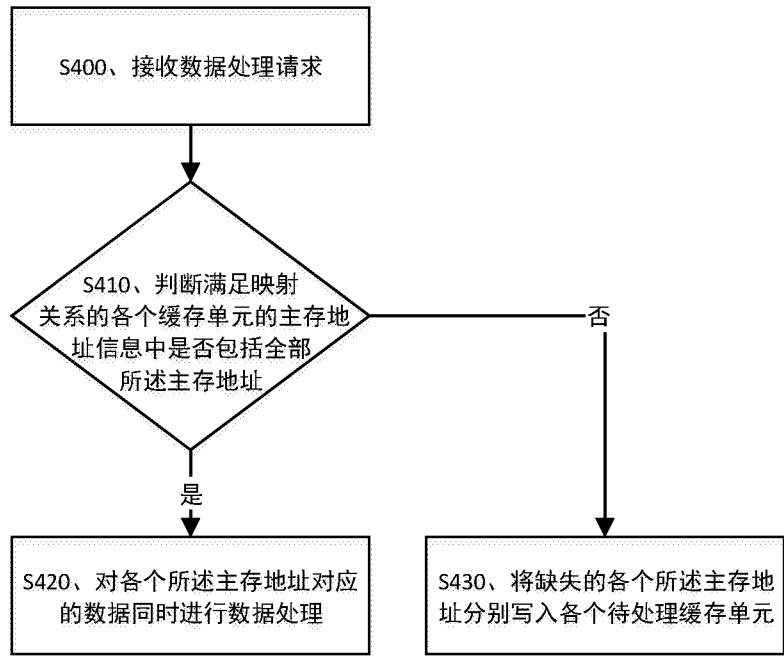


图 4

主存地址数量标识位 1000	请求类型标识种类位 1010	其它控制位 1020	数据 1030
-------------------	-------------------	---------------	------------

图 5

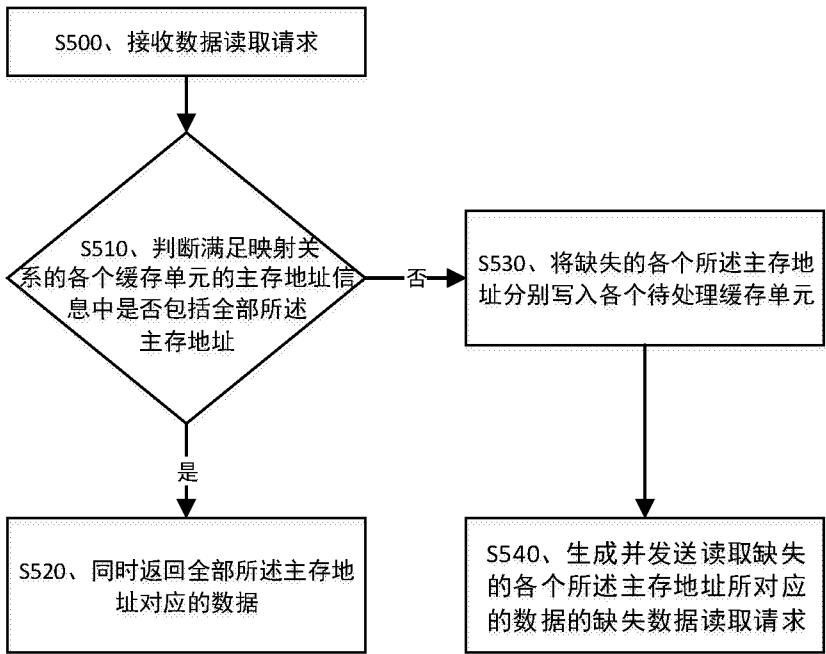


图 6

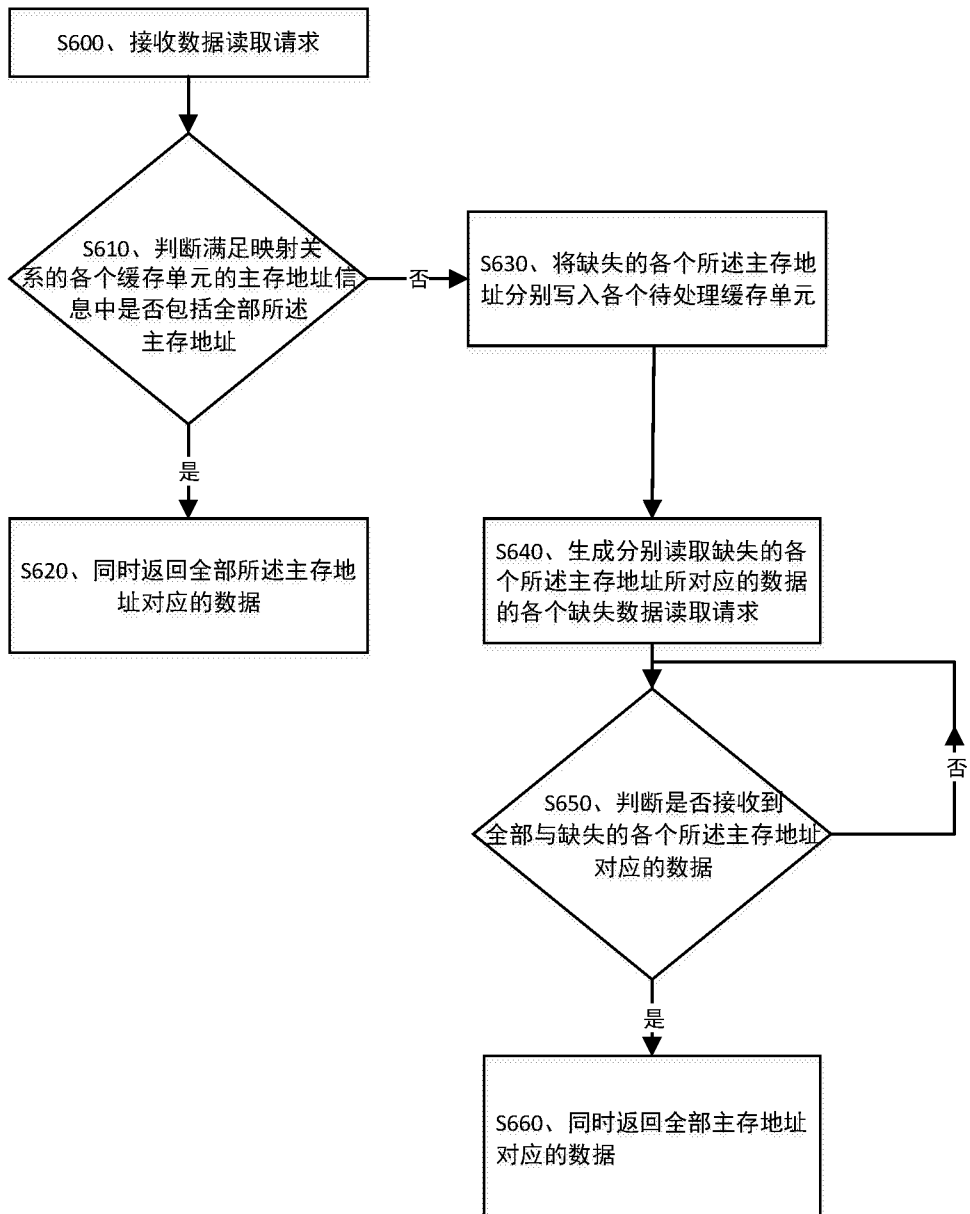


图 7

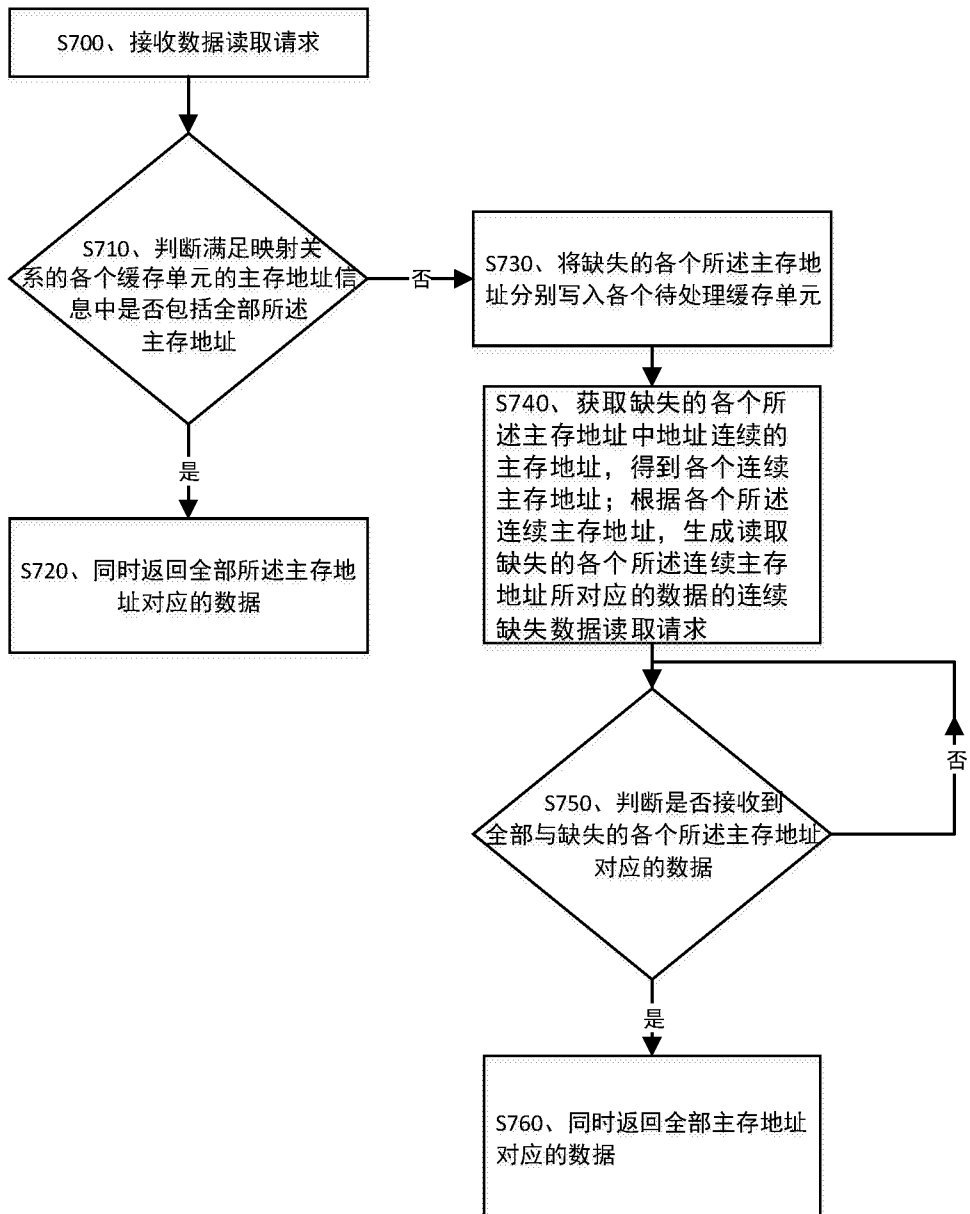


图 8

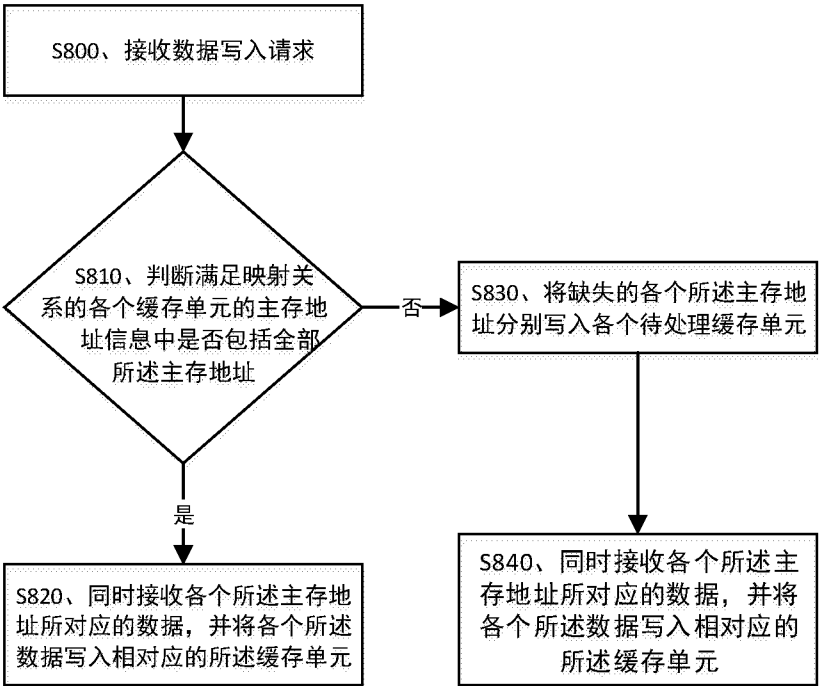


图 9



图 10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/092980

A. CLASSIFICATION OF SUBJECT MATTER

G06F 13/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 数据, 处理, 主存, 缓存, 地址, 连续, 同时, 合并, 组合, data, process+, host, cache, address, continuous, concurrent, merg+, combin+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114036089 A (HAIGUANG INFORMATION TECHNOLOGY CO., LTD.) 11 February 2022 (2022-02-11) claims 1-25	1-25
A	CN 111694770 A (MACROSAN TECHNOLOGIES CO., LTD.) 22 September 2020 (2020-09-22) description, paragraphs 63-148	1-25
A	CN 113222115 A (XI'AN UNIVERSITY OF POSTS & TELECOMMUNICATIONS) 06 August 2021 (2021-08-06) entire document	1-25
A	CN 113157606 A (SHANGHAI ENFLAME TECHNOLOGY CO., LTD.) 23 July 2021 (2021-07-23) entire document	1-25
A	CN 110874328 A (SK HYNIX INC.) 10 March 2020 (2020-03-10) entire document	1-25
A	WO 2020199061 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 08 October 2020 (2020-10-08) entire document	1-25



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

12 July 2022

Date of mailing of the international search report

27 July 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/092980

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114036089	A	11 February 2022	None			
CN	111694770	A	22 September 2020	None			
CN	113222115	A	06 August 2021	None			
CN	113157606	A	23 July 2021	None			
CN	110874328	A	10 March 2020	KR	20200025822	A	10 March 2020
				US	2020073813	A1	05 March 2020
WO	2020199061	A1	08 October 2020	CN	113424160	A	21 September 2021

国际检索报告

国际申请号

PCT/CN2022/092980

A. 主题的分类

G06F 13/16 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G06F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI: 数据, 处理, 主存, 缓存, 地址, 连续, 同时, 合并, 组合, data, process+, host, cache, address, continuous, concurrent, merg+, combin+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 114036089 A (海光信息技术股份有限公司) 2022年2月11日 (2022 - 02 - 11) 权利要求1-25	1-25
A	CN 111694770 A (杭州宏杉科技股份有限公司) 2020年9月22日 (2020 - 09 - 22) 说明书第63-148段	1-25
A	CN 113222115 A (西安邮电大学) 2021年8月6日 (2021 - 08 - 06) 全文	1-25
A	CN 113157606 A (上海燧原科技有限公司) 2021年7月23日 (2021 - 07 - 23) 全文	1-25
A	CN 110874328 A (爱思开海力士有限公司) 2020年3月10日 (2020 - 03 - 10) 全文	1-25
A	WO 2020199061 A1 (HUAWEI TECHNOLOGIES CO., LTD.) 2020年10月8日 (2020 - 10 - 08) 全文	1-25

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年7月12日

国际检索报告邮寄日期

2022年7月27日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

林婉娟

电话号码 86-(10)-53961343

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/092980

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114036089	A	2022年2月11日	无			
CN	111694770	A	2020年9月22日	无			
CN	113222115	A	2021年8月6日	无			
CN	113157606	A	2021年7月23日	无			
CN	110874328	A	2020年3月10日	KR	20200025822	A	2020年3月10日
				US	2020073813	A1	2020年3月5日
WO	2020199061	A1	2020年10月8日	CN	113424160	A	2021年9月21日