

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 9 日 (09.01.2020)



(10) 国际公布号
WO 2020/007059 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01) **G11C 19/28** (2006.01)

(21) 国际申请号: PCT/CN2019/076920

(22) 国际申请日: 2019 年 3 月 5 日 (05.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810730307.5 2018 年 7 月 5 日 (05.07.2018) CN

(71) 申请人: 京东方科技集团股份有限公司
(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN];
中国北京市朝阳区酒仙桥路 10 号,
Beijing 100015 (CN)。

(72) 发明人: 李全虎(**LI, Quanhui**); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限公司 (**CHINA SCIENCE PATENT & TRADEMARK AGENT LTD.**); 中国北京市海淀区西三环北路 87 号 4-1105 室, Beijing 100089 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** SHIFT REGISTER UNIT, DRIVING METHOD, LIGHT-EMISSION CONTROL GATE DRIVING CIRCUIT, AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器单元、驱动方法、发光控制栅极驱动电路和显示装置

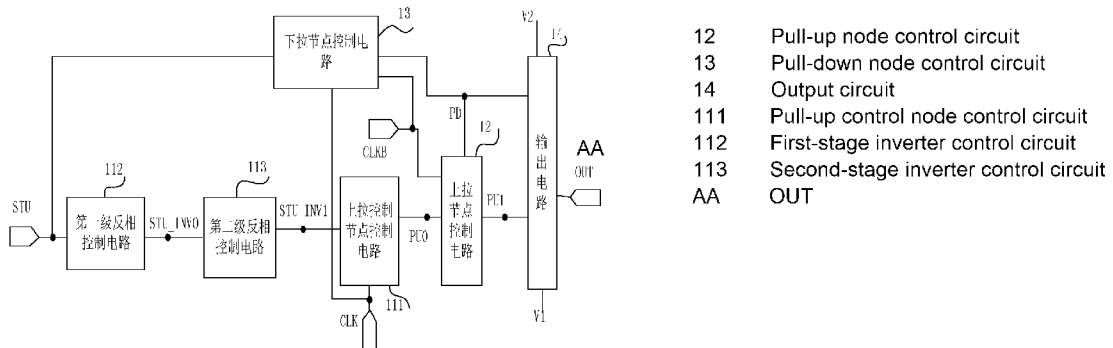


图 1

(57) **Abstract:** A shift register unit, a driving method, a light-emission control gate driving circuit, and a display apparatus. The shift register unit comprises a light-emission control signal output end (OUT), a pull-up control node control circuit (111), an N-stage inverter control circuit, a pull-up node control circuit (12), a pull-down node control circuit (13) and an output circuit (14), where N is an integer greater than one. A first-stage inverter control circuit (112) is used for inverting an input signal under the control of an input end (STU). An n-stage inverter control circuit inverts the input signal under the control of the input signal and an (n-1)th inverter node, where n=2, 3...N. The shift register unit has a coupling capacitor removed, thereby improving the stability of a circuit.

(57) **摘要:** 一种移位寄存器单元、驱动方法、发光控制栅极驱动电路和显示装置。移位寄存器单元包括发光控制信号输出端 (OUT)、上拉控制节点控制电路 (111)、N 级反相控制电路、上拉节点控制电路 (12)、下拉节点控制电路 (13) 以及输出电路 (14), 其中, N 为大于 1 的整数。第一级反相控制电路 (112) 用于在输入端 (STU) 的控制下, 对输入信号进行反相。第 n 级反相控制电路在输入信号和第 n-1 反相节点的控制下对输入信号进行反相, 其中, n=2、3、...、N。该移位寄存器单元取消了耦合电容, 提高了电路稳定性。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

- 包括国际检索报告 (条约第21条(3))。

移位寄存器单元、驱动方法、发光控制栅极驱动电路和显示装置

相关申请的交叉引用

本申请要求于2018年7月5日提交的、申请号为201810730307.5的中国专利申请的优先权，其全部内容通过引用并入本申请中。

技术领域

本公开涉及显示技术领域，尤其涉及一种移位寄存器单元、驱动方法、发光控制栅极驱动电路和显示装置。

背景技术

在OLED (Organic Light Emitting Diode, 有机发光二极管) 显示装置 (例如 AMOLED (Active Matrix-OLED, 有源矩阵有机发光二极管) 显示装置) 中, 通过发光控制信号进行控制, 将高电平信号提供到驱动晶体管以产生用于驱动 OLED 发光单元的恒定电流。发光控制信号可以通过发光控制栅极驱动电路产生的, 其中, 每个发光控制栅极驱动电路包括级联的移位寄存器单元, 每个移位寄存器单元分别用于控制不同像素行的发光控制信号。

发明内容

本公开提供了一种移位寄存器单元, 包括发光控制信号输出端, 所述移位寄存器单元还包括上拉控制节点控制电路、N 级反相控制电路、上拉节点控制电路、下拉节点控制电路以及输出电路, 其中, N 为大于 1 的整数, 其中

所述N级反相控制电路中的第一级反相控制电路与输入端和第一反相节点电连接, 所述第一级反相控制电路被配置为在来自输入端的输入信号的控制下, 对所述输入信号进行反相, 并向第一反相节点输出第一反相信号;

所述N级反相控制电路中的第n级反相控制电路与所述输入端、第n-1反相节点和第n反相节点电连接, 所述第n级反相控制电路被配置为在所述输入信号和第n-1反相节点的电位的控制下对所述输入信号进行反相, 并向第n反相节点输出第n反相信号, 其中, $n=2, 3, \dots, N$;

所述上拉控制节点控制电路与所述输入端、第一时钟信号输入端、第一电压

输入端、第N反相节点和上拉控制节点电连接,所述上拉控制节点控制电路被配置为在来自所述第一时钟信号输入端的第一时钟信号的控制下,将所述第N反相节点的电位传送到所述上拉控制节点,以及在所述输入信号的控制下将来自所述第一电压输入端的第一电压信号传送到所述上拉控制节点;

所述上拉节点控制电路与所述上拉控制节点、第二时钟信号端、下拉节点和上拉节点电连接,所述上拉节点控制电路被配置为在所述上拉控制节点的电位、来自所述第二时钟信号输入端的第二时钟信号和所述下拉节点的电位的控制下,调整所述上拉节点的电位;

所述下拉节点控制电路与所述第一时钟信号输入端、所述第二时钟信号输入端、所述输入端和所述下拉节点电连接,所述下拉节点控制电路被配置为在所述第一时钟信号的控制下,通过所述输入信号和所述第二时钟信号调整所述下拉节点的电位;以及

所述输出电路与发光控制信号输出端、所述上拉节点、所述下拉节点、所述第一电压输入端和第二电压输入端电连接,所述输出电路被配置为在所述上拉节点的电位的控制下,将所述第一电压信号传送到所述发光控制信号输出端,以及在所述下拉节点的电位的控制下,将来自所述第二电压输入端的第二电压信号传送到所述发光控制信号输出端。

在一些实施例中,所述下拉节点控制电路包括:输入控制子电路,与所述第一时钟信号输入端、所述输入端和所述下拉节点电连接;第一储能子电路,与所述下拉节点和下拉存储节点电连接;以及,自举控制子电路,与所述第二时钟信号输入端、所述下拉节点和所述下拉存储节点电连接。

在一些实施例中,所述输入控制子电路包括:输入控制晶体管,所述输入控制晶体管的栅极与所述第一时钟信号输入端电连接,所述输入控制晶体管的第一极与所述输入端电连接,所述输入控制晶体管的第二极与所述下拉节点电连接;所述第一储能子电路包括:第一电容,所述第一电容的第一端与所述下拉节点电连接,所述第一电容的第二端与所述下拉存储节点电连接;所述自举控制子电路包括:自举控制晶体管,所述自举控制晶体管的栅极与所述下拉节点电连接,所述自举控制晶体管的第一极与所述第二时钟信号输入端电连接,所述自举控制晶体管的第二极与所述下拉存储节点电连接。

在一些实施例中,所述上拉节点控制电路包括:初级上拉节点控制电路,与

所述上拉控制节点、上拉存储节点和所述第二时钟信号输入端电连接；第二储能子电路，与所述上拉控制节点和所述上拉存储节点电连接；以及，次级上拉节点控制电路，与所述下拉节点、所述第一电压输入端、所述上拉节点、所述第二时钟信号输入端和所述上拉存储节点电连接。

在一些实施例中，所述初级上拉节点控制电路包括：第一上拉节点控制晶体管，所述第一上拉节点控制晶体管的栅极与所述上拉控制节点电连接，所述第一上拉节点控制晶体管的第二极与所述上拉存储节点电连接；所述第二储能子电路包括：第二电容，所述第二电容的第一端与所述上拉控制节点电连接，所述第二电容的第二端与所述上拉存储节点电连接；所述次级上拉节点控制电路包括：第二上拉节点控制晶体管，所述第二上拉节点控制晶体管的栅极与所述第二时钟信号输入端电连接，所述第二上拉节点控制晶体管的第二极与所述上拉存储节点电连接，以及第三上拉节点控制晶体管，所述第三上拉节点控制晶体管的栅极与所述下拉节点电连接，所述第三上拉节点控制晶体管的第二极与所述上拉节点电连接。

在一些实施例中，所述第一级反相控制电路包括：第一反相控制晶体管，所述第一反相控制晶体管的栅极与所述输入端电连接，所述第一反相控制晶体管的第二极与所述第一电压输入端电连接，所述第一反相控制晶体管的第二极与所述第一反相节点电连接；以及，第二反相控制晶体管，所述第二反相控制晶体管的栅极与所述第二电压输入端或所述第一时钟信号输入端电连接，所述第二反相控制晶体管的第二极与所述第一反相节点电连接，所述第二反相控制晶体管的第二极与所述第二电压输入端电连接。所述第 n 级反相控制电路包括：第 $2n-1$ 反相控制晶体管，所述第 $2n-1$ 反相控制晶体管的栅极与所述输入端电连接，所述第 $2n-1$ 反相控制晶体管的第二极与所述第一电压输入端电连接，所述第 $2n-1$ 反相控制晶体管的第二极与所述第 n 反相节点电连接；以及，第 $2n$ 反相控制晶体管，所述第 $2n$ 反相控制晶体管的栅极与第 $n-1$ 反相节点电连接，所述第 $2n$ 反相控制晶体管的第二极与所述第 n 反相节点电连接，所述第 $2n$ 反相控制晶体管的第二极与所述第二电压输入端电连接。

在一些实施例中，所述上拉控制节点控制电路包括：第一上拉控制节点控制

晶体管,所述第一上拉控制节点控制晶体管的栅极与所述第一时钟信号输入端电连接,所述第一上拉控制节点控制晶体管的第一极与所述上拉控制节点电连接,所述第一上拉控制节点控制晶体管的第二极与第N反相节点电连接;以及,第二上拉控制节点控制晶体管,所述第二上拉控制节点控制晶体管的栅极与所述输入端电连接,所述第二上拉控制节点控制晶体管的第一极与所述第一电压输入端电连接,所述第二上拉控制节点控制晶体管的第二极与所述上拉控制节点电连接。

在一些实施例中,所述输出电路包括:第一输出晶体管,所述第一输出晶体管的栅极与所述上拉节点电连接,所述第一输出晶体管的第一极与所述发光控制信号输出端电连接,所述第一输出晶体管的第二极与所述第一电压输入端电连接;以及,第二输出晶体管,所述第二输出晶体管的栅极与所述下拉节点电连接,所述第二输出晶体管的第一极与所述第二电压输入端电连接,所述第二输出晶体管的第二极与所述发光控制信号输出端电连接。

本公开还提供了一种用于驱动如上述任一实施例所述的移位寄存器单元的驱动方法,包括:

在来自输入端的输入信号的控制下,对从所述输入信号进行反相,并向第一反相节点输出第一反相信号;

在所述输入信号和第n-1反相节点的电位的控制下,对所述输入信号进行反相,并向第n反相节点输出第n反相信号,其中, $n=2, 3, \dots, N$, N为大于1的整数;

在来自第一时钟信号输入端的第一时钟信号的控制下,将第N反相节点的电位传送到上拉控制节点,以及在所述输入信号的控制下将来自第一电压输入端的第一电压信号传送到所述上拉控制节点;

在所述上拉控制节点的电位、来自第二时钟信号输入端的第二时钟信号和下拉节点的电位的控制下,调整所述上拉节点的电位;

在第一时钟信号的控制下,通过所述输入信号和所述第二时钟信号调整所述下拉节点的电位;

在所述上拉节点的电位的控制下,将所述第一电压信号传送到发光控制信号输出端,以及在所述下拉节点的电位的控制下,将来自第二电压输入端的第二电压信号传送到所述发光控制信号输出端。

本公开还提供了一种发光控制栅极驱动电路,包括多个级联的如上述任一实施例所述的移位寄存器单元;

除了第一级移位寄存器单元之外,每一级移位寄存器单元的输入端与上一级移位寄存器单元的发光控制信号输出端电连接。

本公开还提供了一种显示装置,包括如上述实施例所述的发光控制栅极驱动电路。

附图说明

图 1 是本公开实施例所述的移位寄存器单元的结构图;

图 2 是本公开另一实施例所述的移位寄存器单元的结构图;

图 3 是本公开又一实施例所述的移位寄存器单元的结构图;

图 4A 是本公开再一实施例所述的移位寄存器单元的结构图;

图 4B 是本公开又一实施例所述的移位寄存器单元的结构图;

图 5A 是本公开所述的移位寄存器单元的一个具体实施例的电路图;

图 5B 是本公开所述的移位寄存器单元的另一具体实施例的电路图;

图 6 是本公开所述的移位寄存器单元的该具体实施例的工作时序图;

图 7A 是本公开采用的两级反相器的一个实施例的电路图;

图 7B 是本公开采用的两级反相器的另一实施例的电路图;

图 8 是相关技术的单级反相器的电路图;

图 9 是当 PMOS 管的阈值电压负向偏移 2V 时,如图 7A 所示的两级反相器的实施例中 STU_INV1 的电位的仿真图;

图 10 是当 PMOS 管的阈值电压负向偏移 2V 时,如图 8 所示的单级反相器的实施例中 STU_INV2 的电位的仿真图;

图 11 是当 PMOS 管的阈值电压正向偏移 1.5V 时,如图 7A 所示的两级反相器的实施例中 STU_INV1 的电位的仿真图;

图 12 是当 PMOS 管的阈值电压正向偏移 1.5V 时,如图 8 所示的单级反相器的实施例中 STU_INV2 的电位的仿真图;

图 13 是当 PMOS 管的阈值电压未偏移时,如图 7A 所示的两级反相器的实施例中 STU_INV1 的电位的仿真图;

图 14 是当 PMOS 管的阈值电压未时,如图 8 所示的单级反相器的实施例中

STU_INV2 的电位的仿真图；

图 15 为当 PMOS 管的阈值电压正向偏移 1V 时，本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 16 为当 PMOS 管的阈值电压正向偏移 1.75V 时，本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 17 为当 PMOS 管的阈值电压正向偏移 2V 时，本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 18 为当 PMOS 管的阈值电压正向偏移 1V 时，相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 19 为当 PMOS 管的阈值电压正向偏移 1.75V 时，相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 20 为当 PMOS 管的阈值电压正向偏移 2V 时，相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 21 为当 PMOS 管的阈值电压负向偏移 2V 时，本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 22 为当 PMOS 管的阈值电压未偏移时，本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 23 是当 PMOS 管的阈值电压负向偏移 2V 时，相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图；

图 24 是当 PMOS 管的阈值电压未偏移时，相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制

信号的仿真波形图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。

本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本公开实施例中，为区分晶体管除栅极之外的两极，将其中一极称为第一极，另一极称为第二极。在实际操作时，所述第一极可以为漏极，所述第二极可以为源极；或者，所述第一极可以为源极，所述第二极可以为漏极。

普通的用于生成发光控制信号的移位寄存器单元对于 PMOS 晶体管工艺冗余较小，特别是对 PMOS 晶体管的阈值电压正向漂移的耐受能力弱。相关的用于生成发光控制信号的移位寄存器单元在工艺波动时，容易产生电路失效，并且这种移位寄存器单元设置有较大的耦合电容，此电容对于时钟走线而言是额外的负载，增大了功耗。

本公开实施例提出了一种移位寄存器单元。该移位寄存器单元包括发光控制信号输出端，所述移位寄存器单元还包括上拉控制节点控制电路、N 级反相控制电路、上拉节点控制电路、下拉节点控制电路、储能子电路以及输出电路，其中，N 为大于 1 的整数。

所述N级反相控制电路中的第一级反相控制电路与输入端和第一反相节点电连接，所述第一级反相控制电路被配置为在来自输入端的输入信号的控制下，对所述输入信号进行反相，并向第一反相节点输出第一反相信号；

所述N级反相控制电路中的第n级反相控制电路与所述输入端、第n-1反相节点和第n反相节点电连接，所述第n级反相控制电路被配置为在所述输入信号和第n-1反相节点的电位的控制下对所述输入信号进行反相，并向第n反相节点输出第n反相信号，其中， $n=2, 3, \dots, N$ ；

所述上拉控制节点控制电路与所述输入端、第一时钟信号输入端、第一电压输入端、第N反相节点和上拉控制节点电连接，所述上拉控制节点控制电路被配置为在来自所述第一时钟信号输入端的第一时钟信号的控制下，将所述第N反相

节点的电位传送到所述上拉控制节点,以及在所述输入信号的控制下将来自所述第一电压输入端的第一电压信号传送到所述上拉控制节点;

所述上拉节点控制电路与所述上拉控制节点、第二时钟信号端、下拉节点和上拉节点电连接,所述上拉节点控制电路被配置为在所述上拉控制节点的电位、来自所述第二时钟信号输入端的第二时钟信号和所述下拉节点的电位的控制下,调整所述上拉节点的电位;

所述下拉节点控制电路与所述第一时钟信号输入端、所述第二时钟信号输入端、所述输入端和所述下拉节点电连接,所述下拉节点控制电路被配置为在所述第一时钟信号的控制下,通过所述输入信号和所述第二时钟信号调整所述下拉节点的电位;以及

所述输出电路与发光控制信号输出端、所述上拉节点、所述下拉节点、所述第一电压输入端和第二电压输入端电连接,所述输出电路被配置为在所述上拉节点的电位的控制下,将所述第一电压信号传送到所述发光控制信号输出端,以及在所述下拉节点的电位的控制下,将来自所述第二电压输入端的第二电压信号传送到所述发光控制信号输出端。

本公开实施例所述的移位寄存器单元采用至少两级反相器将控制信号反转和推动后级电路的功能分开,具有更好的输出摆幅,当工艺参数变化时,输出摆幅越接近理性状态,则电路越不容易失效;本公开实施例所述的移位寄存器单元对于 PMOS (positive channel Metal Oxide Semiconductor, p 沟道金属氧化物半导体) 晶体管的工艺的冗余较大,特别是对 PMOS 晶体管的阈值电压正向漂移的耐受能力强;并且本公开实施例所述的移位寄存器单元不使用耦合电容,没有造成时钟走线上额外的负载。应该理解的是,虽然本公开中以 PMOS 晶体管作为示例进行了描述,但本发明的各实施例同样适用于 NMOS 晶体管的情形。

本公开实施例所述的移位寄存器单元采用了多级反相器(所述多级反相器包括的反相单元的级数大于或等于 2),来使得内部信号反转切换时受晶体管参数影响较小,取消了耦合电容以提高电路稳定性,使得移位寄存器单元电路可靠性更高。

下面以 N 等于 2 为例说明本公开所述的移位寄存器单元(但是在实际操作时, N 可以大于 2)。

如图 1 所示,本公开实施例所述的移位寄存器单元,包括发光控制信号输出端 OUT,所述移位寄存器单元还包括上拉控制节点控制电路 111、第一级反相控制电路 112、第二级反相控制电路 113、上拉节点控制电路 12、下拉节点控制电路 13 以及输出电路 14;

第一级反相控制电路 112 分别与输入端 STU 和第一反相节点 STU_INV0 连接,用于在输入端 STU 的控制下,对所述输入端 STU 接入的输入信号进行反相,以得到第一反相信号,并通过第一反相节点 STU_INV0 输出所述第一反相信号;

第二级反相控制电路 113 分别与输入端 STU、第一反相节点 STU_INV0 和第二反相节点 STU_INV1 连接,用于在所述输入端 STU 和第一反相节点 STU_INV0 的控制下,对所述输入信号进行反相,以得到第二反相信号,并将该第二反相信号通过第二反相节点 STU_INV1 输出;

所述上拉控制节点控制电路 111 分别与第一时钟信号输入端 CLK、上拉控制节点 PU0、第二反相节点 STU_INV1 和第一电压输入端电连接,用于在第一时钟信号输入端 CLK 的控制下,导通或断开上拉控制节点 PU0 与第二反相节点 STU_INV1 之间的连接,在所述输入端 STU 的控制下导通或断开所述上拉控制节点 PU0 与所述第一电压输入端之间的连接;

所述上拉节点控制电路 12 分别与上拉控制节点 PU0、第二时钟信号输入端 CLKB、下拉节点 PD 和上拉节点 PU1 连接,用于在所述上拉控制节点 PU0、第二时钟信号输入端 CLKB 和下拉节点 PD 的控制下,控制所述上拉节点 PU1 的电位;

所述下拉节点控制电路 13 分别与所述第一时钟信号输入端 CLK、所述第二时钟信号输入端 CLKB、所述输入端 STU 和所述下拉节点 PD 连接,用于在所述第一时钟信号输入端 CLK、所述第二时钟信号输入端 CLKB 和所述输入端 STU 的控制下,控制所述下拉节点 PD 的电位;

所述输出电路 14 与所述发光控制信号输出端 OUT、所述上拉节点 PU1、所述下拉节点 PD、第一电压输入端和第二电压输入端电连接;

所述第一电压输入端用于输入第一电压 V1,所述第二电压输入端用于输入第二电压 V2。

本公开如图 1 所示的移位寄存器单元的实施例在工作时，在输入端 STU 的控制下，第一级反相控制电路 112 对所述输入端 STU 接入的输入信号进行反相，以得到第一反相信号，并通过第一反相节点 STU_INV0 输出所述第一反相信号；

在所述输入信号和第一反相节点 STU_INV0 的控制下，第二级反相控制电路 113 对所述输入信号进行反相，以得到第二反相信号，并通过第二反相节点 STU_INV1 输出所述第二反相信号；

当输入信号和第一时钟信号输入端 CLK 输入的第一时钟信号都为第一电平时，上拉控制节点控制电路 111 断开上拉控制节点 PU0 与第二反相节点 STU_INV1 之间的连接，上拉控制节点控制电路 111 断开所述上拉控制节点 PU0 与第一电压输入端之间的连接；

当所述输入信号为第一电平而所述第一时钟信号为第二电平时，上拉控制节点控制电路 111 导通上拉控制节点 PU0 与第二反相节点 STU_INV1 之间的连接，以使得所述上拉控制节点 PU0 的电位为第二电平，上拉控制节点控制电路 111 断开所述上拉控制节点 PU0 与第一电压输入端之间的连接；

当所述输入信号为第二电平时，上拉控制节点控制电路 111 导通所述上拉控制节点 PU0 与高电压输入端之间的连接，以使得所述上拉控制节点的电位为第一电平。

在实际操作时，所述第一电压可以为高电压，所述第二电压可以为低电压，但不以此为限。

在实际操作时，如果图 1 所示的移位寄存器单元的实施例包括的晶体管为 p 型晶体管，则第一电平可以为高电平，第二电平可以为低电平；

如果图 1 所示的移位寄存器单元的实施例包括的晶体管为 n 型晶体管时，则第一电平可以为低电平，第二电平可以为高电平。

根据一种具体实施方式，当所述第一电平为高电平，所述第二电平为低电平时，所述第一反相节点 STU_INV0 的电位大于所述第二反相节点 STU_INV1 的电位；

根据另一种具体实施方式，当所述第一电平为低电平，所述第二电平为高电平时，所述第一反相节点 STU_INV0 的电位大于第二反相节点 STU_INV1 的电位。

在具体实施时,当所述输入信号为第一电平,所述第一时钟信号为第二电平,所述第二时钟信号为第一电平时,下拉节点控制电路 13 控制下拉节点 PD 的电位为第一电平;

当所述输入信号为第一电平,所述第一时钟信号为第一电平,所述第二时钟信号为第二电平时,所述下拉节点控制电路 13 控制所述下拉节点 PD 的电位维持为第一电平;

当所述输入信号为第二电平,所述第一时钟信号为第二电平,所述第二时钟信号为第一电平时,下拉节点控制电路 13 控制下拉节点 PD 的电位为第二电平;

当所述输入信号为第二电平,所述第一时钟信号为第一电平,所述第二时钟信号为第二电平时,下拉节点控制电路 13 控制下拉节点 PD 的电位为第二电平。

如图 2 所示,在图 1 所示的移位寄存器单元的实施例的基础上,所述下拉节点控制电路可以包括:

输入控制子电路 131,分别与所述第一时钟信号输入端 CLK、所述输入端 STU 和所述下拉节点 PD 连接,用于在所述第一时钟信号输入端 CLK 的控制下,导通或断开所述输入端 STU 与所述下拉节点 PD 之间的连接;

第一储能子电路 132,第一端与所述下拉节点 PD 连接,第二端与下拉存储节点 SD 连接;以及,

自举控制子电路 133,与所述第二时钟信号输入端 CLKB、所述下拉节点 PD 和所述下拉存储节点 SD 连接,用于在所述下拉节点 PD 的控制下,导通或断开所述第二时钟信号输入端 CLKB 与所述下拉存储节点 SD 之间的连接。

当所述第一电平为高电平,所述第二电平为低电平,所述下拉节点控制电路 13 包括输入控制子电路 131、第一储能子电路 132 以及自举控制子电路 133 时,在所述第一时钟信号输入端 CLK 的控制下,输入控制子电路 131 断开所述输入端 STU 与所述下拉节点 PD 的连接;

在所述下拉节点 PD 的控制下,自举控制子电路 133 导通第二时钟信号输入端 CLKB 与下拉存储节点 SD 之间的连接,以自举拉低所述下拉节点 PD 的电位。

当本公开实施例所述的移位寄存器单元包括的晶体管为 p 型晶体管时,当下拉节点 PD 的电位和 CLKB 输入的第二时钟信号都为低电平时,自举控制子电路 133 导通第二时钟信号输入端 CLKB 与下拉存储节点 SD 之间的连接,自举拉低下拉节点的电位(当低电平信号有效时,通过 CLKB 自举拉低下拉节点的电位)。

在具体实施时，所述输入控制子电路可以包括：输入控制晶体管，栅极与所述第一时钟信号输入端电连接，第一极与所述输入端电连接，第二极与所述下拉节点电连接；

所述第一储能子电路可以包括：第一电容，第一端与所述下拉节点电连接，第二端与下拉存储节点电连接；

所述自举控制子电路可以包括：自举控制晶体管，栅极与所述下拉节点电连接，第一极与所述第二时钟信号输入端电连接，第二极与所述下拉存储节点电连接。

具体的，在图 1 所示的移位寄存器单元的实施例的基础上，如图 3 所示，所述上拉节点控制电路可以包括：

初级上拉节点控制子电路 121，与所述上拉控制节点 PU0、上拉存储节点 SU 和所述第二时钟信号输入端 CLKB 连接，用于在所述上拉控制节点 PU0 的控制下，导通或断开所述上拉存储节点 SU 与所述第二时钟信号输入端 CLKB 之间的连接；

第二储能子电路 122，第一端与所述上拉控制节点 PU0 连接，第二端与所述上拉存储节点 SU 连接；以及，

次级上拉节点控制子电路 123，与所述下拉节点 PD、所述第一电压输入端、所述上拉节点 PU1、所述第二时钟信号输入端 CLKB 和所述上拉存储节点 SU 连接，用于在所述下拉节点 PD 的控制下，导通或断开所述上拉节点 PU1 与所述第一电压输入端之间的连接，在所述第二时钟信号输入端 CLKB 的控制下，导通或断开所述上拉节点 PU1 与所述上拉存储节点 SU 之间的连接；

所述第一电压输入端用于输入第一电压 V1。

在具体实施时，第一电压 V1 可以为高电压，但不以此为限。

本公开如图 3 所示的上拉节点控制电路 12 在工作时，初级上拉节点控制子电路 121 用于在上拉控制节点 PU0 和第二时钟信号输入端 CLKB 的控制下，控制上拉存储节点 SU 的电位，所述储能子电路 122 用于维持上拉存储节点 SU 的电位，所述次级上拉节点控制子电路 123 用于在所述下拉节点 PD、所述第二时钟信号输入端 CLKB 和所述上拉存储节点 SU 的控制下，控制所述上拉节点 PU1 的电位。

在具体实施时,所述初级上拉节点控制子电路可以包括:第一上拉节点控制晶体管,栅极与所述上拉控制节点电连接,第一极与所述第二时钟信号输入端电连接,第二极与所述上拉存储节点电连接;

所述第二储能子电路可以包括第二电容,第一端与所述上拉控制节点电连接,第二端与所述上拉存储节点电连接;

所述次级上拉节点控制子电路可以包括:第二上拉节点控制晶体管,栅极与所述第二时钟信号输入端电连接,第一极与所述上拉节点电连接,第二极与所述上拉存储节点电连接;以及,

第三上拉节点控制晶体管,栅极与所述下拉节点电连接,第一极与所述第一电压输入端电连接,第二极与所述上拉节点电连接。

具体的,所述第一级反相控制电路可以包括:

第一反相控制晶体管,栅极与所述输入端电连接,第一极与所述第一电压输入端电连接,第二极与所述第一反相节点电连接;以及,

第二反相控制晶体管,栅极与所述第二电压输入端或所述第一时钟信号输入端电连接,第一极与所述第一反相节点电连接,第二极与所述第二电压输入端电连接;

第 n 级反相控制电路可以包括:

第 $2n-1$ 反相控制晶体管,栅极与所述输入端电连接,第一极与所述第一电压输入端电连接,第二极与所述第 n 反相节点电连接;以及,

第 $2n$ 反相控制晶体管,栅极与第 $n-1$ 反相节点电连接,第一极与所述第 n 反相节点电连接,第二极与所述第二电压输入端电连接。

在具体实施时,所述上拉控制节点控制电路可以包括:第一上拉控制节点控制晶体管,栅极与所述第一时钟信号输入端电连接,第一极与所述上拉控制节点电连接,第二极与第 N 反相节点电连接;以及,

第二上拉控制节点控制晶体管,栅极与所述输入端电连接,第一极与所述第一电压输入端电连接,第二极与所述上拉控制节点电连接。

如图 4A 所示,在图 1 所示的移位寄存器单元的实施例的基础上,

所述上拉控制节点控制电路 111 包括:

第一上拉控制节点控制晶体管 M8, 栅极与所述第一时钟信号输入端 CLK 连接, 源极与所述上拉控制节点 PU0 连接, 漏极与第二反相节点 STU_INV1 连接; 以及,

第二上拉控制节点控制晶体管 M7, 栅极与所述输入端 STU 连接, 源极与高电压输入端电连接, 漏极与所述上拉控制节点 PU0 连接; 所述高电压输入端用于输入高电压 VGH;

所述第一级反相控制电路 112 包括:

第一反相控制晶体管 M3, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第一反相节点 STU_INV0 连接; 以及,

第二反相控制晶体管 M4, 栅极与低电压输入端电连接, 源极与所述第一反相节点 STU_INV0 连接, 漏极与所述低电压输入端电连接; 所述低电压输入端用于输入低电压 VGL;

第二级反相控制电路 113 包括:

第三反相控制晶体管 M5, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第二反相节点 STU_INV1 连接; 以及,

第四反相控制晶体管 M6, 栅极与第一反相节点 STU_INV0 连接, 源极与所述第二反相节点 STU_INV1 连接, 漏极与所述低电压输入端电连接;

在图 4A 所示的实施例中, 各晶体管都为 p 型晶体管, 但是在实际操作时, 如上晶体管也可以为 n 型晶体管, 在此对晶体管的类型不作限定。

本公开如图 4A 所示的上拉控制节点控制电路 111 在工作时, 由输入端 STU 触发信号反相, M7 和 M8 同时打开的时间短, 可以避免较大的静态电流。

如图 4B 所示, 在图 1 所示的移位寄存器单元的实施例的基础上,

所述上拉控制节点控制电路 111 包括:

第一上拉控制节点控制晶体管 M8, 栅极与所述第一时钟信号输入端 CLK 连接, 源极与所述上拉控制节点 PU0 连接, 漏极与第二反相节点 STU_INV1 连接; 以及,

第二上拉控制节点控制晶体管 M7, 栅极与所述输入端 STU 连接, 源极与高电压输入端电连接, 漏极与所述上拉控制节点 PU0 连接; 所述高电压输入端用于输入高电压 VGH;

所述第一级反相控制电路 112 包括:

第一反相控制晶体管 M3, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第一反相节点 STU_INV0 连接; 以及,

第二反相控制晶体管 M4, 栅极与第一时钟信号输入端 CLK 连接, 源极与所述第一反相节点 STU_INV0 连接, 漏极与所述低电压输入端电连接; 所述低电压输入端用于输入低电压 VGL;

第二级反相控制电路 113 包括:

第三反相控制晶体管 M5, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第二反相节点 STU_INV1 连接; 以及,

第四反相控制晶体管 M6, 栅极与第一反相节点 STU_INV0 连接, 源极与所述第二反相节点 STU_INV1 连接, 漏极与所述低电压输入端电连接;

在图 4B 所示的实施例中, 各晶体管都为 p 型晶体管, 但是在实际操作时, 如上晶体管也可以为 n 型晶体管, 在此对晶体管的类型不作限定。

在图 4B 所示的实施例与图 4A 所示的实施例的区别在于: 在图 4B 所示的实施例中, 第二反相控制晶体管 M4 的栅极与所述第一时钟信号输入端 CLK 连接, 在图 4A 所示的实施例中, 第二反相控制晶体管 M4 的栅极与低电压输入端电连接。

在具体实施时, 所述输出电路用于在所述上拉节点的控制下, 导通或断开所述发光控制信号输出端与所述第一电压输入端之间的连接, 在所述下拉节点的控制下, 导通或断开所述发光控制信号输出端与所述第二电压输入端之间的连接。所述输出电路用于在上拉节点和下拉节点的控制下控制输出发光控制信号。

具体的, 所述输出电路可以包括:

第一输出晶体管, 栅极与所述上拉节点电连接, 第一极与所述发光控制信号输出端电连接, 第二极与所述第一电压输入端电连接; 以及,

第二输出晶体管, 栅极与所述下拉节点电连接, 第一极与所述第二电压输入端电连接, 第二极与所述发光控制信号输出端电连接。

下面通过两个具体实施例来说明本公开所述的移位寄存器单元。

如图 5A 所示, 本公开所述的移位寄存器单元的一个具体实施例包括发光控制信号输出端 OUT、上拉控制节点控制电路 111、第一级反相控制电路 112、第二级反相控制电路 113、上拉节点控制电路 12、下拉节点控制电路 13 以及输出电路 14;

所述上拉控制节点控制电路 111 包括：

第一上拉控制节点控制晶体管 M8，栅极与所述第一时钟信号输入端 CLK 连接，源极与所述上拉控制节点 PU0 连接，漏极与第二反相节点 STU_INV1 连接；以及，

第二上拉控制节点控制晶体管 M7，栅极与所述输入端 STU 连接，源极与高电压输入端电连接，漏极与所述上拉控制节点 PU0 连接；所述高电压输入端用于输入高电压 VGH；

所述第一级反相控制电路 112 包括：

第一反相控制晶体管 M3，栅极与所述输入端 STU 连接，源极与所述高电压输入端电连接，漏极与所述第一反相节点 STU_INV0 连接；以及，

第二反相控制晶体管 M4，栅极与低电压输入端电连接，源极与所述第一反相节点 STU_INV0 连接，漏极与所述低电压输入端电连接；所述低电压输入端用于输入低电压 VGL；

第二级反相控制电路 113 包括：

第三反相控制晶体管 M5，栅极与所述输入端 STU 连接，源极与所述高电压输入端电连接，漏极与所述第二反相节点 STU_INV1 连接；以及，

第四反相控制晶体管 M6，栅极与第一反相节点 STU_INV0 连接，源极与所述第二反相节点 STU_INV1 连接，漏极与所述低电压输入端电连接；

所述下拉节点控制电路 13 包括输入控制子电路 131、第一储能子电路 132 以及自举控制子电路 133；

所述输入控制子电路 131 包括：输入控制晶体管 M1，栅极与所述第一时钟信号输入端 CLK 连接，源极与所述输入端 STU 连接，漏极与所述下拉节点 PD 连接；

所述第一储能子电路 132 包括：第一电容 C1，第一端与所述下拉节点 PD 连接，第二端与下拉存储节点 SD 连接；

所述自举控制子电路 133 包括：自举控制晶体管 M2，栅极与所述下拉节点 PD 连接，源极与所述第二时钟信号输入端 CLKB 连接，漏极与所述下拉存储节点 SD 连接；

所述上拉节点控制电路 12 包括初级上拉节点控制子电路 121、第二储能子电路 122 和次级上拉节点控制子电路 123；

所述初级上拉节点控制子电路 121 包括：第一上拉节点控制晶体管 M9，栅极与所述上拉控制节点 PU0 连接，源极与所述第二时钟信号输入端 CLKB 连接，漏极与所述上拉存储节点 SU 连接；

所述第二储能子电路 122 包括：第二电容 C2，第一端与所述上拉控制节点 PU0 连接，第二端与所述上拉存储节点 SU 连接；

所述次级上拉节点控制子电路 123 包括：第二上拉节点控制晶体管 M11，栅极与所述第二时钟信号输入端 CLKB 连接，源极与所述上拉节点 PU1 连接，漏极与所述上拉存储节点 SU 连接；以及，

第三上拉节点控制晶体管 M10，栅极与所述下拉节点 PD 连接，源极与高电压输入端电连接，漏极与上拉节点 PU1 连接；所述高电压输入端用于输入高电压 VGH；

所述输出电路 14 包括：

第一输出晶体管 M13，栅极与所述上拉节点 PU1 连接，源极与所述发光控制信号输出端 OUT 连接，漏极与所述高电压输入端电连接；以及，

第二输出晶体管 M12，栅极与所述下拉节点 PD 连接，源极与低电压输入端电连接，漏极与所述发光控制信号输出端 OUT 连接；

所述低电压输入端用于输入低电压 VGL。

在图 5A 所示的移位寄存器单元的具体实施例中，所有的晶体管都为 p 型晶体管，但是在实际操作时，如上晶体管也可以被替换为 n 型晶体管。如图 5B 所示，本公开所述的移位寄存器单元的另一具体实施例包括发光控制信号输出端 OUT、上拉控制节点控制电路 111、第一级反相控制电路 112、第二级反相控制电路 113、上拉节点控制电路 12、下拉节点控制电路 13 以及输出电路 14；

所述上拉控制节点控制电路 111 包括：

第一上拉控制节点控制晶体管 M8，栅极与所述第一时钟信号输入端 CLK 连接，源极与所述上拉控制节点 PU0 连接，漏极与第二反相节点 STU_INV1 连接；以及，

第二上拉控制节点控制晶体管 M7，栅极与所述输入端 STU 连接，源极与高电压输入端电连接，漏极与所述上拉控制节点 PU0 连接；所述高电压输入端用于输入高电压 VGH；

所述第一级反相控制电路 112 包括：

第一反相控制晶体管 M3, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第一反相节点 STU_INV0 连接; 以及,

第二反相控制晶体管 M4, 栅极与所述第一时钟信号输入端 CLK 连接, 源极与所述第一反相节点 STU_INV0 连接, 漏极与所述低电压输入端电连接; 所述低电压输入端用于输入低电压 VGL;

第二级反相控制电路 113 包括:

第三反相控制晶体管 M5, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第二反相节点 STU_INV1 连接; 以及,

第四反相控制晶体管 M6, 栅极与第一反相节点 STU_INV0 连接, 源极与所述第二反相节点 STU_INV1 连接, 漏极与所述低电压输入端电连接;

所述下拉节点控制电路 13 包括输入控制子电路 131、第一储能子电路 132 以及自举控制子电路 133;

所述输入控制子电路 131 包括: 输入控制晶体管 M1, 栅极与所述第一时钟信号输入端 CLK 连接, 源极与所述输入端 STU 连接, 漏极与所述下拉节点 PD 连接;

所述第一储能子电路 132 包括: 第一电容 C1, 第一端与所述下拉节点 PD 连接, 第二端与下拉存储节点 SD 连接;

所述自举控制子电路 133 包括: 自举控制晶体管 M2, 栅极与所述下拉节点 PD 连接, 源极与所述第二时钟信号输入端 CLKB 连接, 漏极与所述下拉存储节点 SD 连接;

所述上拉节点控制电路 12 包括初级上拉节点控制子电路 121、第二储能子电路 122 和次级上拉节点控制子电路 123;

所述初级上拉节点控制子电路 121 包括: 第一上拉节点控制晶体管 M9, 栅极与所述上拉控制节点 PU0 连接, 源极与所述第二时钟信号输入端 CLKB 连接, 漏极与所述上拉存储节点 SU 连接;

所述第二储能子电路 122 包括: 第二电容 C2, 第一端与所述上拉控制节点 PU0 连接, 第二端与所述上拉存储节点 SU 连接;

所述次级上拉节点控制子电路 123 包括: 第二上拉节点控制晶体管 M11, 栅极与所述第二时钟信号输入端 CLKB 连接, 源极与所述上拉节点 PU1 连接, 漏极与所述上拉存储节点 SU 连接; 以及,

第三上拉节点控制晶体管 M10, 栅极与所述下拉节点 PD 连接, 源极与高电压输入端电连接, 漏极与上拉节点 PU1 连接; 所述高电压输入端用于输入高电压 VGH;

所述输出电路 14 包括:

第一输出晶体管 M13, 栅极与所述上拉节点 PU1 连接, 源极与所述发光控制信号输出端 OUT 连接, 漏极与所述高电压输入端电连接; 以及,

第二输出晶体管 M12, 栅极与所述下拉节点 PD 连接, 源极与低电压输入端电连接, 漏极与所述发光控制信号输出端 OUT 连接;

所述低电压输入端用于输入低电压 VGL。

在图 5B 所示的移位寄存器单元的具体实施例中, 所有的晶体管都为 p 型晶体管, 但是在实际操作时, 如上晶体管也可以被替换为 n 型晶体管。

在图 5B 所示的另一具体实施例与图 5A 所示的另一具体实施例的区别在于: 在图 5B 所示的另一具体实施例中, 第二反相控制晶体管 M4 的栅极与所述第一时钟信号输入端 CLK 连接, 在图 5A 所示的一个具体实施例中, 第二反相控制晶体管 M4 的栅极与低电压输入端电连接。

如图 6 所示, 本公开如图 5A 所示的移位寄存器单元的一个具体实施例和本公开如图 5B 所示的移位寄存器单元的另一具体实施例在工作时,

在第一阶段 t1, CLK 输入低电平、CLKB 输入高电平, STU 输入高电平, M1 打开, PD 的电位被拉高, M12 关闭, M10 关闭, M3 关闭, M4 打开, STU_INV0 的电位为第一低电平, M5 关闭, M6 打开, STU_INV1 的电位为第二低电平, 第二低电平的绝对值大于第一低电平的绝对值; M7 关闭, M8 打开, PU0 的电位为低电平, M9 打开, 以使得 SU 的电位被拉高, M11 关闭, M10 关闭, PU1 的电位维持为高电平, OUT 输出的发光控制信号的电位维持为低电平;

在第二阶段 t2, CLK 输入高电平, CLKB 输入低电平, STU 输入高电平, M1 关闭, PD 的电位维持为高电平, M12 关闭, M10 关闭, M3 和 M5 都关闭, 则 STU_INV0 的电位维持为第一低电平, STU_INV1 的电位维持为第二低电平 M8 关闭, PU0 的电位维持为低电平, M9 打开, 由于 CLKB 由高电平跳变为低电平, 导致 SU 的电位变低, 从而由于 C2 的作用, PU0 的电位变为更低电平, M11 打开, PU1 的电位为低电平, M13 打开, 以使得 OUT 输出的发光控制信号为高电平;

在第三阶段 t3, CLK 输入低电平, CLKB 输入高电平, STU 输入高电平, M1 打开, PD 的电位维持为高电平, M12 关闭, M10 关闭, M3 关闭, M4 打开, STU_INV0 的电位为第一低电平, M5 关闭, M6 打开, STU_INV1 的电位为第二低电平, 第二低电平的绝对值大于第一低电平的绝对值; M7 关闭, M8 打开, PU0 的电位为低电平, M9 打开, 以使得 SU 的电位被拉高, M11 关闭, M10 关闭, PU1 的电位维持为低电平, OUT 输出的发光控制信号的电位维持为高电平;

在第四阶段 t4, CLK 输入高电平, CLKB 输入低电平, STU 输入高电平, M1 关闭, PD 的电位维持为高电平, M12 关闭, M10 关闭, M3 和 M5 都关闭, 则 STU_INV0 的电位维持为第一低电平, STU_INV1 的电位维持为第二低电平, M8 关闭, PU0 的电位维持为低电平, M9 打开, 由于 CLKB 由高电平跳变为低电平, 导致 SU 的电位变低, 从而由于 C2 的作用, PU0 的电位变为更低电平, M11 打开, PU1 的电位为低电平, M13 打开, 以使得 OUT 输出的发光控制信号为高电平;

在第五阶段 t5, CLK 输入低电平, CLKB 输入高电平, STU 输入低电平, M1、M3、M4、M5 和 M7 都打开, STU_INV0 的电位被拉高, M6 关闭, STU_INV1 的电位也被拉高, M8 打开, PU0 的电位被拉高, M9 关闭; PU1 的电位为 M10 上拉至接近 VGH; 由于 M1 打开, PD 的电位被拉低, 但是由于此时 M2 也打开, CLKB 输入高电平, 因此 PD 的电位不能被拉低为 VGL, 直至 CLKB 在下面的第六阶段 t6 输入低电平。因此此时 M12 不能完全打开, OUT 输出的发光控制信号的电位不能立刻转换为 VGL, 而是为一介于 VGH 和 VGL 之间的电平;

在第六阶段 t6, CLK 输入高电平, CLKB 输入低电平, STU 输入低电平, M1 关闭, PD 的电位为低电平, M2 打开, CLKB 通过导通的 M2 向 C1 充电, 以自举拉低 PD 的电位, 使得 PD 的电位低于 VGL, 使得 M12 充分打开, OUT 输出的发光控制信号的电位为低电平, 并使得 M10 充分打开, 以使得 PU1 的电位为高电平, 使得 M13 关闭。

在具体实施时, 本公开所述的移位寄存器单元的另一具体实施例在工作时, M4 的栅极与 CLK 连接时, 在第一阶段 t1、第三阶段 t3 和第五阶段 t5, 由于 CLK 都输入低电平, 因此 M4 也能够打开。

本公开所述的移位寄存器单元的该具体实施例采用两级反相器, 在移位寄存器单元中的晶体管的阈值电压变异的条件下, 可以实现比一级反相器更加好的反

相效果（单级反相器电路不能实现满量程输出）。本公开所述的移位寄存器单元的该具体实施例采用了两级反相器，使得内部信号反转切换时受晶体管参数影响较小，取消耦合电容提高了电路稳定性，使得输出信号的波形抖动更小，提升了电路的可靠性。

图 7A 是本公开采用的两级反相器的实施例的电路图，其中，该两级反相器包括所述第一级反相控制电路 112 和所述第二级反相控制电路 113；

所述第一级反相控制电路 112 包括：

第一反相控制晶体管 M3，栅极与输入端 STU 连接，源极与高电压输入端电连接，漏极与所述第一反相节点 STU_INV0 连接；以及，

第二反相控制晶体管 M4，栅极与低电压输入端电连接，源极与所述第一反相节点 STU_INV0 连接，漏极与所述低电压输入端电连接；所述低电压输入端用于输入低电压 VGL；所述高电压输入端用于输入高电压 VGH；

所述第二级反相控制电路 113 包括：

第三反相控制晶体管 M5，栅极与所述输入端 STU 连接，源极与所述高电压输入端电连接，漏极与所述第二反相节点 STU_INV1 连接；以及，

第四反相控制晶体管 M6，栅极与第一反相节点 STU_INV0 连接，源极与所述第二反相节点 STU_INV1 连接，漏极与所述低电压输入端电连接；

在图 7A 中，M3、M4、M5 和 M6 都为 PMOS 管，但不以此为限；

在图 7A 中，标号为 R 的为负载电阻，标号为 C 的为负载电容，标号为 GND 的为地端。

图 7B 是本公开采用的两级反相器的另一实施例的电路图，其中，该两级反相器包括所述第一级反相控制电路 112 和所述第二级反相控制电路 113；

所述第一级反相控制电路 112 包括：

第一反相控制晶体管 M3，栅极与输入端 STU 连接，源极与高电压输入端电连接，漏极与所述第一反相节点 STU_INV0 连接；以及，

第二反相控制晶体管 M4，栅极与所述第一时钟信号输入端 CLK 连接，源极与所述第一反相节点 STU_INV0 连接，漏极与所述低电压输入端电连接；所述低电压输入端用于输入低电压 VGL；所述高电压输入端用于输入高电压 VGH；

所述第二级反相控制电路 113 包括：

第三反相控制晶体管 M5, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与所述第二反相节点 STU_INV1 连接; 以及,

第四反相控制晶体管 M6, 栅极与第一反相节点 STU_INV0 连接, 源极与所述第二反相节点 STU_INV1 连接, 漏极与所述低电压输入端电连接;

在图 7B 中, M3、M4、M5 和 M6 都为 PMOS 管, 但不以此为限;

在图 7B 中, 标号为 R 的为负载电阻, 标号为 C 的为负载电容, 标号为 GND 的为地端。

图 7B 所示的两级反相器的实施例与图 7A 所示的两级反相器的实施例的区别在于: 在图 7B 中, M4 的栅极与第一时钟信号输入端 CLK 连接, 在图 7A 中, M4 的栅极与低电压输入端电连接。

图 8 是相关技术的单级反相器的电路图, 其中, 该单级反相器包括:

第一反相控制晶体管 M3, 栅极与所述输入端 STU 连接, 源极与所述高电压输入端电连接, 漏极与反相节点 STU_INV2 连接; 以及,

第二反相控制晶体管 M4, 栅极与低电压输入端电连接, 源极与反相节点 STU_INV2 连接, 漏极与所述低电压输入端电连接; 所述低电压输入端用于输入低电压 VGL; 所述高电压输入端用于输入高电压 VGH;

在图 8 中, M3、M4、M5 和 M6 都为 PMOS 管, 但不以此为限;

在图 8 中, 标号为 R 的为负载电阻, 标号为 C 的为负载电容, 标号为 GND 的为地端。

图 9 是当 PMOS 管的阈值电压负向偏移 2V 时, 如图 7A 所示的两级反相器的实施例接入实际的移位寄存器单元时, STU_INV1 的电位的仿真图;

图 10 是当 PMOS 管的阈值电压负向偏移 2V 时, 如图 8 所示的单级反相器的实施例接入实际的移位寄存器单元时, STU_INV2 的电位的仿真图;

图 11 是当 PMOS 管的阈值电压正向偏移 1.5V 时, 如图 7A 所示的两级反相器的实施例接入实际的移位寄存器单元时, STU_INV1 的电位的仿真图;

图 12 是当 PMOS 管的阈值电压正向偏移 1.5V 时, 如图 8 所示的单级反相器的实施例接入实际的移位寄存器单元时, STU_INV2 的电位的仿真图;

图 13 是当 PMOS 管的阈值电压未偏移时, 如图 7A 所示的两级反相器的实施例接入实际的移位寄存器单元时, STU_INV1 的电位的仿真图;

图 14 是当 PMOS 管的阈值电压未偏移时,如图 8 所示的单级反相器的实施例接入实际的移位寄存器单元时,STU_INV2 的电位的仿真图。

在图 9 至图 14 中,横轴为时间 t ,单位为 s (秒)。在图 9、图 11、图 13 中,纵轴为 STU_INV1 的电位,单位为 V (伏);在图 10、图 12 和图 14 中,纵轴为 STU_INV2 的电位,单位为 V (伏)。

经比较图 9 和图 10,并比较图 11 和图 12,比较图 13 和图 14 可知,相关技术的单级反相器中的反相节点 STU_INV2 的电位抖动大,并不能满量程输出,本公开实施例采用的两级反相器中的第二反相节点 STU_INV1 的电位无抖动,并能够满量程输出。

图 15 为当 PMOS 管的阈值电压正向偏移 $1V$ 时,本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 16 为当 PMOS 管的阈值电压正向偏移 $1.75V$ 时,本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 17 为当 PMOS 管的阈值电压正向偏移 $2V$ 时,本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 18 为当 PMOS 管的阈值电压正向偏移 $1V$ 时,相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 19 为当 PMOS 管的阈值电压正向偏移 $1.75V$ 时,相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 20 为当 PMOS 管的阈值电压正向偏移 $2V$ 时,相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图。

在图 15、图 16、图 17、图 18、图 19 和图 20 中,横轴为时间 t ,单位为 s (秒)。

比较图 15 和图 18, 当 PMOS 管的阈值电压正向漂移 1V 时, 本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号波形平滑, 噪声小, 相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号在为低电平时噪声大。

比较图 16 和图 19, 当 PMOS 管的阈值电压正向漂移 1.75V 时, 本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号波形平滑, 噪声小, 相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号在高电平阶段和低电平阶段的噪声都很大, 导致接入该发光控制信号的像素电路不能被控制而正确发光。

比较图 17 和图 20, 当 PMOS 管的阈值电压正向漂移 2V 时, 本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号波形平滑, 噪声小, 相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号在高电平阶段和低电平阶段的噪声都很大, 导致接入该发光控制信号的像素电路不能被控制而正确发光。由以上的仿真波形图比较结果可知, 在本公开实施例中, 可以在 PMOS 管的阈值电压正向漂移 0V 至 2V 时, 都可以使得输出的发光控制信号噪声小, 满足发光控制的要求; 而在现有技术中, 当 PMOS 管的阈值电压的正向漂移值大于或等于 1V 时, 即产生较大噪声, 从而不能准确的控制像素电路中的发光控制晶体管的开启和关断。

图 21 为当 PMOS 管的阈值电压负向偏移 2V 时, 本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 22 为当 PMOS 管的阈值电压未偏移时, 本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 23 是当 PMOS 管的阈值电压负向偏移 2V 时, 相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图;

图 24 是当 PMOS 管的阈值电压未偏移时, 相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元的发光控制信号输出端 OUT1 输出的发光控制信号的仿真波形图。

在图 21、图 22、图 23 和图 24 中, 横轴为时间 t , 单位为 s (秒)。

比较图 21 和图 23, 比较图 22 和图 24, 可知当 PMOS 管的阈值电压负向偏移和未偏移时, 本公开实施例所述的发光控制栅极驱动电路包括的第一级移位寄存器单元输出的发光控制信号的性能与相关技术的发光控制栅极驱动电路包括的第一级移位寄存器单元输出的发光控制信号的性能相当, 本公开实施例能够在 PMOS 管的阈值电压正向偏移时的性能提高的前提下, 维持该 PMOS 管的阈值电压负向偏移或未偏移时的性能。

本公开实施例所述的移位寄存器单元的驱动方法, 应用于上述的移位寄存器单元, 所述移位寄存器单元的驱动方法包括:

在来自输入端的输入信号的控制下, 对从所述输入信号进行反相, 并向第一反相节点输出第一反相信号;

在所述输入信号和第 $n-1$ 反相节点的电位的控制下, 对所述输入信号进行反相, 并向第 n 反相节点输出第 n 反相信号, 其中, $n=2, 3, \dots, N$, N 为大于 1 的整数;

在来自第一时钟信号输入端的第一时钟信号的控制下, 将第 N 反相节点的电位传送到上拉控制节点, 以及在所述输入信号的控制下将来自第一电压输入端的第一电压信号传送到所述上拉控制节点;

在所述上拉控制节点的电位、来自第二时钟信号输入端的第二时钟信号和下拉节点的电位的控制下, 调整所述上拉节点的电位;

在第一时钟信号的控制下, 通过所述输入信号和所述第二时钟信号调整所述下拉节点的电位;

在所述上拉节点的电位的控制下, 将所述第一电压信号传送到发光控制信号输出端, 以及在所述下拉节点的电位的控制下, 将来自第二电压输入端的第二电压信号传送到所述发光控制信号输出端。

本公开实施例所述的移位寄存器单元的驱动方法采用至少两级反相器将控制信号反转和推动后级电路的功能分开, 具有更好的输出摆幅, 当工艺参数变化时, 输出摆幅越接近理性状态, 则电路越不容易失效; 本公开实施例所述的移位

寄存器单元对于 PMOS (positive channel Metal Oxide Semiconductor, p 沟道金属氧化物半导体) 晶体管的工艺的冗余较大, 特别是对 PMOS 晶体管的阈值电压正向漂移的耐受能力强; 本公开实施例所述的移位寄存器单元不使用耦合电容, 没有造成时钟走线上额外的负载。

本公开实施例所述的移位寄存器单元的驱动方法采用了多级反相器(所述多级反相器包括的反相单元的级数大于或等于 2), 来使得内部信号反转切换时受晶体管参数影响较小, 取消了耦合电容以提高电路稳定性, 以使得移位寄存器单元电路可靠性更高。

根据一种具体实施方式, 当所述第一电平为高电平, 所述第二电平为低电平时, 所述第一反相节点的电位大于所述第 N 反相节点的电位;

根据另一种具体实施方式, 当所述第一电平为低电平, 所述第二电平为高电平时, 所述第一反相节点的电位大于所述第 N 反相节点的电位。

在具体实施时, 本公开所述的移位寄存器单元的驱动方法还包括:

当所述输入信号为第一电平, 所述第一时钟信号为第二电平, 所述第二时钟信号为第一电平时, 下拉节点控制电路控制下拉节点的电位为第一电平;

当所述输入信号为第一电平, 所述第一时钟信号为第一电平, 所述第二时钟信号为第二电平时, 所述下拉节点控制电路控制所述下拉节点的电位维持为第一电平;

当所述输入信号为第二电平, 所述第一时钟信号为第二电平, 所述第二时钟信号为第一电平时, 下拉节点控制电路控制下拉节点的电位为第二电平;

当所述输入信号为第二电平, 所述第一时钟信号为第一电平, 所述第二时钟信号为第二电平时, 下拉节点控制电路控制下拉节点的电位为第二电平。

具体的, 当所述第一电平为高电平, 所述第二电平为低电平, 所述下拉节点控制电路包括输入控制子电路、第一储能子电路以及自举控制子电路时, 所述当所述输入信号为第二电平, 所述第一时钟信号为第一电平, 所述第二时钟信号为第二电平时, 下拉节点控制电路控制下拉节点的电位为第二电平步骤包括:

在所述第一时钟信号输入端的控制下, 输入控制子电路断开所述输入端与所述下拉节点的连接;

在所述下拉节点的控制下, 自举控制子电路导通第二时钟信号输入端与下拉存储节点之间的连接, 以自举拉低所述下拉节点的电位。

当所述第一电平为高电平，所述第二电平为低电平，所述下拉节点控制电路包括输入控制子电路、第一储能子电路以及自举控制子电路时，在所述第一时钟信号输入端的控制下，输入控制子电路断开所述输入端与所述下拉节点的连接；在所述下拉节点的控制下，自举控制子电路导通第二时钟信号输入端与下拉存储节点之间的连接，以自举拉低所述下拉节点的电位。

本公开实施例所述的发光控制栅极驱动电路，包括多个级联的上述的移位寄存器单元；

除了第一级移位寄存器单元之外，每一级移位寄存器单元的输入端与相邻上一级移位寄存器单元的发光控制信号输出端电连接。

本公开实施例所述的显示装置包括上述的发光控制栅极驱动电路。

所述显示装置例如可以为：电子纸、OLED（Organic Light-Emitting Diode，有机发光二极管）显示装置、手机、平板电脑、电视机、显示器、笔记本电脑、数码向框、导航仪等任何具有显示功能的产品或部件。

以上所述是本公开的优选实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本公开所述原理的前提下，还可以作出若干改进和润饰，这些改进和润饰也应视为本公开的保护范围。

权 利 要 求

1、一种移位寄存器单元，包括上拉控制节点控制电路、N级反相控制电路、上拉节点控制电路、下拉节点控制电路以及输出电路，其中，N为大于1的整数，其中，

所述N级反相控制电路中的第一级反相控制电路与输入端和第一反相节点电连接，所述第一级反相控制电路被配置为在来自输入端的输入信号的控制下，对所述输入信号进行反相，并向第一反相节点输出第一反相信号；

所述N级反相控制电路中的第n级反相控制电路与所述输入端、第n-1反向节点和第n反相节点电连接，所述第n级反相控制电路被配置为在所述输入信号和第n-1反相节点的电位的控制下对所述输入信号进行反相，并向第n反相节点输出第n反相信号，其中， $n=2, 3, \dots, N$ ；

所述上拉控制节点控制电路与所述输入端、第一时钟信号输入端、第一电压输入端、第N反相节点和上拉控制节点电连接，所述上拉控制节点控制电路被配置为在来自所述第一时钟信号输入端的第一时钟信号的控制下，将所述第N反相节点的电位传送到所述上拉控制节点，以及在所述输入信号的控制下将来自所述第一电压输入端的第一电压信号传送到所述上拉控制节点；

所述上拉节点控制电路与所述上拉控制节点、第二时钟信号端、下拉节点和上拉节点电连接，所述上拉节点控制电路被配置为在所述上拉控制节点的电位、来自所述第二时钟信号输入端的第二时钟信号和所述下拉节点的电位的控制下，调整所述上拉节点的电位；

所述下拉节点控制电路与所述第一时钟信号输入端、所述第二时钟信号输入端、所述输入端和所述下拉节点电连接，所述下拉节点控制电路被配置为在所述第一时钟信号的控制下，通过所述输入信号和所述第二时钟信号调整所述下拉节点的电位；以及

所述输出电路与发光控制信号输出端、所述上拉节点、所述下拉节点、所述第一电压输入端和第二电压输入端电连接，所述输出电路被配置为在所述上拉节点的电位的控制下，将所述第一电压信号传送到所述发光控制信号输出端，以及在所述下拉节点的电位的控制下，将来自所述第二电压输入端的第二电压信号传送到所述发光控制信号输出端。

2、如权利要求1所述的移位寄存器单元，其中，所述下拉节点控制电路包括：
输入控制子电路，与所述第一时钟信号输入端、所述输入端和所述下拉节点电连接；

第一储能子电路，与所述下拉节点和下拉存储节点电连接；以及，

自举控制子电路，与所述第二时钟信号输入端、所述下拉节点和所述下拉存储节点电连接。

3、如权利要求2所述的移位寄存器单元，其中，

所述输入控制子电路包括：输入控制晶体管，所述输入控制晶体管的栅极与所述第一时钟信号输入端电连接，所述输入控制晶体管的第一极与所述输入端电连接，所述输入控制晶体管的第二极与所述下拉节点电连接；

所述第一储能子电路包括：第一电容，所述第一电容的第一端与所述下拉节点电连接，所述第一电容的第二端与所述下拉存储节点电连接；

所述自举控制子电路包括：自举控制晶体管，所述自举控制晶体管的栅极与所述下拉节点电连接，所述自举控制晶体管的第一极与所述第二时钟信号输入端电连接，所述自举控制晶体管的第二极与所述下拉存储节点电连接。

4、如权利要求1所述的移位寄存器单元，其中，所述上拉节点控制电路包括：
初级上拉节点控制子电路，与所述上拉控制节点、上拉存储节点和所述第二时钟信号输入端电连接；

第二储能子电路，与所述上拉控制节点和所述上拉存储节点电连接；以及，

次级上拉节点控制子电路，与所述下拉节点、所述第一电压输入端、所述上拉节点、所述第二时钟信号输入端和所述上拉存储节点电连接。

5、如权利要求4所述的移位寄存器单元，其中，

所述初级上拉节点控制子电路包括：第一上拉节点控制晶体管，所述第一上拉节点控制晶体管的栅极与所述上拉控制节点电连接，所述第一上拉节点控制晶体管的第一极与所述第二时钟信号输入端电连接，所述第一上拉节点控制晶体管的第二极与所述上拉存储节点电连接；

所述第二储能子电路包括：第二电容，所述第二电容的第一端与所述上拉控制节点电连接，所述第二电容的第二端与所述上拉存储节点电连接；

所述次级上拉节点控制子电路包括：

第二上拉节点控制晶体管，所述第二上拉节点控制晶体管的栅极与

所述第二时钟信号输入端电连接, 所述第二上拉节点控制晶体管的第一极与所述上拉节点电连接, 所述第二上拉节点控制晶体管的第二极与所述上拉存储节点电连接, 以及

第三上拉节点控制晶体管, 所述第三上拉节点控制晶体管的栅极与所述下拉节点电连接, 所述第三上拉节点控制晶体管的第一极与所述第一电压输入端电连接, 所述第三上拉节点控制晶体管的第二极与所述上拉节点电连接。

6、如权利要求1至5中任一权利要求所述的移位寄存器单元, 其中, 所述第一级反相控制电路包括:

第一反相控制晶体管, 所述第一反相控制晶体管的栅极与所述输入端电连接, 所述第一反相控制晶体管的第一极与所述第一电压输入端电连接, 所述第一反相控制晶体管的第二极与所述第一反相节点电连接; 以及,

第二反相控制晶体管, 所述第二反相控制晶体管的栅极与所述第二电压输入端或所述第一时钟信号输入端电连接, 所述第二反相控制晶体管的第一极与所述第一反相节点电连接, 所述第二反相控制晶体管的第二极与所述第二电压输入端电连接;

所述第n级反相控制电路包括:

第2n-1反相控制晶体管, 所述第2n-1反相控制晶体管的栅极与所述输入端电连接, 所述第2n-1反相控制晶体管的第一极与所述第一电压输入端电连接, 所述第2n-1反相控制晶体管的第二极与所述第n反相节点电连接; 以及,

第2n反相控制晶体管, 所述第2n反相控制晶体管的栅极与第n-1反相节点电连接, 所述第2n反相控制晶体管的第一极与所述第n反相节点电连接, 所述第2n反相控制晶体管的第二极与所述第二电压输入端电连接。

7、如权利要求6所述的移位寄存器单元, 其中, 所述上拉控制节点控制电路包括:

第一上拉控制节点控制晶体管, 所述第一上拉控制节点控制晶体管的栅极与所述第一时钟信号输入端电连接, 所述第一上拉控制节点控制晶体管的第一极与所述上拉控制节点电连接, 所述第一上拉控制节点控制晶体管的第二极与第N反

相节点电连接；以及，

第二上拉控制节点控制晶体管，所述第二上拉控制节点控制晶体管的栅极与所述输入端电连接，所述第二上拉控制节点控制晶体管的第一极与所述第一电压输入端电连接，所述第二上拉控制节点控制晶体管的第二极与所述上拉控制节点电连接。

8、如权利要求1所述的移位寄存器单元，其中，所述输出电路包括：

第一输出晶体管，所述第一输出晶体管的栅极与所述上拉节点电连接，所述第一输出晶体管的第一极与所述发光控制信号输出端电连接，所述第一输出晶体管的第二极与所述第一电压输入端电连接；以及，

第二输出晶体管，所述第二输出晶体管的栅极与所述下拉节点电连接，所述第二输出晶体管的第一极与所述第二电压输入端电连接，所述第二输出晶体管的第二极与所述发光控制信号输出端电连接。

9、一种用于驱动如权利要求1至8中任一权利要求所述的移位寄存器单元的驱动方法，包括：

在来自输入端的输入信号的控制下，对从所述输入信号进行反相，并向第一反相节点输出第一反相信号；

在所述输入信号和第n-1反相节点的电位的控制下，对所述输入信号进行反相，并向第n反相节点输出第n反相信号，其中， $n=2, 3, \dots, N$ ，N为大于1的整数；

在来自第一时钟信号输入端的第一时钟信号的控制下，将第N反相节点的电位传送到上拉控制节点，以及在所述输入信号的控制下将来自第一电压输入端的第一电压信号传送到所述上拉控制节点；

在所述上拉控制节点的电位、来自第二时钟信号输入端的第二时钟信号和下拉节点的电位的控制下，调整所述上拉节点的电位；

在第一时钟信号的控制下，通过所述输入信号和所述第二时钟信号调整所述下拉节点的电位；

在所述上拉节点的电位的控制下，将所述第一电压信号传送到发光控制信号输出端，以及在所述下拉节点的电位的控制下，将来自第二电压输入端的第二电压信号传送到所述发光控制信号输出端。

10、一种发光控制栅极驱动电路，包括多个级联的如权利要求1至8中任一权

利要求所述的移位寄存器单元；

除了第一级移位寄存器单元之外，每一级移位寄存器单元的输入端与上一级移位寄存器单元的发光控制信号输出端电连接。

11、一种显示装置，包括如权利要求13所述的发光控制栅极驱动电路。

1/12

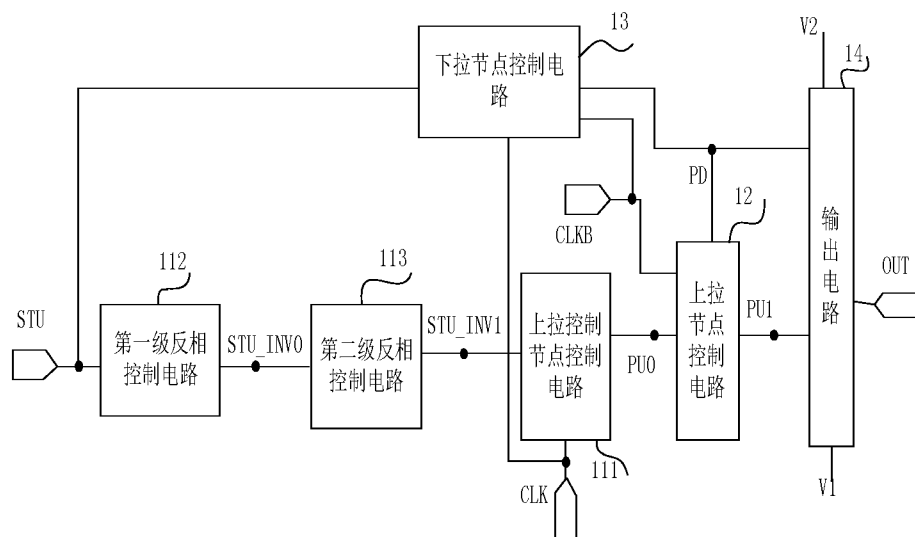


图 1

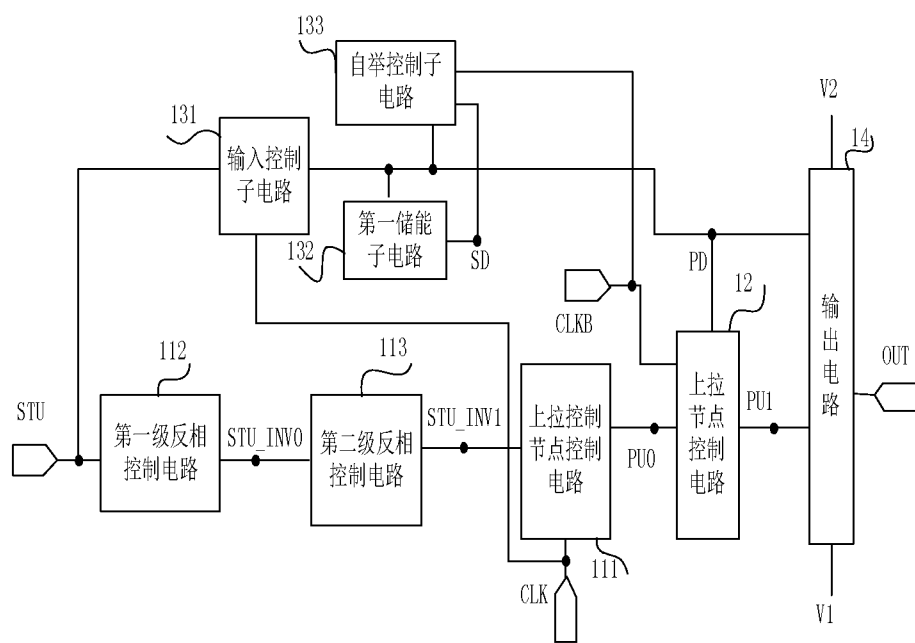


图 2

2/12

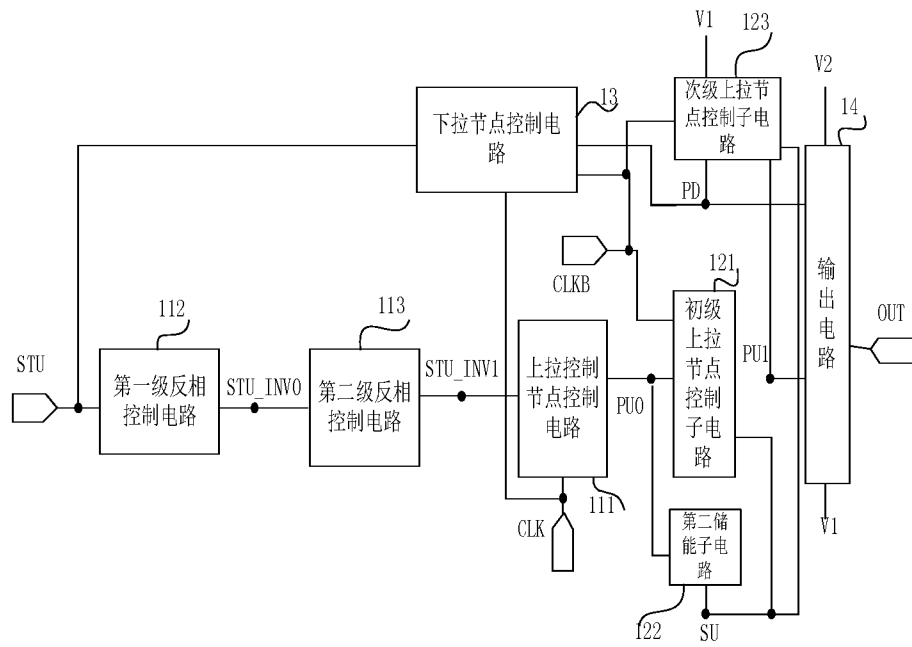


图 3

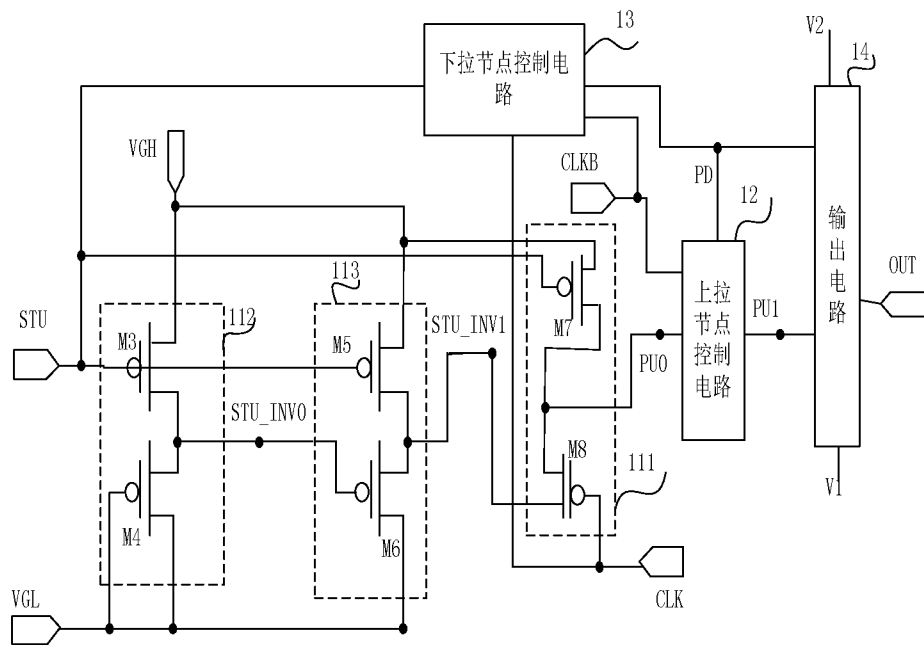


图 4A

3/12

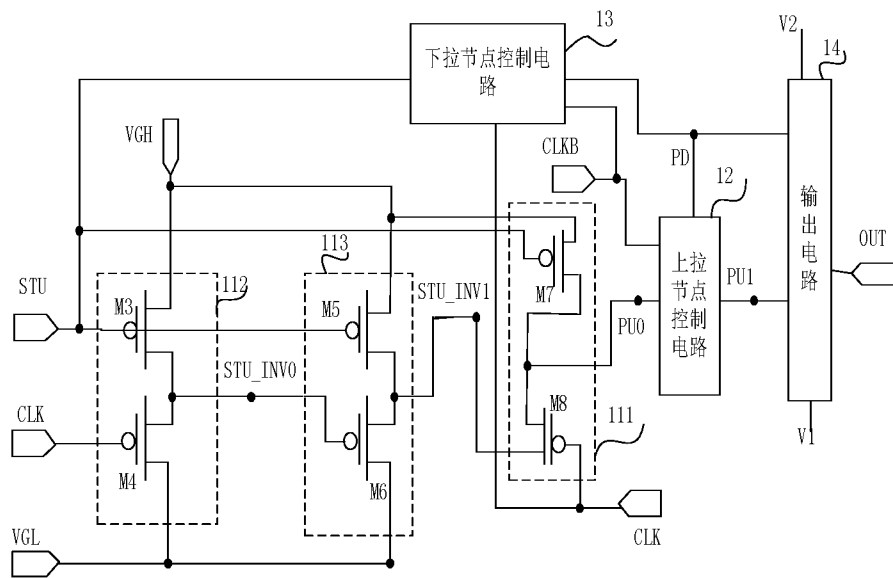


图 4B

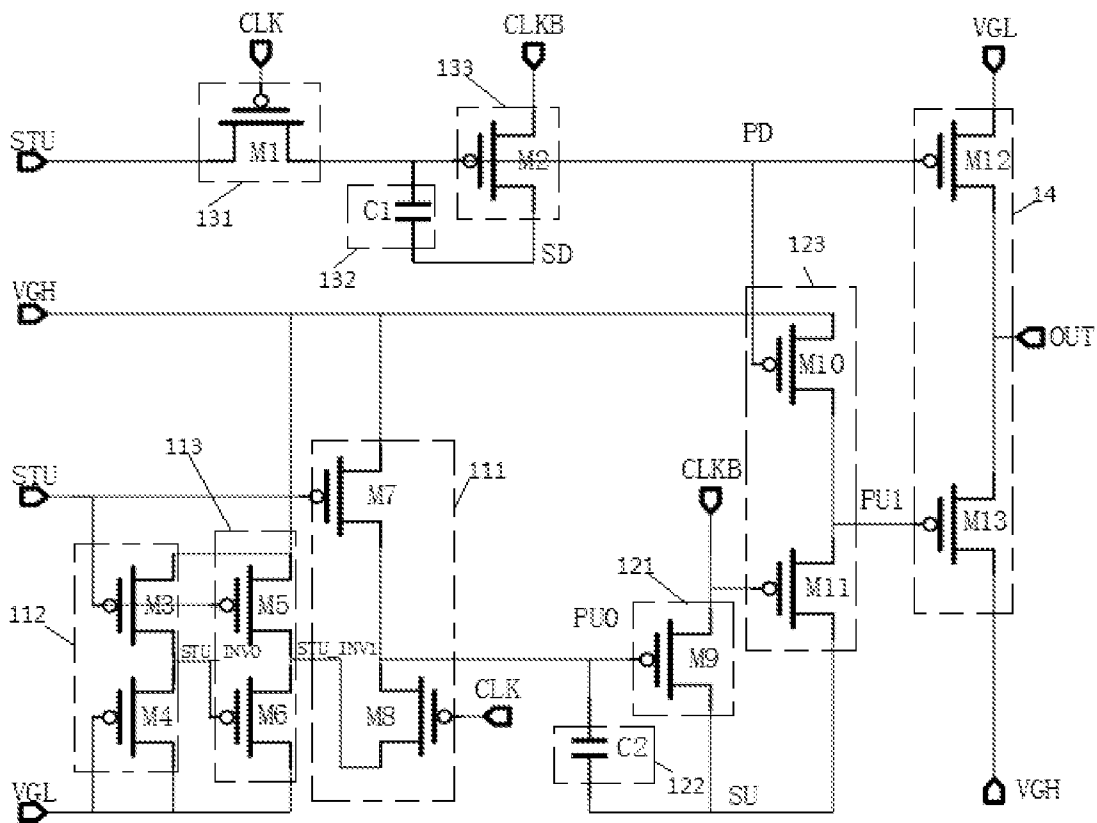


图 5A

4/12

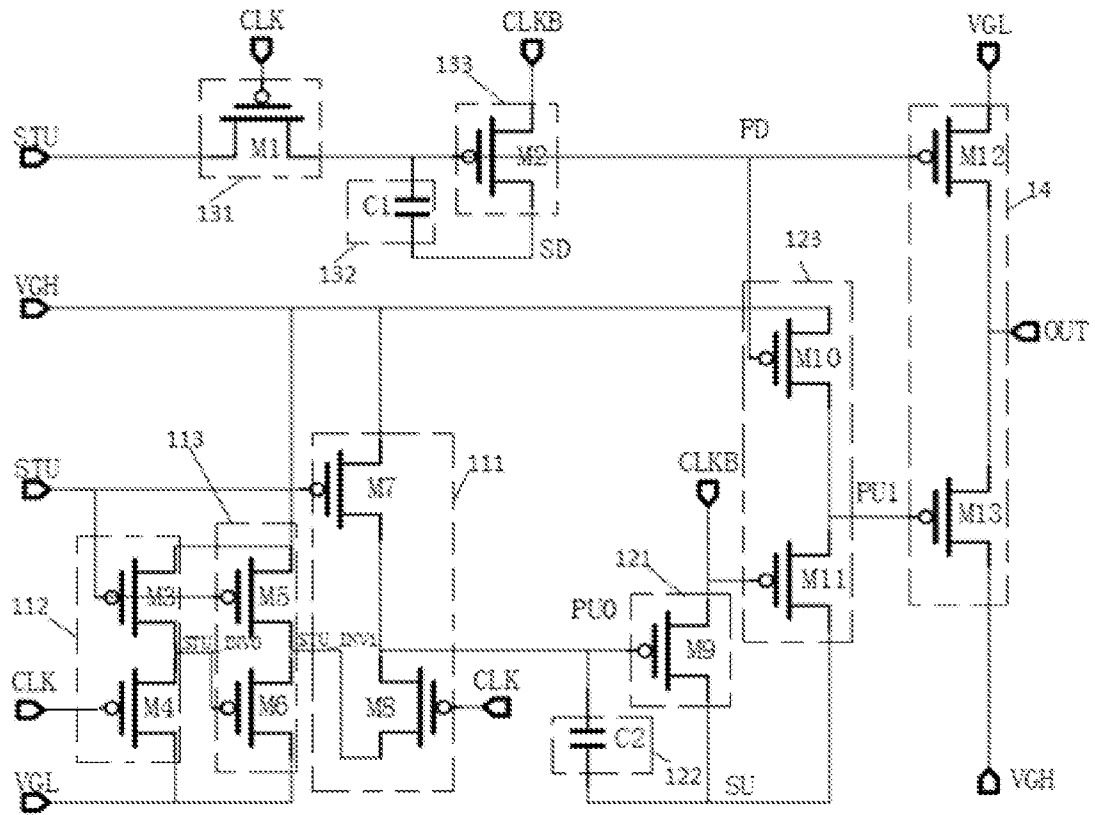


图 5B

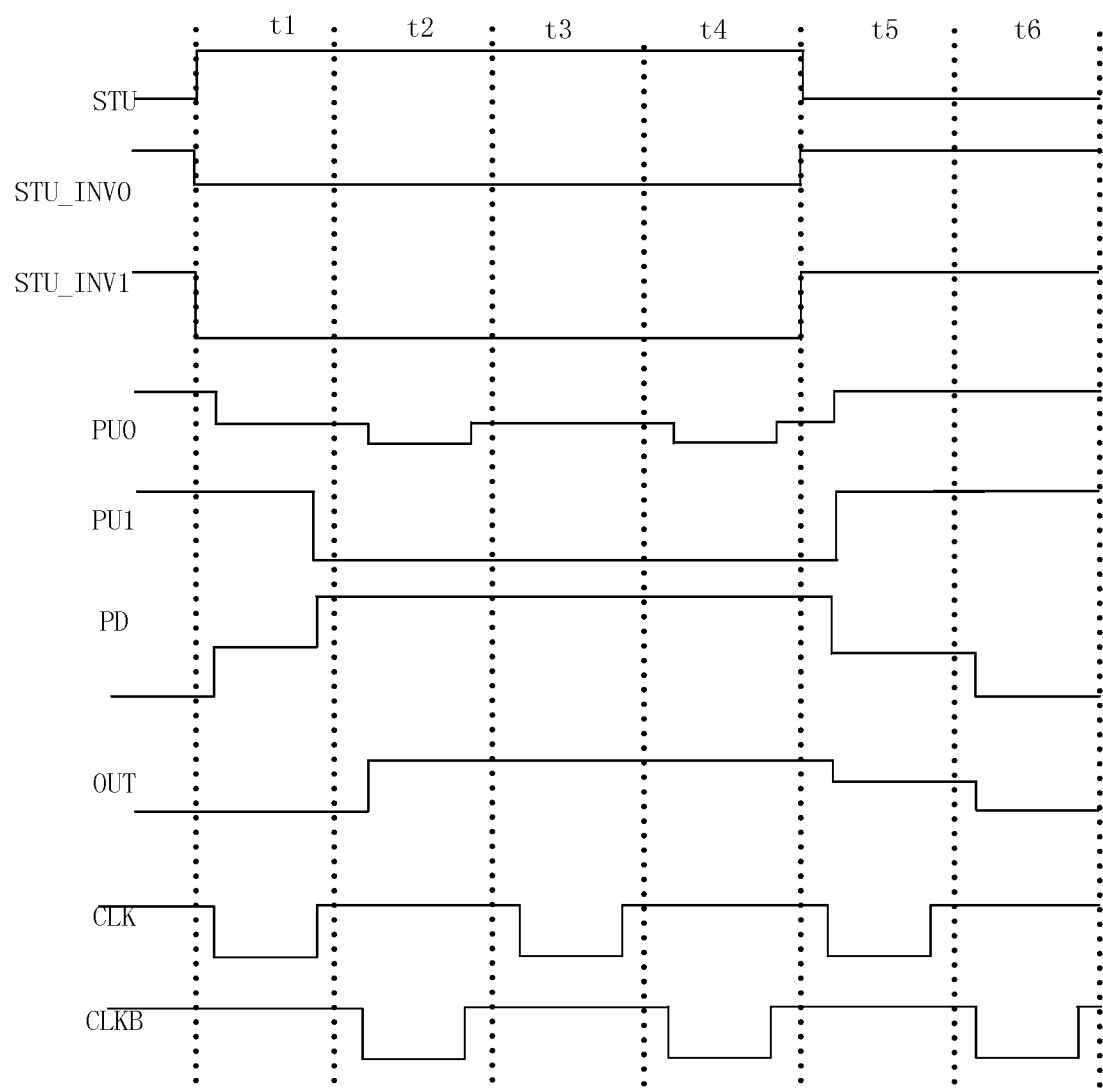


图 6

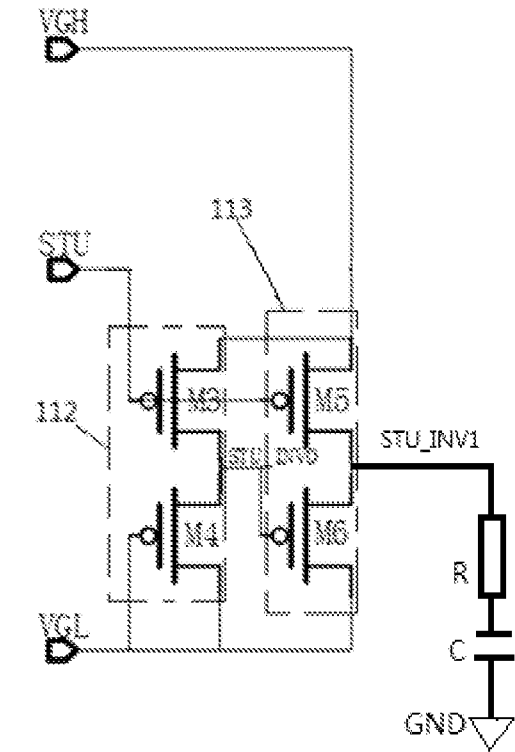


图 7A

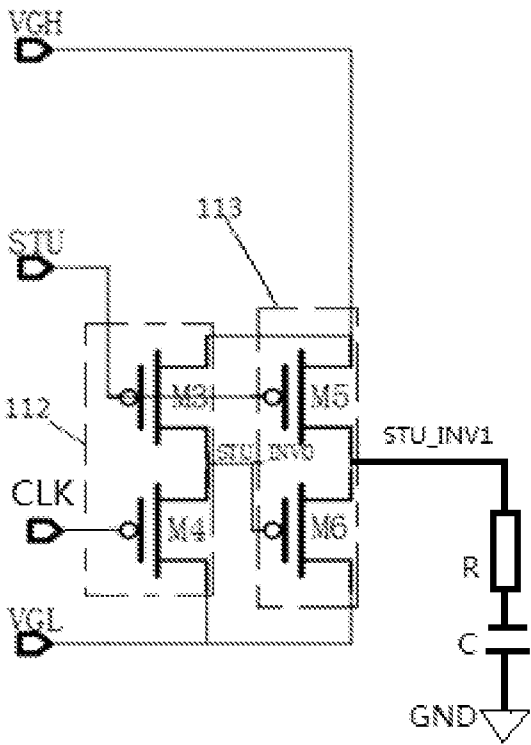


图 7B

7/12

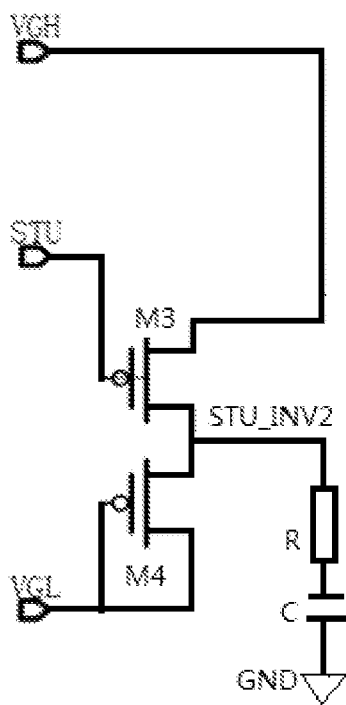


图 8

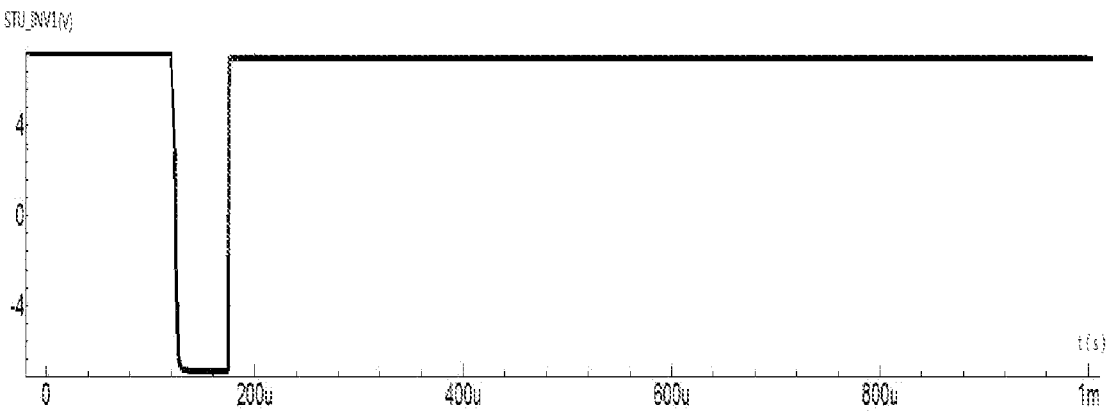


图 9

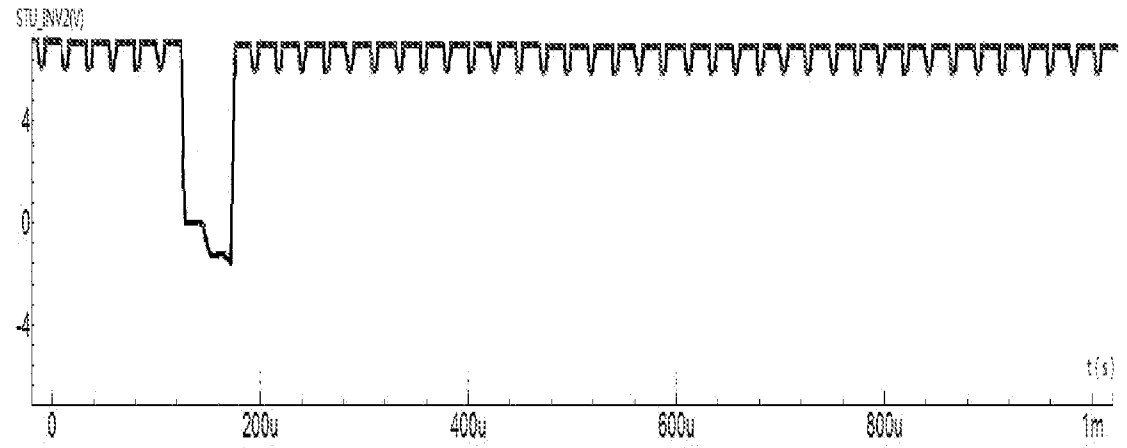


图 10

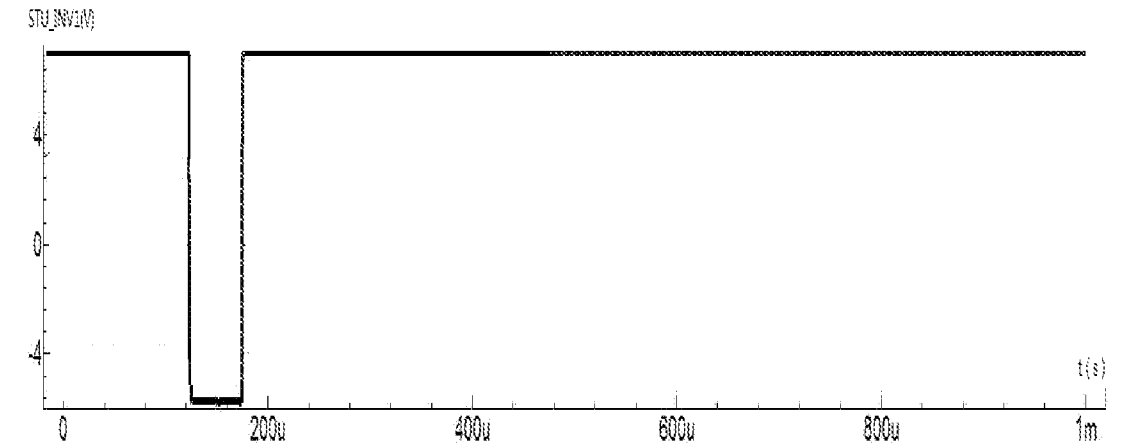


图 11

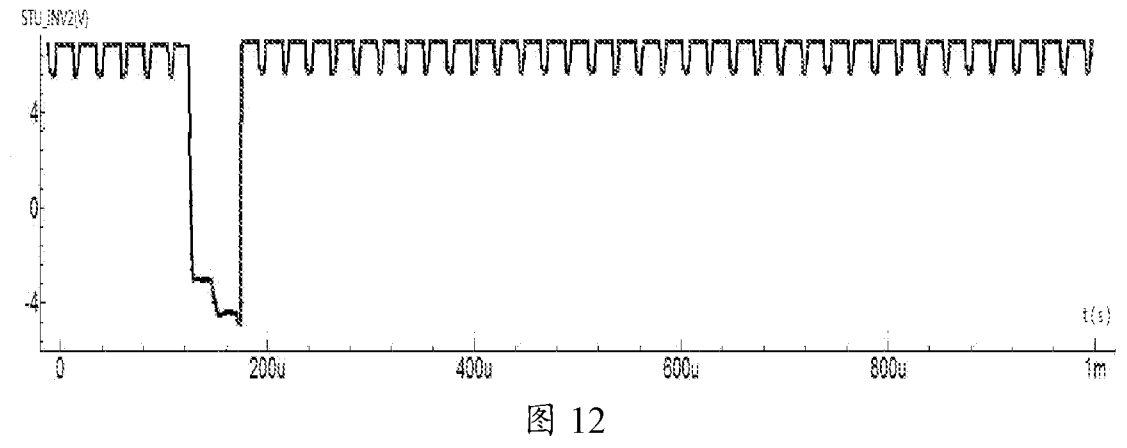


图 12

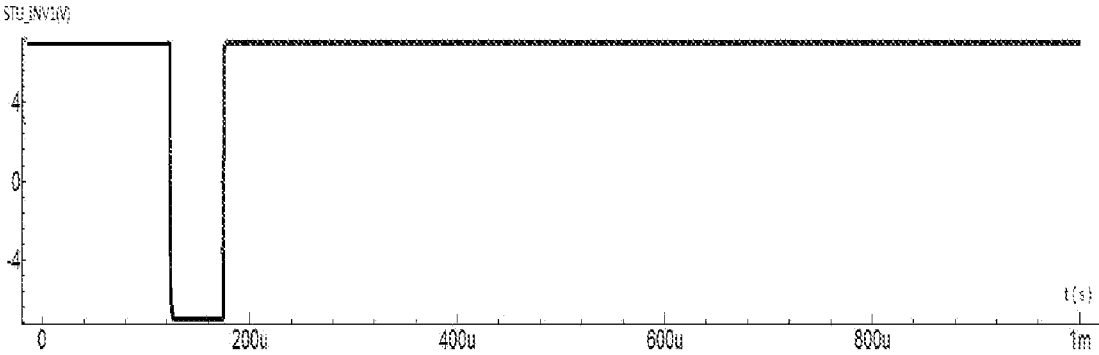


图 13

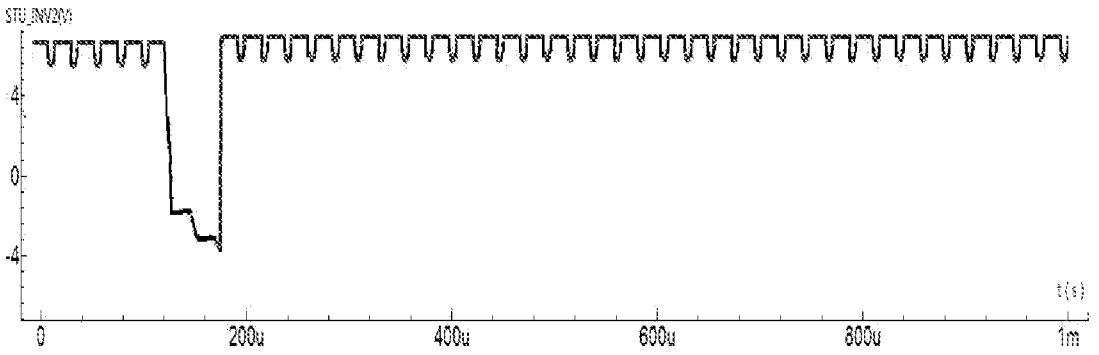


图 14

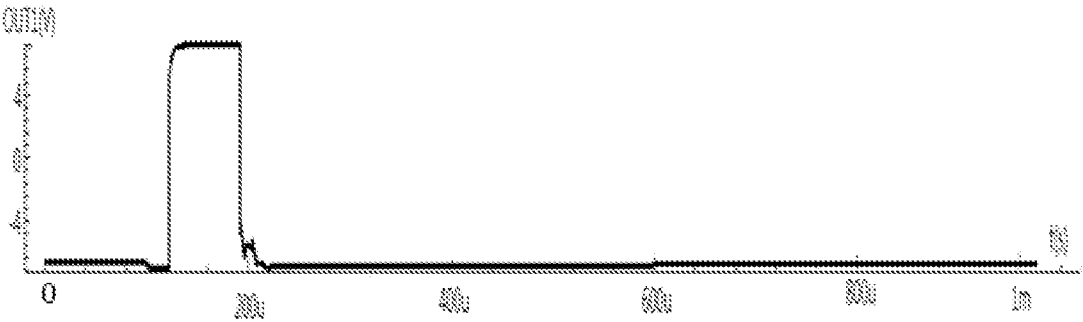


图 15

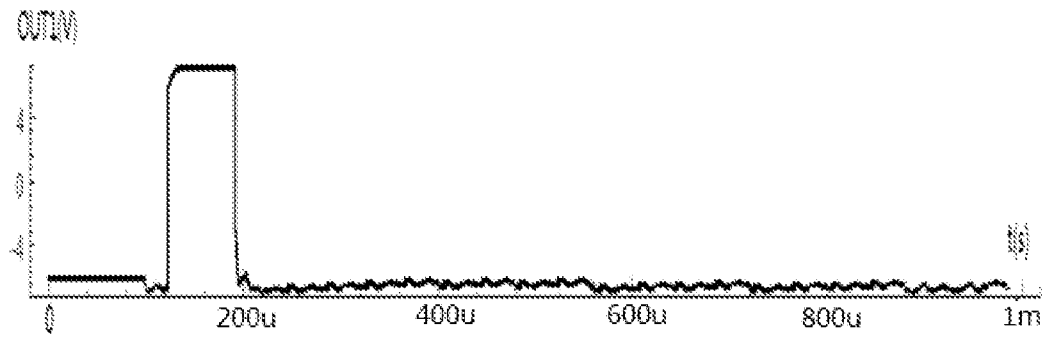


图 16

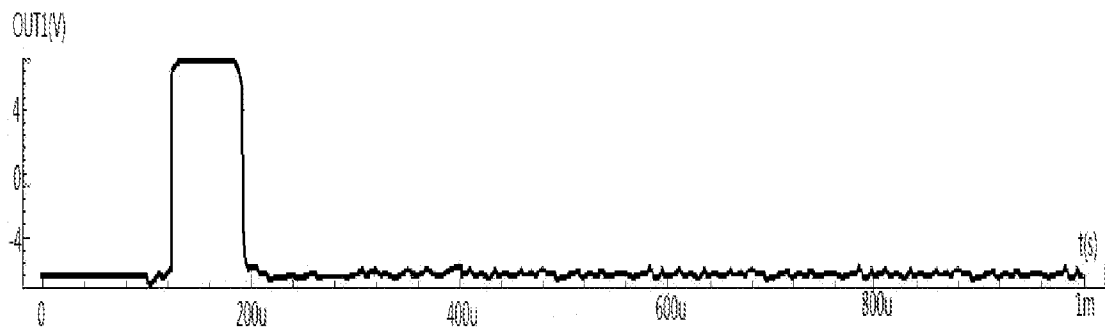


图 17

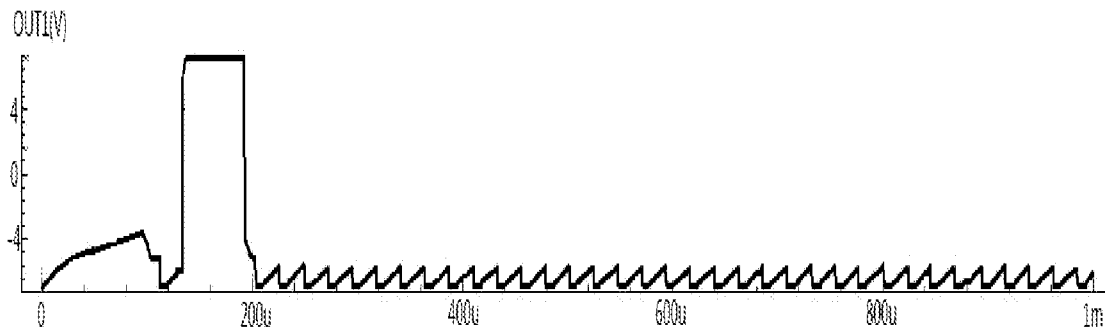


图 18

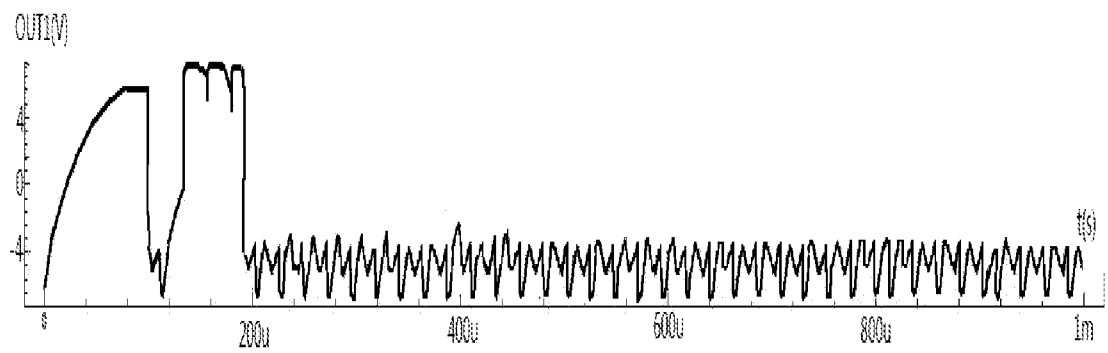


图 19

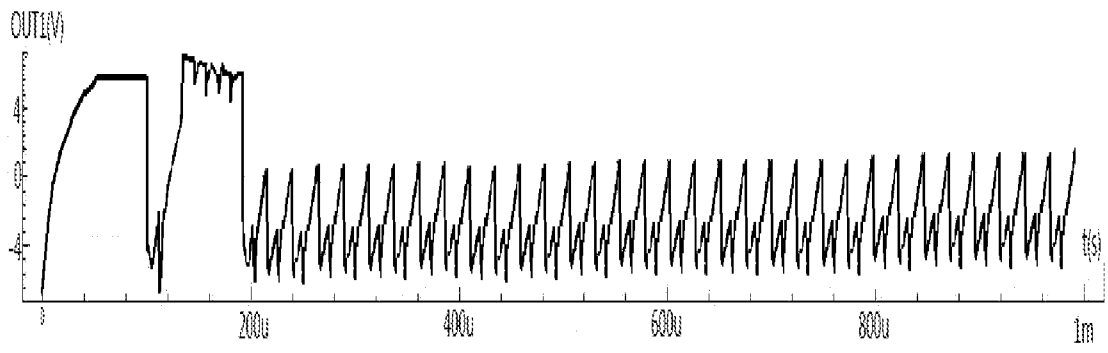


图 20

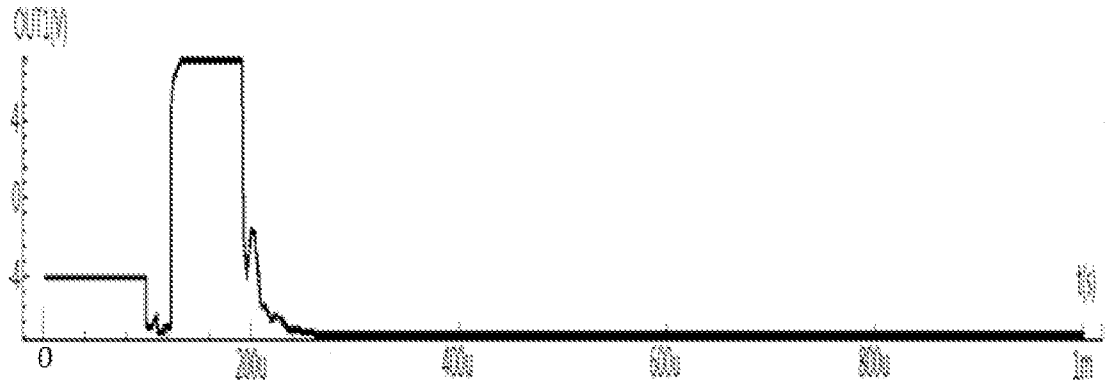


图 21

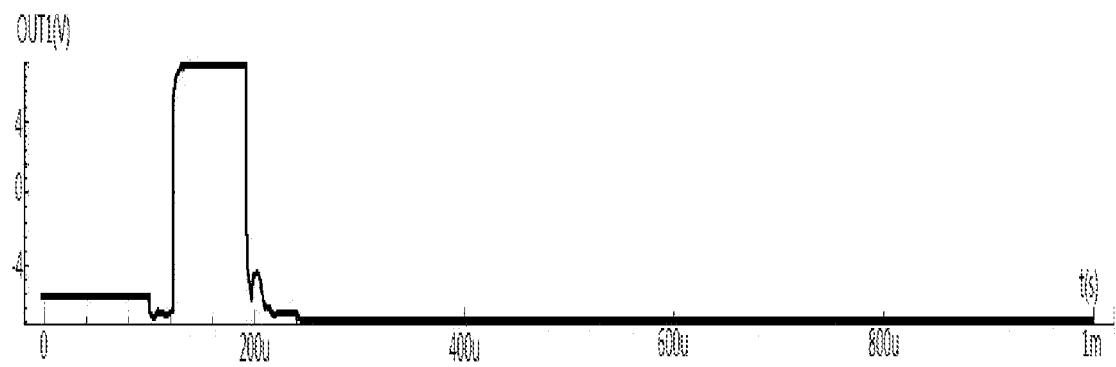


图 22

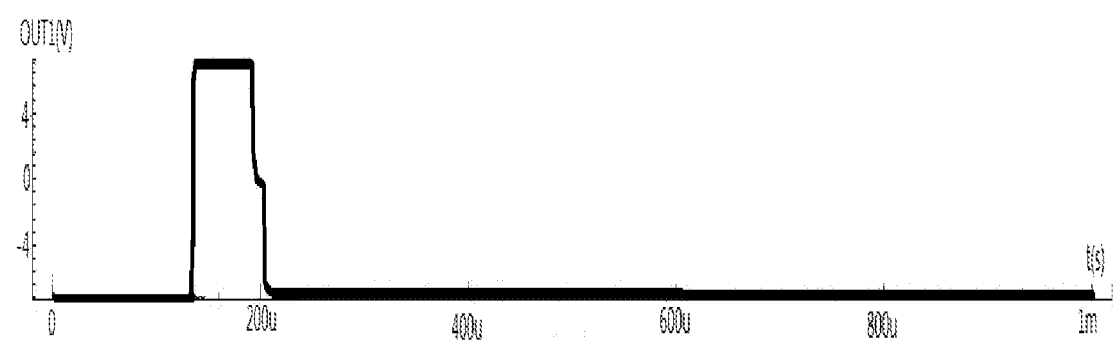


图 23

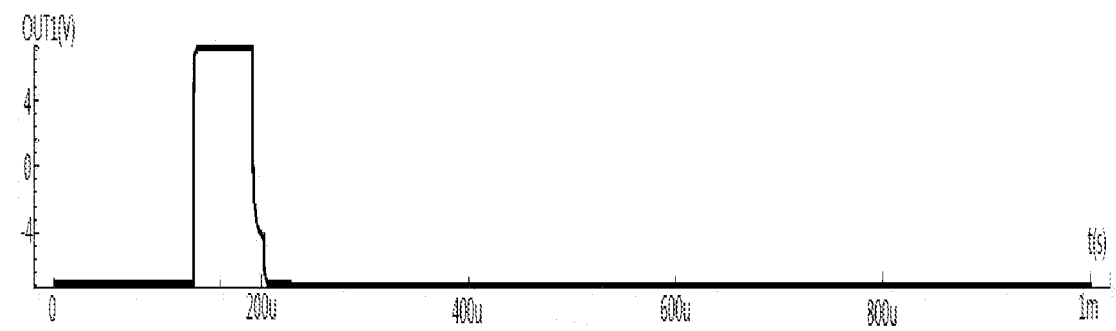


图 24

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/076920

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i; G11C 19/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-;G11C 19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC, EPTXT, USTXT, WOTXT: 李全虎, 移位, 位移, 寄存, 存储, 暂存, 储存, 缓存, 输入, 多级, 第二, 第2, 多个, 反相, 反向, 稳定, 可靠, 晶体管, 下拉, 上拉, Shift W register?, input, second, two, INV2, Inverter?, PMOS, transistor?, stab+, pull+ down, pull+ up

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 108806583 A (BOE TECHNOLOGY GROUP CO., LTD.) 13 November 2018 (2018-11-13) description, paragraphs [0086]-[0309], and figures 1-24	1-11
A	CN 103226927 A (AU OPTRONICS CORPORATION) 31 July 2013 (2013-07-31) description, paragraphs [0047]-[0067], and figures 1-4	1-11
A	CN 102750898 A (LG DISPLAY CO., LTD.) 24 October 2012 (2012-10-24) entire document	1-11
A	CN 104751816 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 01 July 2015 (2015-07-01) entire document	1-11
A	CN 104883181 A (BOE TECHNOLOGY GROUP CO., LTD.) 02 September 2015 (2015-09-02) entire document	1-11
A	CN 105161134 A (BOE TECHNOLOGY GROUP CO., LTD.) 16 December 2015 (2015-12-16) entire document	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

08 May 2019

Date of mailing of the international search report

31 May 2019

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/ CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/076920**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105336291 A (BOE TECHNOLOGY GROUP CO., LTD.) 17 February 2016 (2016-02-17) entire document	1-11
A	CN 105489153 A (SHANGHAI TIANMA ORGANIC LUMINESCENT DISPLAY TECHNOLOGY CO., LTD. ET AL.) 13 April 2016 (2016-04-13) entire document	1-11
A	US 2004239608 A1 (CHUNG, W. S.) 02 December 2004 (2004-12-02) entire document	1-11

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2019/076920

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108806583	A	13 November 2018	None			
CN	103226927	A	31 July 2013	TW	201430797	A	01 August 2014
				CN	103226927	B	09 December 2015
				TW	I488163	B	11 June 2015
CN	102750898	A	24 October 2012	KR	20120119298	A	31 October 2012
				US	2012269316	A1	25 October 2012
				US	8867697	B2	21 October 2014
				US	2013243150	A1	19 September 2013
				US	8422621	B2	16 April 2013
				KR	101768485	B1	31 August 2017
				CN	102750898	B	08 April 2015
CN	104751816	A	01 July 2015	GB	2549646	A	25 October 2017
				WO	2016155057	A1	06 October 2016
				KR	20170125013	A	13 November 2017
				US	2017047128	A1	16 February 2017
				JP	2018510447	A	12 April 2018
				CN	104751816	B	15 August 2017
				JP	6369928	B2	08 August 2018
CN	104883181	A	02 September 2015	EP	3309968	A1	18 April 2018
				CN	104883181	B	16 March 2018
				WO	2016197523	A1	15 December 2016
				US	10027329	B2	17 July 2018
				US	2017141777	A1	18 May 2017
CN	105161134	A	16 December 2015	EP	3361479	A1	15 August 2018
				WO	2017059791	A1	13 April 2017
				US	2017345515	A1	30 November 2017
				CN	105161134	B	23 October 2018
				US	10049762	B2	14 August 2018
CN	105336291	A	17 February 2016	CN	105336291	B	02 November 2018
				WO	2017092514	A1	08 June 2017
				US	2018226008	A1	09 August 2018
CN	105489153	A	13 April 2016	CN	105489153	B	29 June 2018
US	2004239608	A1	02 December 2004	KR	100753365	B1	30 August 2007
				WO	03034438	A1	24 April 2003
				TW	533400	B	21 May 2003
				KR	20030032199	A	26 April 2003

国际检索报告

国际申请号

PCT/CN2019/076920

A. 主题的分类 G09G 3/20(2006.01)i; G11C 19/28(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																										
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G09G 3/-;G11C 19/- 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS, TWABS, CNTXT, TWTXT, CNKI, WPI, EPODOC, EPTXT, USTXT, WOTXT:李全虎, 移位, 位移, 寄存, 存储, 暂存, 储存, 缓存, 输入, 多级, 第二, 第2, 多个, 反相, 反向, 稳定, 可靠, 晶体管, 下拉, 上拉, Shift W register?, input, second, two, INV2, Inverter?, PMOS, transistor?, stab+, pull+ down, pull+ up																										
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 108806583 A (京东方科技集团股份有限公司) 2018年 11月 13日 (2018 - 11 - 13) 说明书第[0086]-[0309]段、附图1-24</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 103226927 A (友达光电股份有限公司) 2013年 7月 31日 (2013 - 07 - 31) 说明书第[0047]-[0067]段、附图1-4</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 102750898 A (乐金显示有限公司) 2012年 10月 24日 (2012 - 10 - 24) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 104751816 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 104883181 A (京东方科技集团股份有限公司) 2015年 9月 2日 (2015 - 09 - 02) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 105161134 A (京东方科技集团股份有限公司) 2015年 12月 16日 (2015 - 12 - 16) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 105336291 A (京东方科技集团股份有限公司) 2016年 2月 17日 (2016 - 02 - 17) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 108806583 A (京东方科技集团股份有限公司) 2018年 11月 13日 (2018 - 11 - 13) 说明书第[0086]-[0309]段、附图1-24	1-11	A	CN 103226927 A (友达光电股份有限公司) 2013年 7月 31日 (2013 - 07 - 31) 说明书第[0047]-[0067]段、附图1-4	1-11	A	CN 102750898 A (乐金显示有限公司) 2012年 10月 24日 (2012 - 10 - 24) 全文	1-11	A	CN 104751816 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文	1-11	A	CN 104883181 A (京东方科技集团股份有限公司) 2015年 9月 2日 (2015 - 09 - 02) 全文	1-11	A	CN 105161134 A (京东方科技集团股份有限公司) 2015年 12月 16日 (2015 - 12 - 16) 全文	1-11	A	CN 105336291 A (京东方科技集团股份有限公司) 2016年 2月 17日 (2016 - 02 - 17) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
PX	CN 108806583 A (京东方科技集团股份有限公司) 2018年 11月 13日 (2018 - 11 - 13) 说明书第[0086]-[0309]段、附图1-24	1-11																								
A	CN 103226927 A (友达光电股份有限公司) 2013年 7月 31日 (2013 - 07 - 31) 说明书第[0047]-[0067]段、附图1-4	1-11																								
A	CN 102750898 A (乐金显示有限公司) 2012年 10月 24日 (2012 - 10 - 24) 全文	1-11																								
A	CN 104751816 A (深圳市华星光电技术有限公司) 2015年 7月 1日 (2015 - 07 - 01) 全文	1-11																								
A	CN 104883181 A (京东方科技集团股份有限公司) 2015年 9月 2日 (2015 - 09 - 02) 全文	1-11																								
A	CN 105161134 A (京东方科技集团股份有限公司) 2015年 12月 16日 (2015 - 12 - 16) 全文	1-11																								
A	CN 105336291 A (京东方科技集团股份有限公司) 2016年 2月 17日 (2016 - 02 - 17) 全文	1-11																								
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																										
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																										
国际检索实际完成的日期 2019年 5月 8日		国际检索报告邮寄日期 2019年 5月 31日																								
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		授权官员 王少伟 电话号码 86-(10)-53962522																								

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 105489153 A (上海天马有机发光显示技术有限公司 等) 2016年 4月 13日 (2016 - 04 - 13) 全文	1-11
A	US 2004239608 A1 (CHUNG, WOO SUK) 2004年 12月 2日 (2004 - 12 - 02) 全文	1-11

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2019/076920

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108806583	A	2018年 11月 13日	无			
CN	103226927	A	2013年 7月 31日	TW	201430797	A	2014年 8月 1日
				CN	103226927	B	2015年 12月 9日
				TW	I488163	B	2015年 6月 11日
CN	102750898	A	2012年 10月 24日	KR	20120119298	A	2012年 10月 31日
				US	2012269316	A1	2012年 10月 25日
				US	8867697	B2	2014年 10月 21日
				US	2013243150	A1	2013年 9月 19日
				US	8422621	B2	2013年 4月 16日
				KR	101768485	B1	2017年 8月 31日
				CN	102750898	B	2015年 4月 8日
CN	104751816	A	2015年 7月 1日	GB	2549646	A	2017年 10月 25日
				WO	2016155057	A1	2016年 10月 6日
				KR	20170125013	A	2017年 11月 13日
				US	2017047128	A1	2017年 2月 16日
				JP	2018510447	A	2018年 4月 12日
				CN	104751816	B	2017年 8月 15日
				JP	6369928	B2	2018年 8月 8日
CN	104883181	A	2015年 9月 2日	EP	3309968	A1	2018年 4月 18日
				CN	104883181	B	2018年 3月 16日
				WO	2016197523	A1	2016年 12月 15日
				US	10027329	B2	2018年 7月 17日
				US	2017141777	A1	2017年 5月 18日
CN	105161134	A	2015年 12月 16日	EP	3361479	A1	2018年 8月 15日
				WO	2017059791	A1	2017年 4月 13日
				US	2017345515	A1	2017年 11月 30日
				CN	105161134	B	2018年 10月 23日
				US	10049762	B2	2018年 8月 14日
CN	105336291	A	2016年 2月 17日	CN	105336291	B	2018年 11月 2日
				WO	2017092514	A1	2017年 6月 8日
				US	2018226008	A1	2018年 8月 9日
CN	105489153	A	2016年 4月 13日	CN	105489153	B	2018年 6月 29日
US	2004239608	A1	2004年 12月 2日	KR	100753365	B1	2007年 8月 30日
				WO	03034438	A1	2003年 4月 24日
				TW	533400	B	2003年 5月 21日
				KR	20030032199	A	2003年 4月 26日

表 PCT/ISA/210 (同族专利附件) (2015年1月)