

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4043246号  
(P4043246)

(45) 発行日 平成20年2月6日(2008.2.6)

(24) 登録日 平成19年11月22日(2007.11.22)

(51) Int.Cl.	F I
HO 1 L 27/14 (2006.01)	HO 1 L 27/14 Z
HO 1 L 21/8222 (2006.01)	HO 1 L 27/06 I O 1 D
HO 1 L 27/06 (2006.01)	HO 1 L 29/72 P
HO 1 L 21/331 (2006.01)	HO 1 L 31/10 G
HO 1 L 29/732 (2006.01)	

請求項の数 1 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2002-23778 (P2002-23778)	(73) 特許権者	000001889 三洋電機株式会社 大阪府守口市京阪本通2丁目5番5号
(22) 出願日	平成14年1月31日(2002.1.31)	(74) 代理人	100131071 弁理士 ▲角▼谷 浩
(65) 公開番号	特開2003-224252 (P2003-224252A)	(72) 発明者	高橋 強 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
(43) 公開日	平成15年8月8日(2003.8.8)	(72) 発明者	大古田 敏幸 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
審査請求日	平成17年1月26日(2005.1.26)	審査官	柴山 将隆
前置審査			

最終頁に続く

(54) 【発明の名称】 光半導体集積回路装置

(57) 【特許請求の範囲】

【請求項 1】

P型の半導体基板と、  
前記基板の表面に積層され、ノンドープで形成された複数層のエピタキシャル層と、  
前記エピタキシャル層を貫通して複数の島領域を形成するP型の分離領域と、  
前記複数の島領域の1つである第1の島領域に形成されるPNP型の縦型トランジスタと、  
前記複数の島領域の1つである第2の島領域に形成されるホトダイオードとを有し、  
前記第1の島領域を構成する前記分離領域の内側には電位が印加されたN型の拡散領域が形成され、前記N型の拡散領域は、前記N型の拡散領域の内側に形成された前記PNP型の縦型トランジスタのコレクタ領域としてのP型の拡散領域と離間して配置され、  
前記P型の拡散領域よりも前記第1の島領域を構成する前記分離領域側に配置されていることを特徴とする光半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ホトダイオードとバイポーラICとを一体化した光半導体集積回路装置において、ホトダイオードの高速応答を可能とするノンドープエピタキシャル層にバイポーラICを形成することを目的とする。

【0002】

**【従来の技術】**

受光素子と周辺回路とを一体化してモノリシックに形成した光半導体集積回路装置は、受光素子と回路素子とを別個に形成しハイブリットIC化したものと異なりコストダウンが期待できる。更に、上記ハイブリットIC化したものは外部電磁界による雑音に対しても強いというメリットを有する。

**【0003】**

このような光半導体集積回路装置の従来における構造としては、例えば、特開平09-018050号公報に一実施の形態が記載されている。以下に、図13を参照にして、その構造について説明する。

**【0004】**

先ず、図13は、従来における光半導体集積回路装置の断面図である。具体的には、ホトダイオード1とNPNトランジスタ2とを組み込んだICの断面図である。図示の如く、P型の単結晶シリコン半導体基板3上には、気相成長法によりノンドープで積層した第1のエピタキシャル層4が、例えば、15~20 $\mu\text{m}$ 程度の厚さで形成されている。同様に、この第1のエピタキシャル層4上には、気相成長法によりリン(P)ドープで積層した第2のエピタキシャル層5が、例えば、4~6 $\mu\text{m}$ 程度の厚さで形成されている。そして、第1および第2のエピタキシャル層4、5は、両者を完全に貫通するP+型の分離領域6により第1の島領域7および第2の島領域8に電氣的に分離されている。尚、この第1の島領域7にはホトダイオード1が形成され、また、第2の島領域8にはNPNトランジスタ2が形成される。

**【0005】**

第1の島領域7では、第2のエピタキシャル層5表面にはカソード取出しとなるN+型の拡散領域9が略全面に形成されており、この第2のエピタキシャル層5表面には酸化膜10が形成されている。そして、この酸化膜10を部分的に開孔したコンタクトホールを介してカソード電極11がN+型の拡散領域9にコンタクトする。一方、分離領域6をホトダイオード1のアノード側低抵抗取出し領域として、アノード電極12が分離領域6の表面にコンタクトする。この結果、ホトダイオード1が構成される。

**【0006】**

一方、第2の島領域8では、第1のエピタキシャル層4と第2のエピタキシャル層5との境界部にはN+型の埋め込み層13が埋め込まれている。このN+型の埋め込み層13上方の第2のエピタキシャル層5表面には、NPNトランジスタ2のP型のベース領域14、N+型のエミッタ領域15およびN+型のコレクタ領域16を形成している。そして、各拡散領域上にはA1電極17がコンタクトし、酸化膜10上を延在するA1配線が各素子を連結する。この結果、NPNトランジスタ2が構成され、ホトダイオード1が光信号入力部を、NPNトランジスタ2が他の素子と共に信号処理回路を構成する。

**【0007】****【発明が解決しようとする課題】**

上記したように、従来の光半導体集積回路装置では、第1のエピタキシャル層4をノンドープで形成し、第2のエピタキシャル層5をリン(P)ドープで形成した。そのため、ホトダイオード1はPINダイオードとして構成され、ノンドープである第1のエピタキシャル層4を空乏層形成領域としていた。そして、この構造により、接合容量を小さく、光吸収率を向上して空乏層外生成キャリアの発生を抑え、ホトダイオード1の応答速度を上げていた。

**【0008】**

しかしながら、更に、ホトダイオード1における空乏層形成領域を確保し、ホトダイオード1の応答速度を向上させることを考慮すると、第2のエピタキシャル層5もノンドープで形成することが考えられる。この場合、ホトダイオード1のみの特性を考慮すると満足した効果を得ることができるが、モノリシックに形成されているNPNトランジスタ2側では以下の問題が発生する。

**【0009】**

つまり、NPNトランジスタ2側の第2のエピタキシャル層5もノンドープで形成されることとなる。この構造により、NPNトランジスタ2では、例えば、N+型のコレクタ領域16とP+型の分離領域6とは、間に絶縁層としてノンドープの第2のエピタキシャル層5を有し、2者間で寄生容量を形成するという問題である。

【0010】

【課題を解決するための手段】

本発明は、上記した従来の課題に鑑みてなされたもので、本発明である光半導体集積回路装置では、一導電型の半導体基板と、前記基板の表面に積層したほぼノンドープで形成された複数層のエピタキシャル層と、前記エピタキシャル層を貫通して複数の島領域を形成する一導電型の分離領域と、前記島領域には少なくとも一導電型のトランジスタおよびホトダイオードがそれぞれ形成され、前記一導電型のトランジスタが形成される前記島領域では前記一導電型のトランジスタ形成領域を囲む逆導電型の拡散領域と前記一導電型のトランジスタの一導電型のコレクタ領域とは離間して形成されることを特徴とする。

10

【0011】

本発明の光半導体集積回路装置は、好適には、前記逆導電型の拡散領域と前記コレクタ領域との間にはほぼ前記エピタキシャル層のみが位置することを特徴とする。

【0012】

本発明の光半導体集積回路装置は、好適には、一導電型の半導体基板と、前記基板の表面に積層したほぼノンドープで形成された複数層のエピタキシャル層と、前記エピタキシャル層を貫通して複数の島領域を形成する一導電型の分離領域と、前記島領域には少なくとも一導電型のトランジスタ、ホトダイオードおよび逆導電型のトランジスタが形成されており、前記逆導電型のトランジスタの逆導電型のコレクタ領域と前記分離領域とは離間して形成されることを特徴とする。

20

【0013】

【発明の実施の形態】

以下に、本発明の実施の形態について図面を参照しながら詳細に説明する。

【0014】

図1は、本発明におけるNPNトランジスタ21、縦型PNPトランジスタ22およびホトダイオード23とを組み込んだ光半導体集積回路装置の断面図を示したものである。

【0015】

図示の如く、P-型の単結晶シリコン基板24上には、例えば、比抵抗 $100 \text{ } \cdot \text{ cm}$ 以上、厚さ $6.0 \sim 8.0 \text{ } \mu\text{m}$ であるノンドープで積層された第1のエピタキシャル層25が形成されている。この第1のエピタキシャル層25上には、例えば、比抵抗 $100 \text{ } \cdot \text{ cm}$ 以上、厚さ $6.0 \sim 8.0 \text{ } \mu\text{m}$ であるノンドープで積層された第2のエピタキシャル層26が形成されている。そして、基板24、第1のエピタキシャル層25および第2のエピタキシャル層26には、3者を完全に貫通するP+型分離領域27によって第1の島領域28、第2の島領域29および第3の島領域30が形成されている。

30

【0016】

この分離領域27は、基板24表面から上下方向に拡散した第1の分離領域31、第1のエピタキシャル層25表面から上下方向に拡散した第2の分離領域32および第2のエピタキシャル層26の表面から拡散した第3の分離領域33から成る。そして、3者が連結することで第1および第2のエピタキシャル層25、26を島状に分離する。また、P+型分離領域27上には、LOCOS酸化膜34が形成されていることで、より素子間分離が成される。ここで、LOCOS酸化膜34は、たんに厚い絶縁膜に置き換えることもできる。

40

【0017】

そして、第1の島領域28にはNPNトランジスタ21が形成され、第2の島領域29には縦型PNPトランジスタ22が形成され、第3の島領域30にはホトダイオード23が形成されている。以下に、それぞれの構造について説明する。

【0018】

50

まず、第1の島領域28に形成されるNPNトランジスタ21について説明する。図示の如く、この構造としては、第1のエピタキシャル層25と第2のエピタキシャル層26との境界を挟むようにN+型の埋め込み層37が形成されている。そして、第2のエピタキシャル層26には、N+型のウェル領域39が深部でN+型の埋め込み層37と重畳するように形成されている。このN+型のウェル領域39には、コレクタ領域としてN+型の拡散領域41、エミッタ領域としてN+型の拡散領域47、ベース領域としてP+型のウェル領域44が形成されている。また、P+型のウェル領域44にはベース導出領域としてP+型の拡散領域45も形成されている。そして、本実施の形態におけるNPNトランジスタ21では、第2エピタキシャル層26表面にはシリコン酸化膜58が堆積されている。そして、シリコン酸化膜58にはコンタクトホールが形成されており、これらのコンタクトホールを介してコレクタ電極51、ベース電極52およびエミッタ電極53が形成されている。

10

**【0019】**

そして、本発明である光半導体集積回路装置では、このNPNトランジスタ21のN+の拡散領域41とP+型の分離領域27とを図示したようにW1の距離をもって離間して形成しているところに特徴がある。上述したように、本発明では、第1および第2のエピタキシャル層25、26をそれぞれほぼノドープで堆積している。そのため、第1および第2のエピタキシャル層25、26自体はイントリシック層であり、この第1および第2のエピタキシャル層25、26は高比抵抗領域となる。つまり、特に、W1で示した領域では、第2のエピタキシャル層26の一部の領域が、P+型の分離領域27とN+型の拡散領域41との間に位置している。そして、P+型の分離領域27は基板24と連続して形成されている。一方、N+型の拡散領域41はコレクタ電極51と接続しており、コレクタ領域として用いられている。その結果、このW1で示した領域では、コレクタ-基板間での寄生容量が発生する。

20

**【0020】**

しかし、本発明では、上述の如く、P+型の分離領域27とN+型の拡散領域41との間はある一定の距離W1をもって形成されている。そのため、この2者間の距離が確保されることでこの寄生容量の自己容量を距離により低減することができる。更に、本発明では、N+型のウェル領域39が、P+型の分離領域27に対してN+型の拡散領域41よりも離間して形成している。そのことで、上述の2者間より成る寄生容量において、この2者間にはほぼ第2のエピタキシャル層26のみ存在することとなる。つまり、寄生容量を構成する絶縁層としてイントリシック層を用いることで低誘電率とすることができ、寄生容量の自己容量を低減することができる。その結果、寄生容量を低減することで、高周波に優れたNPNトランジスタ21を実現できる。

30

**【0021】**

次に、第2の島領域29に形成される縦型PNPトランジスタ22について説明する。図示の如く、この構造としては、第1のエピタキシャル層25と第2のエピタキシャル層26との境界を挟むようにP+型の埋め込み層35が形成されている。更に、この領域には、P+型の埋め込み層35と重畳してN+型の埋め込み層36が形成されている。そして、第2のエピタキシャル層26には、P+型のウェル領域38が深部でP+型の埋め込み層35と重畳するように形成されている。このP+型のウェル領域38には、コレクタ領域としてP+型の拡散領域40、エミッタ領域としてP+型の拡散領域46、ベース領域としてN+型のウェル領域43が形成されている。また、このN+型のウェル領域43には、ベース導出領域としてN+型の拡散領域48も形成されている。そして、第2のエピタキシャル層26表面にはシリコン酸化膜58が形成されており、この酸化膜58に形成されたコンタクトホールを介してコレクタ電極54、ベース電極56およびエミッタ電極55が形成されている。尚、図示していないが、N+型の拡散領域42は電源(VCC)と接続されている。そのため、縦型PNPトランジスタ22は、電源電位が印加されたN+型領域36、42で囲まれているので、寄生効果を抑制することができる。

40

**【0022】**

50

そして、本発明である光半導体集積回路装置では、第1に、この縦型PNPトランジスタ22のN+の拡散領域42とP+型の拡散領域40とを図示したようにW2の距離をもって離間して形成しているところに特徴がある。上述したように、本発明では、第1および第2のエピタキシャル層25、26をそれぞれほぼノンドープで堆積している。そのため、第1および第2のエピタキシャル層25、26自体はイントリシック層であり、この第1および第2のエピタキシャル層25、26は高比抵抗領域となる。つまり、特に、W2で示した領域では、第2のエピタキシャル層26の一部の領域が、N+型の拡散領域42とP+型の拡散領域40との間に位置している。そして、N+型の拡散領域42は電源と接続している。一方、P+型の拡散領域40はコレクタ電極54と接続しており、コレクタ領域として用いられている。その結果、このW2で示した領域では、電源 コレクタ間での寄生容量が発生する。

10

## 【0023】

つまり、上述したPNPトランジスタ21の場合と同様に、縦型PNPトランジスタ22においても、ある一定の距離W2および低誘電率により寄生容量を低減している。その寄生容量対策および効果については、上述したPNPトランジスタ21の場合と同様であるので、上述の説明を参照しここでは説明を割愛することとする。

## 【0024】

次に、本発明である光半導体集積回路装置では、第2に、この縦型PNPトランジスタ22を形成する領域を囲むように、N+型の拡散領域42が形成されていることに特徴がある。具体的には、N+型の拡散領域42は分離領域27より内側に形成されている。つまり、コレクタ領域側ではP+型の拡散領域40とP+の第3の分離領域33との間にN型領域を形成し、PN接合領域を形成している。そのことで、両者間での第2のエピタキシャル層26表面がP型に変化することを防止することができる。その結果、ノンドープで積層されたエピタキシャル層25、26内に縦型PNPトランジスタ22を形成することを実現できる。そして、この構造について以下に説明する。

20

## 【0025】

上述したように、縦型PNPトランジスタ22はノンドープで積層される第1および第2のエピタキシャル層25、26に形成されている。そして、第1および第2のエピタキシャル層25、26には、P+型のウェル領域38、N+型のウェル領域43を形成し、縦型PNPトランジスタ22形成領域を確保している。そのため、N+型の拡散領域42を形成しない場合では、例えば、P+型のウェル領域38又はP+型の拡散領域40とP+型の分離領域27との間にはイントリシック層のみが存在してしまう。そして、図示はしていないが、シリコン酸化膜層58上には、例えば、A1配線等が形成されている。この場合、上述の配線に電流が流れると、高比抵抗である第2のエピタキシャル層26表面はP型領域に反転してしまう。その結果、P+型のウェル領域38又はP+型の拡散領域40とP+型の分離領域27とはショートし、この縦型PNPトランジスタ22は不良品となってしまう。このとき、第2のエピタキシャル層26はノンドープのため高比抵抗であるため、例えば、1~2V程度の電圧が印加することで表面がP型領域に反転してしまう。つまり、この縦型PNPトランジスタ22は非常に耐圧性の悪い構造となってしまう。

30

## 【0026】

しかし、本発明の縦型PNPトランジスタ22では、第2のエピタキシャル層26において、このP+型のウェル領域38又はP+型の拡散領域40とP+型の分離領域27との間のイントリシック層にはN+型の拡散領域42を形成している。このため、この2者間にはPNの接合領域が形成され、このイントリシック層表面がP型領域に変化してもこの2者がショートすることはない。つまり、P+型の分離領域27の内側にN+型の拡散領域42を一環状に形成することで、縦型PNPトランジスタ22の耐圧性を大幅に向上させることができる。ここで、N+型の拡散領域42は、常に、一環状に形成する必要はなく、縦型PNPトランジスタ22の耐圧性を向上させることができる領域にのみ形成する構造でも良い。つまり、縦型PNPトランジスタ22は、実質N+型の拡散領域42で囲まれた領域に形成されることとなる。尚、横型PNPトランジスタにおいても、上述した構

40

50

造を利用できるが、このときは、N + 型の拡散領域 4 2 は電源と接続せず利用する。そのことで、縦型 P N P トランジスタ 2 2 と同様な効果を得ることができる。

【 0 0 2 7 】

また、上述したように、縦型 P N P トランジスタ 2 2 の第 1 の特徴および第 2 の特徴を考慮すると、N + 型の拡散領域 4 2 は P + 型の分離領域 2 7 側に形成し、W 2 幅をより広く確保することが好ましい。

【 0 0 2 8 】

次に、第 3 の島領域 3 0 に形成されるホットダイオード 2 3 について説明する。図示の如く、この構造としては、第 2 のエピタキシャル層 2 6 表面には、N + 型の拡散領域 4 9 が略全面に形成されている。そして、上述したように、第 1 および第 2 のエピタキシャル層 2 5、2 6 はノンドープで形成され、N + 型の拡散領域 4 9 はカソード領域として用いられている。そして、N + 型の拡散領域 4 9 は、第 2 のエピタキシャル層 2 6 表面に形成され、その表面にはシリコン酸化膜 5 8 が堆積されている。そして、このシリコン酸化膜 5 8 に形成されたコンタクトホールを介してカソード電極 5 7 が接続している。一方、上述したように、基板 2 4 は P - 型の単結晶シリコン基板であり、また、P + 型の分離領域 2 7 と連結している。そして、図示はしていないが、分離領域 2 7 表面にはアノード電極が形成されており、分離領域 2 7 と接続している基板 2 4 をアノード領域として用いている。分離領域 2 7 はアノード導出領域の役割を果たしている。

【 0 0 2 9 】

そして、ホットダイオード 2 3 の作用は、次に説明する通りである。例えば、ホットダイオード 2 3 のカソード電極 5 7 に + 5 V の如き V C C 電位を、アノード電極に G N D 電位を印加し、ホットダイオード 2 3 に逆バイアスが印加した状態にする。このとき、ホットダイオード 2 3 では、上述の如く、第 1 および第 2 のエピタキシャル層 2 5、2 6 はノンドープにより形成されているので、従来の構造と比較しても、より広い幅の空乏層形成領域を確保することができる。つまり、ノンドープで形成されている第 1 および第 2 のエピタキシャル層 2 5、2 6 のほぼ全ての領域を空乏層形成領域とすることができる。そのことで、本発明におけるホットダイオード 2 3 では、接合容量を低減することができるので、空乏層を広げることができる。そして、ホットダイオード 2 3 に逆バイアスが印加した状態では空乏層が広く形成されるので、光の入射により発生する生成キャリアの移動速度を向上させることができる。その結果、ホットダイオード 2 3 の高速応答を可能にすることができる。

【 0 0 3 0 】

つまり、ホットダイオード 2 3 では、光の波長等の目的用途にも関係するが、ノンドープで形成されたエピタキシャル層を多層に積層し、空乏層形成領域を確保するほどホットダイオード 2 3 の特性を向上することができる。更に、ノンドープで形成されたエピタキシャル層を多層に積層することで、このエピタキシャル層は高抵抗領域となる。そのことで、寄生トランジスタによるリーク電流等の寄生効果も抑制することができる。

【 0 0 3 1 】

尚、上述したように、本実施の形態ではノンドープで形成されたエピタキシャル層が 2 層構造の場合について説明したが、特に、この構造に限定する必要はない。ホットダイオードの使用用途に応じて、ノンドープから成る多層のエピタキシャル層が積層された場合も同様な効果を得ることができる。また、本実施の形態では、N P N トランジスタ、縦型 P N P トランジスタおよびホットダイオードが一体に形成された場合について説明したが、特に、この構造に限定する必要はない。トランジスタ形成領域のエピタキシャル層がほぼノンドープで形成されている構造であれば個々に形成した場合等でも同様な効果を得ることができる。そして、その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

【 0 0 3 2 】

次に、図 2 ~ 図 1 2 を参照にして、本発明の 1 実施の形態である N P N トランジスタ、縦型 P N P トランジスタおよびホットダイオードとが組み込まれた光半導体集積回路装置の製造方法について、以下に説明する。尚、以下の説明では、図 1 に示した光半導体集積回路装置で説明した各構成要素と同じ構成要素には同じ符番を付すこととする。

10

20

30

40

50

## 【 0 0 3 3 】

先ず、図 2 に示す如く、P - 型の単結晶シリコン基板 2 4 を準備する。そして、この基板 2 4 の表面を熱酸化して全面に酸化膜を、例えば、 $0.03 \sim 0.05 \mu\text{m}$  程度形成する。その後、公知のフォトリソグラフィ技術により分離領域 2 7 の第 1 の分離領域 3 1 を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、P 型不純物、例えば、ホウ素 ( B ) を加速電圧  $60 \sim 100 \text{keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。

## 【 0 0 3 4 】

次に、図 3 に示す如く、図 2 において形成したシリコン酸化膜を全て除去し、基板 2 4 をエピタキシャル成長装置のサセプタ上に配置する。そして、ランプ加熱によって基板 2 4 に、例えば、 $1000$  程度の高温を与えると共に反応管内に  $\text{SiH}_2\text{Cl}_2$  ガスと  $\text{H}_2$  ガスを導入する。そのことにより、基板 2 4 上に、例えば、比抵抗  $100 \cdot \text{cm}$  以上、厚さ  $6.0 \sim 8.0 \mu\text{m}$  程度の第 1 のエピタキシャル層 2 5 を成長させる。その後、第 1 のエピタキシャル層 2 5 の表面を熱酸化してシリコン酸化膜を、例えば、 $0.5 \sim 0.8 \mu\text{m}$  程度形成する。そして、公知のフォトリソグラフィ技術により、NPN トランジスタ 2 1 の N + 型の埋め込み層 3 7 および縦型 PNP トランジスタ 2 2 の N + 型の埋め込み層 3 6 に対応する酸化膜をホットエッチングして選択マスクとする。そして、N 型不純物、例えば、リン ( P ) を加速電圧  $20 \sim 65 \text{keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。このとき、分離領域 2 7 の第 1 の分離領域 3 1 が同時に拡散される。

## 【 0 0 3 5 】

次に、図 4 に示す如く、図 3 において形成したシリコン酸化膜を全て除去する。その後、再び、第 1 のエピタキシャル層 2 5 表面を熱酸化して全面に酸化膜を、例えば、 $0.03 \sim 0.05 \mu\text{m}$  程度形成する。そして、公知のフォトリソグラフィ技術により分離領域 2 7 の第 2 の分離領域 3 2 および縦型 PNP トランジスタ 2 2 の P + 型の埋め込み層 3 5 を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、P 型不純物、例えば、ホウ素 ( B ) を加速電圧  $60 \sim 100 \text{keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、N + 型の埋め込み層 3 6、3 7 が同時に拡散される。

## 【 0 0 3 6 】

次に、図 5 に示す如く、先ず、図 4 において形成したシリコン酸化膜を全て除去し、基板 2 4 をエピタキシャル成長装置のサセプタ上に配置する。そして、ランプ加熱によって基板 2 4 に、例えば、 $1000$  程度の高温を与えると共に反応管内に  $\text{SiH}_2\text{Cl}_2$  ガスと  $\text{H}_2$  ガスを導入する。そのことにより、第 1 のエピタキシャル層 2 5 上に、例えば、比抵抗  $100 \cdot \text{cm}$  以上、厚さ  $6.0 \sim 8.0 \mu\text{m}$  程度の第 2 のエピタキシャル層 2 6 を成長させる。そして、第 2 のエピタキシャル層 2 6 の表面を熱酸化してシリコン酸化膜を、例えば、 $0.5 \sim 0.8 \mu\text{m}$  程度形成する。そして、公知のフォトリソグラフィ技術により NPN トランジスタ 2 1 の N + 型の拡散領域 4 1 および縦型 PNP トランジスタ 2 2 の N + 型の拡散領域 4 1 に対応する酸化膜をホットエッチングして選択マスクとする。その後、N 型不純物、例えば、リン ( P ) を加速電圧  $20 \sim 65 \text{keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。このとき、分離領域 2 7 の第 2 の分離領域 3 2 および P + 型の埋め込み層 3 5 が同時に拡散され、第 1 および第 2 の分離領域 3 1、3 2 が連結する。

## 【 0 0 3 7 】

次に、図 6 に示す如く、図 5 において形成したシリコン酸化膜を全て除去する。その後、第 2 のエピタキシャル層 2 6 の表面を熱酸化して全面に酸化膜を、例えば、 $0.03 \sim 0.05 \mu\text{m}$  程度形成する。この酸化膜上に公知のフォトリソグラフィ技術により縦型 PNP トランジスタ 2 2 の P + 型のウェル領域 3 8 を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、P 型不純物、例えば、ホウ素 ( B ) を

10

20

30

40

50

加速電圧  $60 \sim 100 \text{ keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、N+型の拡散領域 41、42 が同時に拡散される。

【0038】

次に、図7に示す如く、図6において形成したシリコン酸化膜上に、公知のフォトリソグラフィ技術にNPNトランジスタ21のN+型のウェル領域39を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、N型不純物、例えば、リン(P)を加速電圧  $20 \sim 65 \text{ keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、P+型のウェル領域38が同時に拡散される。

10

【0039】

次に、図8に示す如く、図6において形成したシリコン酸化膜上に、公知のフォトリソグラフィ技術により分離領域27の第3の分離領域33および縦型PNPトランジスタ22のP+型の拡散領域40を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、P型不純物、例えば、ホウ素(B)を加速電圧  $60 \sim 100 \text{ keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストおよびシリコン酸化膜を除去する。このとき、N+型のウェル領域39も同時に拡散される。

【0040】

次に、図9に示す如く、先ず、第2のエピタキシャル層26の所望の領域にLOCOS酸化膜34を形成する。図示はしていないが、第2のエピタキシャル層26の表面を熱酸化して全面にシリコン酸化膜を、例えば、 $0.03 \sim 0.05 \mu\text{m}$ 程度形成する。そして、この酸化膜上にシリコン窒化膜を、例えば、 $0.05 \sim 0.2 \mu\text{m}$ 程度形成する。そして、LOCOS酸化膜34を形成する部分に開口部が設けられるようにシリコン窒化膜を選択的に除去する。その後、このシリコン窒化膜をマスクとして用い、シリコン酸化膜上から、例えば、 $800 \sim 1200$ 程度でスチーム酸化で酸化膜付けを行う。そして、同時に、基板24全体に熱処理を与えLOCOS酸化膜34を形成する。特に、P+型分離領域27上にはLOCOS酸化膜34を形成することで、より素子間分離が成される。ここで、LOCOS酸化膜34は、例えば、厚さ  $0.5 \sim 1.0 \mu\text{m}$ 程度に形成される。

20

【0041】

次に、シリコン窒化膜およびシリコン酸化膜を全て除去した後、再び、第2のエピタキシャル層26の表面を熱酸化して全面に酸化膜を、例えば、 $0.03 \sim 0.05 \mu\text{m}$ 程度形成する。この酸化膜上に公知のフォトリソグラフィ技術により縦型PNPトランジスタ22のN+型のウェル領域43を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、N型不純物、例えば、リン(P)を加速電圧  $20 \sim 65 \text{ keV}$ 、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、縦型PNPトランジスタ22のP+型の拡散領域40および分離領域27の第3の分離領域33が同時に拡散される。そして、分離領域27を構成する第1、第2および第3の分離領域31、32、33が連結することでP+型の分離領域27が形成される。

30

40

【0042】

次に、図10に示す如く、図9において形成した酸化膜上に公知のフォトリソグラフィ技術によりNPNトランジスタ21のP+型のウェル領域44を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、P型不純物、例えば、フッホウ素( $\text{BF}_2$ )を加速電圧  $30 \sim 75 \text{ keV}$ 、導入量  $1.0 \times 10^{15} \sim 1.0 \times 10^{17} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、LOCOS酸化膜34をもマスクとして用いることができるので、より精度よくイオン注入することができる。そして、このとき、縦型PNPトランジスタ22のN+型のウェル領域43が同時に拡散される。

【0043】

50

次に、図 1 1 に示す如く、図 9 において形成したシリコン酸化膜上に公知のフォトリソグラフィ技術により、NPNトランジスタ 2 1 の N + 型の拡散領域 4 7、縦型 PNPトランジスタ 2 2 の N + 型の拡散領域 4 8、ホットダイオード 2 3 の N + 型の拡散領域 4 9 を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、N型不純物、例えば、ヒ素 (As) を加速電圧 80 ~ 120 keV、導入量  $1.0 \times 10^{13} \sim 1.0 \times 10^{15} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、P + 型のウェル領域 4 3 も同時に拡散される。

#### 【0044】

次に、図 1 2 に示す如く、図 9 において形成したシリコン酸化膜上に公知のフォトリソグラフィ技術により、NPNトランジスタ 2 1 の P + 型の拡散領域 4 5 および縦型 PNPトランジスタ 2 2 の P + 型の拡散領域 4 6 を形成する部分に開口部が設けられたフォトレジストを選択マスクとして形成する。そして、P型不純物、例えば、フッカホウ素 ( $\text{BF}_2$ ) を加速電圧 30 ~ 75 keV、導入量  $1.0 \times 10^{15} \sim 1.0 \times 10^{17} / \text{cm}^2$  でイオン注入し、拡散する。その後、フォトレジストを除去する。このとき、N + 型の拡散領域 4 7、4 8、4 9 も同時に拡散される。

#### 【0045】

その後、図 1 に示す如く、第 2 のエピタキシャル層 2 6 表面にはシリコン酸化膜を形成する。そして、シリコン酸化膜に外部電極と接続用のコンタクトホールを形成する。そして、それらコンタクトホールを介して、例えば、A1 から成る NPNトランジスタ 2 1 および縦型 PNPトランジスタ 2 2 用のコレクタ電極 5 1、5 4、ベース電極 5 2、5 6、エミッタ電極 5 3、5 5 を形成する。そして、図 1 に示した NPNトランジスタ 2 1、縦型 PNPトランジスタ 2 2 およびホットダイオード 2 3 とを組み込んだ光半導体集積回路装置が完成する。

#### 【0046】

尚、上記した本実施の形態では、NPNトランジスタ、容量およびホットダイオードとを組み込んだ光半導体集積回路装置について述べたが、特に、上記した形に限定する必要はない。その他、ホットダイオードと周辺回路とを組み込んだ IC においても、同等の効果を得ることができる。そして、その他、本発明の要旨を逸脱しない範囲で、種々の変更が可能である。

#### 【0047】

#### 【発明の効果】

第 1 に、本発明の光半導体集積回路装置によれば、半導体基板上にノンドープで多層に積層されたエピタキシャル層を複数の島領域に分離し、その島領域には少なくともホットダイオードと縦型 PNPトランジスタとが形成されている。そして、ホットダイオードでは、ノンドープによるエピタキシャル層を用いて構成されているので、逆バイアス状態において、エピタキシャル層領域のほぼ全領域を空乏層形成領域として利用することができる。そのことで、高速応答が可能でホットダイオードを実現することができる。

#### 【0048】

第 2 に、本発明の光半導体集積回路装置によれば、縦型 PNPトランジスタでは、電源と接続した N + の拡散領域とコレクタ電極と接続した P + 型の拡散領域との間には、ほぼノンドープのエピタキシャル層のみを存在させている。そのことで、電源 コレクタ間での寄生容量に対して絶縁層の距離および絶縁層の誘電率により自己容量を低減している。その結果、寄生容量が低減され、高周波に優れた縦型 PNPトランジスタを実現する。

#### 【0049】

第 3 に、本発明の光半導体集積回路装置によれば、縦型 PNPトランジスタでは、コレクタ領域としての P + 型の拡散領域と P + 型の分離領域との間に N + 型の拡散領域を形成している。そのことで、ノンドープで積層されたエピタキシャル層内に高耐圧な縦型 PNPトランジスタを形成することができる。

#### 【0050】

第 4 に、本発明の光半導体集積回路装置によれば、半導体基板上にノンドープで多層に積

10

20

30

40

50

層されたエピタキシャル層を複数の島領域に分離し、その島領域には少なくともホトダイオード、縦型PNPトランジスタおよびNPNトランジスタが形成されている。そして、NPNトランジスタでは、基板と接続したP+型の分離領域とコレクタ電極と接続したN+型の拡散領域との間には、ほぼノンドープのエピタキシャル層のみを存在させている。そのことで、基板 コレクタ間での寄生容量に対して絶縁層の距離および絶縁層の誘電率により自己容量を低減している。その結果、寄生容量が低減され、高周波に優れた縦型PNPトランジスタを実現する。

【図面の簡単な説明】

【図1】本発明の実施の形態での光半導体集積回路装置を説明する断面図である。

【図2】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

10

【図3】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図4】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図5】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図6】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図7】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

20

【図8】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図9】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図10】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図11】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

【図12】本発明の実施の形態での光半導体集積回路装置の製造方法を説明する断面図である。

30

【図13】従来の実施の形態での光半導体集積回路装置を説明する断面図である。

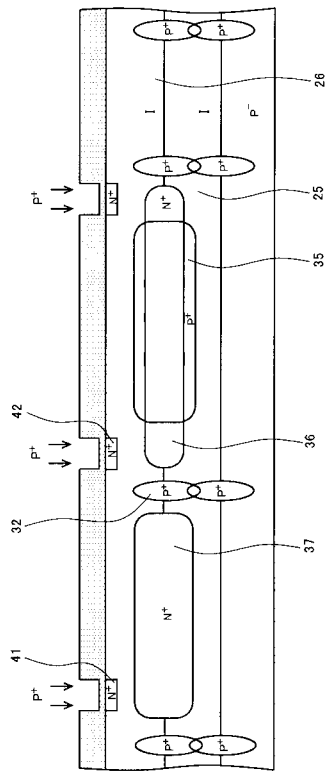
【符号の説明】

2 1	NPNトランジスタ
2 2	縦型PNPトランジスタ
2 3	ホトダイオード
2 4	P-型の単結晶シリコン基板
2 5	第1のエピタキシャル層
2 6	第2のエピタキシャル層
2 7	分離領域
4 2	N+型の拡散領域
W 1	離間距離
W 2	離間距離

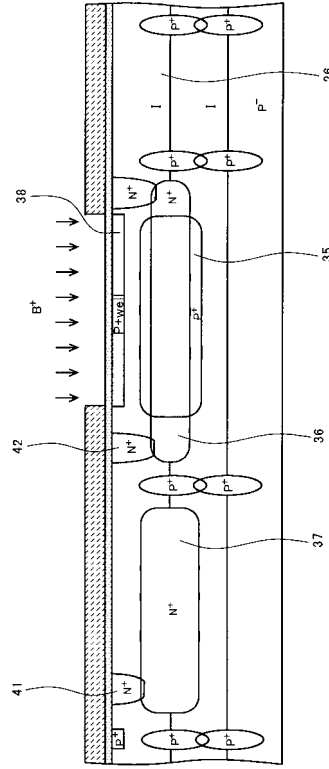
40



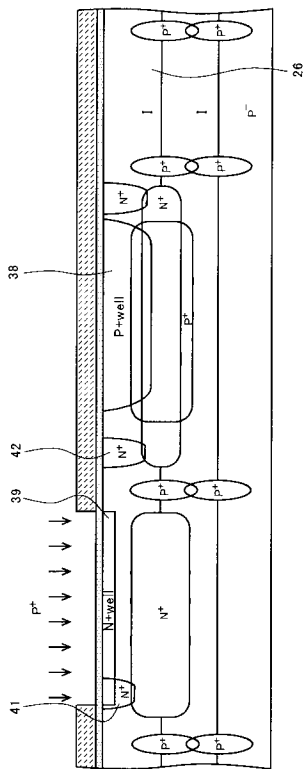
【 図 5 】



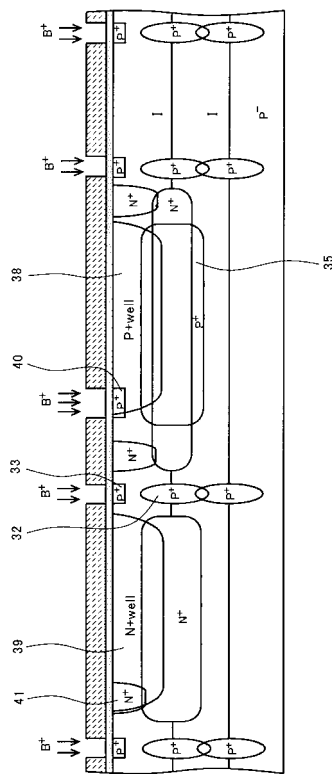
【 図 6 】



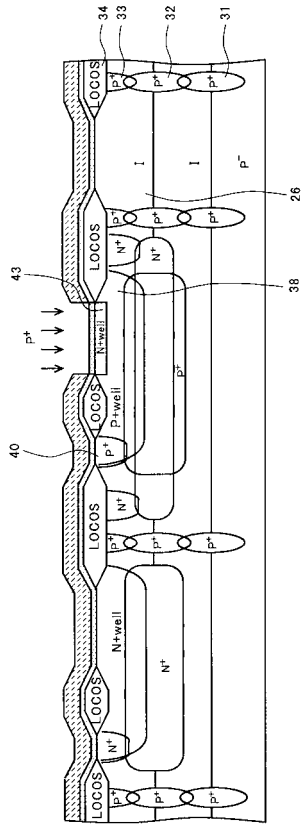
【 図 7 】



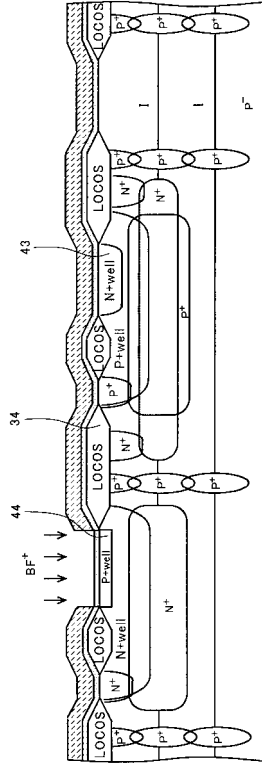
【 図 8 】



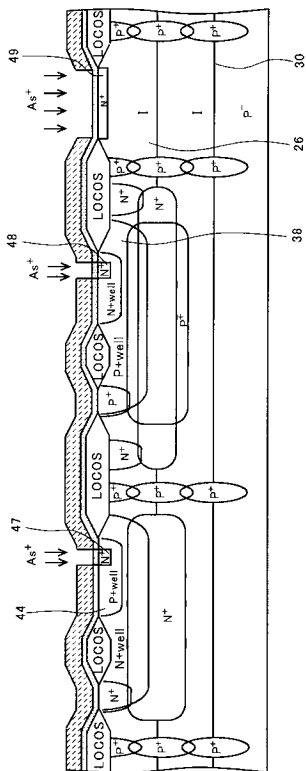
【 図 9 】



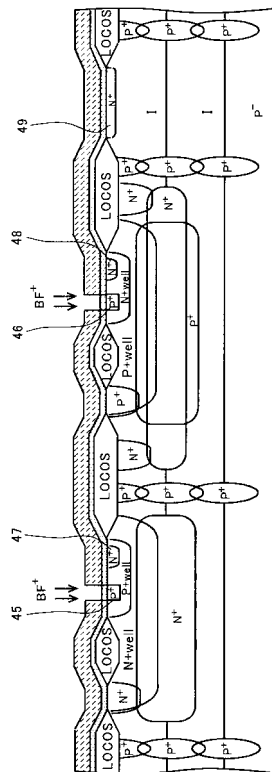
【 図 10 】



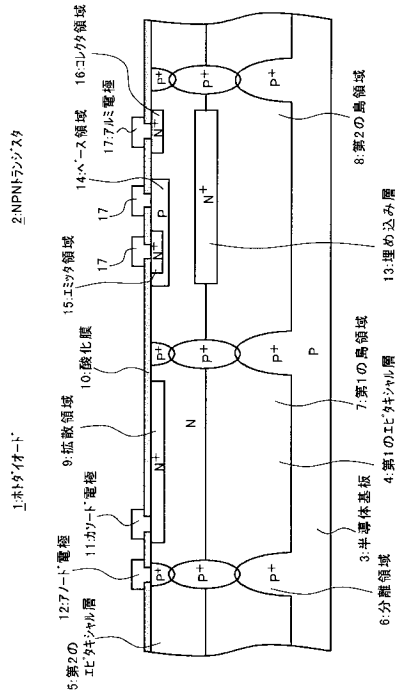
【 図 11 】



【 図 12 】



【 図 1 3 】



---

フロントページの続き

(51)Int.Cl. F I

**H 0 1 L 31/10 (2006.01)**

(56)参考文献 特開平04-085971(JP,A)  
特開平09-181286(JP,A)  
特開昭54-055383(JP,A)  
特開昭57-079658(JP,A)  
特開昭62-295456(JP,A)  
特開昭56-060054(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14  
H01L 21/331  
H01L 21/8222  
H01L 27/06  
H01L 29/732  
H01L 31/10