(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-157146
(P2012-157146A)
(43)公開日　平成24年8月16日(2012.8.16)

(51)Int.Cl.			F I			テーマコード（参考）
H02J	1/00	(2006.01)	H02J	1/00	309R	5G065
G05F	1/10	(2006.01)	G05F	1/10	304M	5H410

審査請求 未請求　請求項の数 10　ＯＬ　（全 16 頁）

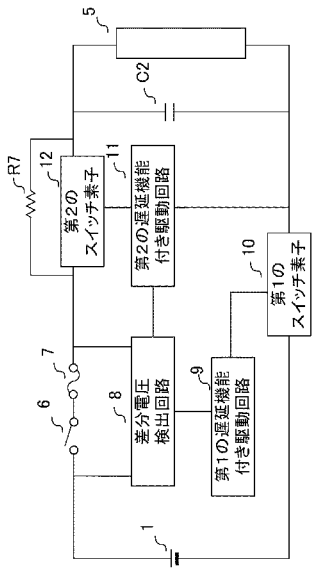
(21)出願番号　特願2011-13590(P2011-13590)
(22)出願日　平成23年1月26日(2011.1.26)

(71)出願人　000232254
日本電気通信システム株式会社
東京都港区三田１丁目４番２８号
(74)代理人　100080816
弁理士　加藤　朝道
(72)発明者　草橋　寿哉
東京都港区三田一丁目４番２８号　日本電気通信システム株式会社内

Ｆターム(参考)　5G065 BA04 DA04 EA01 FA05 JA02 KA03 LA01 LA02 MA07 MA09 MA10 NA01 NA02 NA04 NA06
5H410 BB05 CC02 DD02 EA11 EB01 EB37 FF03 FF23 HH01 LL07 LL13 LL15 LL20

(54)【発明の名称】電源装置

(57)【要約】　（修正有）
【課題】スイッチのオン及び再オン時の突入電流を制限しつつ負荷との切り離しを確実・安全に行う。
【解決手段】直流電源１の一端に一端が接続されたスイッチ６と、負荷に並列に接続される平滑用の第１のコンデンサＣ２と、前記直流電源の他端と前記第１のコンデンサの他端間に接続された第１のスイッチ素子１０と、前記スイッチと前記第１のコンデンサの一端との間に並列に挿入された第２のスイッチ素子１２と第１の抵抗Ｒ７と、前記直流電源の一端と前記第１の抵抗との接続点の差分電圧を検出する差分電圧検出回路８と、前記スイッチのオンにより前記差分電圧が前記所定の電圧以下であると検出されると前記第１、第２のスイッチ素子をオンとし、一方、前記スイッチがオフとなり前記差分電圧が前記所定の電圧以上であると検出されると、前記第１、第２のスイッチ素子をオフにする第１、第２の駆動回路９、１１を備える。
【選択図】図１



【特許請求の範囲】
【請求項１】
直流電源の一端に一端が接続されたスイッチと、
負荷の一端と他端に一端と他端がそれぞれ接続される平滑用の第１のコンデンサと、
前記直流電源の他端と前記第１のコンデンサの前記他端との間に接続された第１のスイッチ素子と、
前記スイッチの他端と前記第１のコンデンサの前記一端との間に、並列に配置された第２のスイッチ素子及び第１の抵抗と、
前記直流電源の前記一端の電圧と、前記第２のスイッチ素子と前記第１の抵抗の接続ノードの電圧との差分電圧が予め定められた所定の電圧以上であるか否かを検出する差分電圧検出回路と、
前記スイッチのオン時、前記差分電圧検出回路において前記差分電圧が前記所定の電圧以下であると検出されると、前記第１スイッチ素子と前記第２のスイッチ素子をオンとし、
前記スイッチのオフ時、前記差分電圧検出回路において前記差分電圧が前記所定の電圧以上であると検出されると、前記第１のスイッチ素子と前記第２のスイッチ素子をオフに設定する制御を行う駆動回路と、
を備えたことを特徴とする電源装置。
【請求項２】
前記駆動回路が、前記差分電圧検出回路での検出結果を受ける前記第１、第２の遅延機能付き駆動回路を備え、
前記第１遅延機能付き駆動回路と前記第２の遅延機能付き駆動回路は、前記スイッチがオフ状態からオンとなり、前記差分電圧検出回路において前記差分電圧が前記所定の電圧以下と検出されると、それぞれ、第１の遅延時間と第２の遅延時間を設けて前記第１第１のスイッチ素子と前記第２のスイッチ素子をオフからオンとし、前記第２の遅延時間は前記第１の遅延時間よりも長い、ことを特徴とする請求項１記載の電源装置。
【請求項３】
前記第１遅延機能付き駆動回路と前記第２の遅延機能付き駆動回路は、前記スイッチがオン状態からオフしたときに、前記差分電圧検出回路において前記差分電圧が前記所定の電圧以上と検出されると、それぞれ、前記第１のスイッチ素子と前記第２のスイッチ素子をオンからオフとする、ことを特徴とする請求項２記載の電源装置。
【請求項４】
前記第２の遅延時間は、前記第１の抵抗を介して前記第１のコンデンサの充電完了に要する時間に対応している、ことを特徴とする請求項２記載の電源装置。
【請求項５】
前記第１の遅延時間は、前記スイッチのチャタリング時間以上に設定されている、ことを特徴とする請求項２又は４記載の電源装置。
【請求項６】
前記差分電圧検出回路が、
前記直流電源の前記一端に第１端子が接続された第１のトランジスタと、
前記第１の抵抗と前記第２のスイッチ素子との前記スイッチ側の接続ノードに一端が接続された第１のダイオードと、
前記第１のトランジスタの制御端子と前記第１のダイオードの他端との間に接続された、第２のダイオードと第２の抵抗の直列回路、又は、第２のダイオードを備えている、ことを特徴とする請求項１乃至４のいずれか１項に記載の電源装置。
【請求項７】
前記第１の遅延機能付き駆動回路は、前記差分電圧検出回路の前記第１のトランジスタの第２端子と前記直流電源の前記他端との間に接続される、第２の抵抗と第３の抵抗からなる第１の分圧抵抗と、
前記第１のスイッチ素子の制御端子と前記直流電源の他端の間に接続され、前記第１の

分圧抵抗の分圧電圧を制御端子に受ける第２のトランジスタと、
前記第１のスイッチ素子の制御端子と前記直流電源の他端の間に並列に接続された第４の抵抗と第２のコンデンサと、
前記差分電圧検出回路の前記第１のダイオードの他端と前記第１のスイッチ素子の制御端子の間に接続された第４の抵抗と、
を備えている、ことを特徴とする請求項６記載の電源装置。
【請求項８】
前記第２の遅延機能付き駆動回路は、前記差分電圧検出回路の前記第１のトランジスタの第２端子と前記直流電源の前記他端との間に接続される発光ダイオードと、
前記第１の抵抗と前記第２のスイッチ素子の前記スイッチ側の接続ノードと前記第２のスイッチ素子の制御端子との間に並列に接続された、フォトトランジスタと、第３のコンデンサと、第５の抵抗と、
前記第２のスイッチ素子の制御端子と、前記第１のスイッチ素子と前記第１のコンデンサの他端の接続ノード間に接続された第６の抵抗と、
を備えている、ことを特徴とする請求項６又は７に記載の電源装置。
【請求項９】
前記第１のスイッチ素子は、
ＭＯＳトランジスタ、
又は、
ＭＯＳトランジスタと第３のダイオードとの直列回路
を備え、
前記第２のスイッチ素子は、ＭＯＳトランジスタからなる、ことを特徴とする請求項１乃至８のいずれか１項に記載の電源装置。
【請求項１０】
前記第１、第２のトランジスタは、バイポーラトランジスタからなる、ことを特徴とする請求項７記載の電源装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は電源装置に関し、特に、突入電流の抑制に好適とされる直流電源装置に関する。
【背景技術】
【０００２】
直流電源装置においては、一般に、入力にメカニカル（機械式）スイッチを備え、入力電圧が高い時は、感電等の安全性を重視し、給電のプラス側、マイナス側の両方を切り離すためのブレーカを設ける場合がある。直流電源装置の入力回路は、電源平滑用のコンデンサとして容量の大きい電解コンデンサを備えている。電源投入時、すなわち、入力スイッチをオンに設定した時や、該入力スイッチをオン状態から一旦オフした後の再投入時に、当該電解コンデンサへ大きな充電電流が突入電流として流れる。突入電流を制限するための突入電流制限回路が用いられる。突入電流制限回路の回路構成として例えば特許文献１等の記載が参照される。
【０００３】
＜関連技術１＞
図３は、突入電流制限回路を具備した直流電源装置の一例（関連技術１）を説明する図である。直流電源の正極と負極側を同時にオン・オフするスイッチ２Ａ、２Ｂを、オン・オフした際に発生する突入電流を抑制するものである。図３において、直流電源１の正極、負極にそれぞれ接続されたスイッチ２Ａ、２Ｂは、電源オン・オフのためのスイッチであり、一般的に、ブレーカが用いられる（スイッチ２Ａ、２Ｂは共通にオン・オフされる）。Ｃ２は平滑用のコンデンサであり、電解コンデンサが用いられる。直流電源１の負極側に一端が接続されたスイッチ２Ｂの他端と負荷５間に挿入された抵抗Ｒｓは突入電流を

検出するための抵抗である。

【０００４】

直流電源１の正極側に一端が接続されたスイッチ２Ａの他端と負荷５間に挿入されたｐチャネル型のＭＯＳＦＥＴ（Ｍｅｔａｌ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｆｉｅｌｄ　Ｅｆｆｅｃｔ　Ｔｒａｎｓｉｓｔｏｒ；ＭＯＳ電界効果トランジスタ）Ｑ２は、電解コンデンサＣ２の充電と直流電源１からの負荷５への給電のオン・オフを制御する。ｐｎｐ型バイポーラトランジスタＱ１のエミッタはスイッチ２ＡとＭＯＳＦＥＴ　Ｑ２の一端（ソース）の接続ノードに接続され、ベースは分圧抵抗Ｒ３、Ｒ４の接続ノードに接続され、コレクタはＭＯＳＦＥＴ　Ｑ２のゲートに接続されており、ＭＯＳＦＥＴ　Ｑ２のオン・オフを制御する。

【０００５】

抵抗Ｒ３の一端はスイッチ２ＡとＭＯＳＦＥＴ　Ｑ２のソースの接続ノードに接続され、抵抗Ｒ４の一端は、オペアンプ４の出力に接続されている。コンデンサＣ１は、ＭＯＳＦＥＴ　Ｑ２のソースとゲート間（バイポーラトランジスタＱ１のコレクタとエミッタ間）に接続され、ＭＯＳＦＥＴ　Ｑ２のオンを所定の時定数で遅延させるコンデンサである。スイッチ２ＡとＭＯＳＦＥＴ　Ｑ２のソースの接続ノードと、スイッチ２Ｂと抵抗Ｒｓの接続ノードの間には、定電流ダイオード（ＣＲＤ：Ｃｕｒｒｅｎｔ　Ｒｅｇｕｌａｔｉｖｅ　Ｄｉｏｄｅ）Ｄ１と、抵抗Ｒ１、Ｒ２とが直列に接続されている。定電流ダイオードＤ１は、直流電源１の電圧変動にかかわらず、抵抗Ｒ１、Ｒ２に流れる電流を一定とする。

【０００６】

ＭＯＳＦＥＴ　Ｑ２のソースとゲート間にはコンデンサＣ１と並列に抵抗Ｒ５が接続され、ＭＯＳＦＥＴ　Ｑ２のゲートと、抵抗Ｒｓと平滑用コンデンサＣ２の接続ノードには抵抗Ｒ６が接続されている。抵抗Ｒｓの一端と抵抗Ｒ６の一端との接続ノードにアノードが接続されたツェナーダイオード３は基準電圧源である。

【０００７】

オペアンプ４は、抵抗Ｒ１、Ｒ２の接続ノード（分圧点）に非反転入力端子（＋）が接続され、一端でツェナーダイオード３のカソードに接続され、抵抗、コンデンサなどを含むインピーダンスＺ１の他端に反転入力端子（－）が接続され、出力と反転入力端子間には、抵抗、コンデンサなどを含むインピーダンスＺ２が接続され、出力が抵抗Ｒ４を介してバイポーラトランジスタＱ１のベースに接続されている。オペアンプ４は、基準電圧３と抵抗Ｒｓに流れる突入電流もしくは給電電流の電圧降下の和と、抵抗Ｒ１とＲ２の接続ノードの電圧を比較し、出力によりバイポーラトランジスタＱ１のオン・オフの制御を行う。

【０００８】

図３の回路動作を以下に説明する。スイッチ２（２Ａ、２Ｂ）のオンにより、ＭＯＳＦＥＴ　Ｑ２のゲート－ソース間に接続されたコンデンサＣ１は、抵抗Ｒ６を介して徐々に充電される。ＭＯＳＦＥＴ　Ｑ２のゲート電圧が閾値電圧以下では、ＭＯＳＦＥＴ　Ｑ２はオフ状態であり、直流電源１から平滑用コンデンサＣ２及び抵抗Ｒｓに電流は流れない。

【０００９】

コンデンサＣ１の充電が進み、ＭＯＳＦＥＴ　Ｑ２のゲート電圧がそのソース電圧から｜Ｖｔｐ｜（ただし、ＶｔｐはｐチャネルＭＯＳＦＥＴの閾値電圧（ｔｈｒｅｓｈｏｌｄ　ｖｏｌｔａｇｅ）、｜Ｖｔｐ｜はＶｔｐの絶対値）を差し引いた電圧以下となると（すなわち、ＭＯＳＦＥＴ　Ｑ２のゲート－ソース間電圧の絶対値が閾値電圧の絶対値以上となると）、ＭＯＳＦＥＴ　Ｑ２がオフからオンし始め、平滑用コンデンサＣ２に充電電流が流れる。この充電電流は抵抗Ｒｓにも流れる。

【００１０】

抵抗Ｒｓの電圧降下分と、基準電圧３の和が、抵抗Ｒ１、Ｒ２の接続ノードの電圧よりも高くなると、オペアンプ４の出力は低電位となり、バイポーラトランジスタＱ１にはベ

ース電流が順方向に流れ始め、オフからオンとなる。

【００１１】

バイポーラトランジスタＱ１のオンにより、ＭＯＳＦＥＴ　Ｑ２のゲート電圧が上昇し、そのゲート・ソース間電圧は、閾値電圧付近となり、ＭＯＳＦＥＴ　Ｑ２のドレイン－ソース間の抵抗値が高くなる。この結果、平滑用コンデンサＣ２に流れる充電電流のピークが制限されることになる。

【００１２】

その後、平滑用コンデンサＣ２は、ピーク電流以下に抑えられた充電電流で徐々に充電される。そして、平滑用コンデンサＣ２の充電が最終的に完了すると、抵抗Ｒｓの電圧降下分と基準電圧３の和は、抵抗Ｒ１、Ｒ２の接続ノードの電圧よりも低くなり、オペアンプ４の出力は高電位となる。この結果、バイポーラトランジスタＱ１は、そのベース電流が流れなくなるため、オフする。バイポーラトランジスタＱ１のオフにより、ＭＯＳＦＥＴ　Ｑ２はオンし、そのドレイン－ソース間が低抵抗となり、直流電源１から負荷５への給電が可能となる。

【００１３】

図３に示した関連技術１では、抵抗Ｒｓにより突入電流を検出した場合に、オン状態のＭＯＳＦＥＴ　Ｑ２を高抵抗又はオフとすることで平滑用コンデンサＣ２に流れる突入電流のピーク電流を制限している。スイッチ（２Ａ、２Ｂ）がオフしてから再オンするまでの期間が短く、ＭＯＳＦＥＴ　Ｑ２がオン状態のままでありながら、スイッチ（２Ａ、２Ｂ）が再オンした場合にも、突入電流が流れなくなるようにしている。

【００１４】

しかしながら、常時、抵抗Ｒｓでの損失が発生しており、特に、消費電力が大きい負荷用の電源では、抵抗Ｒｓの損失が無視できなくなる。このため、関連技術１の構成は、消費電力が相対的に大きくない負荷向け（小容量向け）の電源装置等に用途が限定されることになる。

【００１５】

＜関連技術２＞

図４は、突入電流制限回路を具備した直流電源装置の別の構成例（関連技術２）を示す図である。図４の構成は、図３に示した関連技術１の構成（抵抗Ｒｓにより突入電流を検出し、ｐチャネル型のＭＯＳＦＥＴ　Ｑ２のオン・オフを制御する構成）から、スイッチ２の負荷５に給電する電圧を監視し、ＭＯＳＦＥＴ　Ｑ２のオン・オフを制御するように変更したものである。図４において、図３の抵抗Ｒｓ（直流電源１の負極側のスイッチ２Ｂに接続されている抵抗Ｒｓ）は設けられていない。

【００１６】

図４を参照すると、ＭＯＳＦＥＴ　Ｑ２のソースとドレイン間に抵抗Ｒ７（突入電流防止用抵抗）が接続されている。抵抗Ｒ７は、ＭＯＳＦＥＴ　Ｑ２のオフ時に、平滑用コンデンサＣ２の充電を行う抵抗である。また図４の構成では、図３のオペアンプ４の代わりに、コンパレータ４（電圧コンパレータ）を備えている。電圧コンパレータ４の＋入力端子は抵抗Ｒ１とＲ２に接続され、－入力端子はツェナーダイオード３のアノード端子に接続されている。コンパレータ４は、平滑用コンデンサＣ２の端子間電圧を抵抗Ｒ１とＲ２で分圧した分圧電圧と、基準電圧３とを電圧比較し、その出力（比較結果）により、ｐｎｐ型のバイポーラトランジスタＱ１のオン・オフの制御を行う。

【００１７】

図４の回路動作を以下に説明する。スイッチ２Ａ、２Ｂがオフからオンすると、コンパレータ４では、基準電圧３と、平滑用コンデンサＣ２の端子間電圧を抵抗Ｒ１とＲ２で分圧した電圧を比較し、バイポーラトランジスタＱ１のオン・オフを制御する。

【００１８】

スイッチ２Ａ、２Ｂがオンした直後では、平滑用コンデンサＣ２が充電されていないため、抵抗Ｒ１、Ｒ２の分圧電圧は、基準電圧３よりも低く、コンパレータ４の出力は低電位（Ｌｏｗレベル）となり、ｐｎｐ型バイポーラトランジスタＱ１にベース電流が流れ、

オンとなる。バイポーラトランジスタＱ１のオンにより、ＭＯＳＦＥＴ　Ｑ２のゲート・ソース間電圧（絶対値）は、閾値電圧（絶対値）以下となるため、ＭＯＳＦＥＴ　Ｑ２はオフ状態となる。この結果、平滑用コンデンサＣ２には、抵抗Ｒ７を介して、徐々に充電されることになる。

【００１９】

抵抗Ｒ７を介しての充電により、平滑用コンデンサＣ２の端子電圧が上昇し、抵抗Ｒ１とＲ２で分圧した電圧が基準電圧３よりも高くなると、コンパレータ４の出力は高電位（Ｈｉｇｈレベル）となる。この結果、バイポーラトランジスタＱ１はオフとなる。

【００２０】

バイポーラトランジスタＱ１のオフにより、コンデンサＣ１は抵抗Ｒ６を介して充電されることになる。コンデンサＣ１の端子間電圧は、ＭＯＳＦＥＴ　Ｑ２のゲート・ソース間電圧に対応している。したがって、コンデンサＣ１の充電により、一定時間経過後に、ＭＯＳＦＥＴ　Ｑ２のゲート・ソース間電圧（絶対値）は、閾値電圧（絶対値）以上となり、ＭＯＳＦＥＴ　Ｑ２がオンする。ＭＯＳＦＥＴ　Ｑ２がオンすることで負荷５に対して、直流電源１から低インピーダンスでの給電が可能となる。

【００２１】

図４の構成では、スイッチ２Ａ、２Ｂがオフのときに、平滑用コンデンサＣ２に電荷が蓄積されており（充電状態）、平滑用コンデンサＣ２の端子間電圧を抵抗Ｒ１とＲ２で分圧した電圧が、基準電圧３よりも高い場合には、コンパレータ４の出力は高電位となり、バイポーラトランジスタＱ１はオフとなり、コンデンサＣ１は、抵抗Ｒ６を介して充電されることになる。この状態で、スイッチ２Ａ、２Ｂが再オンすると、ＭＯＳＦＥＴ　Ｑ２はこの時点でオン状態であるため、抵抗Ｒ７によって制限されない過大な突入電流が流れることになる。この結果、スイッチ２Ａ、２Ｂの溶着や平滑用コンデンサＣ２の破損を生じることになる。

【００２２】

このため、図４の構成では、スイッチ２Ａ、２Ｂのオフから再オンまでの時間を相対的に長くするか、あるいは、スイッチ２Ａ、２Ｂのオフ時に平滑用コンデンサＣ２を強制的に放電させるような回路を新たに設けることが必要となる。

【００２３】

さらに図３、図４を参照して説明した構成に共通的な問題として、スイッチ２Ａ、２Ｂのように、給電のプラス（正極）側とマイナス（負極）側の両方を切り離すスイッチの使用は、一方の接点の溶着あるいは故障等により、感電等の可能性がある、ということである。

【００２４】

例えば、スイッチ２Ａ、２Ｂのうち、例えば負極側のスイッチ２Ｂが過電流によって溶着しても、スイッチ２Ａのオン・オフにより、負荷５への給電のオン・オフが可能である。機能的には、負荷５への給電のオン・オフは行えるものの、スイッチ２Ｂが溶着している場合には、スイッチ２Ａ、２Ｂをオフしても、負極側の接点が導通状態であるため、負荷５に対してハイインピーダンスとならない。この状態で、負荷５に操作者が触れた場合、スイッチ２Ａ、２Ｂがオフでも、導通状態の負極側の接点を経由して、人体に流れ、感電することになり、安全上問題となる。

【００２５】

なお、特許文献２には、入力側電圧（Ｅｉｎ）の供給のオン・オフを切替える入力電圧スイッチと、電源への入力電流を制御する制限抵抗に並列に接続された第１のスイッチと、前記入力電圧スイッチと前記制限抵抗との間において前記入力側電圧に対して並列に接続され前記第１のスイッチを駆動する駆動手段と、前記駆動手段に直列に接続された第２のスイッチと、前記第２のスイッチのオン・オフを制御する制御手段と、を備え、入力側の電圧が所定値以上になるまでは前記制限抵抗を介して前記電源に電流を供給し、所定値以上となった場合には前記制限抵抗を介さずに前記電源に電流を供給する突入電流防止回路において、前記入力電圧スイッチがオンＮ時に、前記入力側電圧を入力とする前記制御

手段は、所定の遅延時間の後に、前記第２のスイッチをオンし、その結果前記第１のスイッチがオンして前記制限抵抗が短絡され、前記入力電圧スイッチがＯＦＦ時に、前記制御手段は、前記第２のスイッチを直ちにオフして、初期状態に戻る、ように制御する、ことを特徴とする突入電流防止回路が開示されている。

【先行技術文献】

【特許文献】

【００２６】

【特許文献１】特開２００５－１９８３５７号公報

【特許文献２】特開平１０－１４３２５９号公報（特許第２８６５０８５号）

【発明の概要】

【発明が解決しようとする課題】

【００２７】

以下に関連技術の分析を与える。

【００２８】

関連技術１では、常時、抵抗Ｒｓでの損失が発生しており、特に、消費電力が大きい負荷用の電源では、抵抗Ｒｓの損失が無視できなくなる。このため、関連技術１の電源装置は、消費電力が相対的に大きくない負荷向け（小容量向け）の電源装置等に用途が限定されることになる。

【００２９】

また、関連技術２では、スイッチ２Ａ、２Ｂから出力される直流電源電圧（平滑用コンデンサＣ２の端子間電圧）を監視し、スイッチ２Ａ、２Ｂがオフした後に、負荷での電力消費により入力電圧が低下し、検出電圧以下になった時にＭＯＳＦＥＴ　Ｑ２をオフとすることで、スイッチ２Ａ、２Ｂの再オンにおいて、突入電流を抑制している。

【００３０】

しかしながら、負荷での電力消費が相対的に少ない場合には、平滑用コンデンサＣ２の放電電流が少なくなり、スイッチ２Ａ、２Ｂのオフ後の平滑用コンデンサＣ２の端子間電圧が検出電圧に下るまでの時間が長くなる。このため、スイッチ２Ａ、２Ｂをオフしたのち短時間での再びスイッチ２Ａ、２Ｂをオンした時に、ＭＯＳＦＥＴ　Ｑ２がオン状態のままであるため、ＭＯＳＦＥＴ　Ｑ２や平滑用コンデンサ等に突入電流が流れ、破損を招く場合がある。

【００３１】

また、検出電圧を入力電圧の変動範囲の下限より低く設定することが必要とされる。このため、入力電圧範囲を広くした場合、定常時の入力電圧と、ＭＯＳＦＥＴ　Ｑ２がオフする検出電圧までの電圧差が大きいため、スイッチ２Ａ、２Ｂのオフから検出電圧にまで低下する時間はさらに長くなる。よって、突入電流による部品破損を防ぐために、スイッチ２Ａ、２Ｂの再オン不可の時間をさらに長く設定することが必要とされる。

【００３２】

このように、関連技術２においては、スイッチ２Ａ、２Ｂのオフから再オンまでの時間を長くするか、あるいは、スイッチ２Ａ、２Ｂのオフ時に平滑用コンデンサＣ２を強制的に放電させるような回路を新たに設けることが必要となる。

【００３３】

負荷への電源供給を正極側と負極側の両方で切り離すためのスイッチ２Ａ、２Ｂとして、例えばノンヒューズブレーカ（ＮＦＢ：Ｎｏｎ－Ｆｕｓｅ　Ｂｒｅａｋｅｒ）、配線用遮断器（ＭＣＣＢ：Ｍｏｌｄｅｄ　Ｃａｓｅ　Ｃｉｒｃｕｉｔ　Ｂｒｅａｋｅｒ）等が用いられているが、機械的な接点であるため、正極側または負極側のいずれかの接点が溶着もしくは機械的な故障により導通状態のままとなっても、他方の接点が正常である場合がある。この結果、スイッチ２Ａ、２Ｂのオン・オフにより、負荷への給電のオン・オフが可能となってしまう。この時、一方のスイッチの接点が導通状態であるため、スイッチ２Ａ、２Ｂがオフでも負荷への給電パスがハイインピーダンスとならず、特に、負荷に操作者が触れるような場合、導通状態のままの接点側から人体に電流が流れ、感電する。

【００３４】
したがって、本発明の目的は、スイッチのオン、再オン時の突入電流を制限しつつ負荷との切り離しを確実・安全に行うことを可能とする電源装置を提供することにある。
【課題を解決するための手段】
【００３５】
上記課題の少なくとも１つの解決を図る本発明は、特に制限されるものではないが、概略以下の構成とされる。本発明の一つの側面によれば、直流電源の一端に一端が接続されたスイッチと、負荷の一端と他端に一端と他端がそれぞれ接続される平滑用の第１のコンデンサと、前記直流電源の他端と前記第１のコンデンサの前記他端との間に接続された第１のスイッチ素子と、前記スイッチの他端と前記第１のコンデンサの前記一端との間に、並列に配置された第２のスイッチ素子及び第１の抵抗と、前記直流電源の前記一端の電圧と、前記第２のスイッチ素子と前記第１の抵抗の接続ノードの電圧との差分電圧が予め定められた所定の電圧以上であるか否かを検出する差分電圧検出回路と、前記スイッチのオン時、前記差分電圧検出回路において前記差分電圧が前記所定の電圧以下であると検出されると、前記第１スイッチ素子と前記第２のスイッチ素子をオンとし、前記スイッチのオフ時、前記差分電圧検出回路において前記差分電圧が前記所定の電圧以上であると検出されると、前記第１のスイッチ素子と前記第２のスイッチ素子をオフに設定する制御を行う駆動回路とを備えた電源装置が提供される。
【発明の効果】
【００３６】
本発明によれば、スイッチのオン及び再オン時の突入電流を制限しつつ負荷との切り離しを確実且つ安全に行うことができる。
【図面の簡単な説明】
【００３７】
【図１】本発明の第１の実施形態の構成をブロックで示した図である。
【図２】本発明の第１の実施形態の回路構成の一例を示す図である。
【図３】関連技術１の回路構成を示す図である。
【図４】関連技術２の回路構成を示す図である。
【発明を実施するための形態】
【００３８】
本発明の好ましい態様の１つによれば、直流電源装置は、直流電源（１）の一端に一端が接続されたスイッチ（６）と、負荷の一端と他端にそれぞれ一端と他端が接続される平滑用の第１のコンデンサ（Ｃ２）と、前記直流電源（１）の他端と、前記第１のコンデンサ（Ｃ２）の前記他端との間に接続された第１のスイッチ素子（１０）と、前記スイッチ（６）の他端と、前記第１のコンデンサ（Ｃ２）の前記一端との間に、並列に挿入された第２のスイッチ素子（１２）と第１の抵抗（Ｒ７）と、前記直流電源（１）の前記一端と、前記第１の抵抗（Ｒ７）と第２のスイッチ素子（１２）との接続点の電圧の差分電圧が予め定められた所定の電圧以上であるか否かを検出する差分電圧検出回路（８）と、前記スイッチ（６）がオンしたときに、前記差分電圧検出回路（８）において前記差分電圧が予め定められた所定の電圧以下であることが検出されると、該検出結果を受けて、前記第１のスイッチ素子（１０）と前記第２のスイッチ素子（１２）をそれぞれオンとし、前記スイッチ（６）がオンからオフとなり、前記差分電圧検出回路（８）において前記差分電圧が前記所定の電圧以上であることが検出されると、該検出結果を受けて、前記第１のスイッチ素子（１０）と前記第２のスイッチ素子（１２）をオフに設定する制御を行う第１、第２の駆動回路（第１、第２の遅延機能付き駆動回路９、１１）を備えている。さらに、スイッチ（６）の他端と、第２のスイッチ素子（１２）の一端の間に負荷の短絡などの過電流保護のためのヒューズ（７）を備えた構成とされる。
【００３９】
本発明の好ましい態様の１つによれば、第１、第２の駆動回路（第１、第２の遅延機能付き駆動回路９、１１）は、前記スイッチ（６）がオフ状態からオンとなり、前記差分電

圧検出回路（８）において前記差分電圧が前記所定の電圧以下であると検出されると、該検出結果を受けて、それぞれ、第１の遅延時間と第２の遅延時間を設けて、前記第１のスイッチ素子（１０）と前記第２のスイッチ素子（１２）をオフからオンとする。前記第２の遅延時間は、前記第１の遅延時間よりも長い。本発明の好ましい態様の１つによれば、第１、第２の駆動回路（第１、第２の遅延機能付き駆動回路９、１１）は、前記スイッチ（６）がオン状態からオフしたときに、前記差分電圧検出回路（８）において前記差分電圧が前記所定の電圧以上であると検出されると、該検出結果を受けて、それぞれ、前記第１のスイッチ素子（１０）と前記第２のスイッチ素子（１２）をオンからオフとする。

【００４０】

本発明の好ましい態様の１つによれば、第１のスイッチ素子（１０）がオンした後、前記第１の抵抗（Ｒ７）による平滑用の第１のコンデンサ（Ｃ２）の充電が完了後に、第２のスイッチ素子（１２）がオンするように第２の駆動回路（１１）の第２の遅延時間を設定することで、スイッチ（６）のオン後、第１のスイッチ素子（１０）がオンし、その後、第２のスイッチ素子（１２）がオンすることとなり、スイッチ（６）と同時に第１のスイッチ素子（１０）及び第２のスイッチ素子（１２）がオンすることはない。

【００４１】

本発明の好ましい態様の１つによれば、スイッチ（６）のオフ時に、負荷（５）への給電パスをハイインピーダンスとし、スイッチ（６）のオフ後の短い時間での再オン時における突入電流を抑制することができる。

【００４２】

本発明の好ましい態様の１つにおいて、差分電圧検出回路（８）は、前記直流電源（１）の一端に第１端子が接続された第１のトランジスタ（Ｑ３）と、前記第１の抵抗（Ｒ７）と前記第２のスイッチ素子（１２）の前記スイッチ（６）側の接続ノードに一端が接続された第１のダイオード（Ｄ３）と、前記第１のトランジスタ（Ｑ３）の制御端子（ベース）と前記第１のダイオード（Ｄ３）の他端との間に直列形態に接続された、第２のダイオード（Ｄ２）と第２の抵抗（Ｒ１３）、又は、第２のダイオード（Ｄ２）を備えた構成としてもよい。

【００４３】

本発明の好ましい態様の１つにおいて、第１の駆動回路（遅延機能付き駆動回路９）は、前記差分電圧検出回路（８）の前記第１のトランジスタ（Ｑ３）の第２端子（コレクタ）と前記直流電源（１）の他端（負極）間に接続される第２、第３の抵抗（Ｒ９、Ｒ１０）からなる第１の分圧抵抗と、前記第１のスイッチ素子（１０）の制御端子と前記直流電源（１）の他端（負極）の間に一端が接続され、前記第１の分圧抵抗の分圧電圧を制御端子に受ける第２のトランジスタ（Ｑ４）と、前記第１のスイッチ素子（１０）の制御端子と前記直流電源（１）の他端（負極）の間に並列に接続された第４の抵抗（Ｒ１１）と第２のコンデンサ（Ｃ３）と、前記差分電圧検出回路（８）の前記第１のダイオード（Ｄ３）の他端と前記第１のスイッチ素子（１０）の制御端子の間に接続された第４の抵抗（Ｒ１２）と、を備えた構成としてもよい。

【００４４】

本発明の好ましい態様の１つにおいて、前記第２の駆動回路（遅延機能付き駆動回路１１）は、前記差分電圧検出回路（８）の前記第１のトランジスタ（Ｑ３）の第２端子と前記直流電源（１）の他端（負極）間に接続される発光ダイオード（１３ａ）と、前記第１の抵抗（Ｒ７）と前記第２のスイッチ素子（１２）の前記スイッチ（６）側の接続ノードと前記第２のスイッチ素子（１２）の制御端子との間に並列に接続された、フォトトランジスタ（１３ｂ）と、第３のコンデンサ（Ｃ１）と、第５の抵抗（Ｒ５）と、前記第２のスイッチ素子（１２）の制御端子と、前記第１のスイッチ素子（１０）と前記第１のコンデンサ（Ｃ２）の他端の接続ノード間に接続された第６の抵抗（Ｒ６）と、を備えた構成としてもよい。

【００４５】

本発明の一実施形態において、前記第１のスイッチ素子（１０）は、前記平滑用の第１

のコンデンサ（Ｃ２）の他端と前記直流電源（１）の他端（負極）間に接続されたＭＯＳトランジスタ（Ｑ５）、又は、第３のダイオード（Ｄ４）とＭＯＳトランジスタ（Ｑ５）の直列回路を備えた構成としてもよい。以下、実施形態について説明する。

【００４６】

＜基本構成＞

図１は、本発明の基本構成をブロック図で示したものである。図１を参照すると、直流電源１の正極側に配設されたスイッチ６及びヒューズ７の直列回路と、平滑用コンデンサ（電解コンデンサ）Ｃ２と、直流電源１の負極側と平滑用コンデンサ（電解コンデンサ）Ｃ２の負極端子間に設けられた第１のスイッチ素子１０と、スイッチ６とヒューズ７の直列回路の直流電源１に接続する側と反対側の一端と、平滑用コンデンサ（電解コンデンサ）Ｃ２の正極端子との間に接続され負荷５への突入電流を抑制する抵抗Ｒ７と、抵抗Ｒ７に並列に接続された第２のスイッチ素子１２と、直流電源１の正極電圧と、第２のスイッチ素子１２と抵抗Ｒ７の接続ノード（平滑用コンデンサＣ２、負荷５の正極側の電圧）の電圧の差分が、予め定められた所定の電圧以上であるか否かを検出する差分電圧検出回路８と、第１のスイッチ素子１０をオン・オフする第１の遅延機能付き駆動回路９と、第２のスイッチ素子１２をオン・オフする第２の遅延機能付き駆動回路１１と、を備えている。

【００４７】

スイッチ６のオン時、差分電圧検出回路８において、直流電源１の正極側の電圧と、第２のスイッチ素子１２と抵抗Ｒ７との接続点の電圧の差分電圧が、予め定められた所定の電圧以下であることを検出すると、当該検出に応答して、第１の遅延機能付き駆動回路９は、所定の遅延時間（時定数）を設けて第１のスイッチ素子１０をオンし、平滑用コンデンサＣ２と負荷５へ抵抗Ｒ７による電流制限を行いながら充電し、第２の遅延機能付き駆動回路１１は、当該検出に応答して所定の遅延時間（時定数）を設けて、平滑用コンデンサＣ２の充電完了後、第２のスイッチ素子１２をオンする。

【００４８】

スイッチ６がオフのとき、差分電圧検出回路８において、負荷５の電力消費に伴う直流電源１の正極電圧と、第２のスイッチ素子１２と抵抗Ｒ７との接続点の電圧の差分を検出し、該差分電圧が予め定められた所定値以上であることを検出すると、該検出に応答して、第１の遅延機能付き駆動回路９と第２の遅延機能付き駆動回路１１は、それぞれ、第１のスイッチ素子１０と第２のスイッチ素子１２をオフする。

【００４９】

図２は、本発明の一実施形態の構成を示す図であり、図１の各ブロックを素子レベル（トランジスタレベル）で示したものである。

【００５０】

図２を参照すると、ｐｎｐ型バイポーラトランジスタＱ３、ダイオードＤ２、抵抗Ｒ１３、ダイオードＤ３は、図１の差分電圧検出回路８を構成している。バイポーラトランジスタＱ３のエミッタは直流電源１の一端（正極）とスイッチ６の一端の接続ノードに接続され、ベースはダイオードＤ２のアノードに接続されている。ダイオードＤ２のカソードは抵抗Ｒ１３を介してダイオードＤ３のカソードに接続されている。ダイオードＤ３のアノードは、ヒューズ７のスイッチ６に接続する側と反対側の一端に接続されている。

【００５１】

ｎｐｎ型バイポーラトランジスタＱ４とコンデンサＣ３と抵抗Ｒ９、Ｒ１０、Ｒ１１、Ｒ１２は、図１の第１の遅延機能付き駆動回路９を構成している。抵抗Ｒ９の一端はバイポーラトランジスタＱ３のコレクタに接続され、抵抗Ｒ９の他端は抵抗Ｒ１０の一端とバイポーラトランジスタＱ４のベースの接続点に接続され、バイポーラトランジスタＱ４のコレクタ、抵抗Ｒ１１の一端、コンデンサＣ３の一端は、ｎチャネルＭＯＳＦＥＴ　Ｑ５のゲートに接続されるとともに、一端がダイオードＤ３のカソードに接続された抵抗Ｒ１２の他端に接続されており、抵抗Ｒ１０、バイポーラトランジスタＱ４、抵抗Ｒ１１の他端、コンデンサＣ３の他端、ＭＯＳＦＥＴ　Ｑ５のソースは共通接続され、直流電源１の

負極に接続されている。

【００５２】

フォトカプラ１３ａ、１３ｂ（発光ダイオード（ＬＥＤ：Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）１３ａとフォトトランジスタ１３ｂからなる）と、コンデンサＣ１と、抵抗Ｒ５、Ｒ６、Ｒ８は、第２の遅延機能付き駆動回路１１を構成している。抵抗Ｒ８の一端はバイポーラトランジスタＱ３のコレクタに接続され、抵抗Ｒ８の他端はＬＥＤ１３ａのアノードに接続され、ＬＥＤ１３ａのカソードは直流電源１の負極に接続されている。また、フォトトランジスタ１３ｂ、コンデンサＣ１、抵抗Ｒ５は、ヒューズ７とＭＯＳＦＥＴ Ｑ２のソースと抵抗Ｒ７の一端の接続ノードと、ｐチャネルＭＯＳＦＥＴ Ｑ２のゲート間に並列に接続されており、抵抗Ｒ６の一端はｐチャネルＭＯＳＦＥＴ Ｑ２のゲートに接続され、他端はコンデンサＣ２の負極端子に接続されている。

【００５３】

ｎチャネルＭＯＳＦＥＴ Ｑ５とダイオードＤ４は、図１の第１のスイッチ素子１０に対応し、ダイオードＤ４は、ｎチャネルＭＯＳＦＥＴ Ｑ５のソース・ドレイン間の寄生ダイオードによる直流電源１の負極側から負荷５への流れ込みを防止するためのものであり、装置により、該電流が流れない場合は、不要となる。ダイオードＤ４のアノードは抵抗Ｒ６のｐチャネルＭＯＳＦＥＴ Ｑ２に接続される側と反対側の他端と平滑用コンデンサＣ２の負極側との接続ノードに接続され、カソードは、ｎチャネルＭＯＳＦＥＴ Ｑ５のドレインに接続されている。

【００５４】

ｐチャネルＭＯＳＦＥＴ Ｑ２は、図１の第２のスイッチ素子１２に対応し、ソースとドレイン間には抵抗Ｒ７が接続されている。

【００５５】

＜実施形態の動作＞

次に、スイッチ６のオン・オフによるＭＯＳＦＥＴ Ｑ２、Ｑ５のオン・オフのタイミングの動作と、平滑用コンデンサＣ２と負荷５への突入電流の動作について以下に説明する。

【００５６】

＜スイッチがオフ状態＞

スイッチ６がオフの時、平滑用のコンデンサＣ２及び負荷５へは、直流電源１から給電されないため、ダイオードＤ３のアノード電圧は０Ｖとなり、差分電圧検出回路８のバイポーラトランジスタＱ３には、ダイオードＤ２、抵抗Ｒ１３、Ｒ１２、Ｒ１１を介して、ベース電流が流れオンする。

【００５７】

バイポーラトランジスタＱ３のオンにより、第１の遅延機能付き駆動回路９では、バイポーラトランジスタＱ４のベースに、直流電源電圧を抵抗Ｒ９、Ｒ１０で分圧した電圧が印加され、バイポーラトランジスタＱ４はオンとなる。

【００５８】

バイポーラトランジスタＱ４がオンとなると、バイポーラトランジスタＱ４のコレクタに接続するｎチャネルＭＯＳＦＥＴ Ｑ５のゲートと、バイポーラトランジスタＱ４のエミッタに接続するｎチャネルＭＯＳＦＥＴ Ｑ５のソースとの間が電気的に短絡され、ｎチャネルＭＯＳＦＥＴ Ｑ５のゲート－ソース間電圧はｎチャネルＭＯＳＦＥＴ Ｑ５の閾値電圧以下となり、ｎチャネルＭＯＳＦＥＴ Ｑ５はオフとなる。

【００５９】

したがって、スイッチ６がオフの時は、ｎチャネルＭＯＳＦＥＴ Ｑ５はオフとなり、平滑用のコンデンサＣ２と負荷５は、直流電源１からハイインピーダンスで切り離されることになる。なお、バイポーラトランジスタＱ３のオンにより、第２の遅延機能付き駆動回路１１では、フォトカプラ１３ａ、１３ｂがオンし、ｐチャネルＭＯＳＦＥＴ Ｑ２（第２のスイッチ素子１２）がオフする。ＬＥＤ１３ａが発光し、フォトダイオード１３ｂで受光し、オン電流が流れ（導通し）、ｐチャネルＭＯＳＦＥＴ Ｑ２のゲート・ソース

間電圧は、閾値電圧以下となり、オフする。

【００６０】

＜スイッチをオフからオン＞

次にスイッチ６をオフからオンにすると、直流電源１の正極と、ダイオードＤ３のアノードは、同電位となるため、差分電圧検出回路８では、バイポーラトランジスタＱ３のベースーエミッタ間電圧ＶＢＥと、ダイオードＤ２の順方向電圧ＶＦ、抵抗Ｒ１３の電圧降下の和が、ダイオードＤ３の順方向電圧ＶＦにクランプされる。このため、バイポーラトランジスタＱ３はオフする。

【００６１】

バイポーラトランジスタＱ３のオフにより、第１の遅延機能付き駆動回路９では、バイポーラトランジスタＱ４がオフし、第２の遅延機能付き駆動回路１１では、フォトカプラ１３ａ、１３ｂがオフする（ＬＥＤ１３ａに電流が流れず、発光しないため、フォトトランジスタ１３ｂはオンしない）。

【００６２】

バイポーラトランジスタＱ３のオフにより、第１の遅延機能付き駆動回路９では、ダイオードＤ３、抵抗Ｒ１２を介して、ｎチャネルＭＯＳＦＥＴＱ５のゲート・ソース間に接続されているコンデンサＣ３を充電し、予め定められた所定時間（遅延時間）経過後、ｎチャネルＭＯＳＦＥＴ　Ｑ５のゲート・ソース間電圧が、閾値電圧以上になると、ｎチャネルＭＯＳＦＥＴ　Ｑ５はオンする。コンデンサＣ３の充電によるｎチャネルＭＯＳＦＥＴ　Ｑ５がオンするまでの遅延時間を、スイッチ６のチャタリング時間（安定するまで接点がオン・オフを繰り返す）以上に設定することで、スイッチ６の溶着を防ぐことが可能となる。

【００６３】

さらに、第２の遅延機能付き駆動回路１１のフォトカプラ１３ｂはオフしているため、ｎチャネルＭＯＳＦＥＴ　Ｑ５のオンにより、ｐチャネルＭＯＳＦＥＴ　Ｑ２のゲートに接続しているコンデンサＣ１を、抵抗Ｒ６を介して充電を開始するが、ｐチャネルＭＯＳＦＥＴ　Ｑ２のゲートーソース間電圧（絶対値）が閾値電圧（絶対値）以下のため、ｐチャネルＭＯＳＦＥＴ　Ｑ２はオフのままとなり、平滑用コンデンサＣ２と負荷５は、抵抗Ｒ７を介して充電される。

【００６４】

その後、予め定められた所定時間経過後、ｐチャネルＭＯＳＦＥＴ　Ｑ２のゲート・ソース間電圧（絶対値）は、コンデンサＣ１の充電により閾値電圧（絶対値）以上となり、ｐチャネルＭＯＳＦＥＴ　Ｑ２はオンする。

【００６５】

コンデンサＣ１の充電によるｐチャネルＭＯＳＦＥＴ　Ｑ２がオンまでの遅延時間を、抵抗Ｒ７を介しての平滑用コンデンサＣ２及び負荷５への充電が完了する時間以上に設定することで、ｐチャネルＭＯＳＦＥＴ　Ｑ２がオフからオンとなった時に流れる突入電流を少なくすることができる。

【００６６】

以上から、スイッチ６をオフ状態からオンにすると、ｎチャネルＭＯＳＦＥＴ　Ｑ５がオンし、平滑用コンデンサＣ２と負荷５に対して、抵抗Ｒ７を介して充電電流が流れ、平滑用コンデンサＣ２の充電が完了後に、ｐチャネルＭＯＳＦＥＴ　Ｑ２がオンとなる。

【００６７】

＜スイッチをオンからオフ＞

次に、スイッチ６をオンからオフにすると、直流電源１からの給電が断たれ、負荷５の電力消費により、平滑用コンデンサＣ２の端子間電圧が低下し、ダイオードＤ３のアノード電圧も低下することで、直流電源１の正極電圧とダイオードＤ３のアノード電圧の差が徐々に大きくなる。

【００６８】

差分電圧検出回路８において、ダイオードＤ３のカソード電圧が低くなることにより、

バイポーラトランジスタＱ３、ダイオードＤ２、抵抗Ｒ１３、Ｒ１２を介して流れるベース電流が増加し、バイポーラトランジスタＱ３はオンする。

【００６９】

差分電圧検出回路８のバイポーラトランジスタＱ３のオンにより、第１の遅延機能付き駆動回路９では、バイポーラトランジスタＱ４がオンし、コンデンサＣ３を放電させ、ｎチャネルＭＯＳＦＥＴ　Ｑ５はゲート電圧の低下により、オフする。

【００７０】

また、バイポーラトランジスタＱ３のオンにより、第２の遅延機能付き駆動回路１１では、フォトカプラ１３ａ、１３ｂがオンし、コンデンサＣ１を放電させるとともに、ｐチャネルＭＯＳＦＥＴ　Ｑ２のゲートの電位がソース電圧に対して閾値電圧（絶対値）以下となり、オフする。

【００７１】

差分電圧検出回路８の抵抗Ｒ１３は、バイポーラトランジスタＱ３をオンするときの直流電源１と負荷５への給電電圧の差分電圧を設定するために用いられ、抵抗値が小さいほど、差分電圧を小さく設定することができる。抵抗１３の抵抗値が０Ω（抵抗１３の両端を短絡：抵抗１３の削除）であれば、バイポーラトランジスタＱ３がオンする差分電圧は、バイポーラトランジスタＱ３のベース－エミッタ間電圧ＶＢＥと、ダイオードＤ２の順方向電圧ＶＦの和となり、２Ｖ以下とすることが可能となる。

【００７２】

検出可能な差分電圧が小さい場合、スイッチ６をオンからオフしたときに負荷５の電力消費によるダイオードＤ３のアノード電圧の低下を短い時間で検出し、ＭＯＳＦＥＴ　Ｑ５、Ｑ２をオフできることになる。

【００７３】

＜スイッチを再度オン＞

その後、再度、スイッチ６をオンしても、前記したスイッチ６のオフからオンの動作と同じ動作となり、ｎチャネルＭＯＳＦＥＴ　Ｑ５がオンした後に、平滑用コンデンサＣ２及び負荷５への抵抗Ｒ７を介しての充電が行われ、当該充電完了後に、ｐチャネルＭＯＳＦＥＴ　Ｑ２がオンとなり、スイッチ６の短期間でのオン・オフに対して、平滑用コンデンサＣ２及び負荷５への過大な突入電流が流れることはない。

【００７４】

すなわち、直流電源１と負荷５との接続を切り離すためのスイッチ６及びｎチャネルＭＯＳＦＥＴ　Ｑ５と、負荷５と平滑用コンデンサＣ２の突入電流制限用の抵抗Ｒ７と並列に接続したｐチャネルＭＯＳＦＥＴ　Ｑ２と、直流電源１と負荷５の差分電圧を検出する差分電圧検出回路８を設けることで、スイッチ６のオフ後に直流電源１の電圧と負荷５の電圧低下による差分電圧を検出し、ＭＯＳＦＥＴ　Ｑ２、Ｑ５を短時間でオフし、短い時間でのスイッチ６の再オンにおいても突入電流を抑制することができる。

【００７５】

スイッチ６のオフにより、スイッチ６とｎチャネルＭＯＳＦＥＴ　Ｑ５により、負荷５とはハイインピーダンスで切り離されることになり、負荷５に人が触れた場合でも、電流が流れることはなく、感電は回避される。

【００７６】

また、ＭＯＳＦＥＴ　Ｑ５、Ｑ２のオフからオンにそれぞれ遅延時間を設けることで、スイッチ６のチャタリングや短時間でのオン・オフを繰り返し行ってもＭＯＳＦＥＴ　Ｑ５、Ｑ２がオンすることなく、スイッチ６のオン後の一定時間経過後に、ＭＯＳＦＥＴ　Ｑ５、Ｑ２がオンし、突入電流の抑制やスイッチ６の溶着を防ぐことができる。

【００７７】

なお、図１、図２において、差分電圧検出回路８は、直流電源１の正極電圧と、抵抗Ｒ７と第２のスイッチ素子１２の一端（ｐチャネルＭＯＳＦＥＴ　Ｑ２のソース）の接続点（スイッチ６側の接続点）の電圧の差分電圧を検出しているが、直流電源１の正極電圧と、抵抗Ｒ７と第２のスイッチ素子１２の他端（ｐチャネルＭＯＳＦＥＴ　Ｑ２のドレイン

）の接続点（平滑用コンデンサＣ２の正極端子との接続点）の電圧の差分電圧を検出する構成としてもよい。

【００７８】

また上記実施形態において、トランジスタ（バイポーラトランジスタとＭＯＳＦＥＴ）の極性は一例を示したものであり、本発明において、トランジスタの種別、極性等は、実施形態の開示に限定されるものでないことは勿論である。

【００７９】

以下、上記特許文献２と上記実施形態との相違点について概説する。上記特許文献２においては、電源とは別にスイッチ手段をオン／オフ制御する制御手段（特許文献２図１のＣ）を具備しており、スイッチ１のオフによる制御手段Ｃの抵抗８、９による電圧レベルの低下を検出し、スイッチ４（リレー接点）の制御を行っており、電源内の平滑用コンデンサの端子間電圧ＶＣとは無関係の制御動作となっている。

【００８０】

本実施形態においては、差分電圧検出回路８は、スイッチ６がオフした時にスイッチ６の後段の電圧低下をスイッチ６の前段側の直流電源電圧との差分として検出を行い、差分電圧が予め定められた所定電圧以上になった時に、第１のスイッチ素子１０と第２のスイッチ素子１２をオフとすることで、スイッチ６の再オンにおいても突入電流を抑制している。本実施形態では、再オン時の突入電流を抑制するために、スイッチ６のオフ時における入力との相対的な差分電圧を検出している。特許文献２では、独立した電圧検出回路で絶対値としての電圧レベルを検出している。

【００８１】

なお、上記の特許文献の各開示を、本書に引用をもって繰り込むものとする。本発明の全開示（請求の範囲を含む）の枠内において、さらにその基本的技術思想に基づいて、実施形態の変更・調整が可能である。また、本発明の請求の範囲の枠内において種々の開示要素の多様な組み合わせないし選択が可能である。すなわち、本発明は、請求の範囲を含む全開示、技術的思想にしたがって当業者であればなし得るであろう各種変形、修正を含むことは勿論である。

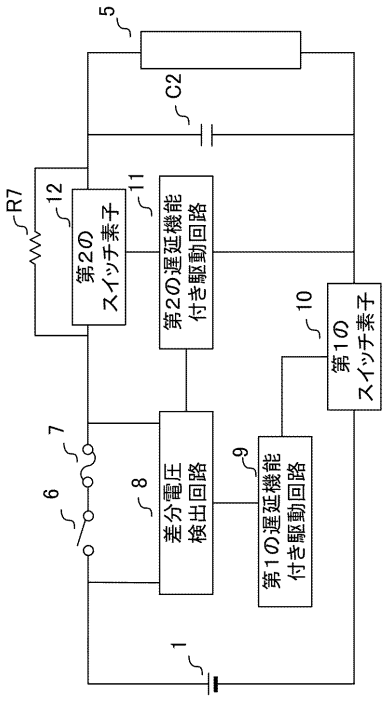
【符号の説明】

【００８２】

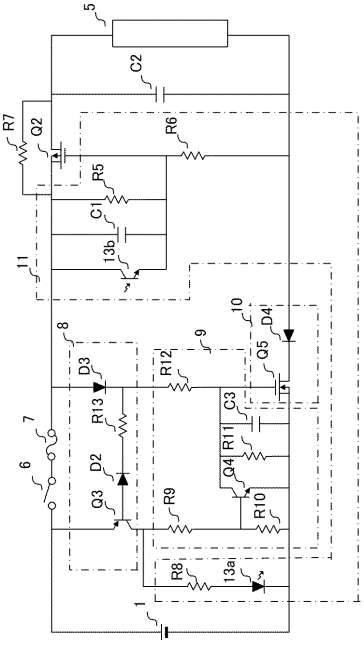
１　直流電源
２、２Ａ、２Ｂ　スイッチ（ブレーカ）
３　基準電圧
４　コンパレータまたはオペアンプ
５　負荷
６　スイッチ
７　ヒューズ
８　差分電圧検出回路
９　第１の遅延機能付き駆動回路
１０　第１のスイッチ素子
１１　第２の遅延機能付き駆動回路
１２　第２のスイッチ素子
１３ａ、１３ｂ　フォトカプラ
Ｃ１、Ｃ３　コンデンサ
Ｃ２　平滑用コンデンサ
Ｄ１、Ｄ２、Ｄ３　ダイオード
Ｄ４　逆流防止ダイオード
Ｑ１、Ｑ３、Ｑ４　バイポーラトランジスタ
Ｑ２、Ｑ５　ＭＯＳＦＥＴ
Ｒ１、Ｒ２、Ｒ３、Ｒ４、Ｒ５、Ｒ６、Ｒ８、Ｒ９、Ｒ１０、Ｒ１１、Ｒ１２、Ｒ１３
抵抗

Ｒ７　突入電流防止用抵抗
Ｒｓ　検出抵抗
Ｚ１、Ｚ２　インピーダンス

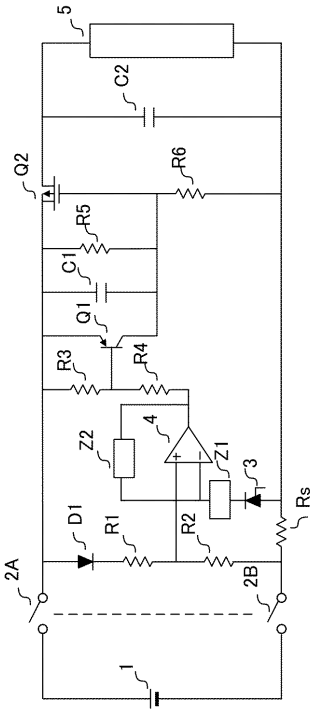
【図１】



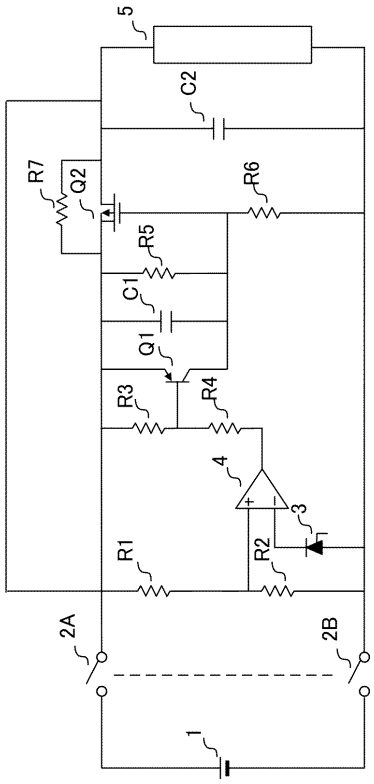
【図２】



【図３】


5
C2
Q2
R6
R5
C1
Q1
R3
R4
Z2
4
Z1
3
Rs
D1
R1
R2
2A
2B
1

【図４】


5
C2
R7
Q2
R6
R5
C1
Q1
R3
R4
4
3
R1
R2
2A
2B
1