



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년11월23일
(11) 등록번호 10-2181609
(24) 등록일자 2020년11월17일

(51) 국제특허분류(Int. Cl.)
H01L 29/423 (2006.01) H01L 27/108 (2006.01)
H01L 29/78 (2006.01)
(21) 출원번호 10-2014-0012616
(22) 출원일자 2014년02월04일
심사청구일자 2019년01월07일
(65) 공개번호 10-2015-0091861
(43) 공개일자 2015년08월12일
(56) 선행기술조사문헌
US20110001186 A1*
US20080061320 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이설민
서울특별시 서초구 서운로 211 삼호아파트 10-104
문대현
경기도 수원시 영통구 영통로130번길 52-4 조은빌
203동 401호
(74) 대리인
특허법인가산

전체 청구항 수 : 총 10 항

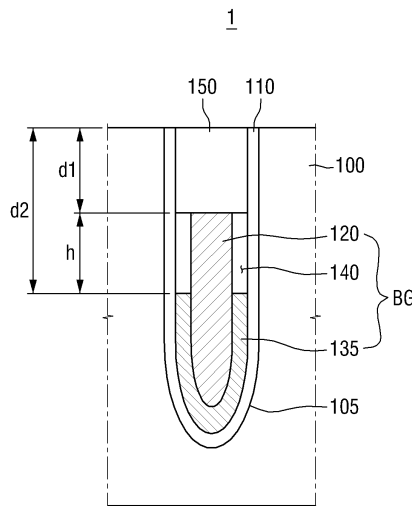
심사관 : 김중호

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치 및 그 제조 방법이 제공된다. 상기 반도체 장치는 기판, 상기 기판 내에 형성된 트렌치, 상기 트렌치 내면에 콘포말하게 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고, 상기 트렌치의 일부를 매립하는 매립 게이트 전극, 및 상기 매립 게이트 전극 상에 형성되고, 상기 트렌치를 매립하는 캡핑막을 포함하되, 상기 매립 게이트 전극은 제1 게이트 전극과, 상기 제1 게이트 전극의 하부를 둘러싸는 제2 게이트 전극을 포함하고, 상기 제1 게이트 전극의 상부와 상기 게이트 절연막 사이에는 에어 갭이 배치된다.

대표도 - 도1



(72) 발명자

문준석

서울특별시 광진구 구의강변로 42 강변우성아파트
103동 303호

박세근

경기도 수원시 영통구 센트럴타운로 76 이편한세상
광고1차 6107동 2901호

서형원

경기도 용인시 기흥구 새천년로 13 녹원마을새천년
그린빌1단지아파트 106동202호

명세서

청구범위

청구항 1

기관;

상기 기관 내에 형성된 트렌치;

상기 트렌치 내면에 콘포말하게 형성된 게이트 절연막;

상기 게이트 절연막 상에 형성되고, 상기 트렌치의 일부를 매립하는 매립 게이트 전극; 및

상기 매립 게이트 전극 상에 형성되고, 상기 트렌치를 매립하는 캡핑막을 포함하되,

상기 매립 게이트 전극은 제1 게이트 전극과, 상기 제1 게이트 전극의 하부를 둘러싸는 제2 게이트 전극을 포함하고,

상기 제1 게이트 전극의 상부와 상기 게이트 절연막 사이에는 에어 갭이 배치되는 반도체 장치.

청구항 2

제 1항에 있어서,

상기 캡핑막은 상기 제1 게이트 전극 및 상기 에어 갭 상에 형성되는 반도체 장치.

청구항 3

제 1항에 있어서,

상기 제1 게이트 전극의 상면과 상기 에어 갭의 상면은 동일 평면상에 배치되는 반도체 장치.

청구항 4

제 1항에 있어서,

상기 제2 게이트 전극은 상기 제1 게이트 전극의 하부의 측벽 및 바닥면을 둘러싸는 반도체 장치.

청구항 5

복수의 메모리 셀을 포함하는 메모리 셀 어레이;

상기 복수의 메모리 셀 각각은,

셀 캐패시터와,

비트라인 및 상기 셀 캐패시터 사이에 연결되는 스위치 트랜지스터를 포함하고,

상기 스위치 트랜지스터는,

기관과,

상기 기관 내에 형성된 트렌치와,

상기 트렌치 상에 콘포말하게 형성된 게이트 절연막과,

상기 게이트 절연막 상에 형성되고, 상기 트렌치의 일부를 매립하는 게이트 전극과,

상기 게이트 전극 상에 형성되고, 상기 트렌치를 매립하는 캡핑막을 포함하되,

상기 게이트 전극은 제1 게이트 전극과 상기 제1 게이트 전극의 하부를 둘러싸는 제2 게이트 전극을 포함하며,

상기 제1 게이트 전극의 상부와 상기 게이트 절연막 사이에는 에어 갭이 배치되는 반도체 메모리 장치.

청구항 6

제 5항에 있어서,

상기 캡핑막은 상기 제1 게이트 전극 및 상기 에어 갭 상에 형성되는, 반도체 메모리 장치.

청구항 7

기판 내에 트렌치를 형성하고;

상기 트렌치 상에 게이트 절연막을 컨포말하게 형성하고;

상기 게이트 절연막 상에 상기 트렌치의 일부를 매립하는 제1 게이트 전극과 상기 제1 게이트 전극의 측벽 및 바닥면을 둘러싸는 제2 게이트 전극을 형성하고;

상기 제1 게이트 전극의 상부의 측벽이 노출되도록 상기 제2 게이트 전극의 상부를 리세스하고; 및

상기 제1 게이트 전극 상에 상기 트렌치를 매립하는 캡핑막을 형성하되, 상기 제2 게이트 전극 상에 에어 갭을 형성하는 것을 포함하는 반도체 장치의 제조 방법.

청구항 8

제 7항에 있어서,

상기 제1 게이트 전극과 상기 제2 게이트 전극을 형성하는 것은, 상기 제2 게이트 전극과 상기 제1 게이트 전극을 상기 게이트 절연막 상에 상기 트렌치를 매립하도록 순차적으로 형성하고, 상기 제1 게이트 전극의 상면과 상기 제2 게이트 전극의 상면이 동일 평면 상에 배치되도록 상기 제1 게이트 전극과 제2 게이트 전극을 에치백하여 상기 기판으로부터 제1 깊이로 형성하는 반도체 장치의 제조 방법.

청구항 9

제 8항에 있어서,

상기 제2 게이트 전극의 상부를 리세스하는 것은 상기 제2 게이트 전극의 상면을 상기 기판의 상면으로부터 상기 제1 깊이 보다 깊은 제2 깊이로 리세스하는 반도체 장치의 제조 방법.

청구항 10

제 9항에 있어서,

상기 캡핑막을 형성하는 단계는, 상기 캡핑막의 바닥면을 상기 기판의 상면으로부터 상기 제1 깊이로 형성하는 반도체 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 매립 채널 어레이 트랜지스터(Buried Channel Array Transistor; BCAT)는 트렌치 내에 매립된 게이트 전극을 포함하여, 단채널 효과(short channel effect)를 극복할 수 있다. 그런데, 트렌치 내에 게이트 전극이 얼마나 매립되었는지에 따라, 매립 채널 어레이 트랜지스터의 특성이 달라질 수 있다. 예를 들어, 게이트 유도 드레인 누설전류(Gate Induced Drain Leakage; GIDL), 전류량 등이 달라질 수 있다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 해결하려는 과제는, 전류량 특성과 GIDL 특성을 모두 개선할 수 있는 반도체 장치를 제공하는 것이다.
- [0004] 본 발명이 해결하려는 다른 과제는, 전류량 특성과 GIDL 특성을 모두 개선할 수 있는 반도체 장치의 제조 방법을 제공하는 것이다.
- [0005] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 일 면(Aspect)은, 기판, 상기 기판 내에 형성된 트렌치, 상기 트렌치 내면에 콘포말하게 형성된 게이트 절연막, 상기 게이트 절연막 상에 형성되고, 상기 트렌치의 일부를 매립하는 매립 게이트 전극, 및 상기 매립 게이트 전극 상에 형성되고, 상기 트렌치를 매립하는 캡핑막을 포함하되, 상기 매립 게이트 전극은 제1 게이트 전극과, 상기 제1 게이트 전극의 하부를 둘러싸는 제2 게이트 전극을 포함하고, 상기 제1 게이트 전극의 상부와 상기 게이트 절연막 사이에는 에어 갭이 배치된다.
- [0007] 또한, 상기 캡핑막은 상기 제1 게이트 전극 및 상기 에어 갭 상에 형성될 수 있다.
- [0008] 또한, 상기 제1 게이트 전극의 상면과 상기 에어 갭의 상면은 동일 평면상에 배치될 수 있다.
- [0009] 또한, 상기 제2 게이트 전극은 상기 제1 게이트 전극의 하부의 측벽 및 바닥면을 둘러쌀 수 있다.
- [0010] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 다른 면은, 복수의 메모리 셀을 포함하는 메모리 셀 어레이, 상기 복수의 메모리 셀 각각은, 셀 캐패시터와, 비트라인 및 상기 셀 캐패시터 사이에 연결되는 스위치 트랜지스터를 포함하고, 상기 스위치 트랜지스터는, 기판과, 상기 기판 내에 형성된 트렌치와, 상기 트렌치 상에 콘포말하게 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성되고, 상기 트렌치의 일부를 매립하는 게이트 전극과, 상기 게이트 전극 상에 형성되고, 상기 트렌치를 매립하는 캡핑막을 포함하되, 상기 게이트 전극은 제1 게이트 전극과 상기 제1 게이트 전극의 하부를 둘러싸는 제2 게이트 전극을 포함하며, 상기 제1 게이트 전극의 상부와 상기 게이트 절연막 사이에는 에어 갭이 배치된다.
- [0011] 또한, 상기 캡핑막은 상기 제1 게이트 전극 및 상기 에어 갭 상에 형성될 수 있다.
- [0012] 상기 과제를 해결하기 위한 본 발명의 반도체 장치의 제조 방법의 일 면은, 기판 내에 트렌치를 형성하고, 상기 트렌치 상에 게이트 절연막을 콘포말하게 형성하고, 상기 게이트 절연막 상에 상기 트렌치의 일부를 매립하는 제1 게이트 전극과 상기 제1 게이트 전극의 측벽 및 바닥면을 둘러싸는 제2 게이트 전극을 형성하고, 상기 제1 게이트 전극의 상부의 측벽이 노출되도록 상기 제2 게이트 전극의 상부를 리세스하고, 및 상기 제1 게이트 전극 상에 상기 트렌치를 매립하는 캡핑막을 형성하되, 상기 제2 게이트 전극 상에 에어 갭을 형성하는 것을 포함한다.
- [0013] 또한, 상기 제1 게이트 전극과 상기 제2 게이트 전극을 형성하는 것은, 상기 제2 게이트 전극과 상기 제1 게이트 전극을 상기 게이트 절연막 상에 상기 트렌치를 매립하도록 순차적으로 형성하고, 상기 제1 게이트 전극의 상면과 상기 제2 게이트 전극의 상면이 동일 평면 상에 배치되도록 상기 제1 게이트 전극과 제2 게이트 전극을 에치백하여 상기 기판으로부터 제1 깊이로 형성할 수 있다.
- [0014] 또한, 상기 제2 게이트 전극의 상부를 리세스하는 것은 상기 제2 게이트 전극의 상면을 상기 기판으로부터 상기 제1 깊이 보다 깊은 제2 깊이로 리세스할 수 있다.
- [0015] 또한, 상기 캡핑막을 형성하는 단계는, 상기 캡핑막의 바닥면을 상기 기판으로부터 상기 제1 깊이로 형성할 수 있다.
- [0016] 본 발명의 기타 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

도면의 간단한 설명

- [0017] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 2 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 중간단계 도면들이다.
- 도 7은 도 1의 반도체 장치를 포함하는 메모리 셀을 설명하기 위한 회로도이다.

도 8은 도 7의 메모리 셀을 포함하는 메모리 셀 어레이를 설명하기 위한 도면이다.

도 9는 도 8의 I - I' 를 따라 절단한 단면도이다.

도 10은 본 발명의 몇몇 실시예에 따른 메모리 시스템을 설명하기 위한 블록도이다.

도 11는 본 발명의 몇몇 실시예에 따른 메모리 시스템을 포함하는 컴퓨팅 시스템을 설명하기 위한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0018] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0019] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다. 반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0020] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0021] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다. 예를 들면, 도면에 도시되어 있는 소자를 뒤집을 경우, 다른 소자의 "아래(below)" 또는 "아래(beneath)"로 기술된 소자는 다른 소자의 "위(above)"에 놓여질 수 있다. 따라서, 예시적인 용어인 "아래"는 아래와 위의 방향을 모두 포함할 수 있다. 소자는 다른 방향으로도 배향될 수 있고, 이에 따라 공간적으로 상대적인 용어들은 배향에 따라 해석될 수 있다.
- [0022] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0023] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0024] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0025] 도 1은 본 발명의 일 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- [0026] 도 1을 참조하면, 본 발명의 일 실시예에 따른 반도체 장치(1)는, 기판(100), 트렌치(105), 게이트 절연막(110), 매립 게이트 전극(120, 135), 에어 갭(140), 캡핑막(150)을 포함한다. 예를 들어, 반도체 장치(1)는 제 1 도전형(예를 들어, N형) 트렌지스터일 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0027] 기판(100)은 베이스 기판과 에피층이 적층된 구조일 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 기판

(100)은 실리콘 기판, 갈륨 비소 기판, 또는 실리콘 게르마늄 기판 등일 수도 있고, SOI(Semiconductor On Insulator) 기판일 수도 있다. 이하에서는, 실리콘 기판을 일 예로 설명하기로 한다.

- [0028] 트렌치(105)는 기판(100) 내에 형성된다. 트렌치(105)의 형상은 여러 가지일 수 있다. 예를 들어, 트렌치(105)는 도시된 것처럼, 바닥면과 측벽의 연결 부분이 둥근 형상일 수 있다. 또는, 트렌치(105)는 측벽이 일정한 각도를 가지고 기울어진 형상일 수도 있다.
- [0029] 게이트 절연막(110)은 트렌치(105) 내면에 컨포말하게 형성될 수 있다. 게이트 절연막(110)은 트렌치(105)의 측벽 및 바닥면을 따라서 형성될 수 있다. 이러한 게이트 절연막(110)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 고유전율 물질 중 적어도 하나를 포함할 수 있다. 예를 들어, 고유전율 물질은 HfO₂, HfSiO₄, HfAlO, ZrO₂, ZrSiO₄, TaO₂, Ta₂O₅, 또는 Al₂O₃를 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 여기서, 게이트 절연막(110)은 기판(100)의 상면에는 비형성될 수 있다.
- [0030] 매립 게이트 전극(BG)은 게이트 절연막(110) 상에 형성될 수 있다. 매립 게이트 전극(BG)은 제1 게이트 전극(120)과 제2 게이트 전극(135)를 포함한다.
- [0031] 제1 게이트 전극(120)은 트렌치(105) 내에, 트렌치(105)를 완전히 채우지 않고 트렌치(105)의 일부를 매립하도록 형성될 수 있다. 제1 게이트 전극(120)의 상면은 기판(100)의 상면으로부터 제1 깊이(d1)로 형성될 수 있다. 제1 게이트 전극(120)은 도전성 물질, 예를 들어, 텅스텐(W)과 같은 금속 등을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0032] 제2 게이트 전극(135)은 트렌치(105) 내에, 트렌치(105)를 완전히 채우지 않고 트렌치(105)의 일부를 매립하도록 형성될 수 있다. 제2 게이트 전극(135)은 제1 게이트 전극(120)과 게이트 절연막(110) 사이에서, 그 상면이 기판(100)의 상면으로부터 제2 깊이(d2)로 형성될 수 있다. 제2 깊이(d2)는 제1 깊이(d1)보다 더 깊을 수 있다. 이로써, 제2 게이트 전극(135)은 제1 게이트 전극(120)의 하부(예를 들면, 제1 게이트 전극(120)의 바닥면 및 하부 측벽)를 둘러싸는 형태로 형성될 수 있다. 또한, 제2 게이트 전극(135)의 상면은 기판(100)의 상면보다 낮게 형성될 수 있고, 제1 게이트 전극(120)의 상면보다 낮게 형성될 수 있다. 제2 게이트 전극(135)은 도전성 물질, 예를 들어, 티타늄나이트라이드(TiN)와 같은 금속 등을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 제2 게이트 전극(135)은 게이트 절연막(110)과 직접 접촉하며 문턱전압에 기여하는 층으로서 반도체 장치(1)에 요구되는 일함수를 조절할 수 있다.
- [0033] 에어 갭(140)은 제1 게이트 전극(120)의 상부와 게이트 절연막(110) 사이에 배치될 수 있다. 에어 갭(140)은 제1 게이트 전극(120)의 양측으로 형성될 수 있다. 에어 갭(140)은 제2 게이트 전극(135)과 후술될 캡핑막(150)과의 사이에 형성될 수 있다. 즉, 에어 갭(140)은 제1 게이트 전극(120), 제2 게이트 전극, 게이트 절연막(105) 및 캡핑막(150)으로 둘러싸일 수 있다. 에어 갭(140)의 상면은 제1 게이트 전극(120)의 상면과 동일 평면상에 배치될 수 있다. 에어 갭(140)은 제1 깊이(d1)와 제2 깊이(d2)의 차에 해당하는 높이(h)를 가질 수 있다. 다른 한편, 에어 갭(140)의 상면은 제1 게이트 전극(120)의 상면보다 낮을 수 있다. 따라서, 에어 갭(140)의 높이(h)는 제1 깊이(d1)와 제2 깊이(d2)의 차이보다 낮을 수 있다.
- [0034] 캡핑막(150)은 제1 게이트 전극(120) 상에 트렌치(105)를 매립하도록 형성될 수 있다. 캡핑막(150)은 에어 갭(140) 및 제1 게이트 전극(120) 상에 형성될 수 있다. 캡핑막(150)은 제1 게이트 전극(120)의 상면보다 더 깊게 에어 갭(140) 내에 형성될 수 있다. 예를 들어, 캡핑막(150)은 산화막, 질화막, 산질화막 등을 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 여기서, 캡핑막(150)은 질화막 경우를 예로 들어 설명하기로 한다.
- [0035] 명확하게 도시하지 않았으나, 소오스/드레인은 트렌치(105)의 양측으로 기판(100) 내에 배치될 수 있다. 예를 들어, 소오스/드레인은 N형 불순물로 도핑될 수 있다.
- [0036] 도 1을 참조하여 설명한 반도체 장치(1)에 따르면, 에어 갭(140)에 의해서, BCAT의 GIDL(Gate Induced Drain Leakage) 특성, 전류량 특성 모두가 개선될 수 있다.
- [0037] 에어 갭(140)은 게이트 전극(120, 135)(예를 들면, 제1 게이트 전극(120))에 의한 전기장(electric field)를 크게 감소시켜 누설 전류를 감소시킬 수 있다. 구체적으로, BCAT의 게이트-드레인 영역 사이에는 강한 전기장이 생성된다. 이러한 강한 전기장으로 인해서, BCAT의 GIDL이 발생될 수 있다. 그러나, 도 1을 참조하여 설명한 반도체 장치(1)와 같이 게이트 절연막(110)과 제1 게이트 전극(120)의 사이에 에어 갭(140)이 배치되는 경우, 게이트-드레인 영역 간의 유전율이 감소되므로, 전기장이 감소되어 누설전류를 감소시킬 수 있다.
- [0038] 동시에, 에어 갭(140)은 캡핑막(150)과 실리콘 기판 간의 열팽창계수 차이에 따른 압축 응력(compressive

stress)을 크게 감소시킬 수 있다. 반도체 장치(1)가 제1 도전형(예를 들어, N형) 트랜지스터인 경우, 압축 응력이 감소됨에 따라, 반도체 장치(1)의 캐리어(예를 들어, 전자)의 모빌리티(mobility)가 증가되므로, 전류의 양이 증가될 수 있다.

- [0039] 이를 통해, 저 누설 전류 및 고 전류 특성을 갖는 BCAT의 제작이 가능하다.
- [0040] 도 2 내지 도 6은 본 발명의 일 실시예에 따른 반도체 장치의 제조방법을 설명하기 위한 중간단계 도면들이다.
- [0041] 도 2를 참조하면, 기판(100) 내에 트렌치(105)를 형성한다. 예를 들어, 포토 리소그래피 공정을 이용하여 기판(100) 상에 마스크 패턴을 형성한다. 마스크 패턴은 트렌치(105)가 형성될 기판(100) 영역을 노출한다. 마스크 패턴은 산화막, 질화막, 산질화막 등일 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 마스크 패턴에 의해 노출된 기판(100) 영역을 건식 식각하여, 트렌치(105)를 형성한다. 트렌치 형성 후 마스크 패턴은 제거될 수 있다.
- [0042] 한편, 명확하게 도시하지는 않았으나 마스크 패턴을 형성하기 전에 기판(100) 내에 소오스/드레인 영역을 위한 불순물 영역을 형성할 수 있다.
- [0043] 이어서, 도 3을 참조하면, 트렌치(105)가 형성된 기판(100) 상에 게이트 절연막(110)을 건포말하게 형성한다. 게이트 절연막(110)은 트렌치(105)의 바닥면과 측벽을 따라 형성될 수 있다. 예를 들어, 게이트 절연막(110)은 CVD(Chemical Vapor Deposition) 방식 또는 ALD(Atomic Layer Deposition) 방식으로 형성될 수 있다. 게이트 절연막(110)은 실리콘 산화막, 실리콘 질화막, 실리콘 산질화막 또는 고유전율 물질 중 적어도 하나를 이용하여 형성할 수 있다. 예를 들어, 고유전율 물질은 HfO₂, HfSiO₄, HfAlO, ZrO₂, ZrSiO₄, TaO₂, Ta₂O₅, 또는 Al₂O₃를 포함할 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0044] 이어서, 도 4를 참조하면, 게이트 절연막(110) 상에 트렌치(105)의 일부를 매립하는 매립 게이트 전극(BG)를 형성한다. 매립 게이트 전극(BG)은 제1 게이트 전극(120)과 제1 게이트 전극(120)의 측벽 및 바닥면을 둘러싸는 제2 게이트 전극(135)을 포함한다.
- [0045] 예를 들면, 제2 게이트 전극(135)과 제1 게이트 전극(120)을 트렌치(105)를 매립하도록 순차적으로 게이트 절연막(105) 상에 형성하고, 이어서 에치백할 수 있다. 이에 따라, 제1 게이트 전극(120)의 상면은 기판(100)의 상면으로부터 제1 깊이(d1)로 형성될 수 있다. 제1 게이트 전극(120)은 도전성 물질, 예를 들어, 텅스텐(W)과 같은 금속 등을 이용하여 형성할 수 있다.
- [0046] 제2 게이트 전극(135)은 제1 게이트 전극(120)과 게이트 산화막(110) 사이에 형성될 수 있다. 제2 게이트 전극(135)의 상면은, 제1 게이트 전극(120)의 상면과 동일하게, 기판(100)의 상면으로부터 제1 깊이(d1)로 형성될 수 있다. 제2 게이트 전극(135)은 제1 게이트 전극(120)의 양 측벽을 둘러싸도록 형성될 수 있다. 제2 게이트 전극(135)은 도전성 물질, 예를 들어, 티타늄나이트라이드(TiN)와 같은 금속 등을 이용하여 형성할 수 있다. 제1 게이트 전극(120)의 상면과 제2 게이트 전극(135)의 상면은 동일 평면상에 배치되도록 형성할 수 있다.
- [0047] 이어서, 도 5를 참조하면, 제1 게이트 전극(120)의 상부의 측벽이 노출되도록 제2 게이트 전극(135)의 상부를 선택적으로 리세스한다. 제2 게이트 전극(135)의 상면은 기판(100)의 상면으로부터 제2 깊이(d2)로 리세스될 수 있다. 제2 깊이(d2)는 제1 깊이(d1)보다 더 깊을 수 있다. 습식 식각 공정을 이용하여, 제2 게이트 전극(135)의 상부를 선택적으로 리세스할 수 있다. 예를 들면, 제1 게이트 전극(120)과 제2 게이트 전극(135)에 대하여 서로 다른 식각 선택비를 갖는 식각 용액을 이용하여, 제2 게이트 전극(135)의 상부만을 선택적으로 식각할 수 있다.
- [0048] 이어서, 도 6을 참조하면, 제1 게이트 전극(120) 및 게이트 절연막(110) 상에 트렌치(105)를 매립하는 캡핑막(150)을 형성한다. 캡핑막(150)의 바닥면은 기판(100)의 상면으로부터 제1 깊이(d1)로 형성될 수 있다. 예를 들어, 캡핑막(150)은 산화막, 질화막, 산질화막 등을 이용하여 형성할 수 있다.
- [0049] 상술한 매립 게이트 전극(BG)의 형성 단계에서, 제2 게이트 전극(135)의 두께는 캡핑 물질이 채워지지 않도록 조절될 수 있다. 예를 들어, 제2 게이트 전극(135)의 두께(게이트 절연막(110)과 제1 게이트 전극(120) 사이의 간격)는 30Å 이하가 될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [0050] 게이트 절연막(110)과 제1 게이트 전극(120)의 상부 사이에서, 제2 게이트 전극(135)이 리세스된 부분의 간격이 좁으므로 상기 리세스된 부분에 캡핑막(150)이 채워지는 것이 제한될 수 있다. 이에 따라, 에어 갭(140)이 배치될 수 있다. 에어 갭(140)은 제1 깊이(d1)과 제2 깊이(d2)의 차에 해당하는 높이(h)를 가질 수 있다. 한편, 캡핑막(150)은 제1 게이트 전극(150)의 상부면 보다 더 깊은 제2 게이트 전극(135)이 리세스된 영역 내에 형성될 수 있다. 이에 따라, 에어 갭(140)의 높이(h)는 제1 깊이(d1)와 제2 깊이(d2)의 차이보다 작을 수 있다. 예를

들어, 에어 갭(140)의 높이 h는 500Å 이상일 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 높이 h가 클수록 GIDL 특성 및 전류량 특성이 개선될 수 있다.

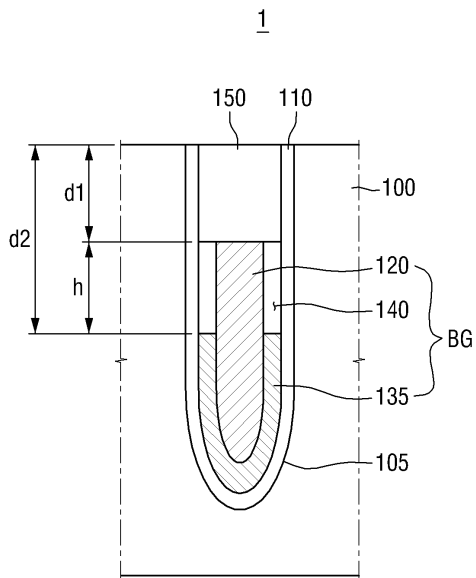
- [0051] 이어서, 다시 도 1을 참조하면, 기관(100)의 상면이 노출되도록, 기관(100) 상의 캡핑막(150)과 게이트 절연막(110)을 제거한다. 예를 들어, 평탄화 공정을 이용하여, 캡핑막(150)과 게이트 절연막(110)의 일부를 제거할 수 있다. 이어서, 소오스/드레인 영역을 위한 불순물을 영역들이 형성될 수 있다.
- [0052] 도 7은 도 1의 반도체 장치를 포함하는 메모리 셀을 설명하기 위한 회로도이다. 도 7에서는 메모리 셀의 일 예로서 DRAM(Dynamic Random Access Memory) 셀을 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [0053] 도 7을 참조하면, 워드라인(WL)과 비트라인(BL)의 교차점에 데이터를 저장하는 메모리 셀(20)이 배치될 수 있다. 메모리 셀(20)은 셀 캐패시터(Cap), 비트라인(BL) 및 셀 캐패시터 사이에 연결되는 스위치 트랜지스터(TR)를 포함한다.
- [0054] 스위치 트랜지스터(TR)의 게이트는 워드라인(WL)과 전기적으로 연결될 수 있다. 스위치 트랜지스터(TR)의 소오스/드레인은 비트라인(BL)/셀 캐패시터(Cap)의 일단에 연결될 수 있다. 셀 캐패시터의 타단은 접지 전압과 연결될 수 있다. 스위치 트랜지스터(TR)는 도 1을 참조하여 설명한 반도체 장치(1)와 실질적으로 동일하게 형성될 수 있다. 스위치 트랜지스터(TR)는 N형 트랜지스터일 수 있다.
- [0055] 도 8은 도 7의 메모리 셀을 포함하는 메모리 셀 어레이를 설명하기 위한 도면이다. 도 9는 도 8의 I - I' 를 따라 절단한 단면도이다.
- [0056] 도 8을 참조하면, 메모리 셀 어레이(200)는 단위 액티브 영역(180)을 포함한다. 단위 액티브 영역(180)은 제1 방향(DR1)으로 연장되어 형성되고, 워드라인(WR)은 제1 방향(DR1)과 예각을 이루는 제2 방향(DR2)으로 연장되어 형성되고, 비트라인(164)은 제1 방향(DR1)과 예각을 이루는 제3 방향(DR3)으로 연장되어 형성된다.
- [0057] 여기서, "특정 방향과 다른 특정 방향이 소정 각도를 이룬다"고 할 경우의 각도는, 2개의 방향들이 교차됨으로써 생기는 2개의 각도들 중 작은 각도를 의미한다. 예를 들어, 2개의 방향들이 교차됨으로써 생길 수 있는 각이 120° 와, 60° 일 경우, 60° 를 의미한다. 따라서, 도 8에 도시된 바와 같이, 제1 방향(DR1)과 제2 방향(DR2)이 이루는 각은 θ_1 이고, 제1 방향(DR1)과 제3 방향(DR3)이 이루는 각은 θ_2 가 된다.
- [0058] 이와 같이, θ_1 및/또는 θ_2 가 예각을 이루도록 하는 이유는, 메모리 셀의 집적도를 높이기 위함이다. 즉, 단위 액티브 영역(180)의 크기를 줄이면서, 비트라인(164), 단위 액티브 영역(180) 및 캐패시터(미도시)를 연결하는 스토리지 노드 컨택(172) 사이의 간격을 확보하기 위함이다. θ_1 , θ_2 는 예를 들어, 각각 45°, 45° 이거나, 30°, 60° 이거나, 60°, 30° 일 수 있으나, 이에 한정되는 것은 아니다.
- [0059] 도 9을 참조하면, 1개의 단위 액티브 영역(180) 내에 2개의 스위치 트랜지스터(TR1, TR2)를 형성할 수 있다. 제1 스위치 트랜지스터(TR1)는 도 1을 참조하여 설명한 반도체 장치(1)와 실질적으로 동일하게 형성될 수 있다. 즉, 제1 스위치 트랜지스터(TR1)는 트렌치(105) 내에 형성된 게이트 절연막(110a), 트렌치(105a)의 일부를 매립하는 제1 게이트 전극(120a), 제1 게이트 전극(120a)의 하부를 둘러싸는 제2 게이트 전극(135a), 제1 게이트 전극(120a) 상에 형성된 캡핑막(150a)을 포함하고, 제1 게이트 전극(120a)의 상부와 게이트 절연막(110a) 사이에는 에어 갭(140a)이 배치될 수 있다. 제2 스위치 트랜지스터(TR2)도 제1 스위치 트랜지스터(TR1)와 유사하게, 트렌치(105b) 내에 형성된 게이트 절연막(110b), 트렌치(105b)의 일부를 매립하는 제1 게이트 전극(120b), 제1 게이트 전극(120b)의 하부를 둘러싸는 제2 게이트 전극(135b), 제1 게이트 전극(120b) 상에 형성된 캡핑막(150b)을 포함하고, 제2 게이트 전극(120b)의 상부와 게이트 절연막(110b) 사이에는 에어 갭(140b)이 배치될 수 있다.
- [0060] 단위 액티브 영역(180)을 가로지르도록 형성된 2개의 게이트 전극(즉, TR1의 제1 및 제2 게이트 전극들(120a, 135a), TR2의 제1 및 제2 게이트 전극(120b, 135b))은 도8의 워드라인(WR)과 연결될 수 있다.
- [0061] 2개의 스위치 트랜지스터(TR1, TR2) 각각은 제1 매립 게이트 전극(BGa)과 제2 매립 게이트 전극(BGb)를 포함할 수 있다. 제1 매립 게이트 전극(BGa)은 TR1의 제1 및 제2 게이트 전극(120a, 135a)을 포함하고, 제2 매립 게이트 전극(BGb)은 TR2의 제1 및 제2 게이트 전극(120b, 135b)을 포함할 수 있다. 제1 및 제2 매립 게이트 전극들(BGa, BGb)은 단위 액티브 영역(180)을 가로지르며 형성될 수 있다. 제1 매립 게이트 전극(BGa)과 제2 매립 게이트 전극(BGb)은 도 8에 도시된 워드라인(WR)에 연결될 수 있다. 제1 및 제2 소오스/드레인들(181, 182, 183)은 매립 게이트 전극들(BGa, BGb)에 인접한 기관(100)에 형성될 수 있다. 제1 및 제2 매립 게이트 전극들(BGa, BGb) 사이에 제1 소오스/드레인(181)이 형성되고, 제1 소오스/드레인(181)의 양측에 인접하여 제2 소오스/드레

인들(182, 183)이 형성될 수 있다. 제1 스위치 트랜지스터(TR1)는 제1 소오스/드레인(181)과 제2 소오스/드레인(182)을 포함하고, 제2 스위치 트랜지스터(TR2)는 제1 소오스/드레인(181)과 제2 소오스/드레인(183)을 포함할 수 있다. 즉, 2 개의 스위치 트랜지스터(TR1, TR2)는 제1 소오스/드레인(181)을 공유하고, 각각 제2 소오스/드레인(182, 183)은 공유하지 않는다.

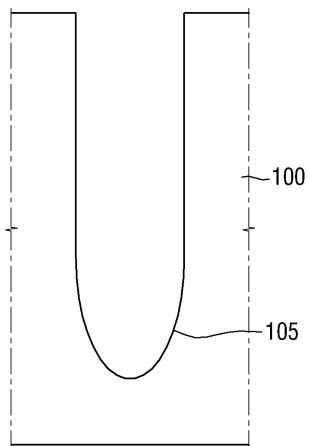
- [0062] 제1 소오스/드레인(181) 상에는 비트라인 콘택(162)이 형성되고, 제2 소오스/드레인(182, 183) 상에는 스토리지 노드 콘택(172)이 형성된다. 비트라인 콘택(162)과 스토리지 노드 콘택(172)의 주변에, 층간 절연막(160)이 형성될 수 있다. 층간 절연막(160) 및 비트라인 콘택(162) 상에는 비트라인(164), 메탈간 절연막(170)이 형성될 수 있다. 스토리지 노드 콘택(172)은 층간절연막(160) 및 메탈간 절연막(170)을 관통한 형태로 형성될 수 있다. 명확하게 도시하지 않았으나, 스토리지 노드 콘택(172) 상에는 캐패시터(미도시)가 더 형성될 수 있다. 제1 소오스/드레인(181)과 제2 소오스/드레인(182, 183)은 기판(100)의 상면으로부터 제2 게이트 전극(135a, 135b)의 상면까지의 깊이와 같거나, 또는 더 깊게 형성된다.
- [0063] 제1 소오스/드레인(181)에 소오스가 형성된 경우, 제2 소오스/드레인(182, 183)에는 드레인이 형성된다. 이 경우, 기판(100)의 상면으로부터 소오스(181)까지의 깊이는 기판(100)에서 드레인(182, 183)까지의 깊이보다 더 깊게 형성될 수 있다. 제1 소오스/드레인(181)에 드레인이 형성된 경우, 제2 소오스/드레인(182, 183)에는 소오스가 형성된다. 이 경우에도, 기판(100)의 상면으로부터 소오스(182, 183)까지의 깊이는 기판(100)에서 드레인(181)까지의 깊이보다 더 깊게 형성될 수 있다.
- [0064] 본 발명의 일 실시예에 따른 메모리 셀 어레이(200)에서는, 에어 갭(140a, 140b)을 이용하여 제1 및 제2 트랜지스터(TR1, TR2)의 전류량을 극대화하고 GIDL특성을 개선할 수 있다.
- [0065] 한편, 본 발명의 일 실시예에 따른 도 1의 에어 갭(140)이 적용된 반도체 장치(1)를 MRAM(Magnetoresistive Random Access Memory) 셀의 데이터 저장을 위한 자기터널접합(MTJ)과 연결되는 스위칭 트랜지스터로 활용할 수 있다.
- [0066] 도 10은 본 발명의 몇몇 실시예에 따른 메모리 시스템을 설명하기 위한 블록도이다.
- [0067] 도 10을 참조하면, 메모리 시스템(400)은 메모리 컨트롤러(410; memory controller) 및 메모리 장치(420; memory device)를 포함한다.
- [0068] 메모리 컨트롤러(410)는 메모리 장치(420)를 제어하도록 구성된다. 메모리 컨트롤러(410)는 호스트의 요청에 응답하여 메모리 장치(420)에 접근(access)할 수 있다. 예를 들어, 메모리 컨트롤러(410)는 메모리 장치(420)에 데이터를 기입(write)하거나, 메모리 장치(420)로부터 데이터를 독출(read)할 수 있다. 이를 위해, 메모리 컨트롤러(410)는 메모리 장치(420)에 커맨드(CMD), 어드레스(ADDR)를 제공하고, 메모리 장치(420)와 데이터(DQ)를 교환할 수 있다. 메모리 컨트롤러(410)는 메모리 장치(420)를 제어하기 위한 펌웨어(firmware)를 구동하도록 구성될 수 있다.
- [0069] 메모리 장치(420)는 데이터를 저장하도록 구성된다. 예를 들어, 메모리 장치(420)는 DDR SDRAM(Double Data Rate Static DRAM), SDR SDRAM(Single Data Rate SDRAM), LPDDR SDRAM(Low Power DDR SDRAM), LPDDR SDRAM(Low Power SDR SDRAM), Direct RDRAM(Rambus DRAM) 등과 같은 DRAM이거나, MRAM((Magnetoresistive Random Access Memory)과 같은 비휘발성 메모리 장치일 수 있다. 메모리 장치(420)는 도 8 내지 9를 참조하여 설명한 메모리 셀 어레이(200)를 포함하는 메모리 장치와 실질적으로 동일하게 구성될 수 있다.
- [0070] 도 11은 본 발명의 몇몇 실시예에 따른 메모리 시스템을 포함하는 전자 시스템을 설명하기 위한 블록도이다.
- [0071] 도 11을 참조하면, 전자 시스템(500)은 컨트롤러(510; CONTROLLER), 입출력 장치(520; I/O), 인터페이스 장치(530; INTERFACE), 전원 공급 장치(540; POWER SUPPLY) 및 메모리 시스템(550)을 포함한다.
- [0072] 컨트롤러(510), 입출력 장치(520), 인터페이스 장치(530), 전원 공급 장치(540), 메모리 시스템(550)은 버스(560)를 통하여 서로 결합될 수 있다. 버스(560)는 데이터들이 이동되는 통로에 해당한다.
- [0073] 컨트롤러(510)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로 컨트롤러(510), 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다.
- [0074] 입출력장치(520)는 키패드, 터치스크린과 같은 하나 이상의 입력장치, 및/또는 스피커, 디스플레이 장치와 같은 하나 이상의 출력 장치를 포함할 수 있다.
- [0075] 인터페이스 장치(530)는 외부장치와 무선통신 또는 유선통신을 수행할 수 있다. 예를 들어, 인터페이스 장치

도면

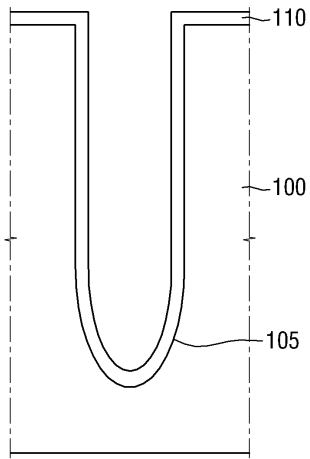
도면1



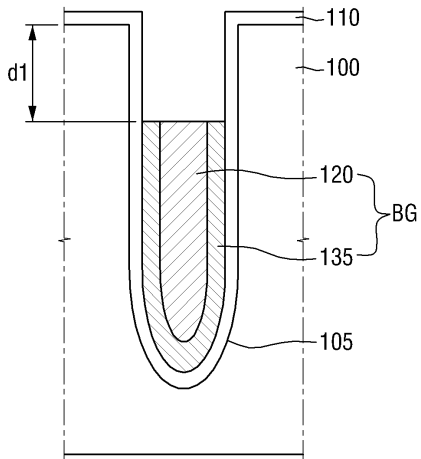
도면2



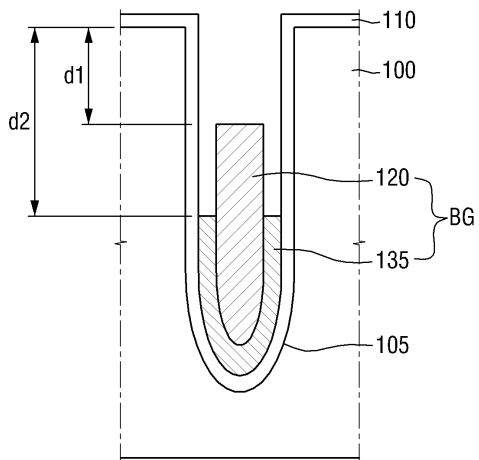
도면3



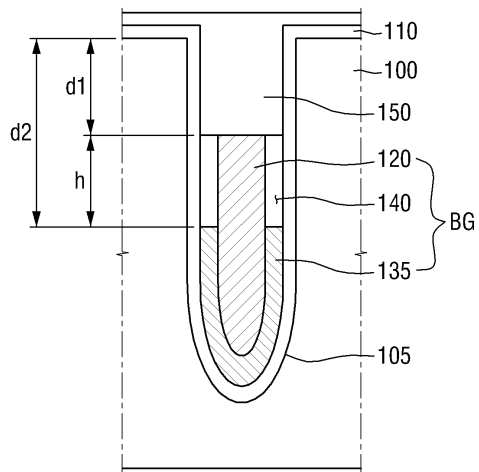
도면4



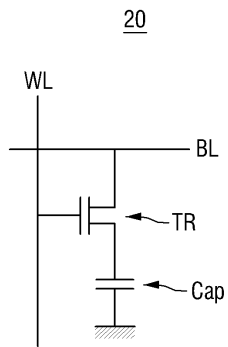
도면5



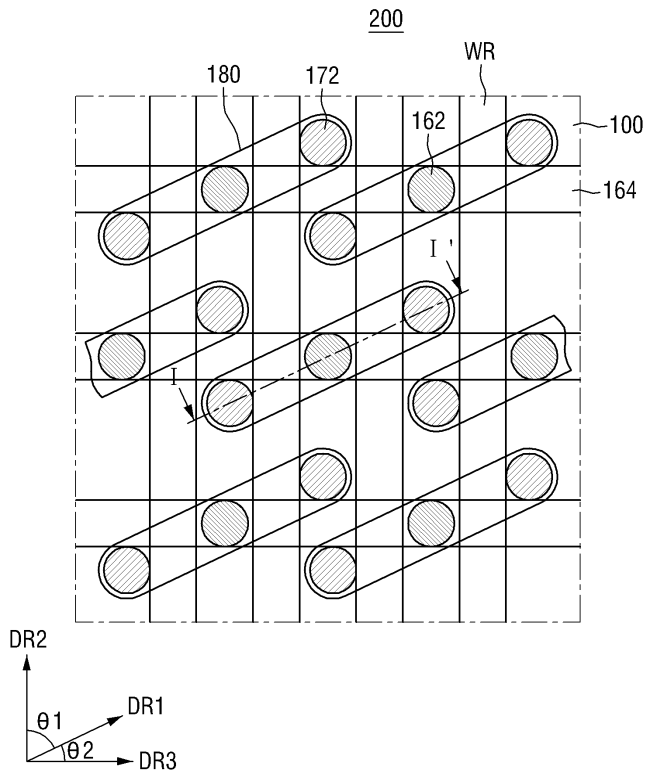
도면6



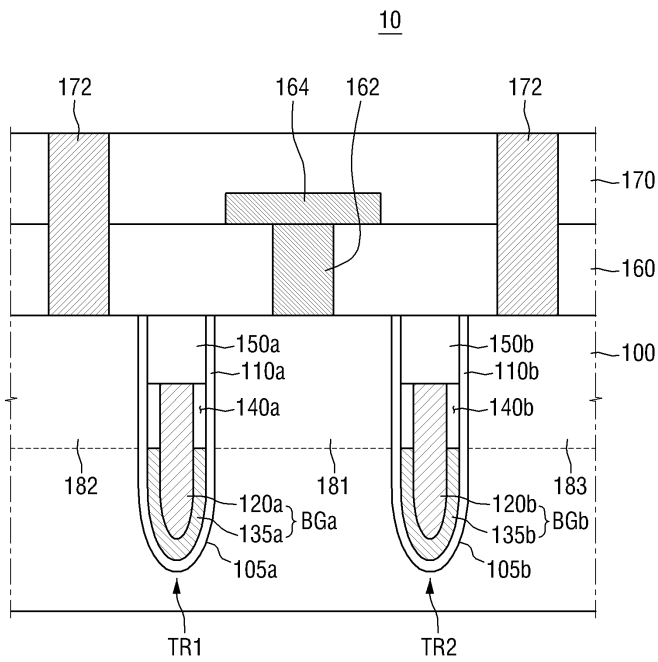
도면7



도면8

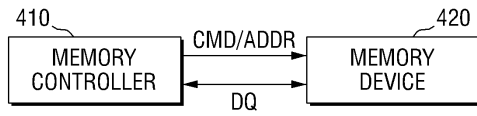


도면9



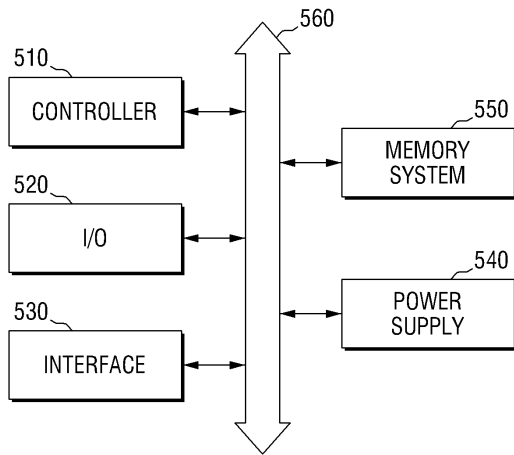
도면10

400



도면11

500



도면12

삭제

도면13

삭제