

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-235629

(P2004-235629A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int.Cl.⁷

H05K 3/46

H01L 23/12

F I

H05K 3/46

H05K 3/46

H05K 3/46

H05K 3/46

H01L 23/12 301Z

テーマコード (参考)

5E346

審査請求 未請求 請求項の数 16 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-7899 (P2004-7899)
 (22) 出願日 平成16年1月15日 (2004.1.15)
 (31) 優先権主張番号 10/354,000
 (32) 優先日 平成15年1月30日 (2003.1.30)
 (33) 優先権主張国 米国 (US)

(71) 出願人 503459464
 エンディコット インターコネクト テク
 ノロジーズ インク
 アメリカ合衆国 ニューヨーク州 エンデ
 イコット ノース ストリート 1701
 ビルディング257-4 オフィスエ
 エー14
 (74) 代理人 100083932
 弁理士 廣江 武典
 (74) 代理人 100121429
 弁理士 宇野 健一
 (72) 発明者 ベンソン チャン
 アメリカ合衆国 ニューヨーク州 ベスタ
 ル キャロル アベニュー 117

最終頁に続く

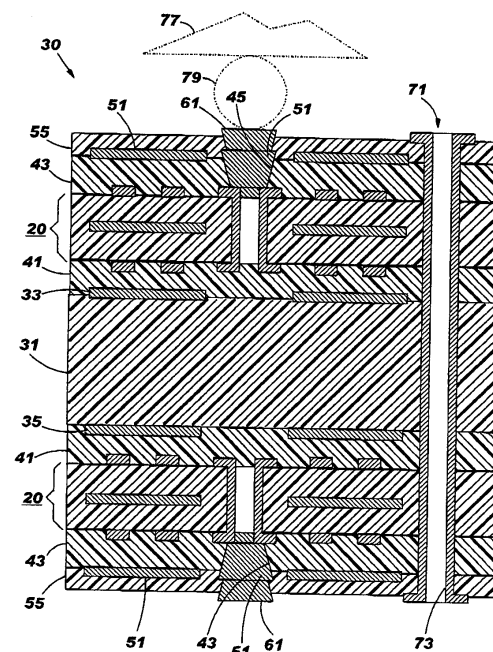
(54) 【発明の名称】 高速性能を有する印刷回路基板とその製造方法

(57) 【要約】 (修正有)

【課題】 基板に実装された電子部品間の高速接続を実現する、改良された多層PCBを提供する。

【解決手段】 2つの多層部分20、20を備える多層PCB30が提供され、多層部分の一方がPCBに実装された電子部品77を、該電子部品間の高周波接続を保証できるよう、電氣的に接続することができる。このPCBは従来のPCB部分31をさらに備えているため、コストを低減できるだけでなく、PCB分野での使用に適した全体の厚さを持つ構造が保証される。また、これらの部品から内側部分への接続も可能である。さらに、このような構造を製造する方法も提供される。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第一多層部分と第二多層部分とを有する印刷回路基板であって、前記第一多層部分は、少なくとも 1 つの誘電体層と、第一周波数で信号を伝達することができる信号ラインを含む少なくとも 1 つの導電層とを含むものであり、前記第二多層部分は、前記第一多層部分に接着されていて、それに複数の電子部品が電氣的に接続されるように構成されており、また、少なくとも 1 つの誘電体層と少なくとも 1 つの導電信号層を含むものであり、前記の第二多層部分の導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを備え、それにより、少なくとも 2 つの前記電気部品間の高速接続が可能になるように構成されていることを特徴とする印刷回路基板。

10

【請求項 2】

前記第二多層部分は、1 つの導電層とこの導電層に向き合った側に配置された第一及び第二誘電体層とを有し、導電信号層の数が 2 つであり、これら各導電信号層は信号を伝達することができる前記信号ラインを備えており、前記各導電信号層は前記導電層と向き合って配置された前記第一及び第二誘電体層のそれぞれの上に配置されていることを特徴とする請求項 1 記載の印刷回路基板。

【請求項 3】

前記第二多層部分は、導電スルーホールをさらに有しており、該導電スルーホールにより、前記第一誘電体層上の前記導電信号層の前記信号ラインの少なくとも 1 つが、前記第二誘電体層上の前記導電信号層の前記信号ラインの少なくとも 1 つと相互接続されるように構成されていることを特徴とする請求項 2 記載の印刷回路基板。

20

【請求項 4】

第三誘電体層を有し、該第三誘電体層は、前記第二誘電体層と、信号を伝達することができる前記信号ラインを含む、前記第二誘電体層に配置された前記導電信号層とに配置されており、前記第三誘電体層は、前記電気部品の少なくとも 1 つを電氣的に接続するために、前記信号ラインの少なくとも 1 つを露出する少なくとも 1 つの開口部をさらに備えていることを特徴とする請求項 2 記載の印刷回路基板。

【請求項 5】

前記少なくとも 1 つの開口部に導体材料の層が施されていることを特徴とする請求項 4 記載の印刷回路基板。

30

【請求項 6】

前記第一誘電体層上の前記導電信号層の前記信号ラインの少なくとも 1 つを、前記第二誘電体層上の前記導電信号層の前記信号ラインの少なくとも 1 つと相互接続する導電スルーホールが前記第二多層部分に設けられており、前記第一誘電体層上の前記導電信号層の前記少なくとも 1 つの信号ラインが、前記第三誘電体層の前記開口部によって露出される前記少なくとも 1 つの信号ラインであることを特徴とする請求項 4 記載の印刷回路基板。

【請求項 7】

前記第三誘電体層に配置された 1 つの導電層をさらに備えることを特徴とする請求項 4 記載の印刷回路基板。

【請求項 8】

第四誘電体層を有し、該第四誘電体層は、前記第三誘電体層と、前記第三誘電体層に配置された前記導電層とに配置されており、第四誘電体層は、前記第三誘電体層の前記少なくとも 1 つの開口部を露出する少なくとも 1 つの開口部をさらに備えることを特徴とする請求項 7 記載の印刷回路基板。

40

【請求項 9】

前記第三誘電体層の前記少なくとも 1 つの開口部と前記第四誘電体層の前記少なくとも 1 つの開口部の前記両方に導体材料の層が施されており、前記導体材料の層が相互に電氣的に接続されるものであり、前記電気部品のうちの前記少なくとも 1 つが、前記第四誘電体材料の前記少なくとも 1 つの開口部の前記導体材料の層に電氣的に接続されるものであることを特徴とする請求項 8 記載の印刷回路基板。

50

【請求項 10】

前記第二多層部分の前記少なくとも 1 つの誘電体層の誘電率が、前記第一多層部分の前記少なくとも 1 つの誘電体層のそれよりも低いものであることを特徴とする請求項 1 記載の印刷回路基板。

【請求項 11】

前記第二多層部分の少なくとも 1 つの誘電体層の誘電損率が、前記第一多層部分の前記少なくとも 1 つの誘電体層よりも低いものであることを特徴とする請求項 1 記載の印刷回路基板。

【請求項 12】

前記第二多層部分における前記高速接続の信号速度が 1 秒当たり約 3 ～約 10 ギガバイトであるものであることを特徴とする請求項 1 記載の印刷回路基板。 10

【請求項 13】

印刷回路基板の製造方法において、

前記方法は、下記ステップを有する、すなわち、

少なくとも 1 つの誘電体層と少なくとも 1 つの導電層とを含む第一多層部分を提供するステップを有し、ここで、前記導電層は、第一周波数で信号を伝達できる信号ラインを備えており、

少なくとも少なくとも 1 つの誘電体層と少なくとも 1 つの導電信号層を含み、それに複数の電子部品が電氣的に接続される第二多層部分を提供するステップを有し、ここで、前記第二多層部分の前記導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを備えており、それにより、少なくとも 2 つの前記電気部品間の高速接続が可能になるものであり、 20

前記第一多層部分と前記第二多層部分を接着して前記印刷回路基板を形成するステップを有することを特徴とする印刷回路基板の製造方法。

【請求項 14】

前記第一多層部分と前記第二多層部分の前記接着に先立って、前記第二多層部分内に導電スルーホールを設けるステップをさらに有することを特徴とする請求項 13 記載の方法。

【請求項 15】

前記接着は、積層によって実施されるようにしたことを特徴とする請求項 13 記載の方法。 30

【請求項 16】

第一多層部分と第二多層部分とを具備する印刷回路基板を有する情報処理装置であって、前記第一多層部分は、少なくとも 1 つの誘電体層と少なくとも 1 つの導電層を含むものであり、前記第二多層部分は、前記第一多層部分に接着され、それに複数の電子部品が電氣的に接続されるものであり、前記第一多層部分の前記導電層は、第一周波数で信号を伝達することができる信号ラインを具備し、前記第二多層部分の前記導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを具備するものであり、少なくとも 2 つの前記電気部品間の高速接続が可能になるものであることを特徴とする情報処理装置。

【発明の詳細な説明】 40

【技術分野】

【0001】

本発明は、多層の印刷回路基板（以下、単に「PCB」または「基板」ということがある）とその製造方法に関する。より詳細には、高速タイプの多層印刷回路基板に関する。

【背景技術】

【0002】

印刷回路基板（PCB）に実装されて、当該基板の回路によって接続される電子部品（たとえば、半導体チップや半導体チップを含むモジュール）の動作機能上の要求度が高まっているが、上記 PCB も同様に動作機能上の要求を満たすことができない。特に、実装された部品同士をより高い周波数で接続する必要性が高まっている。この接 50

続は、P C Bによって実現されるべきものである。このような接続は、周知のP C B配線に固有の特性によって生じる信号劣化など、有害な影響を受けやすい。たとえば、信号劣化は、段階的変化に対する信号の応答の「立上り時間」または「立下り時間」によって表される。

【0003】

信号劣化は、公式 $(Z_0 * C) / 2$ で定量化することができる。ここで、 Z_0 は伝送ライン特性インピーダンスであり、 C はビアの総キャパシタンスである。典型的な伝送ラインインピーダンス50を持つワイヤでは、キャパシタンスが4ピコファラッド(p f)のめっきスルーホールビアの場合、100ピコ秒(p s)の立上り時間(または立下り時間)という劣化になる。これに比べ、以下で説明する本発明の埋め込み式ビアでは、キャパシタンス0.5 p fで劣化は12.5 p sとなる。この差は、関連する信号遷移速度が200 p sを超えるような、800 M H zでのシステム動作では大きな意味を持つ。

10

【0004】

通常の高性能P C Bでは、部品(特にチップ)間接続で直流(D C)抵抗が最大になるという制約があるため、配線密度を一定レベル以上に上げることができなかった。同様に、高速信号では、長いラインでの「表皮効果」損失を最低限に抑えるために、通常のP C Bラインよりも幅の広いラインが必要とされる。幅の広いラインだけを備えるP C Bを製造することは、最終的な基板で必要とされる厚さが過度になるという理由から現実的ではない。このように厚さが増すことは、設計上の観点からして明らかに受け入れがたいものである。

20

【0005】

以下の特許文献において各種のP C Bが記述されている。

【特許文献1】米国特許第4,902,610号、C. Shipley

【特許文献2】米国特許第5,336,855号、J. Kahler t 他

【特許文献3】米国特許第5,418,690号、R. Conn 他

【特許文献4】米国特許第5,768,109号、J. Gulick 他

【特許文献5】米国特許第5,891,869号、S. Lociu ro 他

【特許文献6】米国特許第5,894,517号、J. Hutchison 他

【特許文献7】米国特許第6,023,211号、J. Somei

【特許文献8】米国特許第6,075,423号、G. Saunders

30

【特許文献9】米国特許第6,081,430号、G. La Rue

【特許文献10】米国特許第6,146,202号、S. Ramey 他

【特許文献11】米国特許第6,222,740号、K. Bovensiepen 他

【特許文献12】米国特許第6,246,010号、R. Zenner 他

【特許文献13】米国特許第6,431,914号、T. Billman

【特許文献14】米国特許第6,495,772号、D. Anstrom 他

【特許文献15】米国特許第US 2202/0125967 R. Garrett t 他

【特許文献16】J P 4025155 A 2 O. Takashi これらの文献の内容をここに参考資料として参酌する。

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

以下の説明から理解されるように、本発明の主な目的は、基板に実装された電子部品間の高速接続を実現する、改良された多層P C Bを提供することである。ここで使用する「高速」という文言は高周波数を意味する。このような基板とその製造方法は、P C B技術に大きな進歩をもたらすものである。

【0007】

したがって、本発明の主な目的は、基板に実装された電子部品を相互接続するために信号を高速で伝達することができる基板を提供することで、多層P C B技術を向上させることである。

50

【0008】

本発明のもう一つの目的は、このようなPCBの製造方法を提供することである。

【課題を解決するための手段】

【0009】

以上の課題を解決するために、請求項1に係る発明の採った手段は、

「第一多層部分と第二多層部分とを有する印刷回路基板であって、前記第一多層部分は、少なくとも1つの誘電体層と、第一周波数で信号を伝達することができる信号ラインを含む少なくとも1つの導電層とを含むものであり、前記第二多層部分は、前記第一多層部分に接着されていて、それに複数の電子部品が電氣的に接続されるように構成されており、また、少なくとも1つの誘電体層と少なくとも1つの導電信号層を含むものであり、前記の第二多層部分の導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを備え、それにより、少なくとも2つの前記電気部品間の高速接続が可能になるように構成されていることを特徴とする印刷回路基板」である。

【0010】

この請求項1記載の印刷回路基板については、請求項2に係る発明のように、

「前記第二多層部分は、1つの導電層とこの導電層に向き合った側に配置された第一及び第二誘電体層とを有し、導電信号層の数が2つであり、これら各導電信号層は信号を伝達することができる前記信号ラインを備えており、前記各導電信号層は前記導電層と向き合って配置された前記第一及び第二誘電体層のそれぞれの上に配置されていること」
ともなされる。

【0011】

この請求項2記載の印刷回路基板については、請求項3に係る発明のように、「前記第二多層部分は、導電スルーホールをさらに有しており、該導電スルーホールにより、前記第一誘電体層上の前記導電信号層の前記信号ラインの少なくとも1つが、前記第二誘電体層上の前記導電信号層の前記信号ラインの少なくとも1つと相互接続されるように構成されていること」
ともなされる。

【0012】

さらに、上記請求項2記載の印刷回路基板については、請求項4に係る発明のように、
「第三誘電体層を有し、該第三誘電体層は、前記第二誘電体層と、信号を伝達することができる前記信号ラインを含む、前記第二誘電体層に配置された前記導電信号層とに配置されており、前記第三誘電体層は、前記電気部品の少なくとも1つを電氣的に接続するために、前記信号ラインの少なくとも1つを露出する少なくとも1つの開口部をさらに備えていること」
ともなされ、さらに、請求項5に係る発明のように、

「前記少なくとも1つの開口部に導体材料の層が施されていること」
ともなされる。

【0013】

また、請求項4記載の印刷回路基板については、請求項6に係る発明のように、「前記第一誘電体層上の前記導電信号層の前記信号ラインの少なくとも1つを、前記第二誘電体層上の前記導電信号層の前記信号ラインの少なくとも1つと相互接続する導電スルーホールが前記第二多層部分に設けられており、前記第一誘電体層上の前記導電信号層の前記少なくとも1つの信号ラインが、前記第三誘電体層の前記開口部によって露出される前記少なくとも1つの信号ラインであること」
ともなされる。

【0014】

さらに、上記請求項4記載の印刷回路基板については、請求項7に係る発明のように、
「前記第三誘電体層に配置された1つの導電層をさらに備えること」
ともなされる。

【0015】

この請求項7記載の印刷回路基板については、請求項8に係る発明のように、「第四誘電体層を有し、該第四誘電体層は、前記第三誘電体層と、前記第三誘電体層に配置された前記導電層とに配置されており、第四誘電体層は、前記第三誘電体層の前記少なくとも1つの開口部を露出する少なくとも1つの開口部をさらに備えること」ともなされる。

【0016】

そして、この請求項8記載の印刷回路基板については、請求項9に係る発明のように、「前記第三誘電体層の前記少なくとも1つの開口部と前記第四誘電体層の前記少なくとも1つの開口部の前記両方に導体材料の層が施されており、前記導体材料の層が相互に電氣的に接続されるものであり、前記電気部品のうちの前記少なくとも1つが、前記第四誘電体材料の前記少なくとも1つの開口部の前記導体材料の層に電氣的に接続されるものであること」とされる。

【0017】

そして、上記請求項1記載の印刷回路基板については、請求項10に記載の発明のように、

「前記第二多層部分の前記少なくとも1つの誘電体層の誘電率が、前記第一多層部分の前記少なくとも1つの誘電体層のそれよりも低いものであること」

とされるものであり、請求項11に係る発明のように、

「前記第二多層部分の少なくとも1つの誘電体層の誘電損率が、前記第一多層部分の前記少なくとも1つの誘電体層よりも低いものであること」

【0018】

また、上記請求項1記載の印刷回路基板については、請求項12に係る発明のように、「前記第二多層部分における前記高速接続の信号速度が1秒当たり約3～約10ギガバイトであるものであること」ともなされるものである。

【0019】

そして、以上の印刷回路基板は、請求項13に係る発明のように、

「印刷回路基板の製造方法において、

前記方法は、下記ステップを有する、すなわち、

少なくとも1つの誘電体層と少なくとも1つの導電層とを含む第一多層部分を提供するステップを有し、ここで、前記導電層は、第一周波数で信号を伝達できる信号ラインを備えており、

少なくとも少なくとも1つの誘電体層と少なくとも1つの導電信号層を含み、それに複数の電子部品が電氣的に接続される第二多層部分を提供するステップを有し、ここで、前記第二多層部分の前記導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを備えており、それにより、少なくとも2つの前記電気部品間的高速接続が可能になるものであり、

前記第一多層部分と前記第二多層部分を接着して前記印刷回路基板を形成するステップを有すること」

を特徴とする印刷回路基板の製造方法によって製造されるものである。

【0020】

この請求項13の製造方法は、請求項14に係る発明のように、

「前記第一多層部分と前記第二多層部分の前記接着に先立って、前記第二多層部分内に導電スルーホールを設けるステップをさらに有すること」

ともなされ、さらに、請求項15に係る発明のように、

「前記接着は、積層によって実施されるようにしたこと」

ともなされる。

【0021】

そして、請求項16に係る発明の取った手段は、

「第一多層部分と第二多層部分とを具備する印刷回路基板を有する情報処理装置であって、前記第一多層部分は、少なくとも1つの誘電体層と少なくとも1つの導電層を含むものであり、前記第二多層部分は、前記第一多層部分に接着され、それに複数の電子部品が電氣的に接続されるものであり、前記第一多層部分の前記導電層は、第一周波数で信号を伝達することができる信号ラインを具備し、前記第二多層部分の前記導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを具備するものであり、少なくとも2つの前記電気部品間の高速接続が可能になるものであることを特徴とする情報処理装置」

10

である。

【発明の効果】

【0022】

すなわち、本発明の一側面によれば、次のような印刷回路基板が提供されることになる。つまり、第一多層部分と第二多層部分とを有し、前記第一多層部分は、少なくとも1つの誘電体層と、第一周波数で信号を伝達することができる信号ラインを含む少なくとも1つの導電層とを含むものであり、前記第二多層部分は、前記第一多層部分に接着されていて、それに複数の電子部品が電氣的に接続されるように構成されており、また、少なくとも1つの誘電体層と少なくとも1つの導電信号層を含むものであり、前記の第二多層部分の導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインが備え、それにより、少なくとも2つの前記電気部品間の高速接続が可能になるように構成されていることを特徴とする印刷回路基板（PCB）が提供される。

20

【0023】

本発明のさらに別の側面によれば、次のようなPCBの製造方法が提供される、すなわち、少なくとも1つの誘電体層と少なくとも1つの導電層とを含む第一多層部分を提供するステップを有し、ここで、前記導電層は、第一周波数で信号を伝達できる信号ラインを備えており、

少なくとも1つの誘電体層と少なくとも1つの導電信号層を含み、それに複数の電子部品が電氣的に接続される第二多層部分を提供するステップを有し、ここで、前記第二多層部分の前記導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを備えており、それにより、少なくとも2つの前記電気部品間の高速接続が可能になるものであり、前記第一多層部分と前記第二多層部分を接着して前記PCBを形成するステップを有することを特徴とするとPCBの製造方法が提供される。

30

【0024】

本発明のさらに別の側面によれば、次のような情報処理装置が提供される、すなわち、第一多層部分と第二多層部分とを具備するPCB有する情報処理装置であって、前記第一多層部分は、少なくとも1つの誘電体層と少なくとも1つの導電層を含むものであり、前記第二多層部分は、前記第一多層部分に接着され、それに複数の電子部品が電氣的に接続されるものであり、前記第一多層部分の前記導電層は、第一周波数で信号を伝達することができる信号ラインを具備し、前記第二多層部分の前記導電信号層は、前記第一周波数よりも高い周波数で信号を伝達することができる信号ラインを具備するものであり、少なくとも2つの前記電気部品間の高速接続が可能になるものであることを特徴とする情報処理装置が提供される。

40

【発明を実施するための最良の形態】

【0025】

本発明をより良く理解するために、本発明の別の目的、利益、および機能に加えて、上記の図面と合わせた以下の開示と請求項を参照すべきものである。図面中、同一数字は類似部分を示すものである。

【0026】

上記のように、ここでは「高速」という言葉を高周波数の信号という意味で使用する。

50

ここで定義し、ここで示す方法を利用して製造される多層PCBで達成可能なこのような信号周波数の例は、約3.0～約10.0 G P S（ギガビット／秒）の範囲内の信号周波数である。ただし、この範囲外の周波数（より高い周波数も含む）も達成可能であるため、本発明がこのような例に限定されるわけではない。以下の説明からさらに理解されるように、本発明によって製造されるPCB製品は、互いに接着される前に形成された2つの別個の多層部分（部分組立品）から成る。少なくとも、これらの別個の部分それぞれに少なくとも1つの誘電体層と1つの導電層が含まれるが、ほとんどの実施形態では、これらの層がそれぞれ複数含まれる。以下に示す例は単なる例にすぎず、示した層の数によって本発明の範囲が限定されるわけではない。

【0027】

ここで定義する製品は、「情報処理システム」と呼ぶことができる装置での使用に特に適している。ここで使用する「情報処理システム」という言葉は、商取引、化学、制御、またはその他の目的で利用されるあらゆる形式の情報やデータを主に計算、分類、加工、送信、受信、検索、作成、変換、格納、表示、明示、評価、検出、記録、複製、処理、または利用するためのあらゆる手段または手段の集合という意味で理解しなければならない。このような装置には、パーソナルコンピュータや大規模プロセッサ（サーバー、メインフレームなど）が含まれる。

【0028】

図1および図2は、多層部分20および20'の2つの実施形態のそれぞれを示している。これらの多層部分が別の多層部分に接着されて、本発明の好ましい実施形態による印刷回路基板（PCB）を形成する。したがってここでは、部分20および20'を第二部分と定義し、別の部分を第一（基礎）部分と呼ぶ。本発明の広範な態様では、第二部分が最終的なPCB製品の外側部分にほぼ沿うように、少なくとも1つの第二部分を第一部分に接着しなければならない。

【0029】

また、図3～6に示したように、この第二部分を1つ以上、第一（基礎）部分の向き合った側に接着することができる。最も重要なことは、ここで定義する第二部分は、第二部分に実装された（はんだ付けなどで電氣的に接続された）チップモジュールやさらには個々のチップなど、電子部品間の高周波（高速）接続を特に提供するためのものであるということである。重要なことには、第一（基礎）部分にこのような機能が必要とされるとは限らないため、上記の各特許文献にその多くが記載されている最新のPCBでの標準的な方法でこの部分を形成することができる。

【0030】

したがって、本発明によって、周知のPCB製造技術を利用して、機能が大幅に向上した構造を製造し、構造に固定された電子部品をこれまで達成されなかった高い速度で接続できるようになる。このような部品の需要が高まっているため、この接続は急激に発展しているPCB技術において欠かせないものであると考えられる。したがって、ここで定義する本発明はPCB技術を大幅に向上させるものである。

（実施例1）

図1は、好ましい実施形態において電源層として機能する中央の導電層21を含む多層部分20を示している。層21の周囲を2つの誘電体材料23の層が取り囲んでいるが、両層は層21に接着（積層）されているため、1つの連続した構造として図示している。誘電体材料23の外側の表面には、追加の導電層25および27が配置されており、本発明の好ましい実施形態において、これらの導電層は一連の信号ラインを備えている。このため、部分20を単に「2S1P構造」と呼ぶことができる。2S1P構造とは、2つの信号層と1つの電源層を備えていることを意味する。好ましい実施形態では、上側の信号層25を下側の層27に接続するための導電スルーホールも設けられる。好ましい実施形態では、導電スルーホールは、周知の技術を利用して製造されためっきスルーホール（PTH）である。部分20の形成は、上記の誘電体層の積層と外部信号層の蒸着（めっきなど）を含め、周知のPCB製造方法によって行われる。したがって、工程に関する詳しい

10

20

30

40

50

説明は不要である。

【0031】

上記のように、部分20は、これが別の多層部分と組み合わされて形成された最終的なPCBにおいて、これに接続された電子部品間的高速（高周波）接続を実現するためのものである。このような高速接続を実現するには、部分20および20'の個々の信号ラインの幅が約0.005～約0.010×2.54cm（インチ）、厚さが0.0010～約0.0020×2.54cm（インチ）であることが望ましい。対応する各誘電体層の厚さは約0.008～約0.010×2.54cm（インチ）である。層21、25、および27の材料は銅であることが望ましいが、その他の導体材料でもよい。誘電体材料（23）は誘電損失が低い誘電体であることが望ましく、たとえば、ニューハンプシャー州ウェストフランクリンのCookson Electronics社のpolyclad LD621が挙げられる。また、ニューヨーク州ニューバーグのPark Nelco社Nelco 6000SI、コネチカット州ロジャーズのRogers Corporation社のRogers 4300も使用できる。これらの材料は誘電率と誘電損失が低いため、構造の動作機能が最適になる。誘電損失が0.01以下、好ましくは0.005未満であるその他の材料も、両方の部分20および20'での使用に適している。

【0032】

上記の厚さと定義した材料によって本発明の範囲が限定されるわけではなく、ここで示す望ましい結果が達成されるのであれば、上記以外の厚さと材料でもかまわない。一例を挙げれば、上記の厚さ、幅、および材料を使用して、約3～約10 G P Sの範囲内の信号周波数で信号を伝達できる第二部分20および20'を実現することができた。ただし、これによって本発明が限定されるわけでもない。上記の材料や条件その他の1つ以上に比較的わずかな変更を施すだけで、より高い周波数（たとえば、12 G P S）も可能だからである。一実施形態に従って定義される部分20の全体の厚さは、約0.140×2.54cm（インチ）となる。

【0033】

本発明の必要条件ではないが、導電層と誘電体層の上記の幅と厚さは通常、部分20および20'が接着される第一（基礎）多層部分よりも広くなる。すなわち、基礎部分に含まれる導電層と誘電体層の厚さと幅は大幅に狭く、通常は、現在使用されている周知のPCB構造の幅、厚さ、および材料と同じである。したがって、詳しい説明は不要である。

【0034】

図3は、共通の第一多層部分31の両面に配置された2つの部分20を利用した印刷回路基板30の実施形態を示している。わかりやすいように、第一部分31を、外側に導電層33および35を備える特異的な誘電体層として示している。一実施形態では、層33および35は、最終基板30の動作要件に応じて電源層またはグラウンド層である。好ましい実施形態では、部分31には、信号、グラウンド、および／または電源の各機能を持つ複数の（たとえば20個の）導電層と、それに対応する複数の（たとえば19個の）誘電体層が含まれる。最も単純な形態では、部分31および、図4～6の31'には、第一周波数で信号を伝達する信号層が少なくとも1つ含まれる。上記のように、第一多層部分31で使用される導電層と誘電体層の双方は通常、従来のPCBで利用されているものと同じである。したがって、一例を挙げれば、幅が約0.003～約0.010×2.54cm（インチ）、対応する厚さが0.0005×2.54cm（インチ）の導電信号ラインを部分31に含むことができる。各誘電体層の初期厚さは約0.010×2.54cm（インチ）である。このような多層構造である第一部分31は、複数の導電誘電体層を接着することで形成される。さらに、第二部分も、上記の別個の多層部分組立品として同様に形成される。次の工程で、誘電体層41（たとえば、従来のプリプレグ材）が、中間の第一部分31の向き合った側に追加され、別の誘電体層43が第一部分20の一番外側の表面にそれぞれ追加される。標準的な積層処理によって、この構造が積層されて特異的な多層PCBが形成される。上記のような構造的特性があるため、第二部分20および20'の少なくとも複数の信号層によって、従来の第一部分31および31'の少なくとも複

数の信号ラインよりも高い周波数で信号を伝達することができる。好ましい実施形態では、外側部分の信号ラインすべてが、外側部分が接着される第一部分の信号層よりも優れた機能を持つ。

【0035】

各部分20の外側導電層の1つ以上にアクセスするために、外側誘電体層43内に開口部45が設けてある。これは、周知のレーザー処理または感光性プリント（*photoprinting*）処理を利用して設けることが望ましい。誘電体材料を取り除いた後、外側導電層51を図3の構造の向き合った側の誘電体の開口部内に追加する。この時点で、部分20の信号ラインに結合する部品の接続がPCB30において提供され、各部分20の上側の表面と下側の表面の信号ラインを含むこれらの信号ラインによって、たとえば図3の図平面で見て左側の箇所と同じ部分20の回路にも接続されている第二電子部品（図示していない）への高速信号伝達が保証される。図3に示したように、このような接続は導体材料51の開口部を通じても実現される。

10

【0036】

図3からわかるように、PCB30の向き合った面のそれぞれの上に複数の電子部品を実装し、高周波信号で互いに接続することができる。本発明のPCBは、このようにPCBの向き合った側の表面上の高速部品を独自に接続することができるため、完成したPCB部品組立品が従来よりもはるかに高い動作機能を持つことが保証される。

【0037】

さらに、誘電体材料55の層をもう一つ追加して導電層51を覆うこともできる。この場合、開口部45内の導体材料51への接続は、同様の開口部と図3の導体材料61によって実現され、PCB30の一方の側の部品が電氣的に接続される。図3の右側に示したように、PCB30の全体の厚さに及ぶめっきスルーホール（以下、単に「PTH」ということがある）71を利用することができる。このようなスルーホールは、従来の技術を利用して形成することができ、たとえば、その表面に、銅等の導体材料の薄いめっき層を施すことができるのである。また、導電ピンなどの追加部品が必要な場合は、このスルーホールを使用してこれらの追加部品を受け入れることもできる。PTH71によって、第一部分31の内部導電層に1つ以上の部品を接続することもできる。

20

【0038】

図3では、電子部品の一例を外形だけで表している。このような電子部品としては、はんだボール79を使用して導体材料61に接続される（あるいは、材料61を利用できない場合は、材料51に直接接続される）電子モジュールや半導体チップ77などがある。また、このような部品として、材料61にはんだ付けなどで接続される突き出た金属鉛も考えられる。このような部品と接続手段は周知であるため、さらに詳しく説明する必要はないのである。

30

（実施例2）

図2の部分20'には図1の部分20の部品と似た部品が含まれるが、ここで示す方法を利用して多層PCBを形成するための別の実施形態を示している。部分20'には、2S1P部分20が含まれる。誘電体層81が部分20の向き合った表面上に追加され、次に、導電層83がめっき処理などによって接着される。好ましくは、導電層83はグラウンド層または電源層であり、図示したようにめっきスルーホール85によって互いに接続される。部分20と同様に、この第二部分でもこのようなスルーホールを複数利用してこのような接続を実現できる。わかりやすくするために、図1および図2ではスルーホールを1つしか示していない。誘電体層81の材料は、部分20で使用される誘電損失が低い誘電体層と同じであることが望ましい。部分20'の各層は、部分20と同様に従来の積層処理によって組み立てられる。

40

【0039】

図4では、2つの第二部分20'が、中間にある共通の多層第一部分31'に接着されており、好ましい実施形態では上記のように、この多層第一部分31'には、対応する数の個々の誘電体層と接着されて周知のPCBの要素を形成する複数の内部導電層（図示し

50

ていない)が含まれる。図2の実施形態は、最終接着処理で必要とされる積層工程が少ないため、より簡単に最終PCB(図4の30')を製造できる方法を表している。すなわち、図4に示した3つの形成済み多層構造20'および31'を積層するだけでよい。さらに、本発明の広範な態様に従って、従来のPCB31'に外側部分20'を1つだけ接着することができることに注目すべきである。完全な積層に続いて、図3の開口部45と導体材料51を設けるために定義されたものと同じ方法で、外側誘電体層55'がこの構造に追加され、この誘電体層に導電開口部51'が設けられる。必要であれば、めっきスルーホール85が、材料51'に結合されたすべての部品を部分20'の最上層および/または最下層に接続する。PCB30'の一番外側の表面を接続するために、図3のスルーホール71と同様の一般的なスルーホール71'が設けられる。このようなスルーホールには、図3のめっき導体材料と同じめっき導体材料73'を施すことが望ましい。

10

【0040】

さらに重要なことは、スルーホール71および71'を使用して、1つ以上の電子部品を第一多層部分31および31'の内部配線にそれぞれ電氣的に接続できるため、これらの部品と中間にある構造を電氣的に直接接続することができることである。このように、本発明は、基板の一方の側の部品を構造全体の第一(基礎)部分の内部導電層に接続するだけでなく、これらの部品間の接続も保証する独自の機能を提供する。このような二重接続は、従来の周知の製品よりも優れた動作機能を備える最終製品を製造できる本発明の重要な態様を表している。

【0041】

20

図5および図6は、本発明の別の2つのPCB実施形態30''および30'''をそれぞれ示している。図5のPCB30''の構造は図4と似ているが、導電スルーホール91がPCB30''の外側の表面から部分20'の導電層の1つまで延びている。このため、上記のように追加電子部品を接続できるだけでなく、ピン部品(図5および図6に示したピン93)の接続も可能である。図6の実施形態では、部分31'と下側の部分20'を貫通する細長い開口部95が設けられている。開口部95を設ける理由は、ピン93を挿入する適正な隙間を確保するためである。開口部95は、使用されないPTHの部分除去するための従来の方法「バックドリル加工」ではなく、最終積層に先立って、部分31'と部分20'に作成(穴あけ)することができる。バックドリル加工では、PTHの銅層部分が除去される。このため、高速信号を処理する際にPTHの容量効果が低減する。バックドリル加工は、コストがかかる実行しにくい方法である。この構成では、バックドリル加工が不要でありながら、バックドリル加工と同じ効果がもたらされる。

30

【0042】

図7および図8は、本発明の別の側面による第二部分20''の実施形態を示している。図8は、図7の線8-8に沿って切った断面図であり、部分20''の上側の表面に配置された個別の幅を持つ導体の一実施形態を示している。幅が広い導体の両端に配置されたスルーホールも示している。この配置では、幅の広い導体101は、両端のめっきスルーホール103と相互接続するための信号ラインの役割を果たす。これに対し、幅の狭い信号ライン105は2本一組で、幅の広いライン101の対に囲まれている。この実施例では、ライン101の幅が約0.003~約0.012×2.54cm(インチ)であり、対応する内側の、幅の狭い各ラインの幅は0.02~約0.10×2.54cm(インチ)である。これらのラインは、約0.03~約0.12×2.54cm(インチ)の距離で隔てられている。2本一組の幅の狭い信号ライン105の向き合った側に幅の広いライン101を配置する目的は、トレースインピーダンスを適切に制御し信号を遮蔽して、信号ライン間の接続時のノイズを最低限に抑えることである。図8に示したように、これらのラインは、部分20''の向き合った側に配置されており、幅の狭いライン105は中央のPTH103に接続された中間の導電層106(電源層など)の外部に配置されている。この配置によって、最大限の信号遮蔽を実現できる連続した基準面という好都合な特徴がもたらされる。これにより、部分組立品をより簡単に構成できるだけでなく、たとえば、速い信号と遅い信号に対応して、様々な誘電体厚さを持つことができる、Z接続を備える

40

50

区間もしくは部分も可能になる。

【0043】

1つの表面上と一緒に配置された半導体チップやその他の電子部品を接続し、必要に応じて、これらの部品をPCBの内部導体および／または反対側の部品に接続するための高速部分を備える多層PCBについて説明してきた。このように、ここで定義したPCBは反対側の表面上の部品を接続することもできる。ここで示した、このような構造の製造方法はコストに見合う方法であり、PCB製造技術の専門家であれば利用可能である。このため、本発明は最終需要者にとって比較的低いコストで製造することができる。

【0044】

現状における本発明の好ましい実施形態を説明したが、添付請求項において定義した本発明の範囲にそむくことなく様々な変更と修正を実行できることは明白である。 10

【図面の簡単な説明】

【0045】

【図1】本発明の一側面による多層PCBの一部分の側断面図である。

【図2】本発明の別の側面による多層PCBの一部分の側断面図である。

【図3】本発明の一側面による多層PCBの側断面図である。

【図4】本発明の別の側面による多層PCBの側断面図である。

【図5】本発明のさらに別の側面による多層PCBの側断面図である。

【図6】本発明のまた別の側面による多層PCBの側断面図である。

【図7】本発明の一側面による多層PCB上で使用できる回路パターンを示す平面図である。 20

【図8】図7の線8-8に沿って切った側断面図である。

【符号の説明】

【0046】

20、20'、20" 多層部分、部分、第二部分

21 導電層、層

23 誘電体材料

25 導電層、信号層、層

27 導電層、層

29 導電スルーホール

30

30、30'、30"、30"' プリント回路基板、最終基板、PCB

31、31' 第一多層部分、第一部分、部分

33 導電層、層

35 導電層、層

41 誘電体層

43 誘電体層

45 開口部

51、51' 導電層、導体材料、材料

55 誘電体材料

55' 外側誘電体層

40

61 導体材料、材料

71、71' めっきスルーホール（PTH）、PTH、スルーホール

73、73' 導体材料

77 半導体チップ

79 はんだボール

81 誘電体層

83 導電層

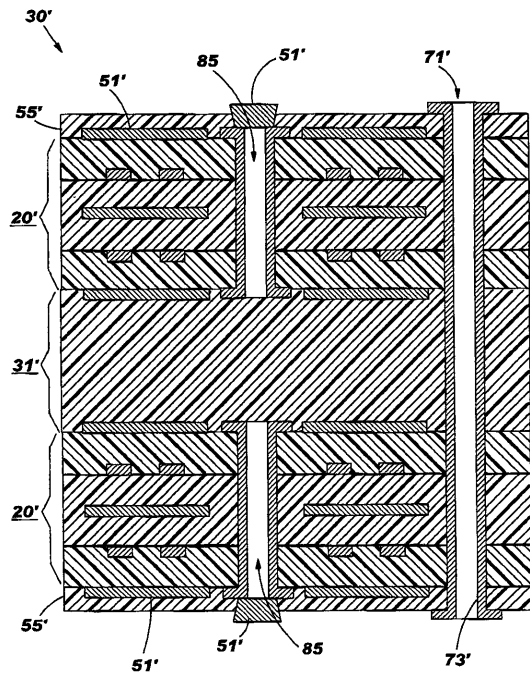
85 めっきスルーホール

91 導電スルーホール

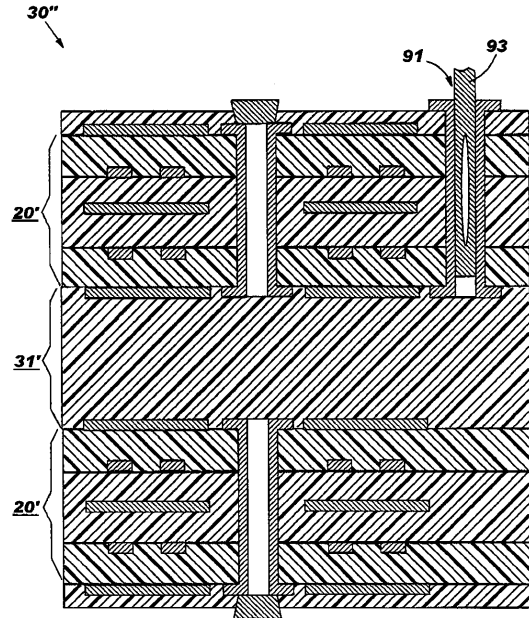
93 ピン

50

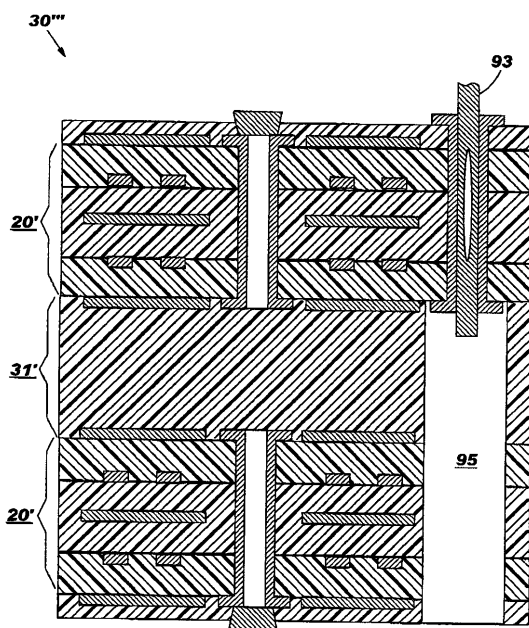
【図 4】



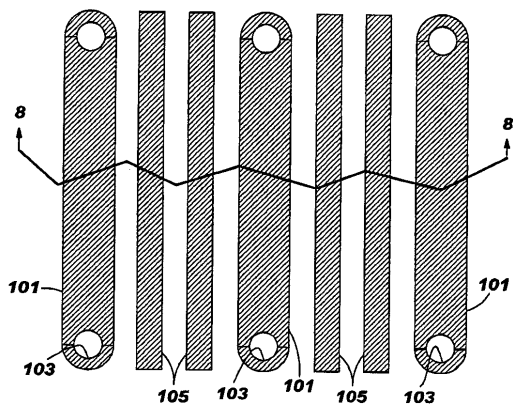
【図 5】



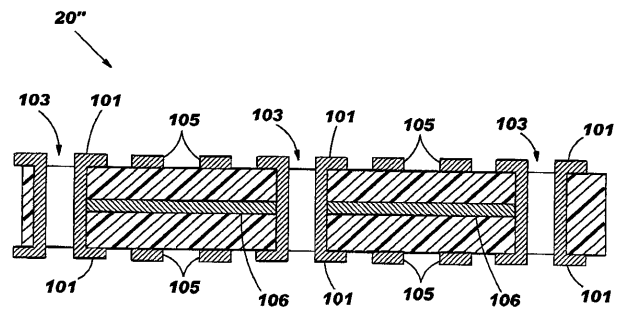
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.⁷ F I テーマコード (参考)
H 0 1 L 23/12 N

(72)発明者 ジョン エム. ロウファー
アメリカ合衆国 ニューヨーク州 ウェバリイ リンカーン ストリート エクステンション 2
1 3

(72)発明者 ハウ ティー. リン
アメリカ合衆国 ニューヨーク州 ベスタル ハートウィック レーン 1 2 0 0

(72)発明者 ボヤ アール. マルコビッチ
アメリカ合衆国 ニューヨーク州 エンドウエル ジョエル ドライブ 3 6 1 1

(72)発明者 デビッド エル. トーマス
アメリカ合衆国 ニューヨーク州 ベスタル ステイト ライン ロード 3

Fターム(参考) 5E346 AA04 AA06 AA12 AA13 AA15 AA23 AA33 AA35 AA42 AA43
BB02 BB03 BB04 BB07 BB11 CC01 CC31 EE01 FF01 FF45
HH01