

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H03M 1/16	(45) 공고일자 2000년07월01일	(11) 등록번호 10-0261336
(21) 출원번호 10-1997-0036200	(24) 등록일자 2000년04월18일	(65) 공개번호 특1998-0069864
(22) 출원일자 1997년07월30일	(43) 공개일자 1998년10월26일	
(30) 우선권주장 8/780,991 1997년01월09일 미국(US)		
(73) 특허권자 내셔널 세미컨덕터 코포레이션	클라크 3세 존 엠. 미국 캘리포니아주 95052-8090, 산타 클라라, 2900 세미컨덕터 드라이브	
(72) 발명자 부 하	미국 캘리포니아주 95138 샌 어제이 61 포드웰 씨티. 브레머 케빈 이. 미국 캘리포니아 95120 샌 어제이 1114 간포스 씨티. 오프리스 이온	
(74) 대리인	미국 캘리포니아 94086 서니빌 아파트. 씨107 655에스페어오크스 애비뉴 박해선, 조영원	

심사관 : 정연용

(54) 미스매치 에러가 감소된 파이프라인 아날로그-디지털변환기 구조

요약

신규한 제어스위칭기술에 의하여 비-선형성을 탁월하게 감소시키는 다단 파이프라인 아날로그-디지털 변환기 구조가 개시된다. 본 발명의 제 1 측면은 로직회로, 복수의 기준신호 노드, 입력신호 노드, 출력신호 노드, 샘플신호 노드, 제 1 스위칭 노드, 제 2 스위칭 노드, 회로기준 노드, 제 1 커패시터, 제 2 커패시터, 신호전달회로, 및 증폭기를 포함하며, 출력아날로그 잔류신호를 제공하기 위하여 상호 접속되는 샘플앤드홀드 회로를 포함한다. 파이프라인 구조의 각 단에서, 샘플앤드홀드 스위치 제어로직은 입력되는 신호를 교대로 샘플 및 증폭하여 커패시터 미스매치 에러를 효과적으로 감소시킨다. 이것은 비-선형성을 감소시키는 유리한 결과를 가진다. 제 2 측면에 따라, 샘플앤드홀드 회로는 반전입력과 비반전입력을 가지는 차동증폭기를 사용한다. 이러한 제 2 측면은 전하주입을 감소시키는 추가적인 장점을 가지오는 증폭시간주기의 순차 종결을 채택한다.

대표도

도4

명세서

도면의 간단한 설명

- 도 1 은 종래의 아날로그-디지털 변환기의 파이프라인 구조를 도시하는 도.
- 도 2 는 도 1 의 파이프라인 구조를 가지는 다단 A/D변환기를 위한 종래의 1.5-비트 해상도 단을 도시하는 도.
- 도 3a 는 종래의 변환기 단의 이상(理想) 잔류 전압 반응을 도시한 도.
- 도 3b 는 도 3a 에 도시된 것과 같은 이상적인 단의 잔류 전압 반응과 도 2 에 도시된 다단 파이프라인 A/D 변환기의 실제 단의 잔류 전압 반응을 비교하는 도.
- 도 4 는 본 발명에 따른 파이프라인 A/D 변환기의 구조를 도시하는 도.
- 도 5a 는 본 발명에 따른 파이프라인 A/D 변환기의 인터스테이지 증폭기 구간을 도시하는 도.
- 도 5b 는 본 발명에 따른 도 5a의 샘플앤드홀드 구간을 가지고 사용하기 위한 스위치 제어 로직을 도시하는 도.
- 도 6 은 본 발명에 따른 파이프라인 A/D 변환기의 하나의 단의 잔류 전압 반응을 도시하는 도.
- 도 7a 는 차동증폭기를 가지는 본 발명의 제 2 실시예를 도시하는 도.
- 도 7b 는 본 발명에 따른 도 7a 의 샘플앤드홀드 구간을 가지고 사용하기 위한 스위치 제어 로직을 도시하는 도.
- 도 7c 는 샘플링 위상이 순차적인 스위칭을 사용하여 이루어지는 본 발명에 따른 제 2 실시예의 신호 주

기를 도시하는 도.

도면의 주요부분에 대한 부호의 설명

102 ... 샘플앤드홀드 회로	103 ... A/D서브변환기
104 ... D/A변환기	105 ... 감산기
401 ... 샘플앤드홀드 스위치 로직	402 ... A/D서브변환기
403 ... 2-비트 A/D변환기	406 ... 디지털 정정유닛
501 ... 증폭기	S ₁ , S ₂ , S ₃ , ..., S ₈ ... 스위치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 아날로그-디지털 변환분야에 관한 것을, 특히 다단 파이프라인 아날로그-디지털 변환 구조에 관한 것이다.

파이프라인 구조를 가지는 아날로그-디지털(A/D) 변환기는 저전력, 고속 응용분야에 적합하다. 플래쉬, 멀티-스텝, 파이프라인, 보간 및 시간-인터클레이브 연속 근사법등과 같은 현재 사용되는 고속변환 기술들 중에서, 파이프라인 기술은 변환속도와 관련하여 회로의 복잡도, 실리콘 면적 및 전력소모를 최소화하는데에 최상의 조건을 제공한다. 파이프라인구조는 일반적으로 A/D 변환기에서 바람직하며 비용이 효율적인 높은 수율을 제공하며 작은 다이 면적을 차지한다. 이러한 장점은 파이프라인 구조에서 다 단(multiple stages)의 각각에서의 동시 동작에 기인한다.

대체로 말하면, 파이프라인 A/D 변환기의 동작 동안의 어느 시점에서, 파이프라인 구조에서 후속 단들이 직렬 파이프라인 구조의 이전의 단들로 부터 출력된 이전의 샘플로 부터의 나머지에 대하여 동시에 동작하는 동안에 제 1 단은 입력된 가장 최근의 샘플에 대하여 동작한다.

추가로, 단 비트 해상도(stage bit resolution)에서의 리던던시는 비 이상적인(non-ideal) 성분 특성을 위하여 충분하게 큰 공차를 가지는 파이프라인 A/D 구조를 제공하기 위한 도입될 수 있다. 특히, 출력 디지털신호의 전체 해상도보다 더욱 크도록 개별 단의 해상도의 합을 제공하여, 그리고 디지털 정정 알고리즘으로 이러한 리던던시를 제거함으로써, 전체 선형성에 대한 양자기 비선형성 및 인터스테이지 오프셋의 효과가 탁월하게 향상될 수 있다.

종래의 k 단 파이프라인 A/D 변환기는 일반적으로 직렬로 접속된 복수의 단을 포함한다. 도 1 은 k 단 파이프라인 A/D 변환기의 블록도를 도시한다. 101 부터 101(k)까지의 각 단은 샘플앤드홀드(S/H)회로(102), 저해상도 A/D서브변환기(103), 저해상도 디지털-아날로그(D/A) 변환기(104) 및 감산기(105)로 이루어진다. 동작시에, 도 1 의 파이프라인 A/D 변환기의 각 단들(101 내지 101(k))은 S/H회로(102)로서 이전의 단들로 부터의 출력을 샘플 및 홀드한다. 단(101)은 파이프라인 구조에서 제 1 단이기 때문에, 아날로그 입력신호를 샘플 및 홀드한다. 그러면 홀드된 입력은 A/D서브변환기(103)에 의하여 소정 해상도의 디지털 코드로 변환되어 D/A변환기(104)에 의하여 아날로그신호로 다시 변환된다. 마지막으로, D/A변환기(104)로 부터의 아날로그 출력이 유사한 동작을 위하여 다음 단으로 보내질 아날로그 잔류신호를 생성하기 위하여 S/H회로(102)에 의하여 홀드된 아날로그 입력으로 부터 감산된다.

도 2 는 종래의 1.5-비트 해상도 단의 개략도를 도시한다. 이것은 증폭기(201), 두 개의 같은 크기의 커패시터(202 및 203) 및 여러개의 스위치(204, 205, 206, 207 및 208)로 이루어진다. 두 개의 클럭(ψ_1 및 ψ_2)은 중복되지 않는다. 샘플링 시간주기동안, ψ_1 은 하이이고, 증폭기(201)의 반전입력(209)은 점지(213)에 접속되고 샘플앤드홀드 증폭기 입력(211)은 샘플링 커패시터(202)와 집적 커패시터(203)에 접속되어 입력(211)이 양 커패시터(202 및 203)상에서 샘플링되도록 한다. 증폭 시간주기동안, ψ_2 는 하이이고, 점적 커패시터(203)는 증폭기 출력(212)에 접속되며 샘플링 커패시터(202)는 디지털 출력 코드(X Y)의 상태에 따라서 양의 기준(205), 음의 기준(206) 또는 접지에 접속된다. 특히, 스위치(206, 204 및 205)는 증폭 시간주기동안 디지털 출력코드가 각각 00, 01 및 10일 때 교대로 닫힌다.

결과 출력은 2 부분으로 이루어진다. 하나는 집적 커패시터(203)의 피드포워드로 부터 생기고 다른 하나는 샘플링 커패시터(202)와 집적 커패시터(203)사이의 전하 전달로 부터 생긴다. 후자만이 샘플링 커패시터(202)와 집적 커패시터(203)사이의 전하 전달에 의존하기 때문에, 피드포워드는 인터스테이지 이득상의 커패시터 mismatch의 효과를 감소시킨다. 이것은 2 인터스테이지 이득의 정확도는 A/D변환기의 선형성을 결정하기 때문에 중요하다. 디지털 출력코드는 증폭시간주기동안 커패시터(202)를 제어하기 때문에 이 D/A변환기는 거기에 해당하는 단지 3 레벨만을 발생한다.

도 3a 는 2 이득을 가지는 인터스테이지 증폭기를 구비한 파이프라인 구조에서 하나의 단의 $-V_{REF}$ 내지 $+V_{REF}$ 까지의 영역의 입력전압을 위한 잔류전압의 이상(理想) 반응을 도시한 것이다. 출력 디지털 코드 00을 위하여, 1.5-비트 파이프라인 변환기의 각 단으로 부터의 잔류전압은 다음의 수식에 의하여 표시될 수 있다.

$$V_{RES1} = V_{IN} * (1 + (C_S / C_I)) + V_{REF} * (C_S / C_I) \quad (1)$$

여기에서 $-V_{REF} < V_{IN} < -V_{REF}/4$ 임.

유사한 표현이 입력전압의 다른 영역에 대하여 결정될 수 있다. 예를 들어, 출력 디지털 코드 01에 대하여

여, 잔류전압은 다음의 표현에 의하여 표시될 수 있다.

$$V_{RES2} = V_{IN} * (1 + (C_S / C_1)) \quad (2)$$

여기에서 $-V_{REF}/4 < V_{IN} < +V_{REF}/4$ 임.

마지막으로 출력 디지털 코드 10 에 대하여, 잔류전압은 다음의 표현으로 표시될 수 있다.

$$V_{RES3} = V_{IN} * (1 + (C_S / C_1)) - V_{REF} * (C_S / C_1) \quad (3)$$

여기에서 $-V_{REF}/4 < V_{IN} < +V_{REF}$ 임.

출력 디지털 코드 XY의 적어도 하나의 비트가 변화하는 전이점에서, 잔류전압의 변화는 확정될 수 있다. 예를 들어, 출력 디지털 코드가 00 에서 01 로 변화하는 경우에, 잔류전압에서의 변화는 다음과 같이 표현될 수 있다.

$$\Delta V_1 = (V_{RES1} - V_{RES2}) \mid V_{IN} = -V_{REF} / 4 \quad (4)$$

그리고, 출력 디지털 코드가 01 에서 10 으로 변화하는 경우에, 우리는 다음과 같은 표현을 가진다.

$$\Delta V_1 = (V_{RES2} - V_{RES3}) \mid V_{IN} = +V_{REF} / 4 \quad (5)$$

이상적인 반응의 경우에, 커패시터 미스매치는 발생하지 않으며, 다음의 표현이 유효하게 성립한다.

$$C_1 = C_S \quad (6)$$

식 (6) 을 수식 (1), (2), (3), (4) 및 (5)에 치환하여, 다음의 수식을 얻는다.

$$\Delta V_1 = \Delta V_2 = V_{REF} \quad (7)$$

도 3a 는 그 결과를 명확하게 예시한다. $V_{IN} = -V_{REF}/4$ 와 $V_{IN} = +V_{REF}/4$ 인 전이점에서, 입력전압에서의 변화는 $V_{REF}/2 - (-V_{REF}/2)$ 이며, 이것은 위의 식 (7)에서 도시되는 것처럼 V_{REF} 와 같다.

그러나, 실제로 성분 미스매치의 존재는 이상적인 잔류전압 반응보다 적게되도록 하는 경향이 있다. 특히, 커패시터 미스매치는 변환 정확도를 열화시켜서 선형성에 영향을 미친다. 미스매치가 현저한 곳에서는 아날로그신호를 디지털신호로 변환하는 것은 정보의 손실 또는 신호의 '누락'을 가져온다.

커패시터 미스매치가 존재하는 경우에, 수식 (6)은 다음의 표현으로 수정된다.

$$C_S = (1 + \alpha) * C_1 \quad (8)$$

여기에서 α 는 커패시터들 사이에서의 미스매치 인자로 가정한다. 그래서, 수식 (1), (2) 및 (3)은 다음의 표현으로 수정된다.

$-V_{REF} < V_{IN} < -V_{REF}/4$ 인 경우에는

$$V_{RES1} = V_{IN} * (2 + \alpha) + V_{REF} * (1 + \alpha) \quad (9)$$

$-V_{REF}/4 < V_{IN} < +V_{REF}/4$ 인 경우에는

$$V_{RES2} = V_{IN} * (2 + \alpha) \quad (10)$$

$+V_{REF}/4 < V_{IN} < +V_{REF}$ 인 경우에는

$$V_{RES3} = V_{IN} * (2 + \alpha) - V_{REF} * (1 + \alpha) \quad (11)$$

더욱이, 출력 디지털 코드 전이점에서의 잔류전압(ΔV_1 및 ΔV_2)에서의 변화는 다음의 수식으로 표시될 수 있다.

$$\Delta V_1 = V_{RES1} - V_{RES2} = V_{REF} * (1 + \alpha) \quad (12)$$

$$\Delta V_2 = V_{RES2} - V_{RES3} = V_{REF} * (1 + \alpha) \quad (13)$$

여기에서 α 는 커패시터 미스매치 인자를 나타낸다.

이상 기준전압(V_{REF})으로 부터 전이점($-V_{REF}/4$ 및 $+V_{REF}/4$)에서 잔류전압강하의 편차는 차동 비선형을 야기하고 만약 그 편차가 충분히 크다면 비-단조성을 야기할 수도 있다.

도 3b 는 도 2 에 도시된 것처럼 1.5-비트 파이프라인 A/D 변환기의 종래의 변환기 단의 잔류전압을 도시한 것이다. 커패시터 미스매치는 이상 반응(311)과 실제 반응(312)사이의 비-중첩부에 의하여 도시된다. 추가로, 입력전압(V_{IN})이 $-V_{REF}/4$ 및 $+V_{REF}/4$ 와 같은 출력 디지털 코드 전이점에서, 실제 잔류반응(312)의 크기는 이상 반응(311)을 초과한다는 것을 도 3b 로부터 알 수 있다. 이것은 비선형성을 가져오는 커패시터 미스매치 때문에 약간의 이득 에러가 있음을 표시한다.

파이프라인 A/D 변환기의 선형성은 최상위 디지털 출력 비트를 생성하는 제 1 단의 선형성에 의존한다. 비록 제 1 단에서 많은 수의 비트가 매칭 요건을 완화할지라도, 그것은 복잡도를 증가시키고 속도를 감소시킨다.

9 단 파이프라인 구조를 가지는 10-비트 초당 20M 샘플 A/D 변환기가 IEEE, 솔리드 스테이트 회로 저널,

vol 27, Nov. 3, 1992년 3월 351-358쪽에서 '10-b 초당 20M 아날로그-디지털 변환기'에서 루이스등(Lewis et al)에 의하여 개시된다. 그러나, 이러한 구조는 커패시터 미스매치로 인한 미스매치 에러를 고려하는데 실패했다. 그래서, 복잡도를 더함 없이 미스매치 에러를 줄일 수 있는 파이프라인 다단 A/D변환기가 요구된다.

발명이 이루고자 하는 기술적 과제

상기에서 기술된 상황을 고려하여, 본 발명의 목적은 감소된 커패시터 미스매치 에러를 가지는 파이프라인 A/D 변환기 구조를 제공하는 것이다.

발명의 구성 및 작용

본 발명의 일실시예에 따른 다단 파이프라인 아날로그-디지털 변환 구조는 입력 아날로그신호를 샘플링하여 출력 아날로그 잔류신호를 제공하기 위한 샘플앤드홀드 회로를 포함하며, 이 회로는 제 1 클럭신호 및 복수의 기준신호에 따라 양자화된 입력아날로그신호를 나타내는 복수의 디지털 신호비트를 수신하도록 구성되어 복수의 제어신호를 제공하는 로직회로; 상기 복수의 기준신호를 수신하도록 구성되는 복수의 기준신호노드; 상기 입력아날로그신호를 수신하도록 구성되는 입력신호노드; 출력아날로그 잔류신호를 수신하도록 구성되는 출력신호노드; 아날로그샘플신호를 제공하도록 구성되는 샘플신호노드; 제 1 스위칭노드; 제 2 스위칭노드; 회로접지기준을 제공하도록 구성되는 회로기준노드; 상기 샘플신호노드와 상기 제 1 스위칭노드 사이에 접속되는 제 1 커패시터; 상기 샘플신호노드 및 상기 제 2 스위칭노드 사이에 접속되는 제 2 커패시터; 상기 로직회로에 접속되고 상기 샘플신호노드, 상기 제 1 스위칭노드, 상기 제 2 스위칭노드, 상기 복수의 기준신호노드, 상기 입력노드, 상기 출력노드 및 상기 회로기준노드 사이에 접속되어 제 2 클럭신호와 상기 복수의 제어신호를 수신하도록 구성되어 상기 샘플신호노드를 상기 기준노드에 선택적으로 접속하고, 상기 제 1 스위칭노드를 상기 입력노드, 상기 출력노드 및 상기 복수의 기준신호노드들중 개별노드에 교대로 접속하는 신호전달회로; 상기 샘플신호노드와 상기 출력노드 사이에 접속되며, 상기 샘플신호를 수신하도록 구성되어 상기 출력아날로그 잔류신호를 제공하는 증폭기를 포함하며, 상기 복수의 비트패턴중 하나는 상기 입력 아날로그신호의 소정 영역의 값에 해당하며 상기 복수의 기준신호에 따라 정의되는 최소 및 최대 기준 아날로그 잔류신호값을 가지는 기준 아날로그 잔류신호의 값의 영역을 표시하며, 상기 출력 아날로그잔류신호는 최소 및 최대 출력 아날로그 잔류신호사이의 값의 영역을 포함하며, 그리고 상기 최소 및 최대 출력 아날로그 잔류신호값은 상기 최소 및 최대 기준 아날로그 잔류신호값보다 각각 크고 작다.

본 발명의 다른 실시예에 따른 다단 파이프라인 아날로그-디지털 변환 구조는 반전입력 및 비반전입력을 가지는 차동증폭기를 포함한다. 더욱이, 그 구조는 증폭시간주기가 나타나기 전에 엇갈린 비-중첩 시퀀스에서 샘플 앤드 홀드 기술의 샘플링 시간주기의 종결시킨다.

본 발명의 이러한 그리고 다른 특징 및 장점들은 본 발명의 다음의 상세한 설명과 첨부도면을 참조하여 이해될 것이다.

도 4 는 본 발명의 일실시예에 따른 파이프라인 A/D변환기를 도시한다. 단(1)은 양자화된 입력 아날로그신호를 수신한다. 이 단은 1.5비트의 해상도로 신호를 샘플링 및 양자화하고, 그 양자화된 신호를 감산하며 다른 변환을 위하여 다음 단으로 신호를 보내기전에 2 의 인자로 나머지를 증폭시킨다. 이러한 처리는 마지막 단까지 파이프라인 구조의 각 단에 대하여 계속한다. 입력신호로써, 바로 이전의 단으로부터 잔류전압(V_{RES})을 수신하는 마지막 단은 2-비트 A/D변환기(403)를 이용하여 입력신호를 2 디지털 비트 출력신호(404)로 변환한다. 마지막 단을 제외한 모든 단은 양자화에러를 계산하여 그것을 잔류전압(V_{RES})으로 출력한다.

잔류전압계산은 도 4 에 예시된 샘플앤드홀드 스위치 로직(401)에서 구현된 것처럼 인터스테이지 증폭기(도 5a)를 통하여 수행된다. 기준전압($+V_{REF}$ 및 $-V_{REF}$)은 파이프라인 구조에서의 각 단들에서 A/D서브변환기(402)에 의하여 사용되는 기준전압이다. 클럭위상($\psi 1$)은 샘플링 시간주기를 결정하며, 클럭위상($\psi 2$)은 증폭시간주기를 결정한다. 클럭위상($\psi 1$ 및 $\psi 2$)은 클럭신호를 중첩하지 않는다. 또한, 도 4 는 부분적으로 전체 출력 디지털 신호에 기여하는 각각의 단 비트 해상도에서의 리던던시를 제거하는 디지털 정정유닛(406)을 도시한다. 그와 같은 디지털 정정유닛은 잘 알려진 기술에 따라 구현될 수 있다.

도 5a 는 도 4 의 파이프라인 A/D변환기의 샘플앤드홀드 스위치 로직(401)에의하여 시행된 것처럼 샘플링 및 증폭 기술을 더욱 상세하게 예시한다. 샘플링시간주기동안, 즉 클럭($\psi 1$)이 나타날 때, 스위치(S_1 , S_4 및 S_8)가 닫힌다. 본 발명의 일 실시예에 따라, 샘플링시간주기($\psi 1$)동안, 커패시터(C_S)의 제 1 측(C_{S1})이 입력신호(V_{IN})에 접속되고, 공통 노드(N)에 접속되는 동일한 커패시터(C_S)의 제 2 측(C_{S2})이 접지(GND)에 접속된다. 또한, 샘플링시간주기동안($\psi 1$), 커패시터(C_1)의 제 1 측(C_{11})이 입력전압(V_{IN})에 접속되고, 다른 측(C_{12})이 공통노드(N)에 접속된다. 차례로, 공통노드(N)는 증폭기(501)의 반전입력단자($1/P_{INV}$)에 접속된다. 그래서, 입력전압(V_{IN})이 양 커패시터(C_1 및 C_S)에서 샘플링된다. 더욱이 공통전극(N)에 영향을 미치는 것이 실제로 증폭기(501)의 비반전입력단자($1/P_{NONINV}$)와 공통접지(GND)사이의 존재하는 기생 커패시턴스(C_P)이다. 더욱이, 실제로, 증폭기들 각각은 증폭기(501)의 비반전 입력단자($1/P_{NONINV}$)와 공통접지(GND)사이의 전압소스로서 나타날 수 있는 입력 오프셋전압(V_{OS})을 가진다.

본 발명의 일실시예에 따라, 클럭위상($\psi 2$)이 나타날 때 입력신호(V_{IN})에 따라 증폭시간주기동안 커패시터(C_1 및 C_S)를 스위칭하는 3가지 방법이 있다.

입력전압(V_{IN})이 $-V_{REF}$ 로 부터 $-V_{REF}/4$ 까지의 영역에서 변할 때, A/D서브변환기(402)는 출력 디지털코드 00 을 발생하며, 스위치(S_3 및 S_5)는 닫히고, 나머지 스위치는 열린 상태를 유지한다. 더욱 상세히, 스위치

(S₃)는 커패시터(C_S)의 제 1 측(C_{S1})을 증폭기(501)의 출력(V_{RES})에 접속하고, 스위치(S₅)는 커패시터(C₁)의 제 1 측(C₁₁)을 저기준전압(-V_{REF})에 접속한다. 커패시터(C_S)의 제 2 측(C_{S2})과 커패시터(C₁)의 제 2 측(C₁₂)은 차례로 증폭기(501)의 반전입력단자(1/P_{INV})에 접속하는 공통전극(N)에 접속된채로 유지된다. 그래서, 커패시터(C₁)는 샘플링 커패시터로서의 기능을 하고 커패시터(C_S)는 집적 커패시터로서의 역할을 한다. 증폭기(501)의 비반전입력단자(1/P_{NONINV})와 공통접지(GND)사이의 오프셋 전압(V_{OS})과 공통전극(N)과 접지(GND)사이의 기생 커패시턴스(C_P)는 아직도 존재한다는 점에 유의하여야 한다.

입력전압(V_{IN})이 -V_{REF}/4로 부터 +V_{REF}/4까지의 영역에서 변할 때, A/D서브변환기(402)는 출력디지털코드 01을 발생하며, 스위치(S₂ 및 S₇)는 닫히고, 나머지 스위치는 열린 상태를 유지한다. 특히, 스위치(S₂)는 커패시터(C_S)의 제 1 측(C_{S1})을 접지(GND)에 접속하고, 스위치(S₇)는 커패시터(C₁)의 제 1 측(C₁₁)을 증폭기(501)의 출력(V_{RES})에 접속한다. 커패시터(C_S)의 제 2 측(C_{S2})과 커패시터(C₁)의 제 2 측(C₁₂)은 공통전극에 접속된채로 유지되며, 차례로, 증폭기(501)의 반전입력단자(1/P_{INV})에 접속한다. 그래서, 커패시터(C_S)는 샘플링 커패시터로서 기능을 하고 커패시터(C₁)는 집적 커패시터로서 기능을 한다. 다시, 증폭기(501)의 비반전입력단자(1/P_{NONINV})와 접지(GND)사이의 오프셋 전압(V_{OS})과 공통전극(N) 및 접지(GND)사이의 기생 커패시턴스(C_P)가 아직도 존재한다는 점에 유의하여야 한다.

+V_{REF}/4 에서 +V_{REF}까지의 영역에 속하는 입력신호(V_{IN})의 경우, A/D서브변환기(402)는 출력 디지털코드 10을 발생하고, 스위치(S₃ 및 S₆)는 닫히고, 나머지 스위치들은 열린 상태를 유지한다. 보다 상세하게, 스위치(S₃)는 커패시터(C_S)의 제 1 측(C_{S1})을 증폭기(501)의 출력(V_{RES})에 접속하고, 스위치(S₇)는 커패시터(C₁)의 제 1 측(C₁₁)을 고기준전압(+V_{REF})에 접속한다. 커패시터(C_S)의 제 2 측(C_{S2})과 커패시터(C₁)의 제 2 측(C₁₂)은 증폭기(501)의 반전입력단자(1/P_{INV})에 차례로 접속하는 공통전극(N)에 접속된 상태를 유지한다. 그래서, 커패시터(C₁)는 샘플링 커패시터로서 기능을 하고 커패시터(C_S)는 집적 커패시터로서의 기능을 한다. 이전에서 처럼, 증폭기(501)의 비반전입력단자(1/P_{NONINV})와 접지(GND)사이의 오프셋전압(V_{OS})과 공통전극(N) 및 접지(GND)사이의 기생 커패시턴스가 아직도 존재한다.

상기의 접속은 증폭시간주기동안 커패시터 접속을 나타내는 아래의 표에 의하여 설명된다.

< 표 1 > 증폭시간주기 커패시터접속

V _{IN}	디지털출력 XY	C _S	C ₁
-V _{REF} < V _{IN} < -V _{REF} /4	0	V _{RES}	-V _{REF}
-V _{REF} /4 < V _{IN} < +V _{REF} /4	1	GND	V _{RES}
+V _{REF} /4 < V _{IN} < +V _{REF}	10	V _{RES}	+V _{REF}

도 5b 는 증폭시간주기(ψ₂)동안 도 5a 의 스위치(S₁-S₈)를 구동하기 위하여 도 5a 에서 예시된 것처럼 샘플앤드홀드 기술을 위하여 사용된 신호전달회로를 위한 스위치 제어 로직을 도시한다. 도시된 것처럼, 두 개의 인버터(501 및 502), 3개의 AND게이트(503, 504 및 505) 및 하나의 OR 게이트(506)가 도 4 와 상기의 테이블에서 도시된 것처럼 각각의 단으로부터 출력디지털코드(405)를 나타내는 X 및 Y를 가지고 사용된다.

X = 0, Y = 0의 경우에, AND게이트(503)의 출력은 하이이고, 나머지 두 개의 AND게이트(504, 505)의 출력은 로우를 유지하여, 스위치(S₃ 및 S₅)를 턴온시킨다. X = 0, Y = 1의 경우, AND게이트(505)의 출력은 하이이고, 나머지 두 개의 AND게이트(503, 504)의 출력은 로우를 유지하여, 스위치(S₂ 및 S₇)를 턴온시킨다. 마지막으로, X = 1, Y = 0인 경우, AND게이트(504)의 출력은 하이이고, 나머지 두 개의 AND게이트(503, 505)의 출력은 로우를 유지하여, 스위치(S₃ 및 S₆)를 턴온시킨다.

커패시터(C_S, C₁, C_P, V_{OS}) 및 증폭기 이득(A)에 관한 잔류전압(V_{RES})과 입력전압(V_{IN})사이의 관계가 다음의 표현에 의하여 예시될 수 있다.

$$V_{RES} = V_{IN} * (1 + C_1/C_S) / (1 + (C_S + C_1 + C_P) / C_S * A) \\ - K * V_{RES} * (C_1 / C_S) / (1 + (C_S + C_1 + C_P) / C_S * A) \\ + V_{OS} * ((C_S + C_1 + C_P) / C_S) / (1 + (C_S + C_1 + C_P) / C_S * A) \quad (14)$$

여기에서 -V_{REF} < V_{IN} < -V_{REF}/4 의 경우 K = -1.0 그리고

+V_{REF}/4 < V_{IN} < +V_{REF} 의 경우 K = +1.0 임.

그리고,

$$V_{RES} = V_{IN} * (1 + C_S/C_1) / (1 + (C_S + C_1 + C_P) / C_1 * A) \\ - K * V_{REF} * (C_S / C_1) / (1 + (C_S + C_1 + C_P) / C_1 * A) \\ + V_{OS} * ((C_S + C_1 + C_P) / C_1) / (1 + (C_S + C_1 + C_P) / C_1 * A) \quad (15)$$

여기에서 $-V_{REF}/4 < V_{IN} < +V_{REF}/4$ 의 경우 $K = 0$ 임.

도 5a 에서, 증폭기(501)는 이득(A)을 가진다. 추가로, 증폭기(501)의 비반전입력단자와 접지(GND)사이의 오프셋전압(V_{OS})과 공통전극(N)과 접지(GND)사이의 기생 커패시턴스(C_p)는 무시할 수 있는 것으로 가정한다. 더욱이, 증폭기(501)의 이득(A)이 매우 크고 커패시터 미스매치 인자를 α 로 가정하면, 우리는 다음의 수식을 얻을 수 있다.

$$C_i = C \quad (16)$$

$$C_s = C * (1 + \alpha) \quad (17)$$

여기에서 α 는 공통 커패시턴스 인자임.

$1/(1+\alpha)$ 는 $\alpha \ll 1$ 인 경우에 $(1-\alpha)$ 에 근사될 수 있기 때문에 다음의 표현이 출력디지털코드(407) (도 4)가 00 에서부터 01로 변하는 곳에서 $-V_{REF}/4$ 의 입력전압(V_{IN})을 위하여 오프셋전압(ΔV_1) (도 6)에서의 변화를 위하여 유도될 수 있다.

$$\Delta V_1 = V_{RES1} - V_{RES2} \doteq V_{REF} * (1 - \alpha/2) \quad (18)$$

도 6 에 도시된 것처럼 오프셋 전압(ΔV_2)에서의 변화를 위하여 (18)에 대한 유사한 표현이 출력디지털코드(407)(도 4)가 다음의 표현에 의하여 도시된 것처럼 01 에서 10으로 변하는 곳에서 $+V_{REF}/4$ 의 입력신호(V_{IN})를 위하여 얻어질 수 있다.

$$\Delta V_2 = V_{RES2} - V_{RES3} \doteq V_{REF} * (1 - \alpha/2) \quad (19)$$

식 (18) 및 (19)로 부터, 본 발명에서의 커패시터 미스매치는 식 (12) 및 (13)에서 도시된 것처럼 종래의 설계에 비교되는 두 개의 인자에 의하여 감소되는 것이 보여진다.

도 6 은 결과적인 아날로그-디지털 변환의 잔류신호 대 입력신호를 도시한다. 본 발명의 잔류신호반응(601)을 이상 잔류신호반응과 대비할 때, 본 발명에 따른 잔류신호반응의 기울기가 이상 잔류신호반응(602)을 위한 기울기보다 적다는 것이 관측될 수 있다. 종래의 잔류신호반응(312)을 위한 기울기가 $-V_{REF}/4$ 와 $+V_{REF}/4$ 사이의 영역에 해당하는 입력전압(V_{IN})을 위한 이상 잔류신호반응(311)을 위한 기울기보다 더욱 가파르다는 것은 종래의 잔류신호반응을 예시하는 도 3b 로부터 보여질 수 있다. 대비하여, 도 6 에서의 본 발명에 대한 플롯(601)은 입력신호(V_{IN})이 $-V_{REF}/4$ 및 $+V_{REF}/4$ 와 같은 두 개의 전이점에서의 잔류신호에서 탁월한 감소를 보인다. 특히, 도 6 의 전이점(603 및 604)에서의 잔류신호의 값을 도 3b 의 전이점(313 및 314)에 비교함으로써, 커패시터 미스매치의 크기가 거의 반으로 효과적으로 감소되었음을 볼 수 있다. 이것은 A/D변환기의 비선형성에서의 탁월한 감소를 예시한다.

본 발명의 다른 실시예에 따라, 반전 및 비반전입력을 가지는 차동증폭기가 사용된다. 도 7a 는 제 2 실시예에 따라 본 발명의 각각의 샘플링 및 증폭시간주기(ψ_1 및 ψ_2)의 스위칭도를 예시한다.

도 7a 에서, 상보 금속-산화물 반도체(CMOS) 전송게이트가 스위치 제어로직에 의하여 제어되는 스위치로서 사용된다. 이전에서처럼, 증폭시간주기동안 커패시터(C_{1a} 및 C_{Sa} , C_{1b} 및 C_{Sb})를 스위칭하기 위한 3가지 방법이 있다. 즉, 클럭위상(ψ_2)이 나타났을 때, 입력신호(V_{INp} 및 V_{INn})에 의존한다 (비록 도면을 단순화하기 위하여 개별 전송게이트를 구동하는 다양한 제어신호중 기본 위상만이 도시되었지만, 각 제어신호의 비반전 및 반전위상이 그들의 각각의 전송게이트를 구동하기 위하여 사용될 수 있다는 점이 이해되어야 한다. 예를 들어, 비록 제어신호($\psi_2(10)$ 및 $\psi_2(3)$)의 비반전 위상이 전송게이트(T_1) 및 전송게이트(T_8 및 T_{11}) 각각의 NMOS 부를 구동하는 것으로서 도시되었지만, 그들의 각각의 반전위상($\psi_2(10)$ 및 $\psi_2(3)$)이 PMOS부를 또한 구동하고 있다는 점이 이해되어야 한다).

증폭시간주기동안, 출력디지털코드 00 을 위하여, 전송게이트(T_2 , T_7 , T_{12} 및 T_{17})이 커패시터(C_{1a})의 제 1 측(C_{1a1})을 저기준전압(V_{REFn})에 접속하고, 스위치(T_7)는 커패시터(C_{Sa})의 제 1 측(C_{Sa1})을 차동증폭기(701)의 출력(V_{OUTp})에 접속한다. 커패시터(C_{Sa})의 제 2 측(C_{Sa2})과 커패시터(C_{1a})의 제 2 측(C_{1a2})은 차동증폭기(701)의 비반전입력단자(IN_p)에 차례로 접속하는 공통 제 1 노드(N_1)에 접속된채로 유지한다. 추가로, 게이트(T_{17})는 커패시터(C_{1b})의 제 1 측(C_{1b1})을 고기준전압(V_{REF})에 접속하고 스위치(T_{12})는 커패시터(C_{Sb})의 제 1 측(C_{Sb1})을 차동증폭기(701)의 출력(V_{OUTn})에 접속한다. 커패시터(C_{Sb})의 제 2 측(C_{Sb2})과 커패시터(C_{1b})의 제 2 측(C_{1b2})은 차동증폭기(501)의 반전입력단자(IN_n)에 차례로 접속되는 제 2 공통노드(N_2)에 접속된채로 유지한다.

출력디지털코드 01의 경우에, 전송게이트(T_3 , T_9 및 T_9)는 턴온되고, 나머지 게이트들은 턴오프된다. 게이트(T_9)는 커패시터(C_{Sa})의 제 1 측(C_{Sa1})을 커패시터(C_{Sb})의 제 1 측(C_{Sb1})에 접속하고, 게이트(T_3)는 커패시터(C_{1a})의 제 1 측(C_{1a1})을 차동증폭기(701)의 출력(V_{OUTp})에 접속하고, 게이트(T_{15})는 커패시터(C_{1b})의 제 1 측(C_{1b1})을 차동증폭기(701)의 출력(V_{OUTn})에 접속한다. 커패시터(C_{Sa})의 제 2 측(C_{Sa2})과 커패시터(C_{1a})의 제 2 측(C_{1a2})은 제 1 공통노드(N_1)에 접속되고, 차례로, 차동증폭기(701)의 비반전입력단자(IN_p)에 접속한다. 커패시터(C_{Sb})의 제 2 측(C_{Sb2})과 커패시터(C_{1b})의 제 2 측(C_{1b2})은 제 2 공통노드(N_2)에 접속된채로 유지하며, 차례로, 차동증폭기(701)의 반전입력단자(IN_n)에 접속한다.

출력디지털코드 10의 경우에, 전송게이트(T_1 , T_6 , T_{13} 및 T_{16})는 턴온되고, 나머지 게이트들은 턴오프된다. 게이트(T_6)는 커패시터(C_{Sa})의 제 1 측(C_{Sa1})을 차동증폭기(701)의 출력(V_{OUTp})에 접속하고, 스위치(T_1)은 커

패시터(C_{1a})의 제 1 측(C_{1a1})을 고기준전압(V_{REFp})에 접속한다. 커패시터(C_{3a})의 제 2 측(C_{3a2})와 커패시터(C_{1a})의 제 2 측(C_{1a2})은 차례로, 차동증폭기(701)의 비반전입력단자(IN_p)에 접속하는 제 1 공통노드(N_1)에 접속된채로 유지한다. 더욱이, 게이트(T_{13})는 커패시터(C_{3b})의 제 1 측(C_{3b1})을 저기준전압(V_{REFn})에 접속한다. 커패시터(C_{3b})의 제 2 측(C_{3b2})과 커패시터(C_{1b})의 제 2 측(C_{1b2})은 차례로, 차동증폭기(701)의 반전입력단자(IN_n)에 접속하는 제 2 공통노드(N_2)에 접속된채로 유지한다.

샘플링시간주기동안, 즉, 클럭(ψ_1)이 나타날 때, 전송게이트($T_4, T_5, T_8, T_{10}, T_{11}, T_{14}, T_{18}, T_{19}$ 및 T_{20})은 턴온된다. 샘플링 시간주기(ψ_1)의 시작시에 위의 모두 9개의 전송게이트들이 동시에 턴온된다. 그러나, 샘플링시간주기의 종료시에, 9개의 전송게이트($T_4, T_5, T_8, T_{10}, T_{11}, T_{14}, T_{18}, T_{19}$ 및 T_{20})는 다음의 순서로 턴오프된다. 먼저, 게이트(T_5, T_{18}, T_{19} 및 T_{20})이 턴오프된다. 그리고 나서, 게이트(T_{10})이 턴오프된다. 그후에, 게이트(T_4, T_8, T_{11} 및 T_{14})가 턴오프된다. 샘플링주기의 종결에 후속하여, 두 개의 클럭위상(ψ_1 및 ψ_2)은 중첩하지 않기 때문에, 클럭위상(ψ_2)이 나타나면 증폭시간주기가 시작된다. 샘플링주기의 종결을 위한 후속 스위칭은 이하의 표에 의하여 예시된다.

< 표 2 > 샘플링시간주기 종결 스위칭 순서

스위칭순서	T_4	T_5	T_8	T_{10}	T_{11}	T_{14}	T_{18}	T_{19}	T_{20}
$\psi_{s1} \downarrow$	×	○	×	×	×	×	○	○	○
$\psi_{s2} \downarrow$	×	○	×	○	×	×	○	○	○
$\psi_{s3} \downarrow$	○	○	○	○	○	○	○	○	○

여기에서, ×는 전송게이트가 턴온된 것을 표시하고 ○는 턴오프된 것을 표시한다. 또한, ψ_{s1} , ψ_{s2} 및 ψ_{s3} 는 제 1 클럭위상(ψ_1)을 구성하며 ↓는 신호의 하이에서 로우로의 전이를 표시한다.

제 1 순차 스위칭(ψ_{s1})동안 샘플링시간주기의 종결시에, 게이트(T_5)는 접지(V_{AGND})로부터 제 1 공통노드(N_1)를 접속을 해제하고 게이트(T_{18})은 접지(V_{AGND})로부터 제 1 출력(V_{OUTp})의 접속을 해제한다.

또한, 이러한 순차 스위칭동안, 게이트(T_{20})는 접지(V_{AGND})로부터 제 2 공통 노드(N_2)의 접속을 해제하고 게이트(T_{19})는 접지(V_{AGND})로부터 출력(V_{OUTn})의 접속을 해제한다. 제 2 스위칭(ψ_{s2})동안 게이트(T_{10})는 제 2 공통노드(N_2)로부터 제 1 공통노드(N_1)의 접속을 해제한다. 마지막으로, 마지막 순차 스위칭(ψ_{s3})동안, 게이트(T_4)는 커패시터(C_{1a})의 제 1 측(C_{1a})으로부터 입력(V_{INn})의 접속을 해제한다. 또한, 이러한 순차 스위칭(ψ_{s3})동안, 게이트(T_8)는 커패시터(C_{3a})의 제 1 측(C_{3a1})으로부터 입력(V_{INp})의 접속을 해제하고, 게이트(T_{11})는 커패시터(C_{3b})의 제 1 측(C_{3b1})으로부터 입력(V_{INn})의 접속을 해제한다.

도 7c 은 표 2에서 예시된 것처럼 동일한 위상의 종결을 위한 순차 스위칭의 타이밍을 또한 도시한다. 특히, 순차 스위칭(ψ_{s1})은 시간주기(T_{s1})에서 종결하고, 순차스위칭(ψ_{s2})은 시간주기(T_{s2})에서 종결하고, 순차스위칭(ψ_{s3})은 시간주기(T_{s3})에서 종결한다. 더욱이, 마지막 순차 스위칭(ψ_{s3})이 종결한 후에만 증폭시간주기(ψ_2)가 시작된다는 것을 도 7c 로부터 보여진다. 또한, (ψ_{s1} , ψ_{s2} 및 ψ_{s3} 로 이루어진) 샘플링주기(ψ_1)와 증폭시간주기(ψ_2)가 중첩되지 않는다는 것을 도 7c 로부터 명백하다.

샘플링시간주기 종결을 위한 순차 스위칭이 전하주입시에 바람직한 감소를 허용한다는 점에 유의하여야 한다.

도 7b 는 CMOS 전송게이트($T_1 - T_{20}$)를 구동하는 도 7a 에 도시된 것같은 샘플앤드홀드 기술을 위한 스위치 제어로직을 예시한다. 특히, 도 7b 는 3개의 AND 게이트(701, 702 및 703)와 5개의 인버터(704, 705, 706, 707 ALC 708)를 도시한다. 입력디지털코드가 $X = 0, Y = 0$ 인 경우에, AND 게이트(701)에 의한 AND 동작과 AND 게이트(701)의 출력에 따른 반전동작은 전송게이트(T_2, T_7, T_{12} 및 T_{17})을 턴온시킨다. 입력디지털코드 $X = 0, Y = 1$ 인 경우에, AND 게이트(703)에 의한 AND 연산과 AND게이트(703)의 출력에 따른 반전동작은 전송게이트(T_3, T_9 및 T_{15})를 턴온시킨다. 마지막으로, 입력디지털코드 $X = 1, Y = 0$ 인 경우에, AND 게이트(702)에 의한 AND 연산과 AND 게이트(702)의 출력에 따른 반전동작은 전송게이트(T_1, T_6, T_{13} 및 T_{16})을 턴온시킨다. 이러한 스위치 제어로직은 아래의 표3 에 의하여 또한 예시될 수 있다.

< 표 3 > 증폭시간주기동안 차동증폭기를 사용하는 샘플앤드홀드 기술을

위한 스위치 제어로직

디지털 출력	T_1	T_2	T_3	T_6	T_7	T_9	T_{12}	T_{13}	T_{15}	T_{16}	T_{17}
0	○	×	○	○	×	○	×	○	○	○	×
1	○	○	×	○	○	×	○	○	×	○	○
10	×	○	○	×	○	○	○	×	○	×	○

여기에서 ○ 는 전송게이트가 턴오프되었음을 표시하고 × 는 전송게이트가 턴온되었음을 표시한다.

발명의 효과

이러한 방법으로, 파이프라인 A/D 변환기 구조의 선형성이 본 발명에 의하여 표현되는 구조 및 방법에서 커패시터들 사이의 미스매치를 감소시키는 결과로서 탁월하게 향상됨을 알 수 있다.

본 발명의 구조 및 방법에 대한 다양한 다른 수정 및 변경이 본 발명의 범위와 정신을 벗어남이 없이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 분명할 것이다. 비록 본 발명이 특정한 바람직한 실시예와 관련하여 기술되었지만, 클리된 것과 같은 발명이 그와 같은 특정 실시예로 부당하게 한정되지는 않는다는 점을 이해하여야 한다. 다음의 청구범위는 본 발명의 범위를 정의하는 것이며 이러한 청구범위의 범위내에서의 구조와 방법 및 그 균등물을 커버한다.

(57) 청구의 범위

청구항 1

로직클럭신호 및 복수의 디지털 신호비트를 수신하도록 구성되어 복수의 제어신호를 제공하며, 상기 디지털 신호는 복수의 비트패턴을 포함하고 복수의 기준신호에 따라 양자화되는 입력아날로그신호를 표시하는, 로직회로;

상기 복수의 기준신호를 수신하도록 구성되는 복수의 기준신호포트;

상기 입력아날로그신호를 수신하도록 구성되는 입력신호포트;

출력아날로그잔류신호를 수신하도록 구성되는 출력신호포트;

아날로그샘플신호를 수신하도록 구성되는 샘플신호포트;

제 1 스위칭 포트;

제 2 스위칭 포트;

회로 접지기준을 제공하기 위하여 구성되는 회로기준포트;

상기 샘플신호포트와 상기 제 1 스위칭포트사이에 접속되는 제 1 커패시턴스;

상기 샘플신호포트와 상기 제 2 스위칭포트사이에 접속되는 제 2 커패시턴스;

상기 로직회로에 접속되며, 상기 샘플신호포트, 상기 제 1 스위칭포트, 상기 제 2 스위칭포트, 상기 복수의 기준신호포트, 상기 입력신호포트, 상기 출력신호포트 및 상기 회로기준포트사이에 접속되며, 적어도 하나의 전달 클럭신호와 상기 복수의 제어신호를 수신하도록 구성되어, 상기 샘플신호포트를 상기 회로기준포트에 선택적으로 접속하며, 상기 제 1 스위칭포트를 상기 입력신호포트, 상기 출력신호포트 및 상기 회로기준포트에 교대로 접속하며, 상기 제 2 스위칭포트를 상기 입력신호포트, 상기 출력신호포트 및 상기 복수의 기준신호포트중 개별 것들에 교대로 접속하며, 상기 아날로그샘플신호를 제공하는 신호전달회로; 및

상기 샘플신호포트 및 상기 출력신호포트사이에 접속되며, 상기 아날로그샘플신호를 수신하도록 구성되어 상기 출력아날로그잔류신호를 제공하는 증폭기를 포함하며,

상기 복수의 비트패턴중 하나는 상기 입력 아날로그신호의 소정 영역의 값에 해당하며 상기 복수의 기준신호에 따라 정의되는 최소 및 최대 기준 아날로그 잔류신호값을 가지는 기준 아날로그 잔류신호의 값의 영역을 표시하며,

상기 출력 아날로그잔류신호는 최소 및 최대 출력 아날로그 잔류신호사이의 값의 영역을 포함하며, 그리고

상기 최소 및 최대 출력 아날로그 잔류신호값은 각각 상기 최소 및 최대 기준 아날로그 잔류신호값보다 큰 그리고 작은 것을 특징으로 하는 입력아날로그신호를 샘플앤드홀드하여 출력 아날로그잔류신호를 출력하기 위한 파이프라인 아날로그-디지털 변환기에서의 사용을 위한 샘플앤드홀드 회로를 포함하는 장치.

청구항 2

제 1 항에 있어서,

상기 로직회로는 상기 로직클럭신호와 상기 복수의 디지털신호비트를 수신 및 논리적으로 처리하도록 구성되어 상기 복수의 제어신호를 발생하는 복수의 논리게이트를 포함하는 것을 특징으로 하는 장치.

청구항 3

제 1 항에 있어서,

상기 복수의 기준신호포트, 상기 입력신호포트, 상기 출력신호포트, 상기 샘플신호포트, 상기 제 1 스위칭포트 및 상기 제 2 스위칭포트는 복수의 단일 단의 신호노드를 포함하며,

상기 복수의 기준신호, 상기 입력아날로그신호, 상기 출력아날로그신호 및 상기 아날로그샘플신호는 복수의 단일 단의 신호를 포함하는 것을 특징으로 하는 장치.

청구항 4

제 1 항에 있어서,

상기 복수의 기준신호포트, 상기 입력신호포트, 상기 출력신호포트, 상기 샘플신호포트, 상기 제 1 스위

칭포트 및 상기 제 2 스위칭포트는 복수의 차동신호포트를 포함하며,

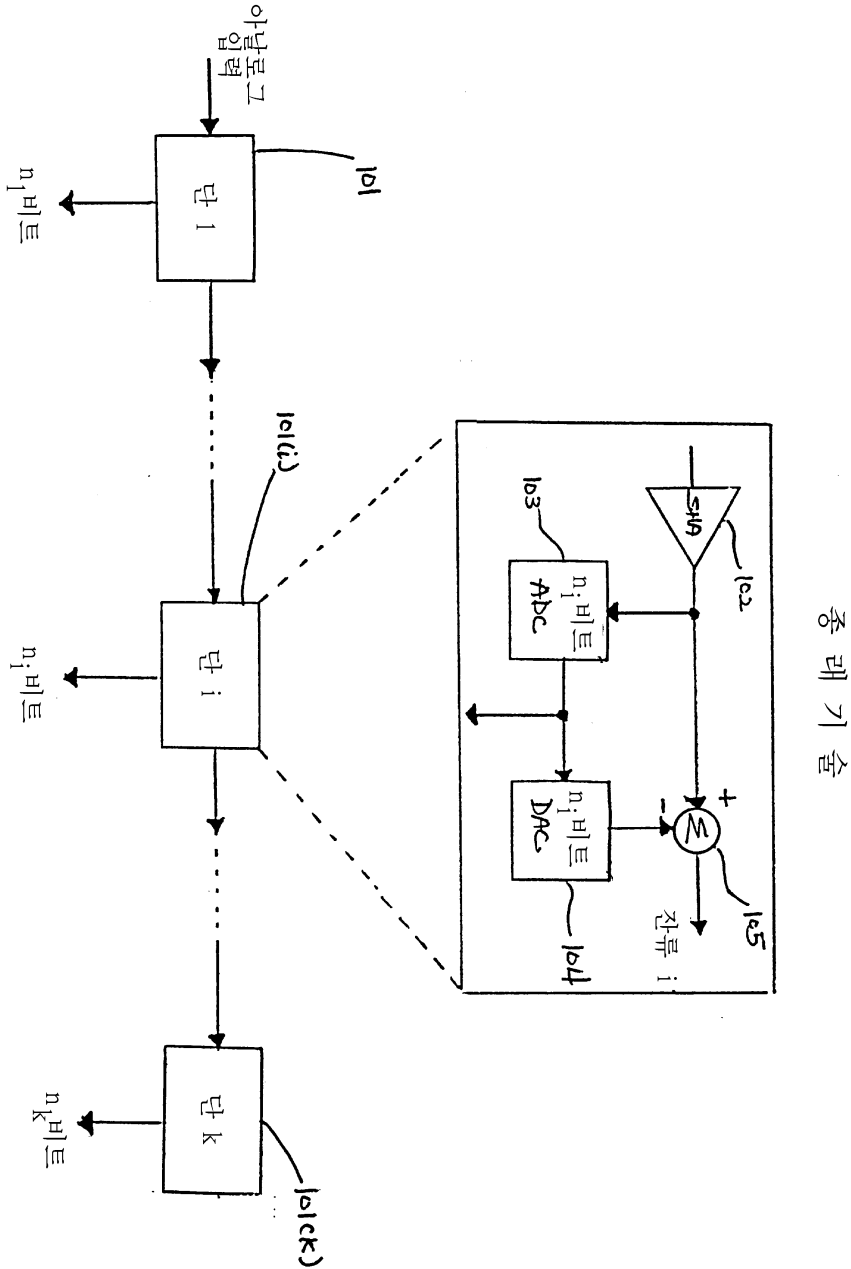
상기 복수의 기준신호, 상기 입력아날로그신호, 상기 출력아날로그 잔류신호 및 상기 아날로그샘플신호는 복수의 차 신호를 포함하는 것을 특징으로 하는 장치.

청구항 5

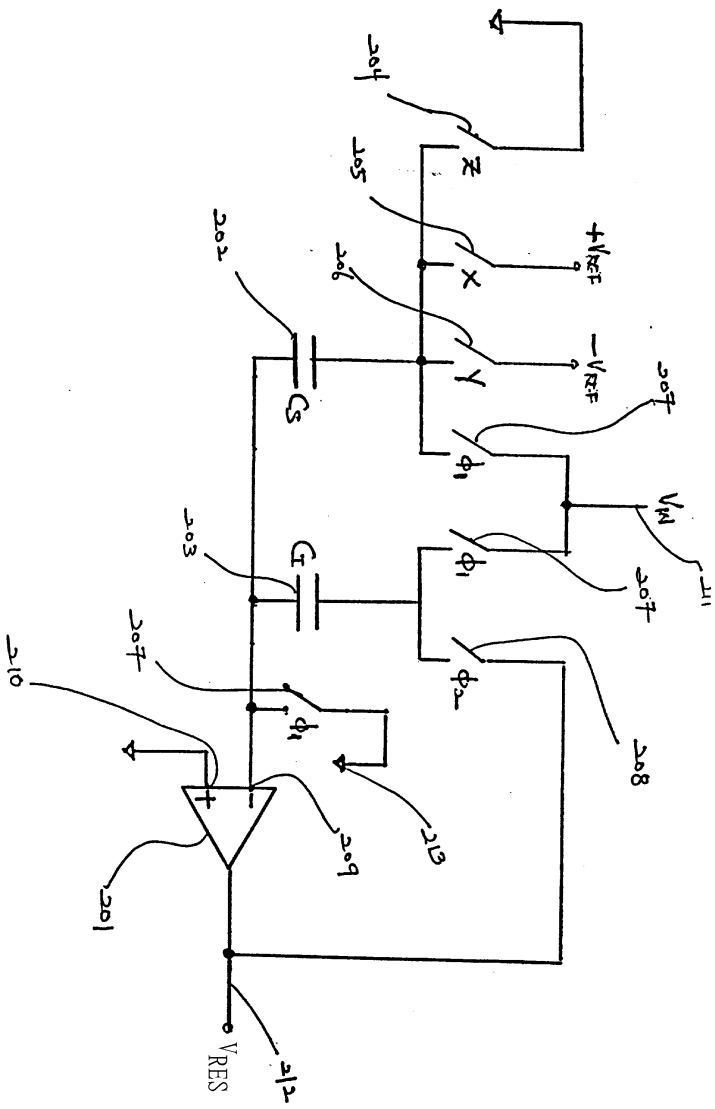
제 4 항에 있어서, 상기 제 1 및 제 2 커패시턴스는 제 1 및 제 2 차동 용량성 회로를 포함하는 것을 특징으로 하는 장치.

도면

도면1



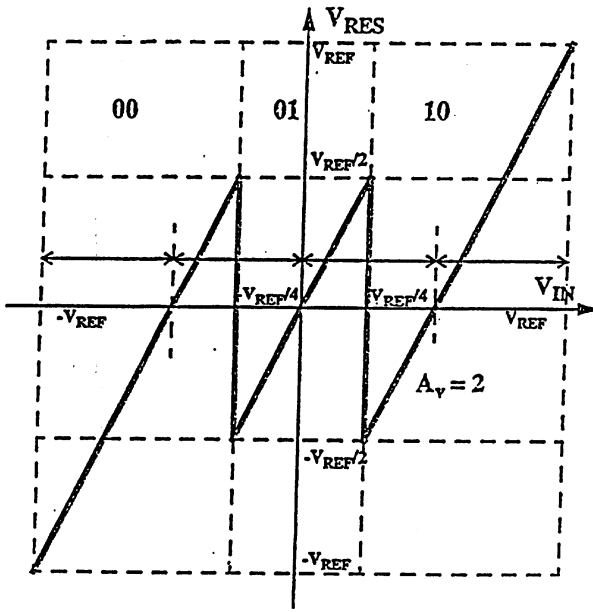
도면2



종래 기술

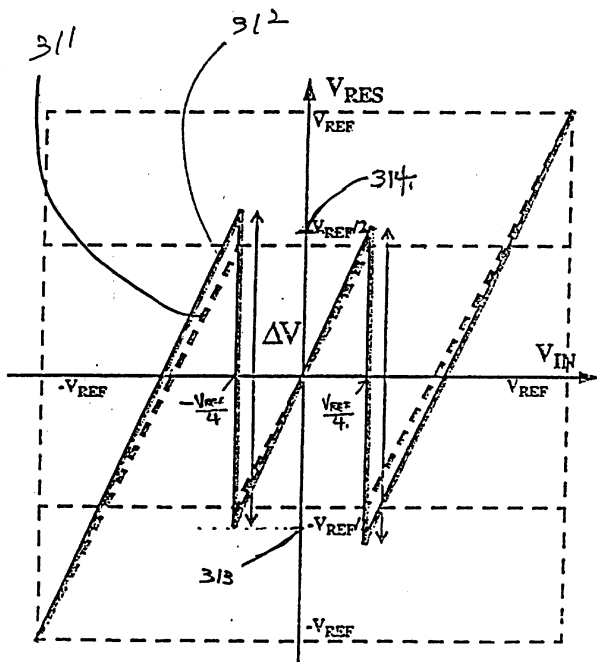
도면3a

종래 기술

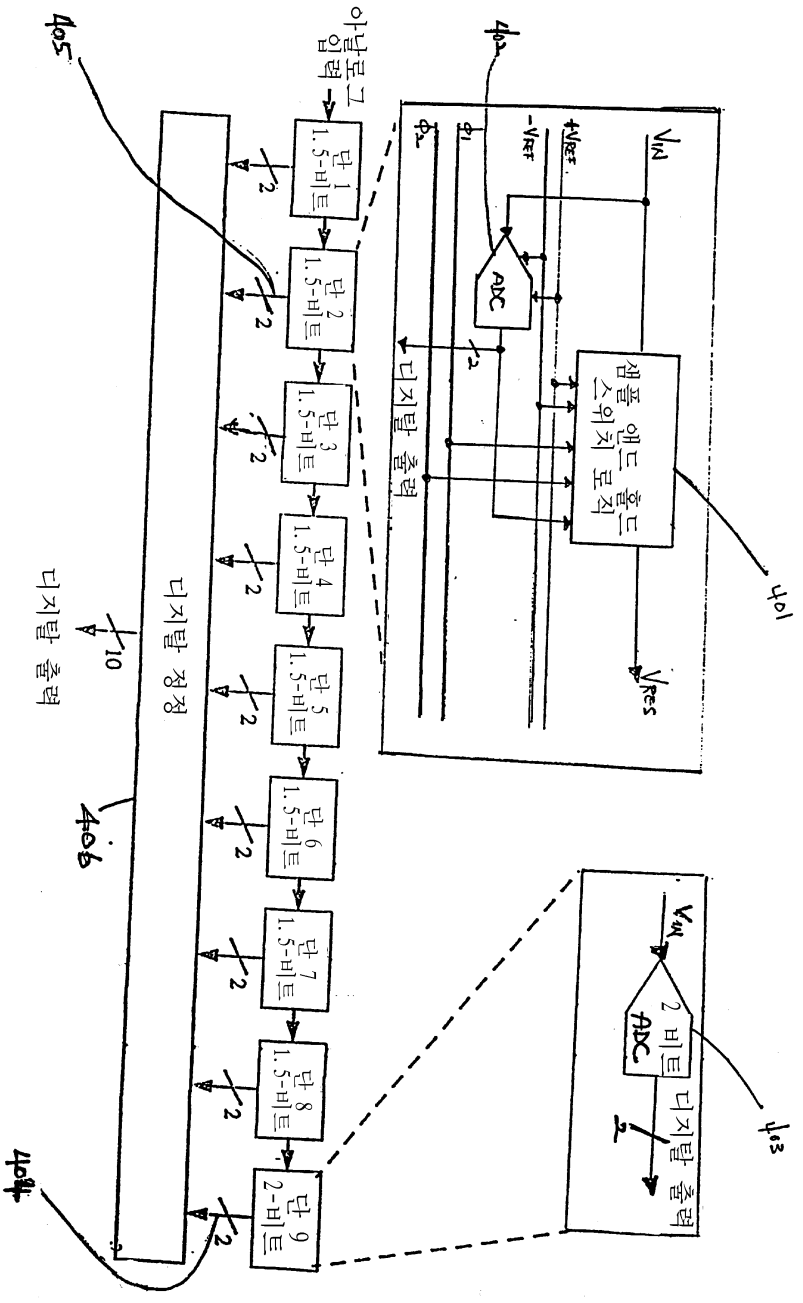


도면3b

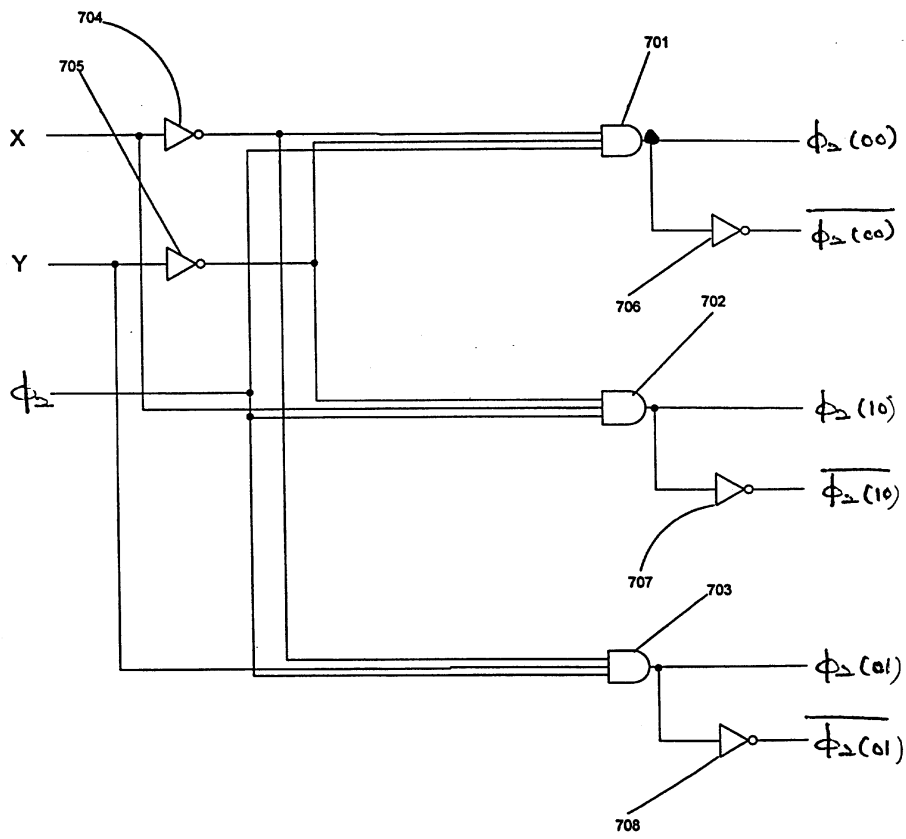
종래 기술



도면4



도면 7b



도면7c

