



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97199718.7

[45] 授权公告日 2003 年 12 月 10 日

[11] 授权公告号 CN 1130644C

[22] 申请日 1997.9.16 [21] 申请号 97199718.7

[30] 优先权

[32] 1996.9.16 [33] US [31] 08/714,750

[86] 国际申请 PCT/US97/16207 1997.9.16

[87] 国际公布 WO98/11488 英 1998.3.19

[85] 进入国家阶段日期 1999.5.14

[71] 专利权人 英特尔公司

地址 美国加利福尼亚州

[72] 发明人 P·D·沃格特 G·P·怀特

S·S·常

审查员 杨 蕊

[74] 专利代理机构 中国专利代理(香港)有限公司

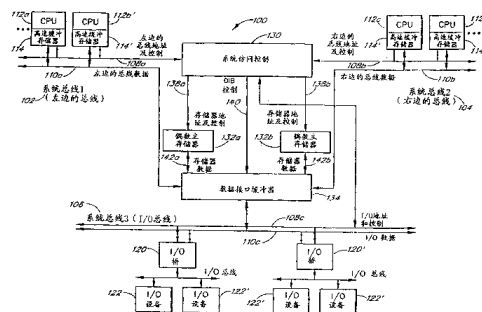
代理人 王 勇 王忠忠

权利要求书 8 页 说明书 53 页 附图 11 页

[54] 发明名称 一种在具有多系统总线的计算机系统中保持存储器相关性的系统和方法

[57] 摘要

一种高速缓存相关, 多总线, 多处理系统及方法使多系统总线(1, 2)和 I/O 总线互连到一种共享主存储器(132), 并有效地保持高速缓存相关性而减小对系统内等待时间和总带宽的影响。 该系统提供相关性滤波器(200), 相关性滤波器(200)以某种方式调整总线-到-总线通信用小量的交叉总线通信量来保持高速缓存相关性。 另外, 该系统提供一种使多总线互连的存储器单元的多端口池。



1. 一种多总线、多处理系统, 包括:

一种系统存储器;

5 一种与所述的系统存储器通信的第一总线, 所述的第一总线具有至少一个高速缓冲存储器与其耦合, 所述的高速缓冲存储器被配置来存储从所述的系统存储器中获取的多个数据值, 所述的高速缓冲存储器还被配置来保持关于所述的带有第一组相关性状态的数据值的高速缓存相关性信息;

10 一种与所述的第一总线通信的相关性存储器, 所述的相关性存储器被配置来保持与所述数据值相关的相关性状态记录;

一种与所述的系统存储器通信的第二总线, 所述的第二总线能传输总线事务; 及

15 一种与所述的第二总线和所述相关性状态记录通信、而不与所述第一总线相连接的相关性滤波器, 所述的相关性滤波器被配置来监控所述的在所述的第二总线上的总线事务和根据所述的相关性状态记录禁止从所述第二总线到所述第一总线的交叉总线事务。

2. 权利要求 1 所述的系统, 还包括与所述第一总线耦合的第一多个高速缓冲存储器, 其中所述的高速缓冲存储器保持带有所述的第一组相关性状态的高速缓存相关性信息。

20 3. 权利要求 1 所述的系统, 其中所述的总线事务标识与所述的数据值之一相关的存储器地址。

4. 权利要求 3 所述的系统, 其中所述的相关性状态记录包含多个入口, 其中, 每个所述的入口被配置来存储与存储于所述的高速缓冲存储器的数据值相关的存储器地址。

25 5. 权利要求 4 所述的系统, 其中每个所述的入口被配置来存储第二组相关性状态, 所述第二组相关性状态包括比所述第一组相关性状态少的相关性状态。

6. 权利要求 5 所述的系统, 其中每个所述的入口还被配置来存储所述的第二组相关性状态至少其中之一。

30 7. 权利要求 6 所述的系统, 其中每个所述的存储器地址直接被映射到所述的入口之一。

8. 一种在多总线系统中保持高速缓存相关性方法, 包括:

保持与存在于高速缓存部件中的第一多个数据值相关的高速缓存状态信息, 该高速缓存部件耦合到第一总线;

保持与所述的第一多个数据值相关的第一总线相关性状态记录;

用第一相关性滤波器监控所述第一总线上的总线事务;

5 用第二相关性滤波器监控第二总线上的总线事务;

传输在所述第二总线上的总线事务; 及

用第二相关性滤波器禁止从所述第二总线到所述第一总线的交叉总线事务, 这时所述第一总线相关性状态记录表示存储器相关性不是禁止所述交叉总线事务所致。

10 9. 权利要求 8 所述的方法, 其中所述第一总线的相关性状态记录为每个所述的数据值保持至少一个入口。

10. 权利要求 9 所述的方法, 其中所述禁止工作还包括鉴定在与所述的总线事务相关的所述第一总线相关性状态记录中的所述入口来确定是否所述的入口为无效状态的工作。

15 11. 权利要求 9 所述的方法, 其中所述的禁止工作还包括鉴定在与所述的总线事务相关的所述第一总线相关性状态记录中的所述入口来确定是否所述的入口为共享状态的工作。

12. 权利要求 11 所述的方法, 还包括当所述的入口处于被占用状态时修改与所述总线事务相关的所述入口的工作。

20 13. 权利要求 11 所述的方法, 还包括修改与所述的总线事务相关的所述入口从被占用状态变成共享状态的工作。

14. 权利要求 11 所述的方法, 还包括修改与所述的总线事务相关的所述入口从被占用状态变成无效状态的工作。

15. 一种多总线、多处理系统, 包括:

25 一种系统存储器;

一种与所述的系统存储器通信的系统总线, 所述的系统总线具有至少一个高速缓冲存储器与其耦合, 所述的高速缓冲存储器被配置来存储从所述的系统存储器中获取的多个数据值, 所述第一系统总线能传输多总线事务;

30 一种与所述的系统总线通信的相关性存储器, 所述的相关性存储器被配置来保持与所述数据值相关的系统总线相关性状态记录;

一种与所述的系统存储器通信的输入/输出总线, 所述的输入/输

出总线能传输多总线事务；及

一种与所述的输入/输出总线和所述相关性存储器通信的输入/输出相关性滤波器，所述的输入/输出相关性滤波器被配置来监控在所述的输入/输出总线上的所述总线事务，而不监控在所述系统总线上的总线事务，所述的输入/输出相关性滤波器还被配置来根据所述的系统总线相关性状态记录禁止从所述输入/输出总线到所述系统总线的交叉总线事务。

16. 权利要求 15 所述的系统，其中所述的输入/输出相关性滤波器还被配置来监控所述的 I/O 总线上的直接存储器访问，并执行交叉总线事务，该交叉总线事务对避免所述的高速缓冲存储器中的高速缓存线溢出是必要的。

17. 权利要求 15 所述的系统，其中所述的输入/输出总线还包括多个 I/O 桥，它们包含内部 I/O 高速缓冲存储器，所述的 I/O 高速缓冲存储器被配置来存储第二多个数据值，所述的 I/O 高速缓冲存储器还被配置来保持关于所述第二多个数据值的高速缓存相关性信息。

18. 权利要求 17 所述的系统，还包括与所述的 I/O 总线通信的 I/O 相关性存储器，所述的 I/O 相关性存储器被配置来保持与所述第二多个数据值相关的 I/O 相关性状态记录。

19. 权利要求 18 所述的系统，还包括一种与所述的系统总线和所述 I/O 相关性存储器通信的系统总线相关性滤波器，所述的系统总线相关性滤波器被配置来监控在所述的系统总线上的所述总线事务及根据所述的 I/O 相关性状态记录禁止从所述系统总线到所述的 I/O 总线的交叉总线事务。

20. 一种在多总线系统中保持高速缓存相关性的方法，包括：
保持与存在于耦合到系统总线的高速缓存部件中的第一多个数据值相关的高速缓存状态信息，所述的高速缓存状态信息基于第一组相关性状态；

保持与所述第一多个数据值相关的相关性状态记录；
用第一相关性滤波器监控所述系统总线上的总线事务；
用第二相关性滤波器监控输入/输出总线上的总线事务；
传输在所述输入/输出总线上的总线事务；及
用所述第二相关性滤波器禁止从所述输入/输出总线到所述系统

总线的交叉总线事务，这时所述的相关性状态记录指示存储器相关性将不由禁止所述交叉总线事务所导致。

21. 权利要求 20 所述的方法，其中传输在所述输入/输出总线上的总线事务的所述工作是一种直接存储器访问。

5 22. 权利要求 20 所述的系统，还包括高速缓存在所述的 I/O 总线上传送的多个 I/O 数据值的工作。

23. 权利要求 22 所述的方法，还包括保持与所述 I/O 数据值相关的高速缓存状态信息的工作。

24. 权利要求 23 所述的方法，还包括保持与所述的 I/O 数据值相关的 I/O 相关性状态记录的工作。

25. 权利要求 24 所述的方法，还包括以下步骤；

传输所述系统总线上的总线事务；及

用所述第二相关性滤波器禁止从所述系统总线到所述 I/O 总线的交叉总线事务，这时所述 I/O 相关性状态记录指示存储器相关性不是由禁止从所述系统总线到所述 I/O 总线的所述交叉总线事务所导致。

26. 一种多总线、多处理系统包括：

一种系统存储器；

与所述的系统存储器通信的第一系统总线和第二系统总线，所述第一系统总线具有至少一个高速缓冲存储器与其耦合，而所述第二总线具有至少一个高速缓冲存储器与其耦合，所述的高速缓冲存储器被配置来存储从所述的系统存储器中获取的多个数据值；

一种与所述的第一系统总线通信的第一相关性存储器，所述的第一相关性存储器被配置来保持与所述高速缓存部件中的所述数据值相关的第一相关性状态记录，所述的高速缓存部件与所述第一系统总线连接；

一种与所述的第二系统总线通信的第二相关性存储器，所述的第二相关性存储器被配置来保持与在所述的高速缓冲存储器中的所述数据值相关的第二相关性状态记录，所述的高速缓冲存储器与所述第二系统总线连接；

30 一种与所述的第一系统总线和所述第二相关性存储器通信的第一相关性滤波器。所述的第一相关性滤波器被配置来监控在所述第一系统总线上的总线事务，并禁止从所述第一系统总线到所述第二系统总线

的基于所述的第二相关性状态记录的交叉总线事务；及

一种与所述的第二总线 and 所述第一相关性存储器通信的第二相关性滤波器，所述的第二相关性滤波器被配置来监控所述的第二系统总线上的总线事务，并禁止从所述第二系统总线到所述第一系统总线的基于
5 于所述的第一相关性状态记录的交叉总线事务。

27. 权利要求 26 所述的系统还包括：

一种与所述的系统存储器和多个 I/O 设备通信的 I/O 总线，所述 I/O 设备存储 I/O 数据值在至少一个 I/O 高速缓冲存储器中；及

一种与 I/O 总线通信的 I/O 相关性存储器，所述的 I/O 相关性存
10 储器被配置来保持与所述 I/O 数据值相关的 I/O 相关性状态记录。

28. 权利要求 27 所述的系统，其中所述的第一相关性滤波器也与所述的 I/O 相关性存储器通信，并且，其中所述的第一相关性滤波器被配置来监控在所述的第一系统总线上的总线事务，并禁止从所述第一系统总线到所述 I/O 总线的基于所述的 I/O 相关性状态记录的交叉总线事
15 务。

29. 权利要求 27 所述的系统，其中所述的第二相关性滤波器还与所述的 I/O 相关性存储器通信，并且，其中所述的第二相关性滤波器被配置来监控在所述的第二系统总线上的总线事务，并禁止出所述第二系统总线到所述 I/O 总线的基于所述 I/O 相关性状态记录的交叉总线事
20 务。

30. 权利要求 27 所述的系统，还包括与所述的第一相关性存储器和所述的第二相关性存储器通信的 I/O 相关性滤波器，所述的 I/O 相关性滤波器被配置来监控在所述的 I/O 总线上的总线事务，并禁止从所述 I/O 总线到所述第一系统总线基于所述的第一相关性状态记录的交叉总线事务，以及禁止从所述 I/O 总线到所述的第二系统总线基于所述的第
25 二相关性状态记录的交叉总线事务。

31. 一种多总线、多处理系统，包括：

一种系统存储器；

一种与所述的系统存储器通信的第一总线和第二总线，所述的第一
30 一总线具有至少一个与其耦合的高速缓冲存储器，而所述的第二总线具有至少一个与其耦合的高速缓冲存储器，所述的高速缓冲存储器，配置来存储从所述的系统存储器中获取的多个数据值，所述的高速缓冲存储

器还配置来保持关于所述数据值的高速缓存相关性信息;

一种第一相关性存储器设备, 用来保持与所述第一总线相关的所述数据值的第一相关性状态记录;

5 一种第二相关性存储器设备, 用来保持与所述第二总线相关的所述数据值的第二相关性状态记录;

一种第一相关性滤波器设备, 用来监控在所述的第一总线上的总线事务, 并禁止从所述的第一总线到所述第二总线基于所述的第二相关性状态记录的交叉总线事务; 以及

10 一种第二相关性滤波器设备, 用来监控在所述的第二总线上的总线事务, 并禁止从所述的第一总线到所述第二总线基于所述的第一相关性状态记录的交叉总线事务

32. 一种多总线、多处理系统, 包括:

一种系统存储器;

15 一种与所述的系统存储器通信的第一总线, 所述的第一总线具有至少一个与其耦合的高速缓冲存储器, 所述的高速缓冲存储器配置来存储从所述的系统存储器中获取的多个数据值, 所述的高速缓冲存储器还配置来保持关于所述数据值的相关性状态信息;

20 一种与所述的第一总线通信的相关性存储器, 所述的相关性存储器配置来保持与带有第二组相关性状态的所述数据值相关的相关性状态记录, 其中所述的第二组相关性状态不同于所述的第一组相关性状态;

一种与所述的系统存储器通信的第二总线。 所述的第二总线能传输总线事务;

25 一种与所述的第二总线和所述相关性存储器通信的相关性滤波器, 所述的相关性滤波器配置来监控在所述第二总线上的总线事务, 而不监控所述第一总线上的总线事务, 所述的相关性滤波器配置来禁止从所述第二总线到所述第一总线基于所述相关性状态记录的交叉总线事务。

33. 权利要求 32 所述的系统, 其中所述相关性滤波器还包括第一相关性存储器控制器, 它被配置来接收总线事务地址, 所述的第一相关性存储器控制器还被配置来访问所述相关性状态记录中的入口, 所述相关性状态记录对应于所述的总线事务地址。

34. 权利要求 33 所述的系统, 其中所述的第一相关性存储器控制

器获取存在于所述入口的所述相关性状态。

35. 权利要求 34 所述的系统，其中所述相关性滤波器还包括循环编码器，循环编码器标识总线事务代码，总线事务代码标识所述的总线事务。

5 36. 权利要求 35 所述的系统，其中所述相关性滤波器还包括规则表，它接收所述的相关性状态和标识所述的总线事务的总线事务代码。

37. 一种在多总线系统中保持高速缓存相关性方法，包括：

保持与存在于高速缓存部件中的第一多个数据值相关的高速缓存状态信息，所述高速缓存部件耦合到第一总线，所述的高速缓存状态信息基于第一组相关性状态；

保持与所述的数据值相关的相关性状态记录，所述的相关性状态记录基于第二组相关性状态，其中所述的第二组相关性状态不同于所述的第一组相关性状态；

用第一相关性滤波器监控所述第一总线上的总线事务；

15 用第二相关性滤波器监控所述第二总线上的总线事务；

传输在所述第二总线上的总线事务；及

用所述第二相关性滤波器禁止从所述第二总线到所述第一总线的交叉总线事务，这时所述的相关性状态记录指示存储器相关性不是由禁止所述交叉总线事务所导致。

20 38. 权利要求 37 所述的方法，还包括访问所述相关性状态记录中的入口的工作，所述的第二相关性状态记录对应于总线事务地址。

39. 权利要求 38 所述的方法，还包括获取存在于所述的入口的所述相关性状态的工作。

40. 权利要求 39 所述的方法，还包括对所述的总线事务代码进行编码以产生总线事务代码的工作，总线事务代码标识所述的总线事务。

25 41. 权利要求 40 所述的方法，还包括评价所述的总线事务代码及所述的相关性状态来确定是否交叉总线事务必须保持高速缓存相关性的工作。

42. 一种多总线、多处理系统，包括：

30 一种系统存储器；

一种与所述的系统存储器通信的第一总线和第二总线，所述的第一总线具有与其耦合的多个高速缓冲存储器，而所述的第二总线具有与

其耦合的多个高速缓冲存储器，所述的高速缓冲存储器被配置来执行
探询操作并为从所述的系统存储器中获取的多个数据值保持高速缓存
状态信息，所述的高速缓冲存储器还被配置来内部修改与某些所述数
据值相关的所述高速缓存状态信息而不输出所述的内部修改；

- 5 一种与所述的第一总线通信的相关性存储器，所述的相关性存储
器被配置来保持与所述的由在所述的第一总线上的高速缓冲存储器获
取的所述数据值相关的相关性状态记录；及

 一种与所述的第二总线和所述相关性存储器通信的相关性滤波器，
所述的相关性滤波器被配置来监控在所述的第二总线上的总线事务，而
10 不监控所述的第一总线上的总线事务，所述相关性滤波器还被配置来禁
止从所述第二总线到所述第一总线基于所述相关性状态记录的交叉总
线事务。

43. 一种在多总线系统中保持高速缓存相关性方法，包括：

- 保持与存在于高速缓存部件中的第一多个数据值相关的高速缓存
15 状态信息，该高速缓存部件耦合到第一系统总线；

 内部修改在所述的高速缓存部件中的所述的高速缓存状态信息而
不输出所述的内部修改；

 保持与所述的数据值相关的相关性状态记录；

- 用相关性滤波器监控在第二总线上的总线事务，而不监控所述第
20 一总线上的总线事务，

 传输所述第二总线上的总线事务； 及

 禁止从所述所述第二系统总线到所述系统总线的交叉总线事务，
这时所述的相关性状态记录指示存储器相关性不由禁止所述交叉总线
事务所导致。

25

一种在具有多系统总线的计算机系统中
保持存储器相关性的系统和方法

5

技术领域

本发明涉及一种在具有多系统总线的计算机系统中保持存储器相关性的系统和方法。

背景技术

10

为了提高具有单一中央处理部件的计算机的性能,计算机设计者已经开发了具有多个中央处理部件的计算机。有时,在这种多处理计算机中这些中央处理部件互相连接并通过单一公用总线与系统主存储器连接。然而,近来,中央处理部件的性能的提高快于总线性能技术。较快的内部中央处理机性能需要更多的外部带宽。即,在公用总线上传输的数据总量必须增加以支持已增强的中央处理性能。结果,可以连接到公用总线上的中央处理机的数量受限于需要支持中央处理机的带宽和公用总线的总带宽。

15

一种降低在多处理系统中每一个处理机要求的总线带宽的方法是放置一个高速缓存部件在每一个处理机和公用总线之间。一旦数据装入处理机的相关高速缓存部件,该处理机就能访问高速缓存部件中的数据而不使用公用总线。一般来说,当处理机从它的高速缓存部件中获取数据时,很少数据通过有限的公用总线带宽传输。

20

在许多情况下,处理机将多次修改特定的数据值。每次数据值修改时,需要依次将数据值再写回主存储器。然而,将修改的数据值再写回主存储器,增加了支持处理机需要的总线带宽量。因此,如果写操作次数能减少,则需要支持处理机的总线带宽就能减少。

25

一种高速缓存部件,能降低写操作次数,称为“回写”高速缓冲存储器。回写高速缓冲存储器临时存储已修改的数据值,因而降低将数据值写回主存储器需要的总线事务数。例如,处理机可以多次在回写高速缓冲存储器中修改数据值而不用将数据写回主存储器。回写高速缓冲存储器保证已修改的数据最后被写回到主存储器。

30

当回写高速缓存器能很有效地减少多处理系统需要的总的总线带

宽时,不幸的是,回写高速缓存产生存储器相关性问题。例如,每一个回写高速缓存器包含它自己的数据值的拷贝。在这种情况下,如果不止一个处理机可以独立地修改一个数据值,那么同一数据值的不同的版本可能存在于不止一个回写高速缓存器中。这将产生错误的操作,结果,某些机构必须保证所有的处理机在任何时候对所有的数据值有一个一致的版本。

例如,当处理机修改数据值时,在已修改的数据值写回到主存储器之前已修改的数据值存在于回写高速缓存器中。在本例中,在回写高速缓存把已修改的数据值写回到主存储器之前,主存储器和另一个高速缓存部件一直包含陈旧的数据值的拷贝。然而,为了保持数据完整性,请求该数据值的另一个处理机,必须获取最新版本的该数据值,而不是陈旧的数据值。

保证所有的处理机有一个所有的数据值的一致版本的过程称为高速缓存相关性。一套普遍和成功的提高高速缓存相关性方法依赖于所称的“探测操作”。一般来说,当多种探测操作存在时,在高速缓存部件中的探测操作监控该公用总线上的总线事务。探测操作标识哪一个事务影响高速缓存部件的内容或者哪一个事务涉及存在于高速缓存部件中的已修改的数据。探测操作一般要求所有的处理机和与它们相关的高速缓存部件共享一个公用总线。当特定的高速缓存部件包含一个已修改的数据值时,共享公用总线允许高速缓存部件来监控总线事务和有效地干预总线事务。

高速缓存相关性方法一般也利用相关性状态信息,该信息指示在高速缓存部件中特定的数据值是否是无效的、已修改的、共享的、专门被占用的,等等。当很多高速缓存相关性方法存在时,两个流行的版本包括 MESI 高速缓存相关性协议和 MDESI 高速缓存相关性协议。MESI 缩写表示已修改的、独占的、共享和无效的状态,而 MDESI 缩写表示已修改的、被占用的、独占的、共享和无效的状态。

状态的含义从一个实现变化到另一个。普遍地说,已修改的状态通常表示特定的高速缓存部件已经修改了特定的数据值。独占的状态和被占用状态通常表示特定的高速缓存部件可以修改数据值的拷贝。共享状态通常表示数据值的拷贝可以存在于不同的高速缓存部件,而无效状态表示在高速缓存部件中的数据值是无效的。

操作中,高速缓存部件询问总线操作并使用相关性状态信息来保证高速缓存相关性。例如,假定具有第一高速缓存部件的第一处理机,希望获取一个特定的数据值。而且,假定具有第二高速缓存部件的第二处理机,包含一个已修改的数据值版本(相关性状态信息指示在第二高速缓存部件中的数据值处于已修改的状态)。

在本例中,第一处理机使读总线请求初始化以获取该数据值,第二高速缓存部件询问读总线请求并确定它包含数据值的已修改的版本,第二高速缓存部件然后通过公用总线插入和传送已修改的数据值给第一处理机。根据该系统,已修改的数据值可以或者不可以被同时写到主存储器。

在另一例中,假定第一处理机希望专门占有特定的数据值。而且,假定第二高速缓存部件包含一个未修改的、共享的数据值拷贝(相关性状态信息表示数据值在第二高速缓存部件中处于共享状态)。在本例中,第一处理机使请求专用数据的读总线请求初始化。

第二高速缓存部件询问读总线请求并确定它包含共享数据值的拷贝。第二高速缓存部件然后通过将数据值的相关性状态信息变成无效状态使它的共享数据值无效。将数据值的相关性状态变成无效状态使在第二高速缓存部件内的数据值无效。第一处理机然后完成读总线请求并从主存储器中获取该数据值的拷贝以专门使用。

在带有单一公用总线的多处理系统中,当询问操作保持高速缓存相关性时,具有较强功能的计算机包含不止一个总线以便每个总线与带有多处理机的主存储器互连;然而,因为一个公用总线具有它能支持的处理器数的增长极限,多总线系统可能有必要实现要求的性能水准。一个与多总线相关的问题是在一个总线上的处理器不能监控由其他总线上的处理器初始化的事务。结果,询问操作不能在多总线计算机中保持存储器相关性。

在多总线系统中保持高速缓存相关性的一种方法是将在每个总线初始化的总线事务扩展到所有的其他总线。不幸的是,这种方法致使所有总线的组合总线带宽负荷传输给每个总线。正如所预料的,这显著降低了系统性能并排除了多总线的益处。

第二方法基于被称作根目录的高速缓存相关性方法。IEEE Scalable Coherent Interconnect 是一个多总线根目录高速缓存

相关性系统的例子，在目录模式下，该处理机不探询总线事务。反而，主存储器子系统通过存储额外的拥有实际数据的信息保持存储器相关性。

在主存储器子系统中的额外信息一般表示为 1) 哪一个处理机或者
5 哪些处理机已经获取一个数据值的拷贝，2) 该数据值的相关性状态。例如，额外的信息可以指示不止一个处理机共享同一数据值。在另一个例子中，额外的信息可以指示只有单一处理机具有修改一个精确的数据值的权利。

当处理机请求数据值时，主存储器子系统确定它是否具有该数据
10 值的最新版本。如果没有，主存储器子系统从拥有最新的数据值的处理机中传送最新的数据值给请求处理机。或者，主存储器能指示请求处理机，其他哪个处理机具有最新的数据值。

因为关于每个数据值的最新的版本的位置的信息被主存储器子系统保存，所以该处理机不需要“探询”总线事务。然而，保持这种目录，
15 能给系统增加费用，这是由于必须为在主存储器中的每个数据值保持的附加信息的缘故。另外，为主存储器中的每个数据值保持目录也能使系统性能降低，这是由于需要定位和传送需要的数据给请求处理机的时间的缘故。

另一种根目录的系统应该是总线互连，它存储与实际上存储在高速缓存部件内的数据值相关的相关性状态信息。这样，不是随主存储器
20 增加而成比例增加的存储器(如基于目录的模式)，而是存储量仅涉及组合的高速缓存部件的更小尺寸。然而，这种方法，需要多总线系统来在每一个高速缓存部件中存储与所有的数据值相关的相关性状态信息的双份拷贝。

例如，SunMicrosystem's UltraSparc 系统使用总线交换来互连多
25 总线，其中每个总线与具有内部高速缓存部件的处理机通信，总线交换保持与高速缓存部件中所有的数据值相关的相关性状态信息的双份拷贝。在 UltraSparc 系统中，总线交换能保持相关性状态信息双份拷贝，因为在 UltraSparc 系统中，处理机被配置来提供准确的信息，即
30 那个数据值正被替换而允许外部高速缓存标记可被保持。

然而，这种总线交换，不适合于许多现有的处理机，因为它们不输出准确的高速缓存数据替换信息。例如，许多常规处理机仅在它们的内

部高速缓存部件内保持准确的相关性状态信息。这样,其他设备不能确定一个数据值何时从内部高速缓存部件中移出,没有关于内部高速缓存部件内的相关性状态信息的准确信息,总线交换不能保持相关性状态信息的双份拷贝。

5 发明内容

本发明提供一种高速缓存相关的、多总线系统,该系统有效地增加单一总线系统的总的处理机性能极限。本发明知道多总线、多处理系统需要一种低等待时间、高带宽系统,该系统 1) 将多系统总线和多 I/O 设备与共享主存储器互连以及 2) 有效地保持高速缓存相关性而减小对系统内等待时间和总的带宽的影响。附属发明用“相关性滤波器”来说明这些问题,“相关性滤波器”允许总线-到-总线通信并列,以这种方式保持高速缓冲存储器相关性而减少交叉总线通信量的过量。

根据本发明的一个发明,一种多总线、多处理系统,包括:

一种系统存储器;

15 一种与所述的系统存储器通信的第一总线,所述的第一总线具有至少一个高速缓冲存储器与其耦合,所述的高速缓冲存储器被配置来存储从所述的系统存储器中获取的多个数据值,所述的高速缓冲存储器还被配置来保持关于所述的带有第一组相关性状态的数据值的高速缓存相关性信息;

20 一种与所述的第一总线通信的相关性存储器,所述的相关性存储器被配置来保持与所述数据值相关的相关性状态记录;

一种与所述的系统存储器通信的第二总线,所述的第二总线能传输总线事务;及

25 一种与所述的第二总线和所述相关性状态记录通信、而不与所述第一总线相连接的相关性滤波器,所述的相关性滤波器被配置来监控所述的在所述的第二总线上的总线事务和根据所述的相关性状态记录禁止从所述第二总线到所述第一总线的交叉总线事务。

根据本发明的另一个方面,一种在多总线系统中保持高速缓存相关性方法,包括:

30 保持与存在于高速缓存部件中的第一多个数据值相关的高速缓存状态信息,该高速缓存部件耦合到第一总线;

保持与所述的第一多个数据值相关的第一总线相关性状态记录;

用第一相关性滤波器监控所述第一总线上的总线事务;

用第二相关性滤波器监控第二总线上的总线事务;

传输在所述第二总线上的总线事务; 及

- 5 用第二相关性滤波器禁止从所述第二总线到所述第一总线的交叉总线事务, 这时所述第一总线相关性状态记录表示存储器相关性不是禁止所述交叉总线事务所致。

根据本发明又一个发明, 一种多总线、多处理系统, 包括:

一种系统存储器;

- 10 一种与所述的系统存储器通信的系统总线, 所述的系统总线具有至少一个高速缓冲存储器与其耦合, 所述的高速缓冲存储器被配置来存储从所述的系统存储器中获取的多个数据值, 所述第一系统总线能传输多总线事务;

一种与所述的系统总线通信的相关性存储器, 所述的相关性存储器被配置来保持与所述数据值相关的系统总线相关性状态记录;

- 15 一种与所述的系统存储器通信的输入/输出总线, 所述的输入/输出总线能传输多总线事务; 及

- 一种与所述的输入/输出总线和所述相关性存储器通信的输入/输出相关性滤波器, 所述的输入/输出相关性滤波器被配置来监控在所述的输入/输出总线上的所述总线事务, 而不监控在所述系统总线上的总线事务, 所述的输入/输出相关性滤波器还被配置来根据所述的系统总线相关性状态记录禁止从所述输入/输出总线到所述系统总线的交叉总线事务。

根据本发明再一个方面, 一种在多总线系统中保持高速缓存相关性的方法, 包括:

- 25 保持与存在于耦合到系统总线的高速缓存部件中的第一多个数据值相关的高速缓存状态信息, 所述的高速缓存状态信息基于第一组相关性状态;

保持与所述第一多个数据值相关的相关性状态记录;

用第一相关性滤波器监控所述系统总线上的总线事务;

- 30 用第二相关性滤波器监控输入/输出总线上的总线事务;

传输在所述输入/输出总线上的总线事务; 及

用所述第二相关性滤波器禁止从所述输入/输出总线到所述系统

总线的交叉总线事务，这时所述的相关性状态记录指示存储器相关性将不由禁止所述交叉总线事务所导致。

根据本发明的别的一个方面，一种多总线、多处理系统包括：

一种系统存储器；

- 5 与所述的系统存储器通信的第一系统总线和第二系统总线，所述第一系统总线具有至少一个高速缓冲存储器与其耦合，而所述第二总线具有至少一个高速缓冲存储器与其耦合，所述的高速缓冲存储器被配置来存储从所述的系统存储器中获取的多个数据值；

- 10 一种与所述的第一系统总线通信的第一相关性存储器，所述的第一相关性存储器被配置来保持与所述高速缓存部件中的所述数据值相关的第一相关性状态记录，所述的高速缓存部件与所述第一系统总线连接；

- 15 一种与所述的第二系统总线通信的第二相关性存储器，所述的第二相关性存储器被配置来保持与在所述的高速缓冲存储器中的所述数据值相关的第二相关性状态记录，所述的高速缓冲存储器与所述第二系统总线连接；

- 20 一种与所述的第一系统总线和所述第二相关性存储器通信的第一相关性滤波器。所述的第一相关性滤波器被配置来监控在所述第一系统总线上的总线事务，并禁止从所述第一系统总线到所述第二系统总线的基于所述的第二相关性状态记录的交叉总线事务；及

一种与所述的第二总线和所述第一相关性存储器通信的第二相关性滤波器，所述的第二相关性滤波器被配置来监控所述的第二系统总线上的总线事务，并禁止从所述第二系统总线到所述第一系统总线的基于所述的第一相关性状态记录的交叉总线事务。

- 25 根据本发明的还有一个方面，一种多总线、多处理系统，包括：
一种系统存储器；

- 30 一种与所述的系统存储器通信的第一总线和第二总线，所述的第一总线具有至少一个与其耦合的高速缓冲存储器，而所述的第二总线具有至少一个与其耦合的高速缓冲存储器，所述的高速缓冲存储器，配置来存储从所述的系统存储器中获取的多个数据值，所述的高速缓冲存储器还配置来保持关于所述数据值的高速缓存相关性信息；

一种第一相关性存储器设备，用来保持与所述第一总线相关的所

述数据值的第一相关性状态记录;

一种第二相关性存储器设备,用来保持与所述第二总线相关的所述数据值的第二相关性状态记录;

5 一种第一相关性滤波器设备,用来监控在所述的第一总线上的总线事务,并禁止从所述的第一总线到所述第二总线基于所述的第二相关性状态记录的交叉总线事务;以及

一种第二相关性滤波器设备,用来监控在所述的第二总线上的总线事务,并禁止从所述的第一总线到所述第二总线基于所述的第一相关性状态记录的交叉总线事务

10 根据本发明的还有一个方面,一种多总线、多处理系统,包括:
一种系统存储器;

一种与所述的系统存储器通信的第一总线,所述的第一总线具有至少一个与其耦合的高速缓冲存储器,所述的高速缓冲存储器配置来存储从所述的系统存储器中获取的多个数据值,所述的高速缓冲存储器还配置来保持关于所述数据值的相关性状态信息;

15 一种与所述的第一总线通信的相关性存储器,所述的相关性存储器配置来保持与带有第二组相关性状态的所述数据值相关的相关性状态记录,其中所述的第二组相关性状态不同于所述的第一组相关性状态;

20 一种与所述的系统存储器通信的第二总线。所述的第二总线能传输总线事务;

一种与所述的第二总线和所述相关性存储器通信的相关性滤波器,所述的相关性滤波器配置来监控在所述第二总线上的总线事务,而不监控所述第一总线上的总线事务,所述的相关性滤波器配置来禁止从所述第二总线到所述第一总线基于所述相关性状态记录的交叉总线事务。

25 根据本发明的还有一个方面,一种在多总线系统中保持高速缓存相关性方法,包括:

保持与存在于高速缓存部件中的第一多个数据值相关的高速缓存状态信息,所述高速缓存部件耦合到第一总线,所述的高速缓存状态信息基于第一组相关性状态;

保持与所述的数据值相关的相关性状态记录,所述的相关性状态记录基于第二组相关性状态,其中所述的第二组相关性状态不同于所述

的第一组相关性状态;

用第一相关性滤波器监控所述第一总线上的总线事务;

用第二相关性滤波器监控所述第二总线上的总线事务;

传输在所述第二总线上的总线事务; 及

- 5 用所述第二相关性滤波器禁止从所述第二总线到所述第一总线的交叉总线事务, 这时所述的相关性状态记录指示存储器相关性不是由禁止所述交叉总线事务所导致。

根据本发明还有一个方面, 一种多总线、多处理系统, 包括:

一种系统存储器;

- 10 一种与所述的系统存储器通信的第一总线和第二总线, 所述的第一总线具有与其耦合的多个高速缓冲存储器, 而所述的第二总线具有与其耦合的多个高速缓冲存储器, 所述的高速缓冲存储器被配置来执行探询操作并为从所述的系统存储器中获取的多个数据值保持高速缓存状态信息, 所述的高速缓冲存储器还被配置来内部修改与某些所述数据值相关的所述高速缓存状态信息而不输出所述的内部修改;

- 15 一种与所述的第一总线通信的相关性存储器, 所述的相关性存储器被配置来保持与所述的由在所述的第一总线上的高速缓冲存储器获取的所述数据值相关的相关性状态记录; 及

- 20 一种与所述的第二总线和所述相关性存储器通信的相关性滤波器, 所述的相关性滤波器被配置来监控在所述的第二总线上的总线事务, 而不监控所述的第一总线上的总线事务, 所述相关性滤波器还被配置来禁止从所述第二总线到所述第一总线基于所述相关性状态记录的交叉总线事务。

- 25 根据本发明的还有一个方面, 一种在多总线系统中保持高速缓存相关性方法, 包括:

保持与存在于高速缓存部件中的第一多个数据值相关的高速缓存状态信息, 该高速缓存部件耦合到第一系统总线;

内部修改在所述的高速缓存部件中的所述的高速缓存状态信息而不输出所述的内部修改;

- 30 保持与所述的数据值相关的相关性状态记录;

用相关性滤波器监控在第二总线上的总线事务, 而不监控所述第一总线上的总线事务,

传输所述第二总线上的总线事务； 及

禁止从所述第二系统总线到所述系统总线的交叉总线事务，
这时所述的相关性状态记录指示存储器相关性不由禁止所述交叉总线
事务所导致。

5 在本发明优选的实施例中，系统总线、I/O总线及存储器部件通过
多端口总线交换耦合。这种总线交换不仅连接任何系统总线或者I/O总
线到任何存储器部件，而且处理交叉总线通信量。另外，优选的总线交
换包含总线接口逻辑，该逻辑确定需要应答总线事务的操作。然而，本
发明不限于这种多端口总线交换并能被利用于多种其他总线互连，例
10 如，当独立的总线桥用于数据路径时。

 在多总线、多处理系统中，为了保证高速缓存相关性，每个支持高
速缓存器的总线具有一个分配的相关性滤波器。每个相关性滤波器包含
标记控制器，循环编码器和规则表。另外，每个相关性滤波器耦合到标
记存储器。一般来说，每个标记控制器与所有的标记存储器接口。每个
15 循环编码器确定哪种总线事务正发生在循环编码器的分配总线上，每个
规则表确定什么总线事务或者事务群必须保持高速缓存相关性。

 现在，来看标记存储器，每个标记存储器保持以下记录：1)定位于
与标记存储器的分配总线连接的高速缓存部件中的数据值的地址，及2)
与数据值相关的高速缓存相关性状态。众所周知，每个在主存储器中的
20 数据值用相应存储器地址来标识。在优选的实施例中，标记存储器存储
标识数据值，而不是实际数据值的数据值地址。除存储数据值地址之外，
优选的标记存储器也存储与数据值地址相关的相关性状态信息。

 例如，假定第一相关性滤波器和第一标记存储器分配给第一总
线。还假定在第一总线上的第一处理机从主存储器中请求数据值。第一
25 相关性滤波器保持在第一标记存储器中的存储器地址的记录。另外，第
一相关性滤波器还存储与第一标记存储器中的存储器地址相关的相关
性状态信息。

 在存储器事务中被访问的数据总量从系统到系统变化。在大多数
常规系统中，当处理机执行存储器读事务时，该处理机访问足够的存储
器以填充该处理机的内部高速缓冲存储器的一部分。一般来说，内部高
30 速缓冲存储器在所称为的高速缓存线中存储多数据值。

 众所周知，在常规计算机处理系统中的存储器被分成8位数量(字

节), 16 位数量(字)和 32 位数量(双倍字)。在许多当前的 32 位处理机中, 主存储器被设计成双倍字(32 位)边界。在大多数 32 位处理机中, 每个高速缓存线能保持多双倍字。

5 一般情况下, 当处理机请求数据值时, 该处理机获取足够的数以填充整个高速缓存线。例如, 在 PentiumPro 处理机中, 每个内部数据值在长度上变化, 但不超过 64 个位。然而, PentiumPro 的高速缓存线, 保持 32 位字节数据(256 位)。当 PentiumPro 处理机希望从主存储器中获取数据值时, 它一般获取需要填充一个高速缓存线的 8 个数据值(256 位)。

10 在常规系统中, 每个高速缓存线由高速缓存线地址来标识。例如, 在 PentiumPro 系统中, 高速缓存线具有与高速缓存线中的最低数据值的存储器地址相同的高速缓存线地址。然而, 因为每个高速缓存线包含 32 位字节数据, 所以每一个高速缓存线的高速缓存线地址较短并且不包括 5 个最低地址位。在优选的实施例, 每个分配给特定的总线的标记
15 存储器存储高速缓存线地址。

除存储高速缓存线地址之外, 每个标记存储器也存储与高速缓存线地址相关的相关性状态。相关性状态涉及高速缓存部件中的高速缓存线状态。在优选的实施例, 相关性状态包含三个不同的相关性状态: 无效状态、共享状态或者被占用状态。

20 无效状态表示高速缓存线无效以及存储高速缓存线的高速缓存入口为空并能存储新的高速缓存线。共享状态表示处理机具有高速缓存线的拷贝, 但没有修改权。共享高速缓存线, 例如, 时常是没有被修改的程序指令或者是主读数据项目。被占用状态表示高速缓存线可以被已经获取高速缓存线的处理机修改。

25 然而, 在本领域中的普通技术人员可以理解, 高速缓存线的相关性状态不只限于无效, 共享和被占用协议。实际上, 本领域的技术人员知道, 相关性状态可能用大范围的相关性协议来实现, 如已修改的、独占的、共享和无效的(MESI)协议, 已修改的、独占的、专用的、共享和无效的(MDESI)协议, 已修改的、共享的、无效(MSI)协议, 两状态无效
30 和被占用协议, Berkeley 协议, University of Illinois 相关性协议, 数字设备的 Firefly 协议, Xerox Dragon 协议, 等等。优选的实施例利用了无效、共享和被占用协议, 这是因为它能有效地与利用 MESI 协议的

PentiumPro 处理机连接。

在许多常规处理机中,这些处理机有内部高速缓存部件,内部高速缓存部件不输出关于存储于内部高速缓存部件内的高速缓存线的准确的相关性状态信息。例如,内部高速缓存部件可以废弃未修改的高速缓存线而不发出高速缓存线已经被废弃的信号。在另一个实例中,内部高速缓存部件可以获取具有高速缓存部件没有修改的修改优先权的高速缓存线。在本例中,高速缓存部件可以废弃高速缓存线而不发出高速缓存线已经被废弃的信号。结果,监控高速缓存部件的设备可以认为高速缓存部件具有高速缓存线的一个已修改的拷贝,而这时高速缓存线实际上已经废弃高速缓存线。然而,在优选的本发明的实施例中,每个标记存储器特别适应于为不输出当前的相关性状态信息的内部高速缓存部件保证高速缓存相关性。

本发明的一个重要方面是每个标记存储器通过保持可能当前保持在内部高速缓存部件中的高速缓存线地址的超集,来保证高速缓存相关性。这样,在标记存储器中的高速缓存线地址的超集可以指示在高速缓存部件中的特定的高速缓存线处于共享状态,而这时高速缓存部件实际上已经废弃高速缓存线。在其他情况下,标记存储器中高速缓存线地址的超集可以指示高速缓存部件中特定的高速缓存线处于已修改的状态,而这时,高速缓存部件实际上已经将高速缓存线写回到主存储器。

为了保持高速缓存线地址的超集,优选的相关性滤波器使用所称作的涵盖规则。涵盖规则保证存储于与特定的总线连接的高速缓存部件中的高速缓存线地址总是分配给总线的标记存储器中的高速缓存线地址的子集。因为每个相关性滤波器监控所有的由它的相关的总线访问的高速缓存线,所以与每个被访问的高速缓存线相关的地址被保持于分配给总线的标记存储器中。当高速缓存线地址必须从一个标记存储器中被删除时,涵盖规则指示相关的高速缓存部件以从它们的高速缓冲存储器中删除高速缓存线。

例如,当标记存储器没有存储器容量以保持新的高速缓存线地址时,必须通过从标记存储器中排除一个现存的高速缓存线地址(旧的高速缓存线地址)来为新的快速缓存线地址在标记存储器内准备空间。如果旧的高速缓存线地址处于无效状态(与总线连接的高速缓存部件不再使用与旧的高速缓存地址相关的高速缓存线),分配给标记存储器的相

关性滤波器简单地用新的高速缓存线地址替换旧的高速缓存线地址。

然而,当旧的高速缓存线地址处于共享或者被占用状态时,相关性滤波器不能从标记存储器中排除旧的高速缓存线地址,直到高速缓存部件使旧的高速缓存线地址无效。如上所述,优选的标记存储器保持高速缓存线地址超集,这样旧的高速缓存线地址必须在旧的高速缓存线地址能用新的高速缓存线地址替换之前首先在高速缓存部件中被无效。

相关性滤波器通过执行无效总线事务使高速缓存部件中的旧的高速缓存线地址无效。无效总线事务指示与总线连接的高速缓存部件以在内部使旧的高速缓存线地址和它相关的高速缓存线无效。

例如,假定具有第一高速缓存部件的第一处理机和具有第二高速缓存部件的第二处理机被连接到第一总线,第一总线有一个被分配的相关性滤波器和一个标记存储器。而且,假定第一高速缓存部件包含处于共享状态的第一高速缓存线。在本例中,标记存储器包含第一高速缓存线地址和共享状态信息。另外,假定第二处理机初始化请求第二速缓冲行的读总线事务。最后,假定标记存储器没有存储器容量给第二高速缓存线地址。

在本例中,相关性滤波器需要排除第一高速缓存线地址为第二高速缓存线地址准备空间。然而,在相关性滤波器能排除第一高速缓存线地址之前,相关性滤波器必须执行使第一高速缓存部件中的第一高速缓存线地址无效的总线事务。为了使第一高速缓存地址行无效,相关性滤波器执行一个无效总线事务,该无效总线事务指示第一高速缓存部件以使与第一高速缓存线地址相关的高速缓存线无效。

当执行无效总线事务时,相关性滤波器暂停用于第二高速缓存线地址的读总线事务,因为第一高速缓存线地址处于共享状态(第一高速缓存线没被修改),第一高速缓存部件响应无效总线事务并使第一高速缓存线无效。完成无效总线事务之后,相关性滤波器用第二高速缓存线地址替换标记存储器中的第一高速缓存线地址。

然而,在某种情况下,第一高速缓存部件可能已修改第一高速缓存线(例如,第一高速缓存线处于被占用状态)。如果第一高速缓存线处于被占用状态,第一相关性滤波器再执行使第一高速缓存线无效的无效总线事务。然而,如果第一高速缓存部件已经修改了第一高速缓存线,则第一高速缓存部件通过执行写总线事务来响应无效总线事务,该写总

线事务将已修改的第一高速缓存线写回到主存储器。

在将已修改的第一高速缓存线写回到主存储器之后，第一高速缓存部件使第一高速缓存线无效。相关性滤波器然后用第二高速缓存线地址替换标记存储器中的第一高速缓存线地址。这样，在某种情况下，保持5 在标记存储器中的高速缓存线地址的一个超集要求高速缓存部件在无效标记存储器中的高速缓存线之前将已修改的数据写回到主存储器。

在优选的实施例中，每个相关性滤波器使用直接映象技术存储标记存储器中的高速缓存线地址。直接映象技术指定每个高速缓存线地址10 被映象到标记存储器中特定的标记入口。尽管优选的实施例使用直接映象技术时，本领域的普通技术人员知道许多不同的技术能被用来设定标记存储器内的高速缓存线地址。例如，替代直接映象技术，标记存储器完全可以使用相关映象技术。在一个完全相关系统中，任何高速缓存线地址能存在于任何标记入口。在其他实施例中，每个高速缓存线地址只15 能被存储在于两个不同的标记入口（双向组关联）之一，或者四个不同的标记入口（四向组关联）之一，等等。

现在，来看优选的实施例中的直接映象技术。每个高速缓存线地址用作索引来标识特定的标记入口。在优选的实施例中，标记存储器中的入口数定义称为标记页的长度。最好是，耦合到每个系统总线上的标20 记存储器具有同一标记页长度。标记页长度与该处理机的高速缓存的总的高速缓冲存储器量有关。而且，耦合到 I/O 总线的标记存储器在长度上较小，这是因为一般耦合到 I/O 桥的小高速缓存部件。

标记页不应该与主存储器页混淆。众所周知，在本领域中，计算机的物理存储器地址空间一般能被设成称为存储器页的多扇区，其中每25 一个存储器页包含多高速缓存线。存储器页由处理系统定义并且是独立的标记页。

在优选的实施例中，高速缓存线地址标识 1) 标记页，它包含高速缓存线地址，2) 在标记页内的高速缓存线地址位置。特别地，高速缓存线地址中的高位标识标记页而低位标识在标记页内的高速缓存线地址位置。30

一般来说，低位被称为索引，因为低位标识标记内高速缓存线地址位置。例如，对于第一标记页内的第一高速缓存线地址，高地址位标

识第一标记页，低地址位标识第一标记页内的第一高速缓存线地址位置。

在优选的实施例中，在相关性滤波器内的标记控制器直接将高速缓存线地址映射到标记存储器。例如，当与第一总线连接的处理机初始化请求特定的高速缓存线地址的总线事务时，第一标记控制器评价高速缓存线地址。第一标记控制器使用较低地址位作为索引以标识第一标记存储器中的特定的标记入口。第一标记控制器然后在已标识的标记入口中存储高位(标记页)。

在优选的实施例中，标记存储器用静态存储器实现。静态存储器实现允许每个标记控制器在总线事务期间快速访问每个标记存储器。而本发明被应用于静态存储器，在本领域中的普通技术人员，也知道不同类型的存储机构可以被用来实现标记存储器。更可取地，不同类型的存储机构会提供存储器与总线时钟频率相等的访问速度以达到最佳性能。

当两个高速缓存线地址映射到同一标记入口时，标记控制器排除在先的高速缓存线地址为新的快速缓存线地址准备空间。如上所述，这种过程能延迟与新的高速缓存线地址相关的总线事务，直到旧的高速缓存线地址已经被无效。而且，无效旧的高速缓存线地址可以要求附加总线事务来保证标记存储器保持一个存在于高速缓存部件中的高速缓存线地址超集。

在本发明的一个实施例中，每个相关性滤波器还包含无效队列，该队列保持旧的高速缓存线地址和新的高速缓存线地址而不暂停与新的快速缓存线地址相关的总线事务。这能提高系统性能，因为使旧的高速缓存线无效的无效总线事务能发生在晚些时候。

现在，来看在多总线中保持高速缓存相关性，优选的相关性滤波器确定监控它们的分配总线上的总线事务时何时需要交叉总线事务。特别地，每个相关性滤波器中的循环编码器监控每个发生在相关性滤波器的被分配的总线上的总线事务。在优选的实施例中，循环编码器使用公知的监控总线控制行的总线监控逻辑。循环编码器然后传输 1) 总线事务的类型和 2) 在与总线事务相关的标记存储器中的高速缓存状态信息给相关性规则表。

现在，来看规则表，规则表确定何时执行交叉总线事务以保证高速缓存相关性。在优选的实施例中，规则表确定是否执行部分根据标记存

存储器中的相关性状态信息的交叉总线事务。例如，如果第一总线上的总线读事务标识特定的高速缓存线地址，则分配给第一总线的规则表评价在分配给另一个总线的标记存储器的（远程标记存储器）高速缓存线地址的相关性状态。

- 5 利用来自远程标记存储器中的相关性状态信息，规则表确定远程总线事务是否必须保证高速缓存相关性。如下面更详细描述，在特定的相关性滤波器中，标记控制器访问远程标记存储器和输入高速缓存状态到规则表中。另外，循环编码器确定总线事务类型和输入总线事务信息给规则表。

- 10 在优选的实施例，规则表作为大的真值表起作用。使用总线事务信息和远程标记存储器信息，规则表确定哪一个交叉总线事务或者总线事务组必须保持高速缓存相关性。

- 例如，假定处理机初始化第一总线上的读总线事务。在本例中，初始化总线事务的第一总线指局部总线，而多总线系统中的另一个总线被称为远程总线。读总线事务传输要求的高速缓存线地址给分配给局部总线的相关性滤波器（局部相关性滤波器）。局部相关性滤波器然后评价高速缓存线地址是否存在于分配给远程总线的标记存储器（远程标记存储器）中。
- 15

- 本例中的远程标记存储器指示要求的高速缓存线地址的相关性状态为无效状态。在这种情况下，没有必要执行交叉总线事务来保持高速缓存相关性，因为远程总线中的高速缓存线地址是无效的。因此，局部相关性规则表将总线事务限制给局部总线的主存储器，在远程总线上不产生总线事务。将总线事务限制给局部总线，降低交叉总线通信量。
- 20

- 然而，如果远程标记存储器指示需要交叉总线事务，规则表确定合适的交叉总线事务或者用以保证高速缓存相关性需要的事务组。例如，一个远程标记存储器可以指示高速缓存线地址为被占用状态，这样，与远程总线连接的高速缓存部件可能具有一个已修改的高速缓存线版本。如果远程标记存储器指示高速缓存线地址处于被占用状态，局部规则表指示与远程总线连接的总线主控制器（busmaster）逻辑需要执行在远程总线上的总线读命令来保证高速缓存相关性。
- 25
- 30

 当执行在远程总线上的总线读命令时，远程高速缓存部件查询总线读命令并确定它们是否具有一个已修改的要求的高速缓存线版本。如

果远程总线上的一个远程高速缓存部件返回一个已修改的高速缓存线版本,则规则表正向传送高速缓存线给局部总线上的请求处理机。

然而,如果远程总线上没有一个高速缓存部件已修改高速缓存线,则高速缓存部件不响应总线读命令。规则表然后确定最新的高速缓存线存在于主存储器中。因此,本发明传输主存储器中最新的高速缓存线给局部总线上的请求处理机。这样,本发明优选的实施例使用标记存储器中的高速缓存线地址超集来确定何时需要交叉总线事务来保持高速缓存相关性。

本发明的另一方面包括第三总线,用于连接输入/输出设备。在优选的实施例中,这种第三总线称为输入/输出(I/O)总线。优选的I/O总线与另一个处理机总线为同一类型总线;然而,本领域的普通技术人员知道I/O总线和其他每个处理机总线可以使用不同的总线协议。

优选的I/O总线以与其他处理机总线类似的方式进行操作。在高性能计算机中大多数I/O传送用直接存储器访问(DMA)传送来完成。DMA传送通常由I/O设备初始化,I/O设备直接在主存储器和I/O设备之间移动数据而不用直接的中央处理机介入。在发生在I/O总线的I/O事务上保持存储器相关性避免在每个DMA传送之前和之后高速缓存部件中的高速缓存线溢出

另一类型的I/O传送包括由处理机直接编程访问I/O数据。在优选的实现中,总线交换正向传送直接I/O传送给I/O总线并正向传送所有的存储器访问,而不是对主存储器地址空间的访问给I/O总线作为存储器映象的I/O传送。这种I/O传送不包括高速缓存相关性,但是,如下面更详细描述,被从一个总线到另一个总线以特定的方式传输。

优选的I/O总线包含I/O相关性滤波器和I/O总线接口,I/O总线接口提高I/O映象通过多系统总线和提高I/O数据处理及降低系统总线复杂性。发生在总线上的I/O数据事务被自动地传送给I/O总线。另外,在I/O总线上产生的事务被送到目的总线而不扩展总线事务给另一个总线。

本发明的另一个方面优化在多总线之间的通信。例如,常规总线交换将不同的总线与独立连接路径互连。这样,在常规多总线系统中,第一总线和第二总线通常与独立连接路径互连,第一总线和第三总线与另一个独立连接路径互连,而第二总线及第三总线也与另一个独立连接路径

互连。如所期望的,这种独立的连接路径增加总线交换实现的复杂性。

例如,当第一总线希望传送第一总线事务给第二总线时,第一总线将第一总线事务放置于第一队列,该第一队列将第一总线与第二总线连接。第二总线然后从第一队列的输出中获取第一总线事务。同样当第二总线希望传送第二总线事务给第一总线时,第二总线将第二总线事务放置于第二队列,第二队列将第二总线与第一总线连接。第一总线然后从第二队列的输出中获取第二总线事务。

因此,两个总线要求两个队列。当附加总线互连时需要更多的队列。例如,在一个三-总线系统中,每个总线-到-总线连接需要两个队列。结果,三-总线系统需要六个队列。

然而,在优选的实施例中,应用总线交换的特定的方法,用可由所有的总线访问的存储器单元多端口池降低这种系统复杂性,利用这种独特的总线交换,数据能从任何总线流向任何其它总线而不干涉其他可以同时发生的数据传送。如下面更详细描述,从每个总线来的总线传送进入公用存储器单元池。在公用存储器池中的总线事务然后被传送给它们的目的总线。有利地,任何总线能从任何其它总线读或者写给任何其它总线,而不使用独立连接路径。

在优选的实施例中,与每个总线事务相关的信息被存储于三个不同的被称作数据单元、请求单元和地址单元的存储器单元。数据单元存储与总线事务相关的数据。请求单元包含总线事务信息,总线事务信息定义传送给目的总线的总线事务的类型。最后,地址单元包含有关总线事务的地址信息和相关性状态信息。

在优选的实施例中,一一对应关系存在于每个数据单元,每个请求单元和每个地址单元之间。这样每个数据单元、请求单元或者地址单元,或者这些单元任何的组合可以包含为特定的总线事务的信息。而优选的实施例使用三个存储器单元来保持总线事务信息。总线事务信息可能存在于少于或者超过三个的存储器单元。

一般,数据单元、请求单元和地址单元能被视为存在于多端口存储器的单一池中。尽管,在优选的实施例中,数据单元、请求单元和地址单元位于不同的单元,但它们继续保持它们的一一对应关系。在优选的实施例中,数据接口缓冲器包含数据单元而系统访问控制器包含地址单元和请求单元。

现在,来看优选的数据接口缓冲器,在数据接口缓冲器中的每个数据单元为多端口并可由所有的总线访问。每个数据单元包含与特定的总线事务相关的数据。有利地,在数据接口缓冲器中的数据单元池与总线数据路径互连。

5 现在,来看优选的系统访问控制器,系统控制器包含中央请求表、缓冲器管理器、多个总线主控制器和多个总线从设备。众所周知在该领域中,每一个总线主控制器将在总线之一上的总线事务初始化而每个总线从设备接收由连接到总线之一的另一设备初始化的总线事务。中央请求表保持请求单元池,缓冲器管理器保持地址单元池。

10 在中央请求表中的每个请求单元为多端口并由所有的总线访问。每一个请求单元包含目标总线标识符,也被称作总线事务代码的动作代码,和占用者总线标识符。目标总线标识符标识特定的目的总线,总线事务代码标识特定的总线事务以及占用者总线标识符标识发端总线。

15 现在,来看缓冲器管理器中的地址单元的池。每个地址单元为多端口并且包含“在-使用”信息,存储器地址和数据单元状态信息。地址单元中的在-使用信息指示是否地址单元可以使用。在优选的实施例中,在-使用信息包括在-使用位,在-使用位被设定来指示是否地址单元处于使用或者空闲状态。在某种情况下,当在-使用位被设定为空闲时,有效数据可以存在于数据单元。这允许优化,它再使用空闲数据单元中的有效的数据。

20 另一方面,存储器地址包含与总线事务相关的存储器地址而数据单元状态指示数据单元中的数据状态。除地址单元池之外,缓冲器管理器也包括地址单元优先级编码器,多先进先出(FIFO)存储器及多地址比较器。地址单元优先级编码器确定哪个地址单元正在使用及哪个地址单元是空闲的以接收新的总线事务信息。在优选的实施例中,地址单元优先级编码器通过评价每个地址单元中的在-使用信息确定哪个地址单元是空闲的。

25 地址单元优先级编码器不仅确定哪个地址单元是空闲的。而且分配空闲地址单元给不同的总线,更为可取地,地址单元优先级编码器分配空闲地址单元给不同的总线。在分配空闲地址单元给总线之后,地址单元优先级编码器设定在-使用位以指示地址单元不是空闲的。例如,假定在三个总线系统中,优先级编码器确定三个地址单元是空闲的。优选的优

优先级编码器分配第一空闲地址单元给第一总线，第二空闲地址单元给第二总线以及第三空闲地址单元给第三总线。

当第四地址单元变成空闲时，地址单元优先级编码器循环回到第一总线并且分配第四地址单元给第一总线。当优选的地址单元优先级编码器使用这种技术来分配空闲地址单元给不同的总线时，本领域中的普通技术人员可以理解地址单元优先级编码器能利用大范围的分配模式来分配空闲地址单元给不同的总线。

现在，来看缓冲器管理器中的 FIFO 存储器，FIFO 存储器临时存储被分配的地址单元直到它们被总线需要。在优选的实施例，FIFO 存储器存储地址单元标识符，此标识符标识被分配的地址单元。地址单元标识符是一种数据变量，它包含被分配的地址单元的存储器位置。总线使用地址单元标识符以访问由地址单元标识符标识的地址单元存储器位置。

在优选的实施例，每个 FIFO 存储器分配给特定的总线。而且，每个 FIFO 存储器耦合到总线从设备之一和分配给同一总线作为每个 FIFO 存储器的相关性滤波器之一。当总线从设备之一或者相关性滤波器之一希望发送总线事务给另一个总线时，它们从它们分配的 FIFO 存储器中获取地址单元标识符之一。

例如，假定在第一总线上的第一处理机希望发送数据值给在第二总线上的第二 I/O 设备。在本例中，第一总线从设备被连接到第一总线。当第一处理机初始化发送数据值给第二 I/O 设备的总线事务时，该总线事务由第一总线从设备接收。第一总线从设备然后确定总线事务需要正向传送给第二总线。

因此，第一总线从设备访问缓冲器管理器中的第一 FIFO 存储器并获取地址单元标识符。使用地址单元标识符，第一总线从设备访问已标识的地址单元，并存储数据值地址以及如果必要，也包括地址单元的数据值的相关性状态。在相应请求单元中，第一总线从设备用目标总线标识符指定第二总线，用动作代码（也被称作总线事务代码）指定总线事务代码，以及用占用者总线标识符指定第一总线。而且，第一总线从设备存储与总线事务相关的数据值在相应的数据单元。

在不同的实例中，假定分配给第一总线的的第一高速缓存相关性滤波器确定高速缓存线访问需要在第二总线上的总线事务以保证高速缓

存相关性。在本例中,第一高速缓存相关性滤波器访问缓冲器管理器中的第一 FIFO 存储器并获取地址单元标识符。

第一相关性滤波器使用地址单元标识符以访问已标识的地址单元。第一相关性滤波器然后存储高速缓存线地址和相关性状态信息在地址单元中。另外,在请求单元中,第一相关性滤波器用目标总线标识符指定第二总线,用总线标识符指定合适的总线事务代码和第一总线。然而,在本例中,相应数据单元仍然为空,因为高速缓存线数据不需要保证高速缓存相关性。一旦总线事务信息已经加到该单元,则适当的总线必须获取总线事务信息和执行要求的总线事务。

在优选的实施例中,中央请求表中的多个总线优先级编码器连接到请求单元。如上所述,请求单元中的目标总线标识符标识目的总线,一般来说,总线优先级编码器评价请求单元中的目标总线标识符以确定哪一个总线应执行总线事务。

例如,假定请求单元中的目标总线标识符指定第一总线和第二总线。在本例中,第一总线优先级编码器评价请求单元中的目标总线标识符来标识哪个请求单元给第一总线,而第二总线优先级编码器评价目标总线标识符以标识哪个请求单元给第二总线。

除标识目的总线之外,每个总线优先级编码器也确定哪一个与特定的总线相关的总线请求单元具有最高优先级,在优选的实施例中,每个总线优先级编码器使用循环技术确定最高优先级总线请求单元。循环技术保证每个总线优先级编码器依次地分配最高优先级给总线请求单元。

每个总线优先级编码器正向传送最高优先级总线请求单元给总线主控制器之一。如上所述,除具有总线标识符之外,请求单元也包含总线事务代码。总线主控制器然后执行在请求单元中标识的总线事务。在某种情况下,如下面更详细描述,执行事务的总线需要将数据写回到将总线事务初始化的总线。在这种情况下,总线主控制器将使用数据单元来存储回写数据并再使用请求单元来与发端总线通讯。如上所述,发端总线是由存在于请求单元的占用者总线标识符标识的。然而,对于总线事务的完成,总线主控制器设定地址单元 500,请求单元 600 和数据单元 700 为空闲。

当总线主控制器执行总线事务时,总线优先级编码器标识分配给

它的总线的下一个最高级优先级请求单元并正向传送请求单元给总线主控制器。当总线优先级编码器到达分配给它的总线的最后一个总线请求单元时,总线优先级编码器循环写回到分配给它的总线的第一个总线请求单元。在循环基础上分配最高优先级给每个总线请求单元,保证每个
5 总线请求单元最后被正向传送给总线。因此,当新的请求单元加到中央请求表时,每个总线优先级编码器获取对新的请求单元立即的访问并分配最高优先级。

在本发明的另一个方面,缓冲器管理器包含多个标识地址冲突的地址比较器,一般来说,当两个不同的总线事务涉及同一数据值并同时
10 发生时,地址冲突增加。在这种情况下,可能出现两个总线事务对同一数据可以同时试图存在于地址单元、请求单元和数据单元。如所预料的,这种地址冲突能导致不正确的结果。

在优选的实施例中,地址比较器组分配给每个总线。每组地址比较器与相关性滤波器之一,及总线从设备和缓冲器管理器中所有的地址单元之一耦合。对每个总线事务,分配给总线的地址比较器将总线事务地址与地址单元中所有的地址进行比较。如果地址冲突被查出。为保证正
15 确的操作,必须进行下面详细的合适的动作。

附图说明

通过阅读下面的详细的描述和参考附图,本发明的这些方面以及
20 其他方面优点和新颖性就变得非常明显:

图 1 是一个优选的多总线、多总线系统的框图。

图 2 是一个优选的系统访问控制器的框图。

图 3 是一个优选的相关性滤波器和标记存储器的框图。

图 4 是一个优选的高速缓存线地址和优选的标记存储器的框图。

25 图 5A 和 5B 是优选的缓冲器管理器的框图。

图 6 是一个优选的中央请求表的框图。

图 7 是一个优选的数据接口缓冲器的框图。

图 8 是一个流程图,表示已述及在总线读命令期间保持存储器相关性方法。

30 图 9 是一个流程图,表示优选的在总线无效命令期间保持存储器相关性的方法。

图 10 是本发明的另一实施例中的无效队列框图。

在这些图中，任何 3 位数字的第一位表示图号，在该图中，首先出现该部件。例如，带有参考序号 402 的部件首先在图 4 中出现。另外，类似的参考序号在整个附图中使用，表示部件之间的对应关系。

具体实施方式

- 5 优选的实施例提供一种高速缓存相关性，多总线系统，该系统 1) 将多系统总线和 I/O 总线与共享主存储器互连，以及 2) 有效的保持高速缓存相关性而减小对系统内的等待时间和总的带宽的影响。特别地，本发明包括相关性滤波器，它以这种方式调整总线-到-总线通信来用小的交叉总线通信量保持高速缓冲存储器相关性。
- 10 尽管本发明参考优选的多总线系统进行了描述，但本发明不只限于此，并能被使用于多种其他多总线内容。为了便于充分理解本发明，详细描述的提升组成下面部分及小部分：
- I. 词汇与缩写索引
 - II. 优选的多总线系统概况
 - 15 I11. 系统访问控制器
 - A. 相关性滤波器
 - 1. 标记存储器
 - 2. 标记控制器
 - 3. 循环编码器
 - 20 4. 规则表
 - B. 缓冲器管理器
 - C. 中央请求表
 - IV. 数据接口缓冲器
 - V. 保持高速缓存相关性
 - 25 A. 处理总线读行命令
 - B. 处理总线读使行无效命令
 - VI. 其他实施例
 - VII. 结论
 - I. 词汇和缩写索引
 - 30 ASIC 专用集成电路。
 - BRL 命令. 总线读行命令。总线读行命令读总线上的高速缓存线
 - BRIL 命令. 总线读使行无效命令。总线读使行无效命令读并使在总

线上的高速缓存线无效。

总线主控制器 (BusMaster) 控制特定的总线事务的控制逻辑。在某些一个以上的设备共享公用总线的系统中, 每个设备具有内部逻辑以成为总线主控制器。在总线主控制器执行总线事务之后, 总线主控制器
5 放弃总线以便另一个设备能成为总线主控制器。这种设备包括处理机, I/O 设备。存储器控制器, 等等。

总线从设备 (BusSlave) 从总线主控制器中接收总线事务的控制逻辑。

总线探测 (BusSnooping). 一种由带有高速缓冲存储器的处理机使用
10 用来监控由其它处理机执行的存储器事务的技术

DIB. 数据接口缓冲器。

DEFER#信号. DEFER#信号延迟总线事务。在优选的 PentiumPro 总线中, DEFER#信号不是一个信号而是特定的发出 DEFER#信号的含意的控制信号的编码。

15 DEN#信号. DEN#信号指示何时总线事务能被延迟。延迟总线事务不按顺序执行。即, 如果第一总线事务被延迟, 则第二总线事务在延迟的第一总线事务之前被完成。发出总线事务的处理机通过认定它的 DEN#信号指示总线事务是否可以延迟。

20 FIFO. 先进先出存储器。FIFO 是一种存储器阵列, 它以与项目被增加的同一顺序输出项目。即, 第一项目进, 第一项目出。

HIT#信号. 在优选的实施例, 每一个处理机具有 HIT#信号, HIT#信号在总线上线连在一起。处理机产生 HIT#信号来指示数据值为共享。例如, 当第一处理机请求数据值时, 第二处理机监控总线事务并产生 HIT#信号, 这时第二处理机包含被请求的数据值的拷贝。

25 HITM#信号. 在优选的实施例, 每一个处理机具有 HITM#信号。当总线探测操作指示一个已修改的数据值存在于高速缓冲存储器中时, 处理机认定 HITM#信号。

I/O 输入/输出. 一般指输入/输出设备的输入/输出事务。

PCI 总线. 外部设备互连总线。

30 处理机 (Processor). 在整个详细的描述中, 处理机表示计算或控制部件。处理机通过总线事务与主存储器通讯并且可以包括中央处理部件, 微处理器, 智能的输入/输出设备, 以及任何其它存储, 处理或者传

送信息设备。

RAM. 随机访问存储器,

SRAM. 静态随机访问存储器。

SDRAM. 同步动态随机访问存储器。

- 5 探测命中 (SnoopHit) . 在处理机探测它的高速缓冲存储器包含在特定的存储器事务中被请求的数据时出现探测命中。

II. 优选的多总线系统概况

如图 1 所示, 优选的多总线系统 100 包含三个系统总线: 第一系统总线 102、第二系统总线 104 和第三系统总线 106。每个系统总线 102、104 和 106 还包括一组地址和控制行 108a、108b 和 108c, 以及一组数据行 110a、110b 和 110c。地址和控制行都是指地址和控制行 108。数据行 110a、110b 和 110c 指的都是数据行 110。在整个详细的描述中, 第一系统总线 102 也指左边的总线 102, 第二系统总线 104 指右边的总线 104, 第三系统总线 106 指 I/O 总线 106。

- 15 在优选的实施例中, 每个系统总线 102、104 和 106 为 PentiumPro 系统总线, 它由 Intel 公司指定。PentiumPro 系统总线提供 36 个地址位, 64 个数据位和多种控制和错误校正信号。当优选的实施例利用了 PentiumPro 总线时, 本领域的普通技术人员知道本发明适应于大范围的实现探测高速缓存相关性协议的系统总线, 而且, 一种总线的格式可以不同于另一个总线的格式。

被连接到左边的总线 102 的是多处理机 112a 和 112b, 等等。被连接到右边的总线 104 的是多处理机 112c 和 112d, 等等。处理机 112a、112b、112c 和 112d 都指处理机 112。在优选的实施例中, 每一个处理机 112 具有内部高速缓存部件 114。尽管 4 个处理机 112 被示意出, 但每个总线 102 和 104 能被连接到附加处理机 112。在优选的实施例中的处理机 112 为 PentiumPro 处理机, 由 Intel 公司提供。尽管本发明优选的实施例利用了 PentiumPro 处理机, 但本领域的普通技术人员知道, 本发明适应于可与特定的系统总线兼容的大范围的处理机 112。

- 25 处理机 112 中的高速缓冲存储器 114 通过局部存储数据提高处理性能。一般地, 高速缓冲存储器 114 允许该处理机 112 访问数据值而使用较少总线带宽。优选的实施例中的高速缓冲存储器 114 设置数据值到高速缓存线, 其中每个高速缓存线包含 32 位字节数据。

在优选的实施例中的第三系统总线 106 在多个 I/O 桥 120 和主存储器 132 之间传输输入/输出 (I/O) 事务, 因此被称作 I/O 总线 106。优选的 I/O 桥 120 为 82450GXPCISet0OrionPCIBridge, 由 Intel 公司制造。在优选的实施例中, I/O 桥 120 使用 PCI 总线从 I/O 总线 106 传送 I/O 事务给多个 I/O 设备 122。然而, 本领域的普通技术人员知道, I/O 桥 120 可以用提供对多种 I/O 设备 122 访问的大范围的设备来实现。另外, I/O 桥 120 可选用, 并且兼容的 I/O 设备 122 可以直接接到 I/O 总线 106。

优选的多总线系统 100 也包括奇数主存储器模块 132a, 偶数主存储器模块 132b 和数据接口缓冲器 134。在优选的实施例中, 奇数主存储器模块 132a 和偶数主存储器模块 132b 都指主存储器 132。优选的奇数存储器模块 132a 和优选的偶数存储器模块 132b 包括同步动态随机访问存储器 (SDRAM), 它能从 32 兆位变化到 32 千兆位。SDRAM 使用同步串行接口, 它提供高速数据字符串。

优选的多总线系统也包括系统访问控制器 130 和数据接口缓冲器 134。普遍地说, 系统访问控制器控制多总线系统操作。系统访问控制器为每个总线 102、104 和 106 耦合到地址和控制行 108a、108b 和 108c。另外, 系统访问控制器 130 也耦合到一组奇数存储器地址和控制行 138a, 一组偶数存储器地址和控制行 138b, 和一组数据接口缓冲器 (DIB) 控制行 140。

另一方面, 数据接口缓冲器 134 在不同的总线 102、104 和 106 之间提供数据路径给主存储器 132。数据接口缓冲器 134 为每个总线 102、104 和 106 耦合到数据行 110a、110b 及 110c。另外, 数据接口缓冲器 134 耦合到一组主存储器数据行 142。

处理机 112 通过从主存储器 132 中读数据来填充它们的高速缓冲存储器 114。为了在高速缓冲存储器 114 中保持最新的数据。在特定的总线上的处理机 112 内的高速缓冲存储器 114, 探测发生在它们的分配总线 102、104 或者 106 上的主存储器总线事务。这被称为总线探测。

当高速缓冲存储器 114 包含与在总线事务中标识的高速缓存线相同的高速缓存线时, 探测命中发生。当探测命中发生时, 具有数据值共享拷贝的处理机 112 或者处理机 112 认定 HIT#信号。HIT#信号是地址和控制行 108 之一。HIT#信号通知另一个处理机 112 与存储器事务相关的

数据与处理机 112 共享。在优选的实施例中,如果没有其他处理机 112 认定 HIT#信号,则请求处理机设定要求的数据值的相关性状态为被占用状态。

在其他情况下,处理机 112 可以修改它们的高速缓冲存储器 114 中的高速缓存线。然而,为了降低总线通信量,高速缓冲存储器 114 可以不发送已修改的高速缓存线到主存储器 132,直到另一个处理机 112 从主存储器 132 中请求同一高速缓存线。例如,当处理机 112 更新高速缓存线时,另一个处理机 112 可以不具有高速缓存线的拷贝或希望获取同一高速缓存线。在这种情况下,具有最新的高速缓存线的处理机 112 没有将最新的高速缓存线写回到主存储器 132。反而,处理机 112 在它的高速缓冲存储器 114 内保持最新的高速缓存线。

在优选的实施例中,处理机 112 之一认定 HITM#信号,这时总线探测操作指示一个已修改的高速缓存线存在于处理机的高速缓冲存储器 114 中。HITM#信号为地址和控制行 108 之一并指示具有最新的高速缓存线的处理机 112 需要将高速缓存线写回到主存储器 132。例如,在优选的实施例中,假定在左边的总线 102 上的第一处理机 112a 在它的高速缓冲存储器 114 中包含一个已修改的高速缓存线。当在左边的总线 102 上的第二处理机 112b 希望获取同一高速缓存线的拷贝时,第二处理机 112b 控制左边的总线 102 并对标识要求的高速缓存线的主存储器 132 执行存储器事务。然后,第一处理机 112a 探测存储器事务并确定它包含要求的高速缓存线的一个已修改的版本。

在响应中,第一处理机 112a 认定它的 HITM#信号, HITM#信号指示它包含一个高速缓存线的已修改的版本。第一处理机 112a 获取左边的总线 102 的命令并将已修改的高速缓存线写回到主存储器 132。在第一处理机 112a 将已修改的高速缓存线写回到主存储器 132 之后,第二处理机 112b 重新将主存储器事务初始化并获取最新的高速缓存线。

优选的处理机 112 可以表示总线事务是否能延迟。发出总线事务的处理机 112 用它的 DEN#信号表示是否总线事务可以延迟。认定 HITM#信号的处理机控制事务响应。一旦该处理机认定 HITM#信号,该处理机或者按顺序执行总线事务(如存储器已完成的),或者如果事务可以延迟,则系统访问控制器 130 认定延迟总线事务的 DEFER#信号。DEFER#信号为某控制行 108 的编码。

III. 系统访问控制器

现在,来看系统访问控制器 130,如图 2 所示,优选的系统访问控制器 130 即为专用集成电路(ASIC)。普遍地说,在多总线系统 100 中保持高速缓存相关性时,系统访问控制器 130 控制三个总线 102、104 和 106 以及主存储器 132。

最为可取地,系统地址控制器 130 包含左边的相关性滤波器 200a、右边的相关性滤波器 200b 和 I/O 相关性滤波器 200c。在整个详细的描述中,左边的相关性滤波器 200a、右边的相关性滤波器 200b 和 I/O 相关性滤波器 200c 都指相关性滤波器 200。系统访问控制器 130 也包含左边的总线主控制器 202a、右边的总线主控制器 202b 和 I/O 总线主控制器 202c。在整个这种详细的描述中,左边的总线主控制器 202a、右边的总线主控制器 202b 和 I/O 总线主控制器 202c 都指总线主控制器 202。

另外,系统访问控制器 130 包含左边的总线从设备 204a、右边的总线从设备 204b 及 I/O 总线从设备 204c。在整个详细的描述中,左边的总线从设备 204a、右边的总线从设备 204b 及 I/O 总线从设备 204c 都指总线从设备 204。而且,系统访问控制器 130 包含奇数存储器控制器 206a 和偶数存储器控制器 206b。在整个详细的描述中,奇数存储器控制器 206a 和偶数存储器控制器 206b 都指存储器控制器 206。

系统访问控制器 130 也包含中央请求表 208 和缓冲器管理器 210。最后,系统访问控制器 130 耦合到外部左边的标记存储器 212a、外部右边的标记存储器 212b 及内部 I/O 标记存储器 212c。在整个详细的描述中,左边的标记存储器 212a、右边的标记存储器 212b 和 I/O 标记存储器 212c 都指标记存储器 212。

在优选的实施例中,左边的标记存储器 212a、左边的相关性滤波器 200a、左边的总线主控制器 202a 和左边的总线从设备 204a 分配给左边的总线 102。右边的标记存储器 212b、右边的相关性滤波器 200b、右边的总线主控制器 202b 及右边的总线从设备 204b 分配给右边的总线 104。I/O 标记存储器 212c、I/O 相关性滤波器 200c、I/O 总线主控制器 202c 及 I/O 总线从设备 204c 分配给 I/O 总线 106。

现在,来看系统访问控制器 130 中的互连,左边的相关性滤波器 200a 与左边的总线地址及控制行 108a、左边的标记存储器 212a、右边

的标记存储器 212b、I/O 标记存储器 212c、缓冲器管理器 210 和中央请求表 208 通信。右边的相关性滤波器 200b 与右边的总线地址及控制行 108b、左边的标记存储器 212a、右边的标记存储器 212b、I/O 标记存储器 212c、缓冲器管理器 210 和中央请求表 208 通信。I/O 相关性滤波器 200c 与 I/O 总线地址及控制行 108c、左边的标记存储器 212a、右边的标记存储器 212b、I/O 标记存储器 212c、缓冲器管理器 210 和中央请求表 208 通信。

左边的总线主控制器 202a 与左边的总线地址及控制行 108a 和中央请求表 208 通信。右边的总线主控制器 202b 与右边的总线地址及控制行 108b 和中央请求表 208 通信。I/O 总线主控制器 202c 与 I/O 总线地址及控制行 108c 和中央请求表 208 通信。

左边的总线从设备 204a 与左边的总线地址及控制行 108a、奇数存储器控制器 206a、偶数存储器控制器 206b 和缓冲器管理器 210 通信。右边的总线从设备 204b 与右边的总线地址和控制行 108b、奇数存储器控制器 206a、偶数存储器控制器 206b 和缓冲器管理器 210 通信。I/O 总线从设备 204c 与 I/O 总线地址及控制行 108c、奇数存储器控制器 206a、偶数存储器控制器 206b 和缓冲器管理器 210 通信。

因此，中央请求表与左边的相关性滤波器 200a、右边的相关性滤波器 200b、I/O 相关性滤波器 200c、左边的总线主控制器 202a、右边的总线主控制器 202b 和 I/O 总线主控制器 202c 通信。缓冲器管理器 210 与左边的相关性滤波器 200a、右边的相关性滤波器 200b、I/O 相关性滤波器 200c、左边的总线主控制器 202a、右边的总线主控制器 202b、I/O 总线主控制器 202c、左边的总线从设备 204a、右边的总线从设备 204b、I/O 总线从设备 204c、奇数存储器控制器 206a 和偶数存储器控制器 206b 通信。

现在，来看总线主控制器 202。总线主控制器 202 控制在它们的被分配的总线 102、104 和 106 上的总线事务。例如，左边的总线主控制器 202a 初始化在左边的总线 102 上的总线事务。在总线主控制器 202 执行一个或者更多的总线事务之后，总线主控制器 202 放弃总线以便另一设备能成为总线主控制器。用来实现控制器 202 的控制逻辑是本领域的技术人员周知的。

现在，来看总线从设备 204，总线从设备 204 接收由一个处理机 112

或者 I/O 桥 120 初始化的在它们的分配总线 102、104 和 106 上的总线事务。例如,一个该处理机 112 为主存储器 132 中的一个特定的数据值可以初始化读总线事务。总线从设备 204 接收总线事务并从主存储器 132 中获取被请求的数据值。实现总线从设备 204 的控制逻辑是本领域的技术人员周知的。

奇数存储器控制器 206a 和偶数存储器控制器 206b 分别控制对奇数主存储器模块 132a 和偶数主存储器模块 132b 的访问。奇数存储器控制器 206a 和偶数存储器控制器 206b 使用本领域的技术人员熟知的存储器控制技术控制奇数主存储器模块 132a 和偶数主存储器模块 132b。

10 A. 相关性滤波器

现在,来看优选的相关性滤波器 200。每个相关性滤波器 200 确定什么总线事务或者总线事务组必须保持高速缓存相关性。在优选的实施例中,在多总线系统 200 中,当交叉总线事务不必要保持高速缓存相关性时,每一个相关性滤波器 200 通过限制交叉总线通信量来提高性能。

15 如上所描述的,左边的相关性滤波器 200a 监控左边的总线地址和控制行 108a,右边的相关性滤波器 200b 监控右边的总线地址和控制行 108b, I/O 相关性滤波器 200c 监控 I/O 地址和控制行 108c。如图 3 所示,每个相关性滤波器 200 包含标记控制器 300,循环编码器 302 和规则表 304。另外,每个相关性滤波器 200 被分配给标记存储器 212 之一。

20 1. 标记存储器。

更为可取地,每个标记存储器 212 存储于位于系统访问控制器 130 外部的静态随机访问存储器 (SRAM)。左边的标记存储器 212a 和右边的标记存储器 212b 最好为同一长度而 I/O 标记存储器在长度上较小,这是因为一般耦合到 I/O 桥 120 等的很小的高速缓存部件。分配给特定的总线的标记存储器 212 保持这些超集记录: 1) 位于与分配总线连接的高速缓冲存储器 114 中的高速缓存线,和 2) 高速缓存线的高速缓存状态。在优选的实施例中,高速缓存状态用一组高速缓存相关性状态来表示,高速缓存状态比高速缓冲存储器 114 中的高速缓存相关性状态包括较少的状态。

30 众所周知,主存储器中的每个高速缓存线用高速缓存线地址来标识。高速缓存线的长度从一个多总线系统 100 到另一个多总线系统 100 都有变化。在优选的实施例中,高速缓存线包含 32 个 8 位数据值 (256

位)。每个标记存储器 212 存储标识高速缓存线, 不是实际高速缓存线的高速缓存线地址。除存储高速缓存线地址之外, 每个标记存储器 212 也存储与高速缓存线地址相关的相关性状态信息。这样, 每一个标记存储器 212 保持的信息作为存储于与标记存储器的分配总线连接的高速缓冲存储器 114 的高速缓存数据的可能的内容和状态。

例如, 当在左边的总线 102 上的处理机 112a 产生一个访问主存储器 132 中的高速缓存线的读总线事务时, 该处理机 112a 放置要求的高速缓存线地址在左边的总线地址和控制行 108a 上。如下面更详细描述, 左边的相关性滤波器 200a 接收要求的高速缓存线地址并在左边的标记存储器 212a 中存储高速缓存线地址。另外, 左边的相关性滤波器 200a 在左边的标记存储器 212a 中存储与高速缓存线地址相关的相关性状态。

与每个高速缓存线地址相关的相关性状态涉及高速缓冲存储器 114 中的高速缓存线的状态。在优选的实施例, 相关性状态包含三个不同的相关性状态: 无效状态、共享状态或者被占用状态。无效状态表示高速缓存线是无效的, 处理机 112 不能使用它。共享状态表示处理机 112 不能修改高速缓存线。例如, 共享高速缓存线时常是不被修改的程序指令。被占用状态表示高速缓存线可以被占有高速缓存线的处理机 112 修改。优选的实施例利用了无效, 共享和被占用协议, 是因为它适应于大范围的包括被 PentiumPro 处理机 112 利用的 MESI 协议的高速缓存相关性协议。

然而, 本领域的普通技术人员知道, 高速缓存线的相关性状态不限于无效, 共享和被占用协议。实际上, 本领域的普通技术人员知道, 相关性状态可能用一个大范围的相关性协议实现, 如已修改的、独占的、共享和无效的 (MESI) 协议, 已修改的、被占用、独占的、共享和无效的 (MOESI) 协议, 已修改的、共享和无效 (MSI) 协议, Berkeley 协议, University of Illinois 相关性协议, 或者其他等。

相关性状态也可能用两状态相关性协议如一个两状态无效和被占用协议来实现。在双总线系统, 一个两状态相关性协议中, 所有的总线被认为具有所有的高速缓存线的共享拷贝。这时常降低相关性存储器的长度, 因为当所有的高速缓存线被看成为共享时, 相关性存储器仅需要保持与处于无效和被占用状态的数据值相关的记录。有利地, 当总线为

共享数据执行一个标准读事务时,共享状态信息不能存储于相关性存储器中。这减少了与保持相关性存储器中的相关性状态信息超集相关的问题。

然而,在这种两状态系统中,所有的专用读事务或者无效事务要求一个或者更多的交叉总线事务来保证高速缓存相关性。这种交叉总线事务必须看是否另一个总线实际上包含与无效命令的专用读事务相关的数据的共享版本。而在双总线系统中,一个两状态协议可以导致较高的总性能,利用两个以上总线,两状态协议的益处是极大地依赖于工作负荷的特性。

10 优选的PentiumPro处理机112不输出准确的关于存储于它们的内部高速缓冲存储器114中的高速缓存线的相关性状态信息。例如,内部高速缓冲存储器114可以废弃未修改的高速缓存线而不发出该高速缓存线已被废弃的信号。在本发明优选的实施例中,每个标记存储器212独特地适应于为不输出当前相关性状态信息的内部高速缓冲存储器114
15 保证高速缓存相关性。

每个标记存储器212通过保持一个高速缓存线地址的超集来保证高速缓存相关性,高速缓存线地址可能当前保存在与特定的总线连接的内部高速缓冲存储器114中。例如,左边的标记存储器212保持一个高速缓存线地址超集,高速缓存线地址可能保存在处理机112a和处理机
20 112b内部高速缓冲存储器114中。因为高速缓存线地址超集不必要包含准确的标记状态信息,当高速缓冲存储器114实际上已经废弃高速缓存线时标记存储器212可以表示高速缓冲存储器114中特定的高速缓存线处于共享状态。在其他情况下,当高速缓冲存储器114,实际上。已将高速缓存线回写给主存储器132时,标记存储器212中的高速缓存线地
25 址的超集可以表示高速缓冲存储器114中特定的高速缓存线处于已修改的状态。

为了保持一个高速缓存线地址超集,优选的标记存储器212使用被称作涵盖规则。涵盖规则保证存储于与特定的总线连接的高速缓冲存储器114中的高速缓存线地址总是分配给那个总线的标记存储器212
30 中的高速缓存线地址的子集。当高速缓存线地址从一个标记存储器212中被删除时,涵盖规则指示相关的高速缓冲存储器114以使它们的高速缓冲存储器中的高速缓存线无效。

例如,当左边的标记存储器 212a 没有存储器容量来保存新的高速缓存线地址时,必须通过从左边的标记存储器 212 中排除一个现存的高速缓存线地址(旧的高速缓存线地址),在左边的标记存储器 212a 中给新的高速缓存线地址准备空间。如果旧的高速缓存线地址处于无效状态(与总线连接的高速缓冲存储器 114 不再使用与旧的高速缓存地址相关的高速缓存线),左边的相关性滤波器 200a 简单地用新的高速缓存线地址替换旧的高速缓存线地址。

然而,当旧的高速缓存线地址处于共享或者被占用状态时,左边的相关性滤波器 200a 不能从左边的标记存储器 212a 中排除旧的高速缓存线地址,直到高速缓冲存储器 114 使旧的高速缓存线地址无效。如上所述,左边的标记存储器 212a 在与左边的总线 102 连接的高速缓冲存储器 114 中必须保持一个高速缓存线地址超集,这样,在左边的标记存储器 212a 能用新的高速缓存线地址替换旧的高速缓存线地址之前,旧的高速缓存线地址必须首先在高速缓冲存储器 114 中被无效。

如下面更详细描述,左边的相关性滤波器 200a 通过执行无效总线事务使与左边的总线 102 连接的高速缓冲存储器 114 中的旧的高速缓存线地址无效。无效总线事务发生在左边的总线上,左边的总线指示高速缓冲存储器 114 内部地使旧的高速缓存线地址无效。

然而,在某种情况下,旧的高速缓存线可以处于被占用状态并且一个高速缓冲存储器 114 可以已修改旧的高速缓存线。如果高速缓冲存储器 114 可能已修改旧的高速缓存线,总线读使行(BRIL)事务无效被执行。如果高速缓冲存储器 114 已经修改了旧的高速缓存线,则在总线读使行事务无效期间,高速缓冲存储器 114 取总线事务的命令并将对应于旧的高速缓存线地址的已修改的高速缓存线写回到主存储器 132。将已修改的高速缓存线写回到主存储器之后,左边的相关性滤波器 200a 用新的高速缓存线地址替换左边的标记存储器 212a 中旧的高速缓存线地址。这样,为了在标记存储器 212 中保持一个高速缓存线地址的超集,在某种情况下,在旧的高速缓存线能被替换之前,高速缓冲存储器 114 必须将已修改的数据写回到主存储器 132。

高速缓存线地址 400 和每个标记存储器 212 的格式示于图 4 中。高速缓存线地址 400 从概念上被分成两个部分。第一部分包含标记页地址 402,而第二部分包含位移地址 404。在优选的实施例中,标记存储器

212 中的标记入口 410 数定义被称为标记页的长度。更为可取地, 每个标记存储器 212 具有标记入口 410 的数目, 这样, 它们具有同一标记页长度。

在优选的实施例中, 标记页地址 402 标识包含高速缓存线地址 400 的标记页, 而位移地址 404 标识标记页内的高速缓存线地址 400 的位置。特别地, 高速缓存线地址 400 中的高位标识标记页地址而其低位标识位移地址 404。

一般来说, 低位被称作索引, 因为低位标识标记页内的高速缓存线地址的位置。例如, 对于第一高速缓存线地址 400, 高地址位标识标记页地址 402 和低地址位标识标记页内的高速缓存地址行 400 的位置。

因为标记页能在长度上变化, 分配给标记页地址 402 和位移地址 404 的位数也变化。在优选的实施例中, 如果左边的标记存储器 212a 和右边的标记存储器 212b 包含 2^{16} 个入口, 那么位移地址 404 包括高速缓存线地址 400 的较低的 16 位, 标记页地址 402 包括高速缓存线地址 400 的较高的 15 位。如上所述, I/O 标记存储器 212c 在长度上较小, 因而包含较少的入口。在优选的实施例中, I/O 标记存储器 212 包含 32 个入口。

下面的表示意标记存储器 212 的不同的长度和高速缓存线地址 400 中的相应标记页地址 402 和位移地址 404 的长度。

标记存储器长度	标记页地址宽度	位移宽度
2^{16} 个入口	15 位	16 位
2^{17} 个入口	14 位	17 位
2^{18} 个入口	13 位	18 位
2^{19} 个入口	12 位	19 位

20

在优选的实施例中, 相关性滤波器 200 使用直接映象技术存储高速缓存线地址 400 于标记存储器 200 中。直接映象表示每个高速缓存线地址 400 映象到一个特定的标记入口 410。图 4 示意优选的标记存储器 212, 它包括 2^{16} 个标记入口 410。每一个标记入口 410 包含高速缓存线地址 400 的标记页地址 402。另外, 每个标记入口 410 包含相关性状态位 412 和奇偶性位 414。奇偶性位 414 提供周知的奇偶性错误检测。

25

当处理机 112 访问高速缓存线地址 400 时, 相关性滤波器 200 使用

位移地址 404 来标识特定的标记入口 410。相关性滤波器 200 然后存储标记页地址 402 在已标记的标记入口 410 中。例如, 当在左边的总线 102 上的第一处理机 112a 访问第一标记页中的第一高速缓存线地址 400 时, 左边的相关性滤波器 200a 使用高速缓存线位移地址 404 来定位左边的
5 标记存储器 212a 中的第一标记入口 410。左边的相关性滤波器 212a 然后存储标记页地址 402 到左边的标记存储器 212a 中的第一标记入口 410。

除存储高速缓存线地址 400 的标记页地址 402 之外, 标记入口 410 也给高速缓存线地址 400 存储一组相关性状态位 412。更为可取地, 标
10 记入口 410 中的相关性状态位 412 包含优选的三个相关性状态: 无效状态、共享状态或者被占用状态。三个相关性状态用两个相关性状态位 412 来表示。下面的表定义分配给相关性状态位 412 的相关性状态。

相关性状态位	相关性状态
00	无效
01	共享
10	被占用
11	(保留)

2. 标记控制器

直接映象高速缓存线地址 400 到标记存储器 212 的控制逻辑位于
15 标记控制器 300 中。分配给左边的总线 102 的标记控制器 300 称为左边的标记控制器 300a。分配给右边的总线 104 的标记控制器 300 称为右边的标记控制器 300b。分配给 I/O 总线 106 的标记控制器 300 称为 I/O 标记控制器 300c。例如, 左边的标记控制器 300 包含直接映象逻辑, 直接映象逻辑直接映象高速缓存线地址 400 到左边的标记存储器 212a
20 中。

标记控制器 300 中的控制逻辑类似于被用来直接映象高速缓存线到高速缓冲存储器 114 中的控制逻辑。这样, 标记控制器 300 使用那些本领域中的普通技术人员熟知的直接映象逻辑。然而, 这不同于优选的 PentiumPro 处理机 112 中的高速缓存控制逻辑, 优选的 PentiumPro
25 处理机 112 利用四向组相关映象技术。

如下面更详细描述, 相关性滤波器 200 部分地根据标记存储器 212 中的相关性状态信息确定是否执行交叉总线事务。在优选的实施例

中,每个标记控制器 300 也耦合到它自己的标记存储器 212 和分配给其他总线的标记存储器 212。当每个标记控制器 300 能访问标记存储器 212 中的标记入口 410 时,每一个标记控制器 300 仅修改它自己分配的标记存储器 212 中的标记入口。例如,左边的标记控制器 300a 可以访问
5 左边的标记存储器 212a、右边的标记存储器 212b 和 I/O 标记存储器 212c 中的标记入口 410,但左边的标记控制器 300 仅修改左边的标记存储器 212a 中的标记入口 410。

例如,当左边的总线 102 为特定的高速缓存线地址 400 传输总线事务时,左边的标记控制器 300a 使用高速缓存线地址 400 以从右边的标记
10 存储器 212a 和 I/O 标记存储器 212b 中获取相应的相关性状态位 412。在本例中,高速缓存线地址 400 直接被映象到右边的标记存储器 212b 以获取右边的相关性状态位。另外,高速缓存线地址直接被映象到 I/O 标记存储器 212c 以获取 I/O 相关性状态位 412。在整个详细的描述中,从分配给其他总线的另一个标记存储器 212 中获取的相关性状态位 412
15 被当作远程相关性状态位 412。一旦左边的标记控制器 300a 获取远程相关性状态位 412,左边的标记控制器 300a 就正向传送远程相关性状态位 412 给循环编码器 302。

3. 循环编码器

每个循环编码器 302 确定哪一种总线事务正发生在总线 102、104
20 或者 106 之一上。分配来监控左边的总线 102 的循环编码器 302 被称为左边的循环编码器 302a。分配来监控右边的总线 104 的循环编码器 302 被称为右边的循环编码器 302b。分配来监控 I/O 总线 102 的循环编码器 302 被称为 I/O 循环编码器 302c。这样,每个循环编码器 302 监控与它的分配总线 102、104 或者 106 相关的地址和控制行 108。

更为可取地,循环编码器 302 使用与应用于总线 102、104 和 106
25 上的特定的总线协议相关的周知技术,来监控总线控制行,以便确定是否总线事务从主存储器 132 中读数据或者给主存储器 132 写数据。在优选的实施例中,循环编码器 302 使用周知的技术来确定哪一个 PentiumPro 总线事务正从主存储器 132 中读取数据或者将数据写到主
30 存储器 132 中。一旦循环编码器 302 确定发生在它的分配总线上的总线事务的类型,循环编码器 302 就传输总线循环的类型给规则表 304。

4. 规则表

现在,来看示意于图3中的规则表304,规则表确定何时执行交叉总线事务来保证高速缓存相关性。在优选的实施例,分配给左边的总线102的规则表304称为左边的规则表304a。分配给右边的总线102的规则表304称为右边的规则表304b。分配给I/O总线的规则表304称为I/O规则表304c。

每个规则表304评价总线事务类型信息和从循环编码器302中获取的远程相关性状态位412。在优选的实施例,每个规则表304是一个大的真值表,位于静态随机访问存储器(SRAM)中。存储于每个规则表存储器位置的,是需要被执行以保证高速缓存相关性的交叉总线事务和局部总线事务的类型。

另外,规则表304执行探测动作。在优选的实施例,当远程标记存储器表示它们具有高速缓存线的共享拷贝时,规则表304可以认定HIT#信号。认定HIT#信号表示在远程总线上的一个或者更多的高速缓冲存储器具有高速缓存线的共享拷贝。规则表304也可以认定HIT#信号以将代码读事务强行设成共享状态以便在另一个总线上的将来代码读事务不产生交叉总线通信量。

必须保证高速缓存相关性的特定的交叉总线事务代码装入在系统访问控制器130的控制下的规则表304。优选的多总线系统100在系统的初始化期间将交叉总线事务代码加载到规则表304。因为交叉总线事务代码能被修改,所以交叉总线事务对不同的多总线系统100能被有效地调整。

B. 缓冲器管理器

缓冲器管理器210,中央请求表208和数据接口缓冲器134,示意于图1和2,在多总线之间优化通信。在优选的实施例,中央请求表208,缓冲器管理器210和数据接口缓冲器134包含存储器单元(未示出)的多端口池,它们可以被所有的总线102、104和106访问。有利地,任何总线102、104或者106可以从任何其它总线102、104或者106读或者写给任何其它总线102、104或者106而不使用独立连接路径。

在优选的实施例,与每个总线事务相关的信息被细分成三个部分,它们被存储于三个不同的存储器单元,即被称作地址单元、请求单元和数据单元。因此,一一对应关系存在于每个数据单元,每个请求单元和每个地址单元之间。如下面更详细描述,地址单元位于缓冲器

管理器 210, 请求单元位于中央请求表 208 及数据单元位于数据接口缓冲器 134。

5 优选的缓冲器管理器 210 示例于图 5A 和 5B。见图 5A, 缓冲器管理器 210 包括地址单元 500、地址单元优先级编码器 504、左边的先进先出 (FIFO) 存储器 506a、I/O FIFO 506b 和右边的 FIFO 506c 的池。每个地址单元 500 为多端口, 并与地址单元优先级编码器 504、总线主控制器 202、总线从设备 204、存储器控制器 206 和示例于图 5B 的比较器 510 通信。

10 优选的缓冲器管理器 210 包含 64 个地址单元 500。如图 5A 所示, 每个地址单元 500 包含一个“在-使用”位 502, 存储器地址 504 和一组数据单元状态位 505。在-使用位 502 表示特定的地址单元 500 是否可以使用。在优选的实施例中, 在-使用位 502 被设定来表示是否地址单元 500 处于使用或者空闲状态。存储器地址 504 包含存储器地址 504, 而数据单元状态位 505 表示总线事务的类型。特别地, 数据单元状态位 505
15 表示无效总线事务是否将被执行。

现在, 来看地址单元优先级编码器 504, 地址单元优先级编码器 504 确定哪一个地址单元 500 正在使用, 哪一个地址单元 500 为空闲以接收新的总线事务信息。在优选的实施例中, 地址单元优先级编码器 504 中的逻辑通过评价每个地址单元 500 中在-使用位 502 来确定哪一个
20 地址单元 500 为空闲。如果在-使用位 502 设定, 则地址单元 500 在使用。如果在-使用位 502 未设定, 则地址单元是空闲的。空闲单元以循环方式被选择。

地址单元优先级编码器 504 不仅确定哪一个地址单元 500 是空闲的, 而且分配空闲地址单元 500 给不同的总线 102、104 和 106。更为可
25 取地, 地址单元优先级编码器 504 以一种循环方式分配空闲地址单元 500 给不同的总线 102、104 和 106。如下面更详细描述, 当总线事务信息被存储于空闲地址单元 500 时, 在-使用位 502 被设定来表示地址单元 500 不是空闲的。

例如, 假定第一, 第二和第三地址单元 500 是空闲的。优选的优先级
30 编码器 504 确定第一, 第二和第三地址单元 500 是空闲的, 并分配第一地址单元 500 给左边的总线 102, 第二地址单元 500 给右边的总线 104, 第三地址单元 500 给 I/O 总线 106。当第四地址单元 500 变成空

闲时,地址单元优先级编码器 504 循环回到左边的总线 102,并分配第四地址单元 500 给左边的总线 500。当优选的地址单元优先级编码器 504 分配空闲地址单元给不同的总线时,一个本领域中的普通技术人员可以理解地址单元优先级编码器 504 可以利用大范围的分配模式来分配空闲地址单元 500 给不同的总线 102、104 和 106。

现在,来看缓冲器管理器中的 FIFO 存储器 506, FIFO 存储器 506 临时存储标识被分配的地址单元 500 的地址单元标识符,地址单元标识符是一个数据变量,它包含被分配的地址单元 500 的存储器位置。在优选的实施例中,地址单元标识符标识 64 个地址单元 504。如下面更详细描述,总线主控制器 202 使用 FIFO 存储器 506 中的地址单元标识符以访问由地址单元标识符标识的地址单元存储器位置。

在优选的实施例中,每个 FIFO 存储器 506 向总线从设备 204 和相关性滤波器 200 输出。这样,左边的 FIFO 存储器 506a 向左边的总线从设备 204a 和左边的相关性滤波器 200a 输出。右边的 FIFO 存储器 506b 向右边的总线从设备 204b 和右边的相关性滤波器 200b 输出。I/O FIFO 存储器 506c 向 I/O 总线从设备 204c 和 I/O 相关性滤波器 200c 输出。当总线从设备 204 之一或者相关性滤波器 200 之一希望发送一总线事务给另一个总线时,它们从它们被分配的 FIFO 存储器 506 中获取一个地址单元标识符。

这样,优选的缓冲器管理器 210 提供与所有的总线 102、104 和 106 互连的地址单元 500 的池,提供这种地址单元 500 的池而不是独立的总线路径,降低了系统复杂性。而且,地址单元优先级编码器 504 和 FIFO 存储器 506 保证空闲地址单元 500 平等分配于总线 102、104 和 106 之间。

在本发明的另一个方面,如图 5B 所示,优选的缓冲器管理器 210 包含多个标识地址冲突的地址比较器 510,一般来说,当两个不同的总线事务涉及同一数据值并同时发生时,地址冲突产生。在这种情况下,可能出现两个地址单元 500 对地址单元 500 中的两个不同的总线事务包含同一存储器地址 504。在这种情况下,可能发生不正确的总线事务。

当一个总线从设备 204 接收总线事务时,总线从设备 204 正向传送与总线事务相关的地址给分配给与总线从设备 204 相同的总线的地址比较器 510。地址比较器 510 比较新的存储器地址 504 与所有的存在于

在-使用地址单元 500 的存储器地址 504。如果同一存储器地址在在-使用地址单元 500 中被查出,地址比较器 510 产生输出,该输出通知总线从设备 204 地址冲突存在。总线从设备 204 然后发送重试信号给使产生地址冲突的总线事务初始化的处理机 112。处理机 112 然后在晚些时候
5 初始化总线事务。

在优选的实施例中,一组地址比较器 510 分配给每个总线。这样,左边的地址比较器 510a 组分配给左边的总线 102。右边的地址比较器 510c 组分配给右边的总线 104 并且 I/O 地址比较器 510a 组分配给 I/O 总线 106。当总线从设备 204 接收新的存储器地址 504 时,总线从设备
10 204 正向传送新的存储器地址 504 给地址比较器 510。地址比较器 501 然后评价存在于在-使用地址单元 500 中的存储器地址 504 以确定地址冲突是否存在。

例如,右边的总线从设备 202b 可以接收一种 I/O 事务,这种事务被传送给一个在 I/O 总线 106 上的 I/O 桥 120。对于接收与 I/O 事务相关的存储器地址,右边的总线从设备 202b 正向传送该存储器地址给右
15 边的地址比较器 510c。右边的地址比较器 510c 比较该存储器地址与现存的在-使用地址单元 500 中的存储器地址 504。如果该存储器地址的拷贝存在于在-使用地址单元 500 中,地址比较器则发送一个信号到右边的总线从设备 202b,表示地址冲突存在。在本例中,右边的总线从设备
20 202b 指示处理机 112c 或者 112d 以在晚些时候重试 I/O 事务。

当必须执行无效总线事务,使标记存储器 212 的一个入口无效时,希望延迟无效操作直到晚些时候总线不忙时。一种方法是在缓冲器管理器中存储旧的高速缓存线地址(将被无效的高速缓存线地址)。在优选的
25 实施例中,缓冲器管理器 210 中的地址单元 500 包括一个高速缓存线的整个存储器地址,高速缓存线包括与高速缓存线相关的标记页地址 402 和位移地址 404。增加旧的高速缓存线地址给一个地址单元 500 允许多总线系统 100 继续进行新的总线事务,尽管旧的高速缓存线地址实际上还没有被无效。

假定另一个总线事务涉及存在于缓冲器管理器 210 中的旧的高速
30 缓存线地址 400,当总线事务由一个总线从设备 204 接收时,总线从设备 204 正向传送与总线事务相关的地址给地址比较器 510。地址比较器 510 比较与总线事务相关的位移地址 404 和旧的高速缓存线地址的位移地

址 404。如果任何地址冲突存在，则比较器评价数据单元状态位 505。如果数据单元状态 505 表示旧的高速缓存线地址需要被无效，那么新的总线事务被强制重试，直到旧的高速缓存线地址 400 能被无效。这种方法的另一实施例在下面的题为“其他实施例”的部分中说明

5 C. 中央请求表

现在，来看优选的中央请求表 208，示意于图 6，中央请求表 208 包含请求单元 600，左边的总线优先级编码器 602a，右边的总线优先级编码器 602b 和 I/O 总线优先级编码器 602c 的池。每个请求单元 600 为多端口并与每个地址单元优先级编码器 602 通信。在优选的中央请求表 208 中，有 64 个请求单元 600。而且，一一对应关系存在于 64 个地址单元 500 和 64 个请求单元 600 之间。

每个请求单元 600 包含目标总线标识符 604，总线事务代码 606 和占用者总线标识符 608。目标总线标识符 604 标识目的总线 102、104 或者 106。如下面更详细描述，总线标识符 604 不被预定义，反而，优选的实施例设定总线标识符 604 来标识右边的总线 102，左边的总线 104 或者 I/O 总线 106。例如，目标总线标识符 604 可以指定总线事务代码 606 给右边的总线 104，另一方面，总线事务代码标识在目的总线上的总线事务的类型以执行。在优选的实施例中，总线主控制器 202 执行由总线事务代码 606 标识的总线事务。占用者总线标识符 608 标识发端总线。例如，占用者总线标识符 604 可以指示在左边的总线 102 上发端的总线事务代码 606。

总线优先级编码器评价在每个请求单元 600 中的目标总线标识符 604 以确定哪个请求单元指定不同的总线。与总线 102、104 或者 106 之一相关的总线主控制器 202 然后执行在特定的请求单元 600 中被标识的总线事务。例如，左边的总线优先级编码器 602a 评价所有的目标总线标识符 604 以标识哪个请求单元 600 给左边的总线 102。右边的总线优先级编码器 602b 评价所有的目标总线标识符 604 以标识哪个请求单元 600 给右边的总线 104。I/O 总线优先级编码器 602c 评价所有的目标总线标识符 604 以标识哪个请求单元 600 给 I/O 总线 106。

除标识目的总线 102、104 和 106 之外，每个总线优先级编码器 602 还确定哪个与特定的总线 102、104 或者 106 相关的总线请求单元 500 具有最高优先级。在优选的实施例中，每个总线优先级编码器 602 使用

循环逻辑确定最高优先级请求单元 600。一旦每个总线优先级编码器 602 正向传送最高优先级请求单元 600 给它的分配总线,每个总线优先级编码器 602 就循环分配优先级给每个请求单元 600。循环逻辑保证每个总线优先级编码器 602 依次地分配最高优先级给所有的总线请求单元 600。这种循环逻辑为那些本领域的普通技术人员熟知。

例如,假定右边的总线优先级编码器 602b 已经标识两个请求单元 600 给右边的总线 104。右边的总线优先级编码器 602b 分配第一请求单元 600 最高优先级并发送第一请求单元标识符给右边的总线主控制器 202b。右边的总线优先级编码器 602b 然后分配第二请求单元 600 最高优先级并发送第二请求单元标识符给右边的总线主控制器 202b。当右边的总线优先级编码器 602b 到达分配给右边的总线 104 的请求单元 600 的结束符时,右边的总线优先级编码器返回到请求单元 500 的池的开始。

这样,中央请求表 208 提供一个与所有的总线 102、104 和 106 互连的请求单元 600 的池。这种请求单元 600 池,当与独立总线连接路径对比时,它可以降低系统复杂性。而且,中央请求表 208 中的总线优先级编码器 602 保证每个请求单元中的总线事务由总线 102、104 和 106 来执行。

IV. 数据接口缓冲器

现在,来看优选的数据接口缓冲器 134,如图 7 所示,数据接口缓冲器 134 包含一个数据单元 700 池,以及控制和索引机构 702。每个请求单元 600 为多端口并与数据行 110a、110b 和 110c 及与连接到奇数主存储器模块 132a 和偶数主存储器模块 132b 上的数据行 142a 和 142b 通信。在优选的中央请求表 208 中,有 64 个数据单元 700。而且,一一对应存在于 64 个数据单元 700、64 个请求单元 600 和 64 个地址单元 500 之间。每个数据单元 700 包含一个与总线事务相关的数据值。

控制和索引机构 702 从总线从设备 204 中接收 DIB 控制行 140。DIB 控制行 140 标识特定的数据单元 700 和总线 102、104 或者 106 之一。例如,当 I/O 总线从设备 204 增加新的总线事务给一个地址单元 500 和一个请求单元 600 时,I/O 总线从设备 204 也增加与新的总线事务相关的数据给相应的数据单元 700。在本例中,I/O 总线从设备 204 认定 DIB 控制行以标识固有数据单元 700。控制和索引机构 702 然后使固有

数据单元 700 能从 I/O 数据行 110c 中接收数据。

这样,数据接口缓冲器提供能被所有的总线 102、104 或者 106 访问的数据单元 700 池,提供这种数据单元 700 池而不是独立的总线互连,降低了系统复杂性并提高性能。

5 V. 保持高速缓存相关性

由相关性滤波器 200 监控的总线事务包括总线读行命令和总线读使行无效命令。总线读行(BRL)命令从主存储器 132 中读取指令代码或者数据的高速缓存线并使其无效。总线读使行无效(BRIL)命令使高速缓存线无效。尽管优选的规则表 304 适应于这些总线命令时,本领域的普通技术人员知道规则表 304 能适应于许多不同的总线命令,而限于优选的实施例的总线命令。

A. 处理总线读行命令

图 8 示意一个流程图,该图表示当总线 102、104 或者 106 之一执行总线读行(BRL)命令时保持高速缓存相关性。从开始块 800 开始,一个处理机 112 执行 BRL 命令。在 BRL 命令执行期间,处理机 112 发送要求的高速缓存线的高速缓存线地址 400 给它分配的相关性滤波器 200 和总线从设备 204。

当总线从设备 204 接收高速缓存线地址时,总线从设备 204 正向传送高速缓存线地址给分配给同一总线的地址比较器 510。地址比较器 510 比较该位移地址 404 和存在于在-使用地址单元 500 的存储器地址 504 的位移部分来确定是否存在任何地址冲突。地址比较器 510 也评价数据单元状态位 505 以确定产生地址冲突的地址单元 500 是否涉及无效事务。如果这样,地址比较器 510 发送地址冲突信号给总线从设备 204。总线从设备 204 然后指示请求处理机 112a 以在晚些时候重试 BRL 命令。

如果地址比较器没有指示地址冲突存在,则优选的实施例继续进行块 802,循环编码器 302 确定总线 102、104 或者 106 执行 BRL 命令。而且,分配给总线 102、104 或者 106 的标记控制器 300 使用在 BRL 命令中标识的高速缓存线地址 400 以访问在分配给其他总线 102、104 和 106 的标记存储器 212(远程标记存储器 212)中的高速缓存线地址 400。远程标记存储器 212 返回远程相关性状态位 412,它指示远程高速缓存线地址 400 是否处于无效状态、共享状态或者被占用状态。

只有一个远程标记存储器 212 可以包含处于被占用状态的特定的高速缓存线地址。然而, 不止一个远程标记存储器 212 可以包含特定的处于共享或者无效的状态的高速缓存线地址。如果一个远程标记存储器 212 包含处于共享状态的高速缓存线地址的拷贝而另一个远程标记存储器 300 包含处于无效状态的同一高速缓存线地址的拷贝, 处于共享状态的相关性状态位 412 优先。如下面更详细描述, 如果不止一个远程标记存储器 300 包含特定的处于共享状态的高速缓存线地址的拷贝, 则相关性规则 304 可以执行在不止一个远程总线 102、104 或者 106 上的远程总线事务以保证高速缓存相关性。另外, 如果远程标记存储器 300 中没有一个包含特定的高速缓存线地址 400, 那么与高速缓存线地址 400 相关的远程相关性状态位 412 被认为处于无效状态。

例如, 当在左边的总线 102 上的第一处理机 112a 为块 802 中特定的高速缓存线地址 400 产生 BRL 命令时, 左边的循环编码器 302a 确定左边的总线执行 BRL 命令。而且, 左边的标记控制器 300 使用高速缓存线地址 400 以访问远程右边的标记存储器 212b 和远程 I/O 标记存储器 212c。标记控制器 300 从右边的标记存储器 212b 和 I/O 标记存储器 212c 中获取远程相关性状态位 412, 远程相关性状态位 412 表示右边的标记存储器 212b 和 I/O 标记存储器 212c 中的高速缓存线地址 400 是否处于无效状态、共享状态或者被占用状态。如果既不是右边的标记存储器 212b 也不是 I/O 标记存储器 212c 包含高速缓存线地址 400, 则左边的标记控制器 300a 认为远程相关性状态位 412 处于无效状态。

现在, 来看优选的规则表 304 的操作, 这里, 与局部总线 102、104 或者 106 相关的循环编码器 302 使用局部和远程标志数据, 发送局部规则表 304, 总线事务的类型 (BRL 命令) 和远程高速缓存状态位 412 的状态。如果远程相关性状态位 412 指示远程高速缓存线地址 400 处于无效状态, 则局部规则表 304 继续进行块 804。在优选的实施例中, 如果远程相关性状态位 412 处于无效的状态, 则局部规则表 304 不在远程总线 102、104 或者 106 中任一个上产生 BRL 交叉总线事务。反而, 局部规则表 304 在局部标记存储器 300 中保持高速缓存线地址 400 超集。

继续进行块 804, 局部处理机 112 询问它们的内部高速缓冲存储器 114 以确定是否任一个局部处理机 112 包含要求的高速缓存线的拷贝。在优选的实施例中, 一个处理机 112 也认定 HITM#信号, 这时, 总线探

询操作指示已修改的高速缓存线存在于该处理机的高速缓冲存储器 114 中。HITM#信号是地址和控制行 108 之一并指示具有最新的高速缓存的行处理机 112 需要将高速缓存线写回到主存储器 132。

5 在块 806 中, 具有已修改的高速缓存线的局部处理机 112 通过将已修改的高速缓存线写回到主存储器 132 来响应总线事务并同时更新主存储器 132。继续进行块 808, 局部规则表 304 指示局部标记控制器 300 来将局部标记存储器 212 中的相关性状态位 412 设定为共享状态。局部规则表 304 然后继续进行结束块 810。

10 返回到块 804, 如果局部处理机 112 不包含一个已修改的高速缓存线的拷贝, 则规则表 304 继续进行块 812。在块 812 中, 局部规则表 304 评价在局部总线 102、104 或者 106 上的 HIT#信号。如上所述, 当局部处理机 112 在它们的高速缓冲存储器 114 中包含未修改的高速缓存线的拷贝时, 局部处理机 112 产生 HIT#信号。如果局部处理机 112 包含未修改的高速缓存线的拷贝。则局部规则表 304 继续进行块 814。

15 在块 814 中, 局部总线从设备 204 从主存储器 132 中获取高速缓存线。如果高速缓存线地址为奇数, 那么局部总线从设备 204 从奇数主存储器 132a 中获取高速缓存线。如果高速缓存线地址为偶数, 那么局部总线从设备 204 从偶数主存储器模块 132b 中获取高速缓存线。局部总线从设备 204 然后发送高速缓存线给请求处理机 112。

20 继续进行块 808, 局部规则表 304 指示局部标记控制器 300 来设定局部标记存储器 300 中的相关性状态位 412 为共享状态, 局部规则表 304 然后继续进行结束块 810。

25 返回到块 812, 如果局部处理机 112 不认定 HIT#信号或者 HITM#信号, 则高速缓存线不再存在于由块 816 代表的局部处理机 112 中。继续进行块 818, 如果局部标记存储器 212 没有高速缓存线地址 400 的拷贝, 则规则表 304 增加高速缓存线地址 400 给局部标记存储器 212。如上所述, 局部标记存储器需要从局部标记存储器中排除现存的高速缓存线地址以为新的高速缓存线地址准备空间。如果这样, 在新的高速缓存线地址加到局部标记存储器之前, 旧的高速缓存线地址首先被无效。左边的
30 总线从设备然后从主存储器 132 中获取期望的高速缓存线并将其发送给请求处理机 112。

局部规则表 304 继续进行块 822 并指示局部标记控制器 300 来设

定局部标记存储器 212 中的高速缓存线相关性状态位 412 为被占用状态。然而,如果局部总线上的一个局部处理机 112 认定 HIT#信号,则局部标记存储器 212 被设定为共享。另外,如果 BRL 命令用于代码并且远程状态没有被占用,则规则表 304 认定 HIT#信号。如果没有 HITM#被检测到,则将 BRL 命令初始化的处理机将它的内部高速缓存状态标为共享。如果 HITM#信号被认定,则一个隐含的回写被执行并且局部标记存储器 212 被设定为共享。然后,局部规则表 304 继续进行结束块 810。

现在,返回到块 802,下面的讨论来看当远程标记存储器 300 指示远程高速缓存线地址 400 处于共享状态时会发生什么。当远程相关性状态位 412 指示高速缓存线地址 400 处于共享状态时,局部规则表 304 在远程总线 102、104 或者 106 上不产生 BRL 交叉总线事务。反而,局部规则表 304 从主存储器 132 中获取要求的高速缓存线并更新局部标记存储器 300。

继续进行块 830,为了代码读,局部规则表 304 认定在局部总线 102、104 或者 106 上的 HIT#信号。局部规则表 304 然后继续进行块 832。在块 832 中,局部规则表 304 从主存储器 132 中获取要求的高速缓存线。如果要求的高速缓存线地址不存在于局部标记存储器 212 中,则标记控制器增加新的高速缓存线地址 400 给局部标记存储器 212。如上所描述,标记控制器 300 可以排除一个较旧的高速缓存线地址 400 以为新的高速缓存线地址 400 准备空间。

继续进行状态 808,局部规则表 304 设定高速缓存线的相关性状态位 412 为共享并继续进行结束块 610。

现在,返回到块 802,下面的讨论来看当远程标记存储器 212 之一表示远程高速缓存线地址 400 之一处于被占用状态时会发生什么。如果远程相关性状态位 412 指示远程高速缓存线地址 400 之一处于被占用状态,则远程总线具有最新的要求的高速缓存线的版本,这样,最新的高速缓存线必须从远程总线中被获取。在块 802 中,规则表 304 产生 BRL 交叉总线事务来保证高速缓存相关性。在优选的无效,共享和被占用协议中,只有一个总线能及时在任何给定点占有高速缓存线。这样,远程高速缓存线必须被变成不同的相关性状态。

继续进行块 840。局部规则表 304 确定是否局部 BRL 命令能延迟。延迟局部 BRL 命令允许局部总线继续传输总线事务。如上所述,发出总

线事务的处理机 104 通过认定它的 DEN#信号指示是否总线事务被延迟。如果 DEN#信号被认定, 则局部规则表 304 继续进行块 842 并指示局部总线从设备 204 以延迟局部 BRL 命令。继续进行块 844, 局部规则表 304 然后指示本发明来执行在远程总线 102、104 或者 106 之一上的 BRL 命令。

返回到块 840, 如果总线事务不能被延迟, 则局部规则表 304 继续进行块 846 并指示局部总线从设备 204 来延迟局部 BRL 命令。继续进行块 844, 局部规则表 304 然后指示本发明来执行在远程总线 102、104 或者 106 之一上的 BRL 命令。

在块 844 中, 缓冲器管理器 210 和中央请求表 208 传送 BRL 命令给要求的总线。例如, 假定在左边的总线 102 上的第一处理机 112a 给一个特定的高速缓存线地址执行 BRL 命令。而且, 假定对于高速缓存线地址 400, 右边的总线相关性状态位 412 指示高速缓存线地址 400 处于被占用状态。

在本例中, 左边的规则表 304a 确定在右边的总线 104 上的 BRL 命令必须保证高速缓存相关性。左边的规则表 304a 然后从左边的 FIFO506a 中获取空闲的地址单元标识符。左边的规则表 304a 访问由地址单元标识符标识的地址单元 506a 并将高速缓存线地址 400 输到存储器地址 504。另外, 左边的规则表 304a 访问相应的请求单元 600 并将右边的总线标识符存储在目标总线标识符 604 中, 将 BRL 命令存储在总线事务代码 606 中, 将左边的总线标识符存储在占用者总线标识符 608 中。

一旦右边的总线优先级编码器 602b 分配最高优先级给请求单元 600, 则右边的总线主控制器 202b 执行在右边的总线 104 上的 BRL 命令。继续进行块 848, 右边的处理机响应在右边的总线 104 上的 BRL 命令。在块 848 中, 右边的处理机评价在它们的高速缓冲存储器 114 中的高速缓存线地址的状态。如果右边的处理机不再有要求的高速缓存线地址的拷贝, 则右边的处理机不认定 HIT#和 HITM#信号。

继续进行块 850, 右边的标记控制器 300b 设定在右边的标记存储器 212b 中的相关性状态位 412 为无效状态。如果局部总线事务被延迟, 则左边的总线从设备 202a 在左边的总线 102 上发出一个延迟的响应事务。继续进行块 818, 左边的总线从设备 202a 从主存储器 132 中获取要

求的高速缓存线并将其发送给在左边的总线 102 上的请求处理机 112。左边的规则表 304a 然后继续进行块 822 或者 824 并到达如上所述的结束块 810。

5 现在, 返回到块 848, 如果右边的处理机 112c 或者 112d 包含未修改的高速缓存线的拷贝, 则它们认定右边的 HIT#信号, 并且本发明继续进行块 852。在块 852 中, 右边的标记控制器 300b 设定在右边的标记存储器 212b 中的相关性状态位 412 为共享状态。

10 继续进行块 854, 如果左边的标记存储器 212b 没有高速缓存线地址 400 的拷贝, 则左边的规则表 304 指示左边的标记控制器 300a 以增加高速缓存线地址 400 给左边的标记存储器 212a。如上所述, 局部标记存储器必须从左边的标记存储器排除现存的高速缓存线地址 400 以为新的高速缓存线地址准备空间。如果这样, 在新的高速缓存线地址被加到左边的标记存储器之前, 旧的高速缓存线地址首先被无效。

15 而在块 852 中, 左边的总线从设备从主存储器 132 中获取期望的高速缓存线并将其发送给在左边的总线 102 上的请求处理机 112a。继续进行块 808, 左边的规则表 304a 指示左边的标记控制器 300a 来设定在左边的标记存储器 212a 中的相关性状态位 412 为共享并继续进行结束块 810。

20 现在, 返回到块 848, 如果右边的处理机 112c 或者 112d 之一在它的高速缓冲存储器 114 中有一个已修改的高速缓存线的拷贝, 则右边的处理机 112c 或者 112d 认定右边的 HITM#信号。继续进行块 856, 已修改的高速缓存线提供给左边的总线 102。特别地, 已修改的高速缓存线加载到数据接口缓冲器 134 中的相应的数据单元 700, 然后传送给由占用者总线标识符 608 标识的左边的总线 102。数据单元 700 然后被左边的总线从设备 204a 访问, 左边的总线从设备 204a 传输已修改的高速缓存线(如果起始总线事务被延迟则带有延迟响应)给左边的总线 102。另外, 右边的标记控制器 300b 将右边的标记存储器中的相关性状态位设定成共享状态。

30 继续进行状态 858, 作为响应的部分, 已修改的高速缓存线被写回到主存储器 132。本发明然后继续进行块 852、854、块 808 和如上所述的结束块 810。这样, 当有必要保持高速缓存相关性时, 本发明就执行 BRL 交叉总线事务。尽管上面的实例讨论了当左边的总线 102 初始化

BRL 命令时的过程,而当右边的总线 104 或者 I/O 总线 106 初始化 BRL 命令时,类似的过程也同样发生。

B. 处理总线读使行无效命令

图 9 示出一个当总线 102、104 或者 106 之一执行总线读使行 (BRIL) 无效命令时保持高速缓存相关性的流程图。从开始块 900 开始,一个处理机 112 执行 BRIL 命令。在 BRIL 命令的执行期间,处理机 112 之一发送要求的高速缓存线地址 400 给它分配的相关性滤波器 200。

继续进行块 902,循环编码器 302 确定总线 102、104 或者 106 正在执行 BRIL 命令。同样,被分配的标记控制器 300 使用标识于 BRIL 命令中的高速缓存线地址 400 以访问在远程标记存储器 212 中的高速缓存线地址 400。如果远程标记存储器 212 包含高速缓存线地址 400,则它们返回远程相关性状态位 412,远程相关性状态位 412 表示远程高速缓存线地址 400 处于无效状态、共享状态或者被占用状态。

如上所述,只有一个远程标记存储器 212 可以包含特定的在被占用状态下的高速缓存线地址。然而,不止一个远程标记存储器 212 可以包含共享或者无效状态下的特定的高速缓存线地址。如果一个远程标记存储器 212 包含共享状态下的高速缓存线地址的拷贝而另一个远程标记存储器 300 包含无效状态下的同一高速缓存线地址的拷贝,则共享状态下相关性状态位 412 优先。如下面更详细描述,如果不止一个远程标记存储器 300 包含共享状态下特定的高速缓存线地址的拷贝,则相关性规则 304 可以执行在不止一个远程总线 102、104 或者 106 上的远程总线事务以保证高速缓存相关性。另外,如果远程标记存储器 300 中没有一个包含特定的高速缓存线地址 400,则与高速缓存线地址 400 相关的远程相关性状态位 412 被认为它们处于无效的状态。

例如,当在左边的总线 102 上的处理机 112a 为块 902 中特定的高速缓存线地址 400 产生 BRIL 命令时,左边的循环编码器 302a 确定左边的总线 102 正在执行 BRIL 命令。同样,左边的标记控制器 300a 使用高速缓存线地址 400 以访问右边的标记存储器 212b 和 I/O 标记存储器 212c。标记控制器 300 从右边的标记存储器 212b 和 I/O 标记存储器 212c 中获取远程相关性状态位 412,该远程相关性状态位 412 表示在右边的标记存储器 212b 和 I/O 标记存储器 212c 中的高速缓存线地址 400 是否处于无效状态、共享状态或者被占用状态。如果既不是右边的标记

存储器 212b 也不是 I/O 标记存储器 212c 包含高速缓存线地址 400, 则左边的标记控制器 300a 认为远程相关性状态位 412 处于无效状态。

现在, 来看优选的规则表 304 的操作, 使用局部和远程标志数据, 与局部总线 102、104 或者 106 相关的循环编码器 302 向局部规则表 304 发送总线事务 (BRIL 命令) 的类型和远程相关性状态位 412 的状态。如果远程相关性状态位 412 指示远程高速缓存线地址 400 处于无效状态, 则局部规则表 304 继续进行块 904。在优选的实施例, 如果远程相关性状态位 412 处于无效的状态, 则局部规则表 304 在任何远程总线 102、104 或者 106 上不产生 BRIL 交叉总线事务。反而, 局部规则表 304 在局部标记存储器 300 中保持高速缓存线地址的超集 400。

继续进行块 904, 局部处理机 112 询问它们的内部高速缓冲存储器 114 以确定是否任一个局部处理机 112 包含要求的高速缓存线的拷贝。在优选的实施例, 当总线探测操作表示已修改的高速缓存线存在于该处理机高速缓冲存储器 114 中时, 该处理机 112 之一也认定 HITM#信号。HITM#信号为地址和控制行 106 之一并指示具有最新的高速缓存线的处理机 112 需要将高速缓存线写回到主存储器 132。

在块 906 中, 局部处理机 112 响应总线事务并同时通过将已修改的高速缓存线写回到主存储器 132 来更新主存储器 132。继续进行块 908, 局部规则表 304 指示局部标记控制器 300 来设定局部标记存储器 212 中的相关性状态位 412 为被占用状态。局部规则表 304 然后继续进行结束块 910。

返回到块 904, 如果局部处理机 112 不包含一个已修改的高速缓存线的拷贝, 则局部规则表 304 继续进行块 912。如上所述, 如果局部标记存储器 212 没有高速缓存线地址 400 的拷贝, 则局部规则表 304 增加高速缓存线地址 400 给局部标记存储器 304。这样, 局部标记存储器必须从局部标记存储器中排除现存的高速缓存线地址以为新的高速缓存线地址准备空间。如果这样, 在新的高速缓存线地址被加到局部标记存储器之前, 旧的高速缓存线地址首先被无效。而在块 912 中, 左边的总线从设备也从主存储器 132 中获取期望的高速缓存线并将其发送给请求处理机 112。

现在, 返回到块 902, 下面的讨论来看当远程标记存储器 300 指示远程高速缓存线地址 400 处于共享或者被占用状态时会发生什么。当远

程相关性状态位 412 表示远程高速缓存线地址 400 处于共享或者被占用状态时,局部规则表 304 产生 BRIL 交叉总线事务以保证高速缓存相关性。

5 继续进行块 920,局部规则表 304 确定是否局部 BRIL 命令能被延迟。如上所述,发出总线事务的处理机 104 通过认定它的 DEN#信号来指示总线事务是否可延迟。如果 DEN#信号被认定,则局部规则表 304 继续进行块 922 并指示局部总线从设备 204 来延迟局部 BRIL 命令。继续进行块 924,局部规则表 304 然后指示本发明来执行在远程总线 102、104 或者 106 之一上的 BRIL 命令。

10 返回到块 920,如果总线事务不能被延迟,则局部规则表 304 继续进行块 926 并指示局部总线从设备 204 以延迟局部 BRIL 命令。继续进行块 924,局部规则表 304 然后指示本发明来执行在远程总线 102、104 或者 106 之一上的远程 BRIL 命令。

15 在块 924 中,如上所述,参考块 844,缓冲器管理器 210 和中央请求表 208 传送 BRIL 命令给期望的远程总线 102、104 或者 105。继续进行块 928,BRIL 命令在远程总线 102、104 和 106 上被执行。在块 928 中,远程处理机评价在它们的高速缓冲存储器 114 中的高速缓存线地址状态。如果远程处理机不再有要求的高速缓存线地址 400 的拷贝,则右边的处理机不认定 HIT#或者 HITM#信号。

20 继续进行块 930,远程标记控制器 300 设定在远程标记存储器 212 中的相关性状态位 412 为无效状态。继续进行块 932,左边的总线从设备从主存储器 132 中获取要求的高速缓存线并将其发送给左边的总线 102 上的请求处理机 112。而且,如果高速缓存线地址 400 不存在于局部标记存储器 212 中,则局部规则表 304 指示局部标记控制器 300 以增加新的高速缓存线地址 400 给局部标记存储器。如上所述,这可以要求现存的高速缓存线地址的无效。继续进行块 908,局部标记控制器 300 设定局部标记存储器 212 中的相关性状态位为被占用,然后继续进行结束块 910。

30 现在,返回到块 928,如果远程处理机 112 包含未修改的高速缓存线的拷贝,则它们认定远程 HIT#信号并且本发明继续进行块 930、块 932、块 908 和如上所述的结束块 910。在返回到块 928,如果远程处理机 112 之一在它的高速缓冲存储器 114 中有一个已修改的高速缓存线的

拷贝,则远程处理机 112 认定远程 HITM#信号。

继续进行块 934,已修改的高速缓存线被提供给局部总线 102、104 或者 106。特别地,已修改的高速缓存线被装入数据接口缓冲器 134 中的合适的单元 700 并被送回到占用者总线标识符 608 标识的总线。

- 5 局部总线从设备 204 然后在局部左边的总线 102 上传输已修改的高速缓存线(如果初始总线事务可延迟则带有延迟响应)。另外,远程标记控制器 300 设定在远程标记存储器中的远程相关性状态位为无效状态。作为响应的一部分,已修改的高速缓存线被写回到主存储器 132。

- 10 本发明然后继续进行块 908,以及如上所述的结束块 910。这样,当有必要保持高速缓存相关性时,本发明执行 BRIL 交叉总线事务。

VI. 其他实施例

- 实现本发明的另一个实施例包含所称的无效队列。现在,来看无效队列 1000,示意于图 10,每个总线具有分配的无效队列 1000。无效队列 1000 包含相对较小数目的队列入口 1002。每个队列入口 1002 给
15 高速缓存线地址 400 之一存储标记页地址 402,位移地址 404,相关性状态位 412 和奇偶性位 414。

- 在优选的实施例中,优选的标记存储器 212 小于主存储器 132。这样,任何时候,不止一个高速缓存线地址 400 将映象到同一标记入口 410。当高速缓存线映象到已占用标记入口 410 时,标记控制器 300 必须
20 从标记存储器 212 中排除被占用的标记入口 410。即,被占用的标记入口 410 中的现存的高速缓存线必须被无效,以便标记控制器 300 能在标记入口 410 中存储新的高速缓存线地址 400。

- 另外,当两个处理机 112 试图访问映象到同一标记入口 410 的两个高速缓存线时,相关性滤波器 200 就使第一高速缓存线地址 400 无效并用第二高速缓存线地址 400 将其替换。然后,相关性滤波器 200 使第二
25 高速缓存线地址 400 无效并用第一高速缓存线地址 400 将其替换。这种乒乓(ping-pong)效果称为标记存储器系统颠簸。当可能用较大的标记存储器 212 减小标记存储器系统颠簸时,这种方法能显著增加标记存储器 212 的价格。有利地,无效队列 1000,显著降低标记存储器系统颠簸而减小附加存储器价格。
30

而且,当旧的高速缓存线地址必须被无效时,与新的缓存线地址相关的总线事务必须被延迟,直到旧的高速缓存线无效完成。优选的

无效队列 100 允许新的总线事务继续进行。然后,旧的高速缓存线地址在晚些时候总线可能空闲时被无效。

当相关性滤波器 200 之一需要从它的标记存储器 212 中排除标记入口 410 时,标记入口 410 被存储于相关性滤波器无效队列 1002 中。当
5 优选的无效队列 1000 存储 8 个以上被排除的标记入口 410 时,无效队列 1002 能包含大数目的被排除的标记入口 410。当相关性滤波器 200 之一排除多于 8 个标记入口 410 时,无效队列 1000 保持大多数最近被访问的标记入口 410 并使溢出的标记入口 410 无效。

无效队列 1000 以不同于标记存储器 212 中的标记入口 410 的格式
10 存储队列入口 1002。特别地,优选的队列入口 1002 包含从标记存储器 212 中被排除的标记入口 410 的标记页地址 402,位移地址 404,相关性状态位 412 和奇偶性位 414。因为任何高速缓存线地址 400 能存在于任何队列入口 1002 中,所以每个无效队列 1000 为所述的完全相关。

因为每个无效队列 1000 包含一个相对较小数目的无效队列入口
15 1002,所以每个无效队列 1000 提供低价格或者增加标记存储器 212 的长度。在优选的实施例中,无效队列 1000 用存在于在系统访问控制器 130 中的静态随机访问存储器来实现。

VII. 结论

虽然描述了本发明的优选的实施例,但这些实施例仅以实例提供,
20 并不想限制本发明的范围。例如,尽管本发明参考三-总线系统 100 进行了描述,但本发明可能包含更多总线。而且,本发明可能在多种多处理系统中实现。因此,本发明的宽度和范围根据下面的权利要求和它们的等价物来限定。

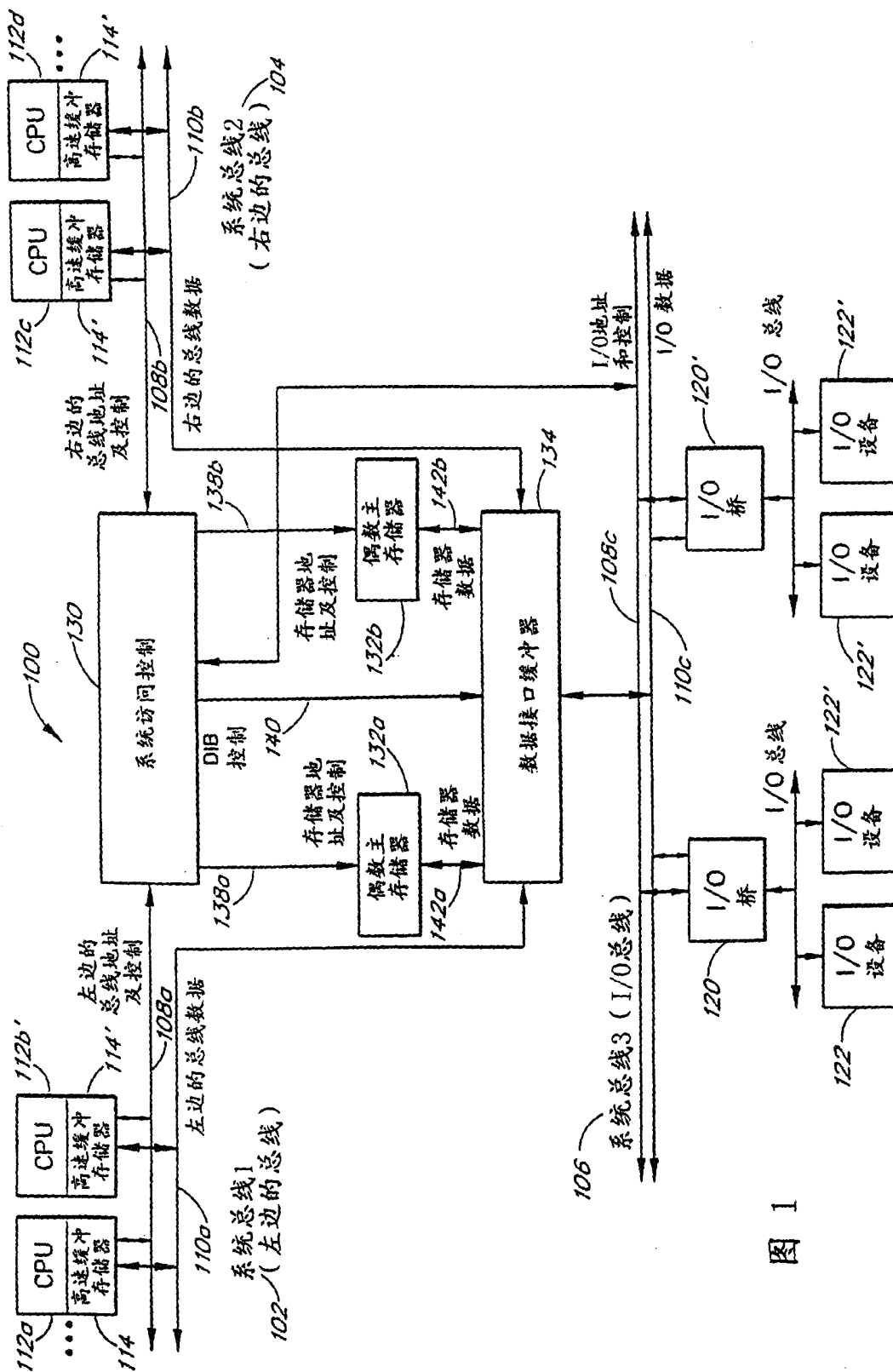


图 1

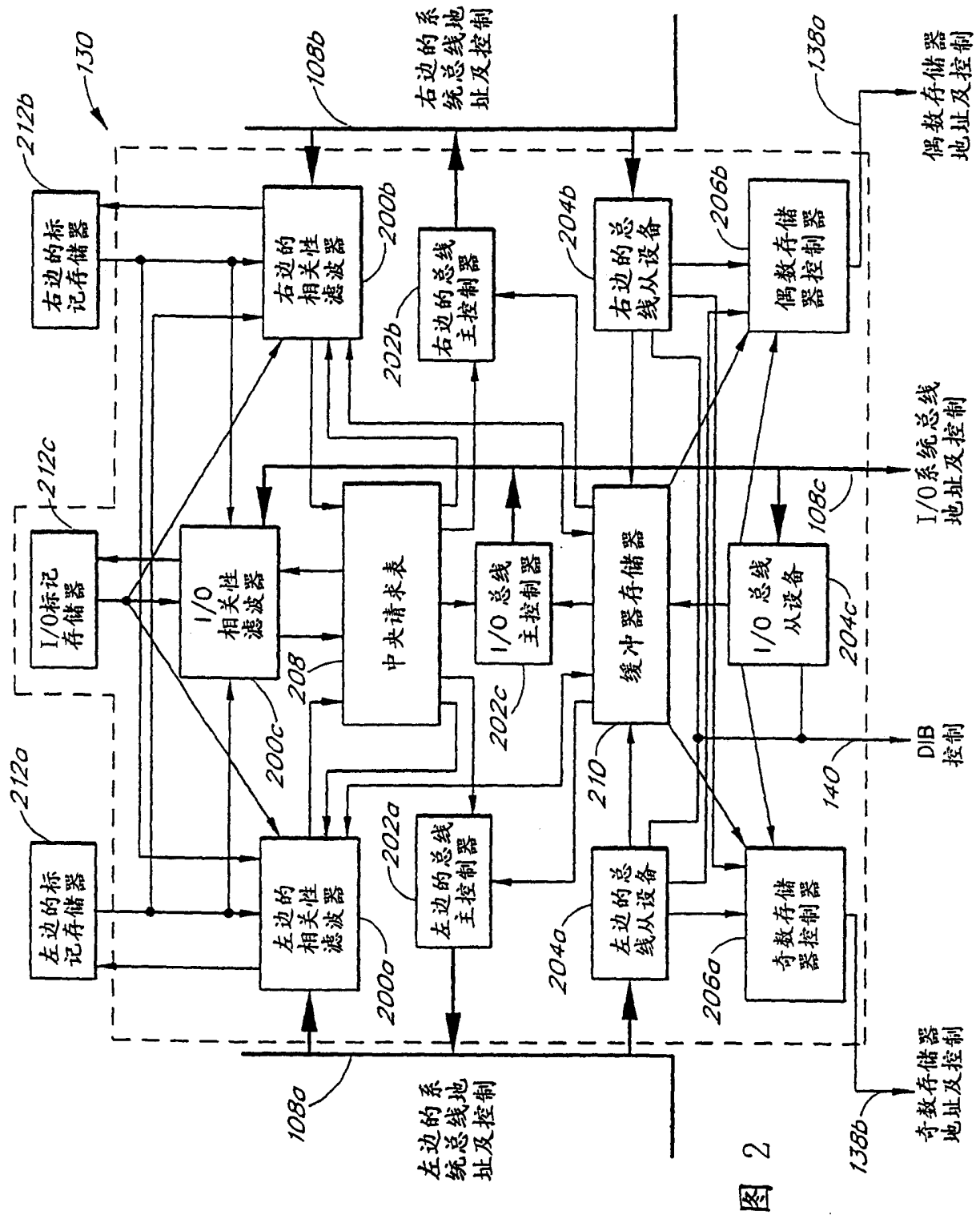


图 2

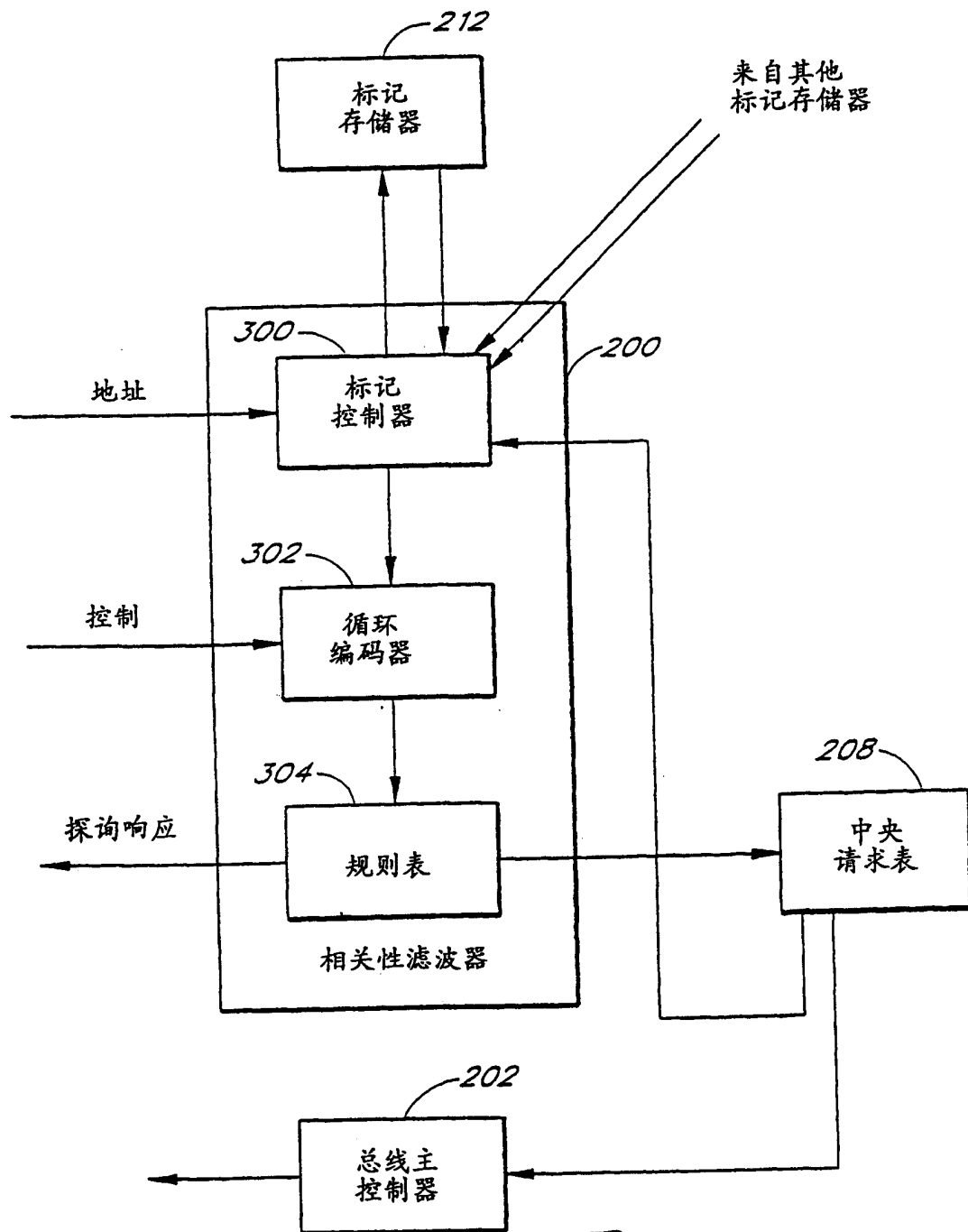
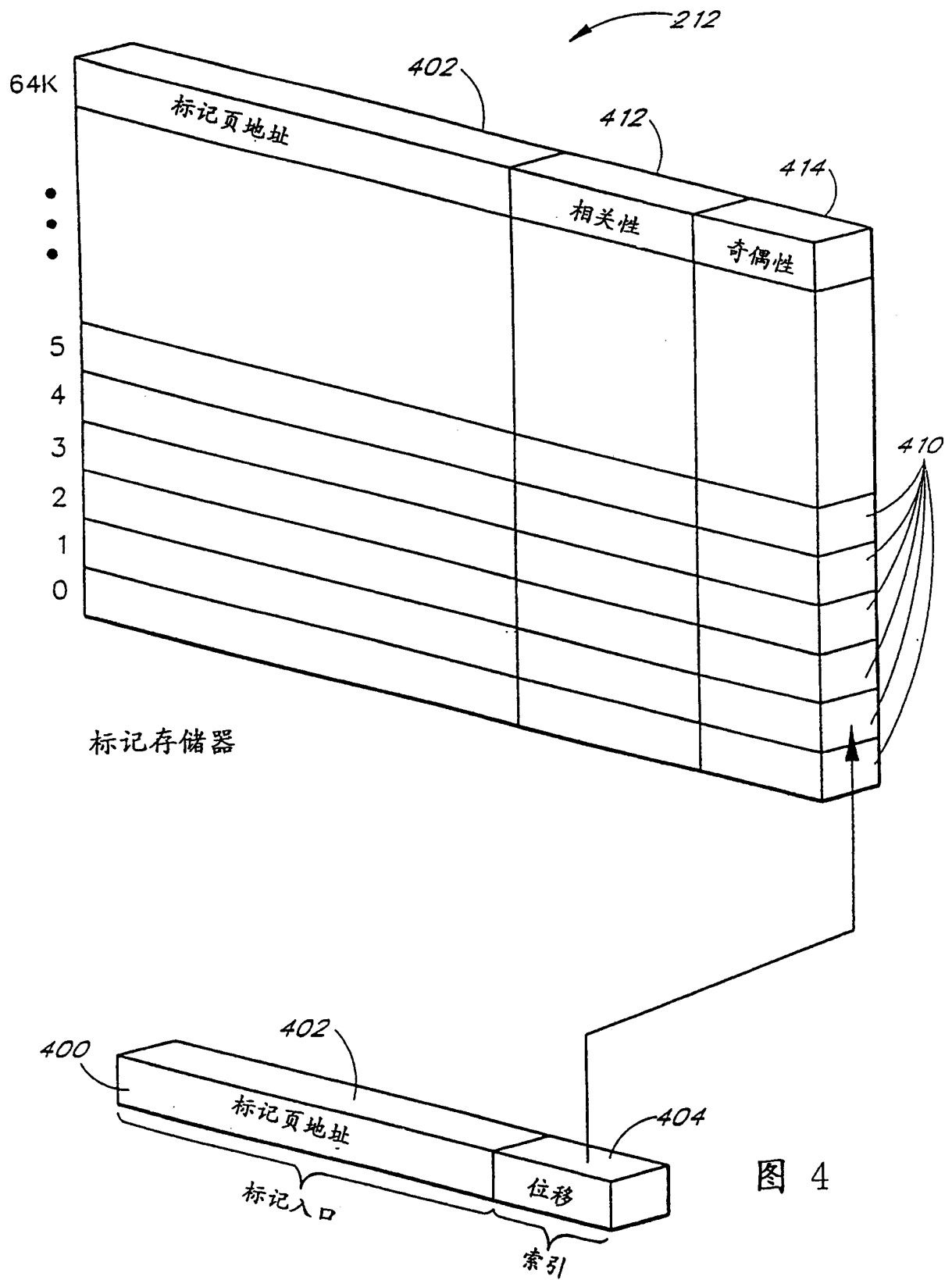


图 3



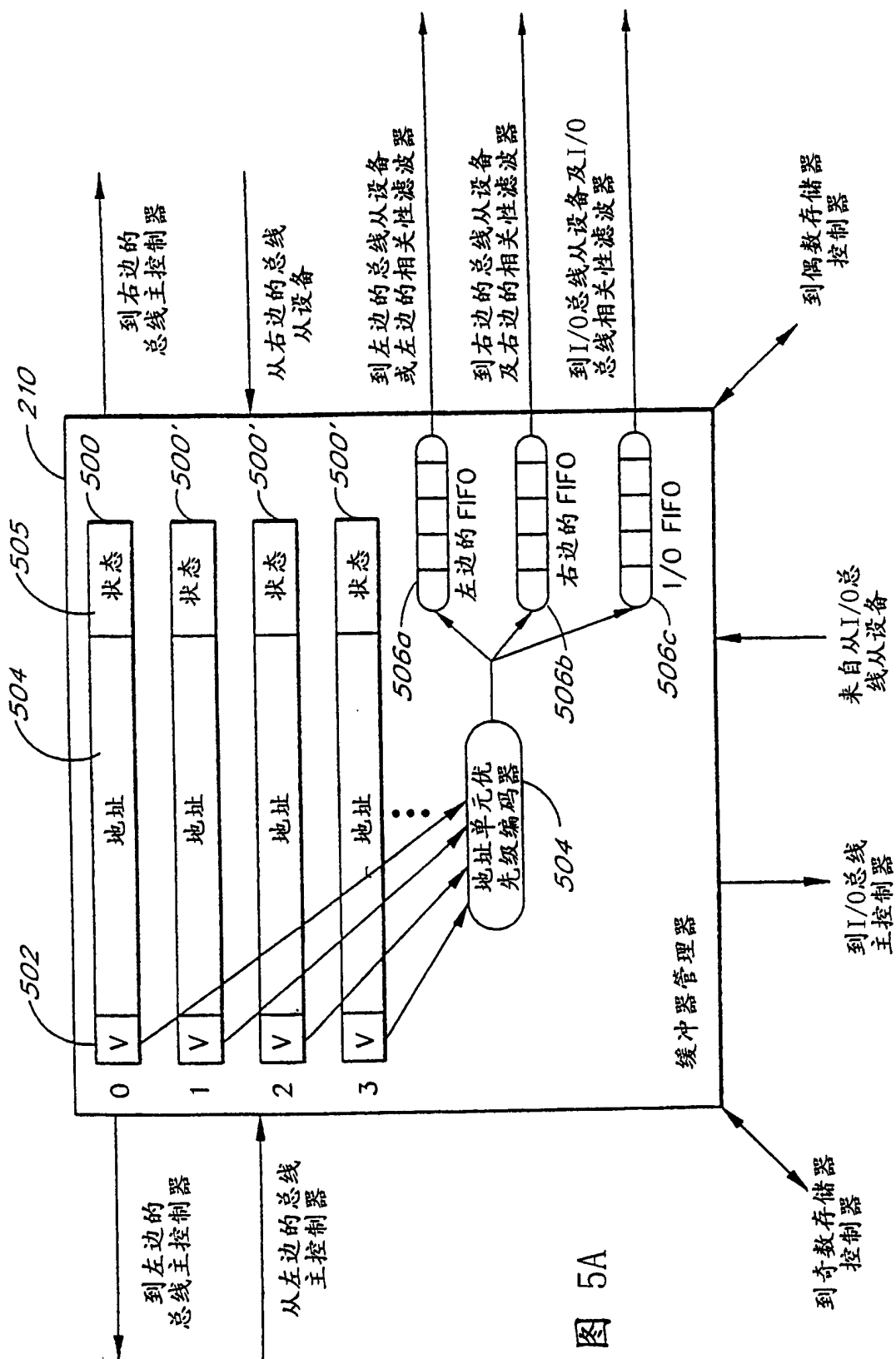
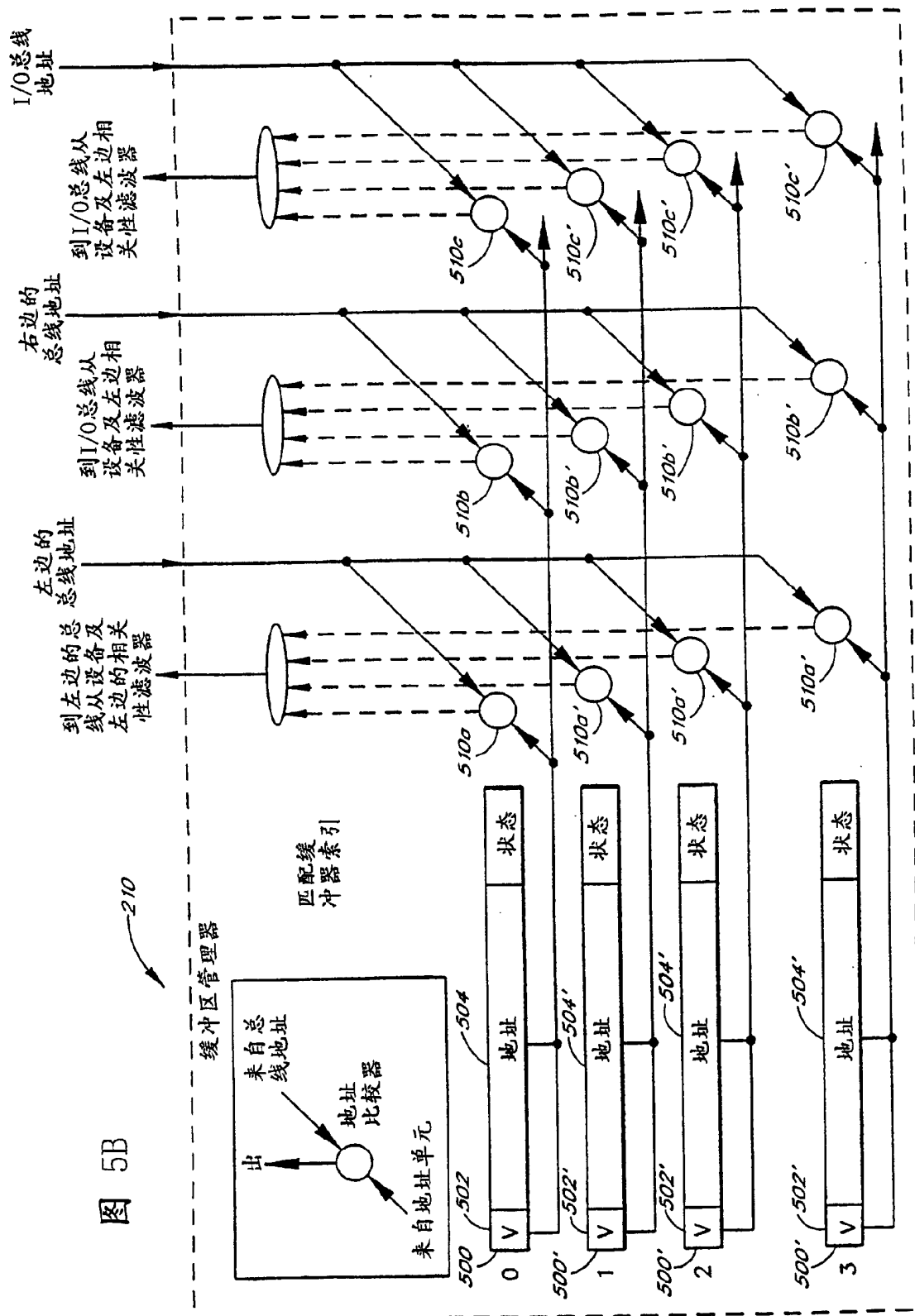


图 5A



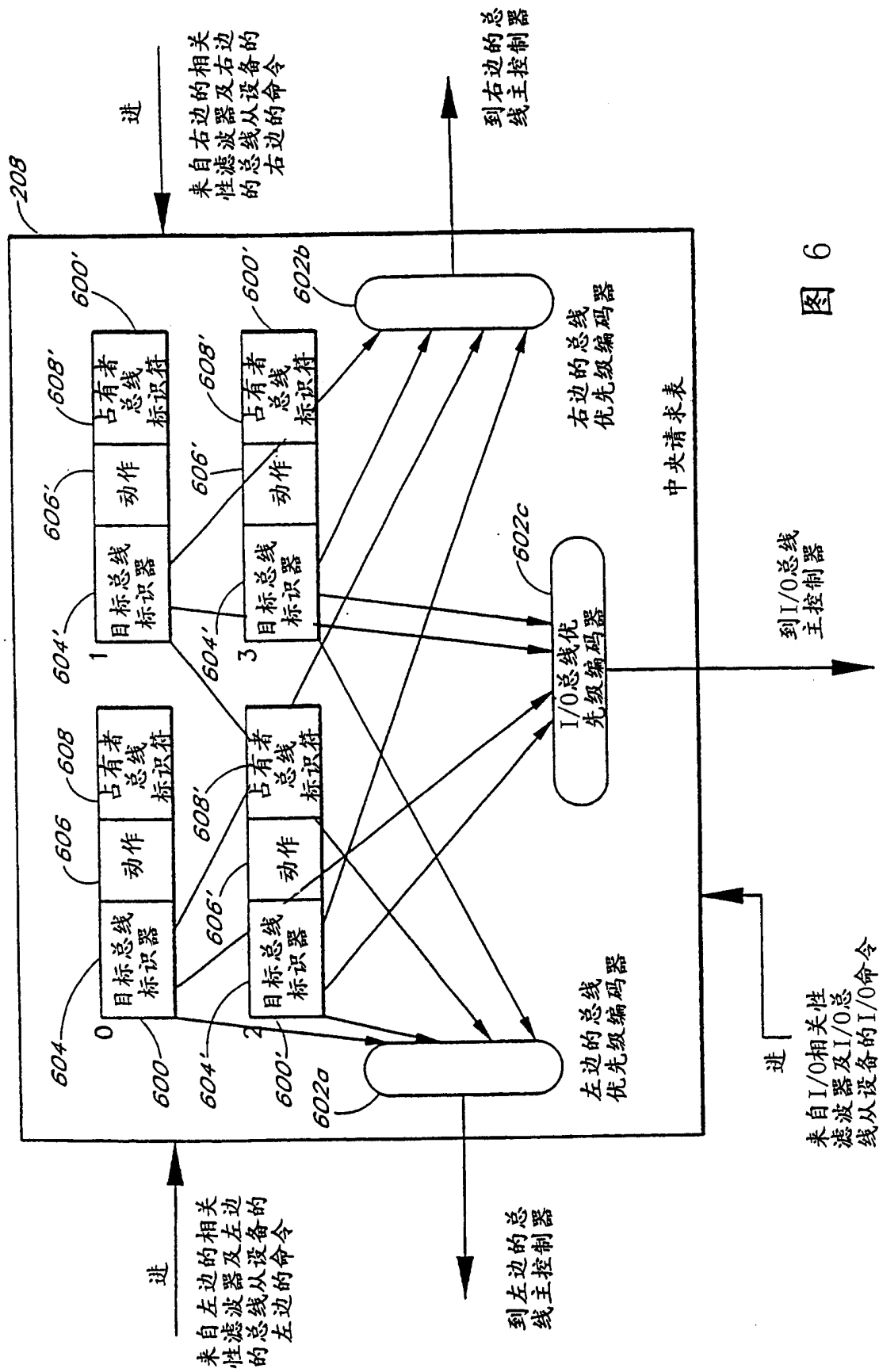


图 6

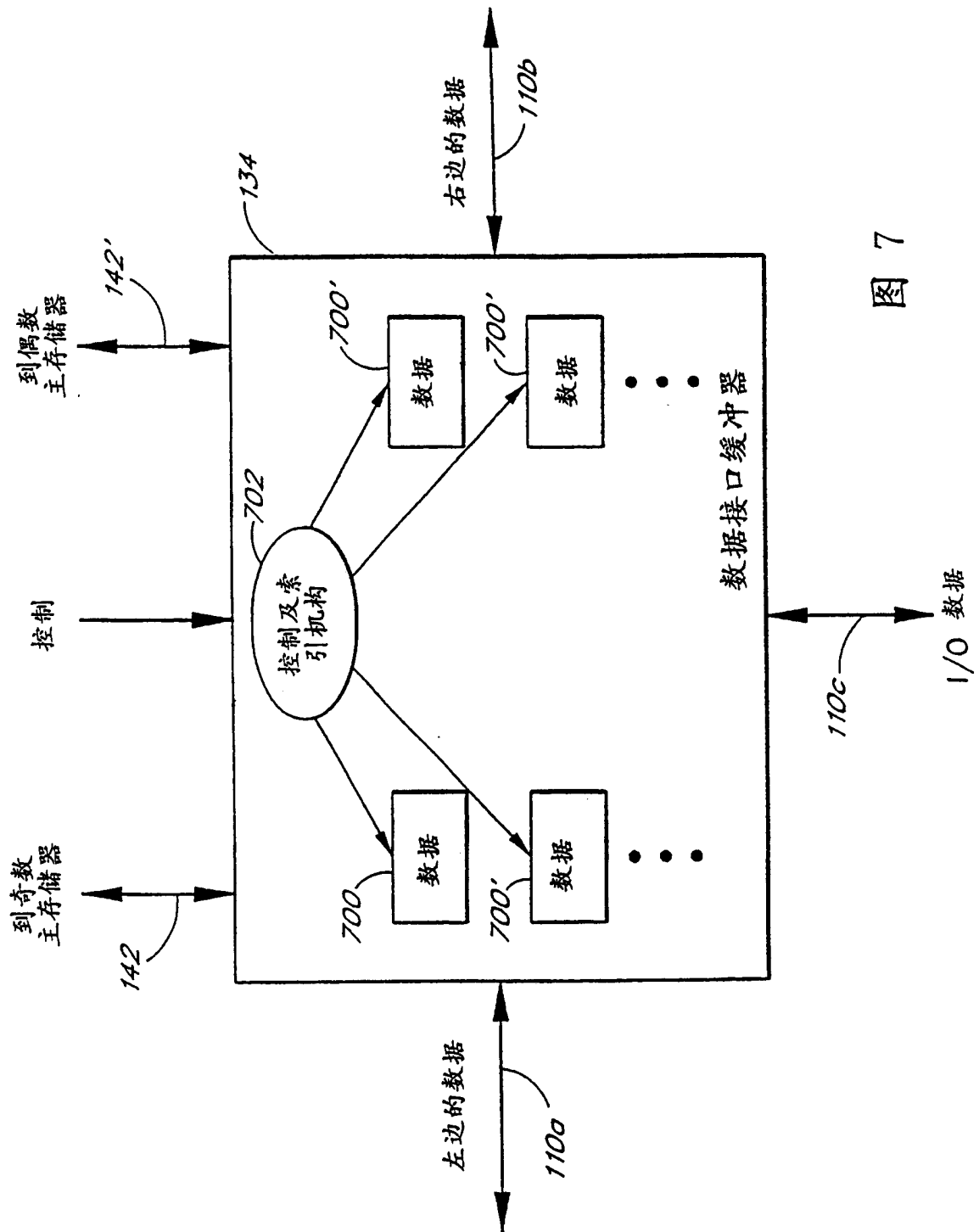


图 7

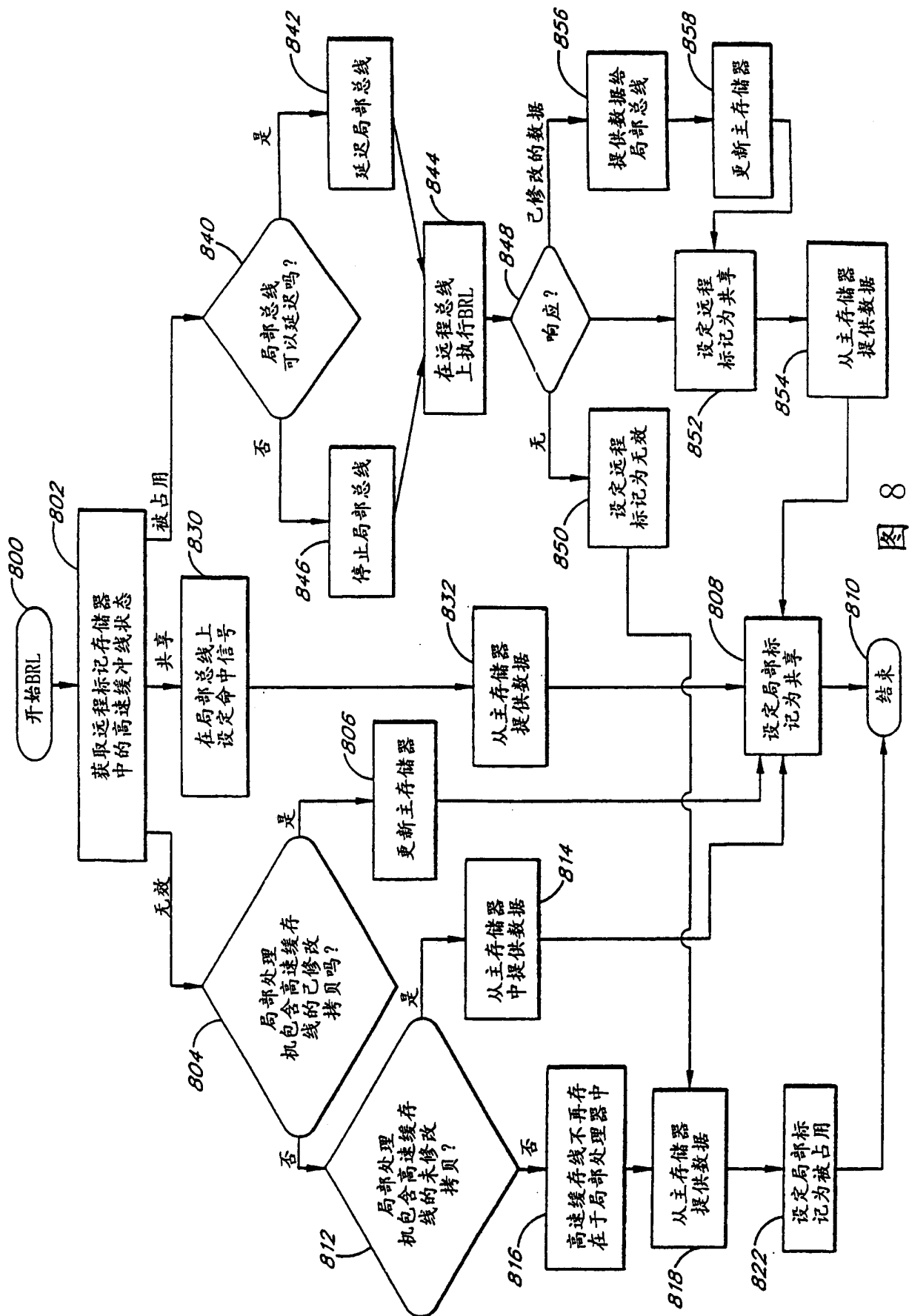


图 8

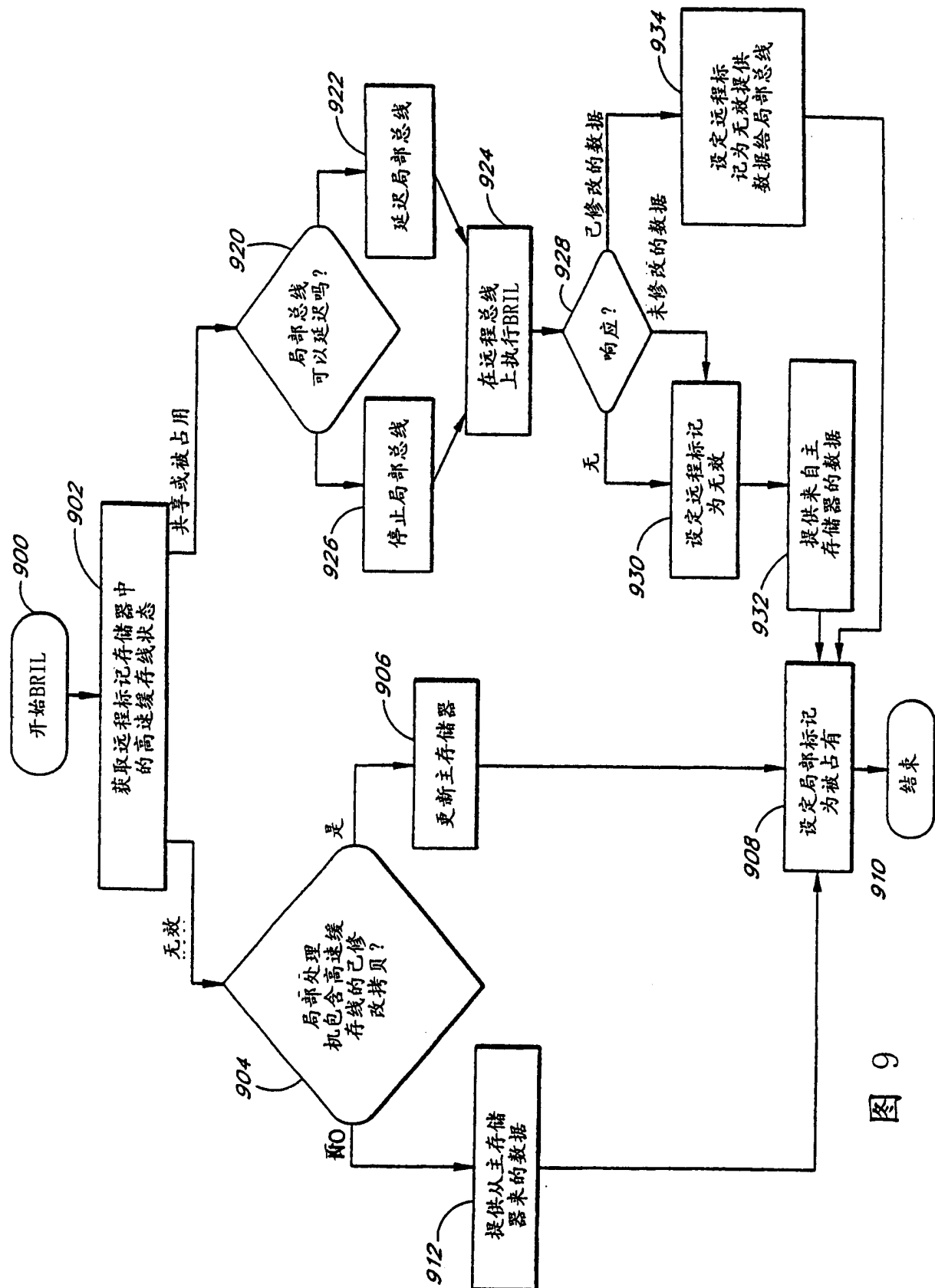


图 9

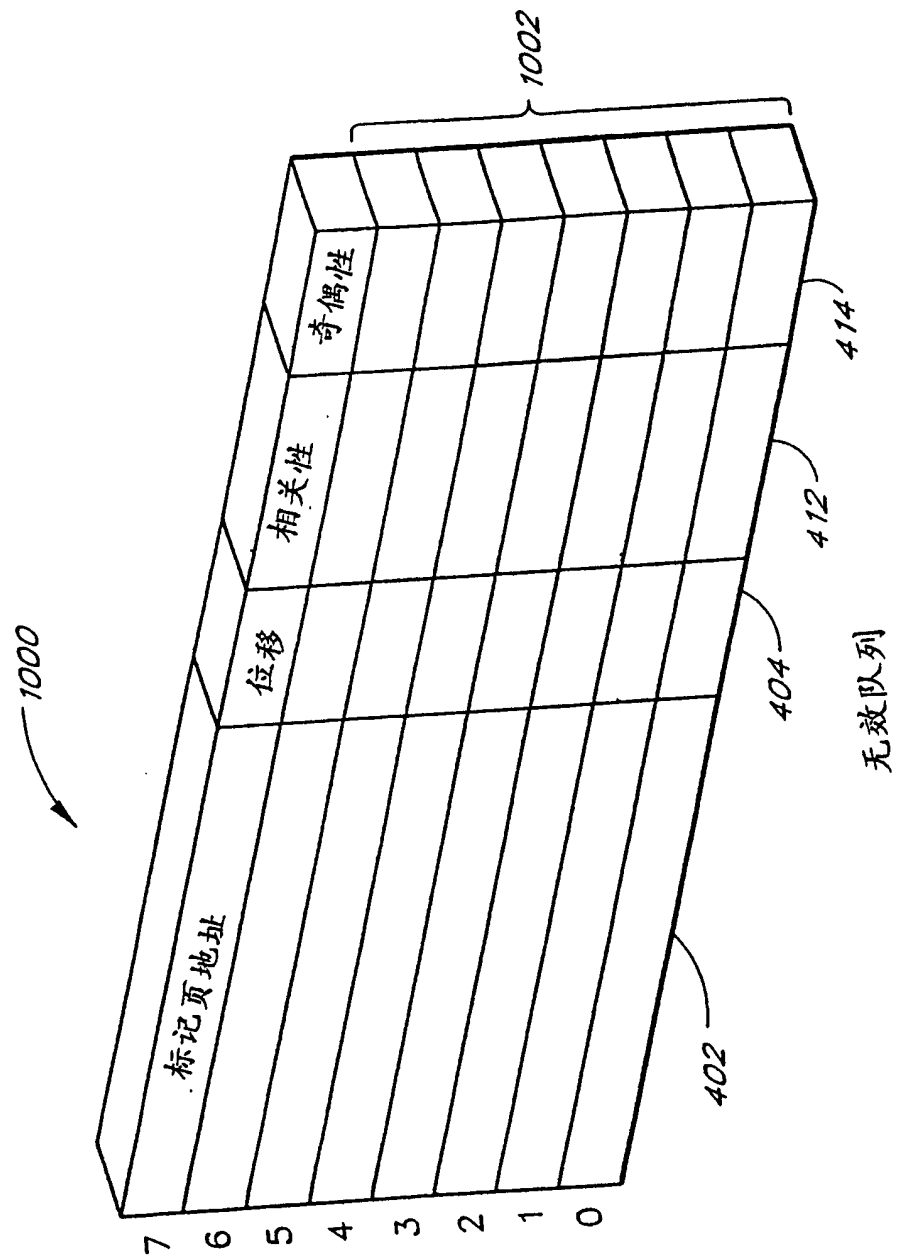


图 10