

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93115127

※申請日期：93-5-27

※IPC 分類：H01L 3/02

一、發明名稱：(中文/英文)

晶圓邊緣蝕刻裝置及方法

WAFER EDGE ETCHING APPARATUS AND METHOD

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商三星電子股份有限公司

SAMSUNG ELECTRONICS CO., LTD.

代表人：(中文/英文)

尹鍾龍

YUN, JONG-YONG

住居所或營業所地址：(中文/英文)

大韓民國京畿道水原市靈通區梅灘洞416番地

416, MAETAN-DONG, YEONGTONG-GU, SUWON-SI,

GYEONGGI-DO, KOREA

國 籍：(中文/英文)

韓國 KOREA

三、發明人：(共 5 人)

姓 名：(中文/英文)

1. 崔昶源

CHOI, CHANG-WON

2. 金太龍

KIM, TAE-RYONG

3. 金宗範

KIM, JONG-BAUM

4. 徐廷宇

SEO, JUNG-WOO

5. 邊昌柱

BYUN, CHANG-JU

住居所或營業所地址：(中文/英文)

1. 大韓民國漢城市陽川區新亭洞1279番地木洞現代APT., 105棟703號
105-703 MOKDONG HYUNDAI APT., 1279, SHINJEONG-DONG,
YANGCHEON-GU, SEOUL, REPUBLIC OF KOREA

2. 大韓民國京畿道龍仁市器興邑紙谷里416-7番地
416-7, JIGOK-RI, GIHEUNG-EUB, YONGIN-SI, GYEONGGI-DO,
REPUBLIC OF KOREA

3. 大韓民國京畿道龍仁市水枝邑豐德川里1018番地新亭MAEUL, 極東
APT. 304棟1303號

304-1303, SHINJEONG MAEUL KUKDONG APT., 1018,
PUNGDEOKCHEON-RI, SUJI-EUB, YONGIN-SI, GYEONGGI-DO,
REPUBLIC OF KOREA

4. 大韓民國京畿道水原市靈通區靈通洞凰谷MAEUL韓國APT., 213棟
506號

213-506, HWANGGOL MAEUL HANGUK APT.,
YEONGTONG-DONG, YEONGTONG-GU, SUWON-SI,
GYEONGGI-DO, REPUBLIC OF KOREA

5. 大韓民國京畿道龍仁市水枝邑豐德川里鎮山MAEUL三星7次APT.,
710棟304號

710-304, JINSAN MAEUL SAMSUNG 7-CHA APT.,
PUNGDEOKCHEON-RI, SUJI-EUB, YONGIN-SI, GYEONGGI-DO,
REPUBLIC OF KOREA

國 籍：(中文/英文)

1.-5.均韓國 KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 韓國；2003年05月27日；10-2003-0033844

2. 韓國；2003年10月10日；10-2003-0070634

3. 美國；2004年01月23日；10/762,526

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

此美國非臨時專利申請案根據 35 U.S.C. §119 主張於 2003 年 5 月 27 日申請的南韓專利申請案第 2003-33844 號之優先權，其全部內容已藉由引用之方式併入本文。

【發明所屬之技術領域】

本發明係有關一種用於蝕刻一半導體晶圓之一邊緣的晶圓邊緣蝕刻裝置及方法。

【先前技術】

執行晶圓邊緣蝕刻係用於移除位於一晶圓周邊區域中的薄膜層。該晶圓周邊區域常常稱為一邊緣珠粒。之所以對晶圓邊緣珠粒進行蝕刻，係因為在製造程序過程中，位於邊緣上的薄膜層會造成晶片缺陷，並會減少產量。藉由一濕式或乾式蝕刻法可將薄膜層從該邊緣移除。由於晶片尺度的縮小，對邊緣進行蝕刻已變得更加重要。

存在用以蝕刻位於邊緣珠粒的該等薄膜層之傳統裝置。然而在傳統裝置中，藉由此類裝置產生的電漿係甚微弱，以致不能蝕刻位於邊緣珠粒的薄膜層。此問題的一解決方式係增加電源。然而增加電源可能使晶圓彎曲。

【發明內容】

在範例性具體實施例中，本發明係針對一種用於蝕刻一半導體晶圓之一邊緣的裝置，該裝置包括一底部電極，其係配置於該半導體晶圓下方並作為一平臺來支撐該半導體晶圓。

在範例性具體實施例中，本發明係針對一種蝕刻一半導

體晶圓之方法，該方法包括：將一半導體晶圓插入一室內；增加該室內之壓力；在進一步增加該壓力時，向該室供應至少一蝕刻劑氣體；向該室供應電源並在半導體晶圓之邊緣珠粒或背面蝕刻該半導體晶圓；停止電源及蝕刻劑氣體供應；採用一通風氣體對該室進行通風；以及將通風氣體從該室清除。

在範例性具體實施例中，本發明係針對一種蝕刻一半導體晶圓之方法，該方法包括：於該半導體晶圓下方配置一底部電極，其係作為一平臺來支撐半導體晶圓；在半導體晶圓之邊緣珠粒或背面蝕刻該半導體晶圓；以及在半導體晶圓與一絕緣板之間保持一從0.2至約1.0 mm的間隙。

在範例性具體實施例中，本發明係針對一種蝕刻一半導體晶圓之方法，該方法包括：於該半導體晶圓上方配置包括一突出部分的一絕緣板；在半導體晶圓之邊緣珠粒或背面蝕刻該半導體晶圓；以及在半導體晶圓與絕緣板之間保持一從0.2至約1.0 mm的間隙。

在範例性具體實施例中，本發明係針對一種蝕刻一半導體晶圓之方法，該方法包括：於該半導體晶圓下方配置一底部電極，該底部電極包括複數個開放溝槽；以及在半導體晶圓之邊緣珠粒或背面蝕刻該半導體晶圓。

在範例性具體實施例中，本發明係針對一種絕緣板，該絕緣板包括：一主體，其由絕緣材料製成；以及一突出部分，其包括一傾斜表面與一峭壁表面。

【實施方式】

根據以下詳細描述並參考附圖會更加全面理解本發明，此等描述及附圖僅用於說明之目的，因而並不限制本發明。

圖1說明依據本發明之一項範例性具體實施例的一裝置100。裝置100包括：一上部電極10、一底部電極及平臺20、一邊緣電極30、以及絕緣板40、一RF電源供應50、一隔離器及/或絕緣體60、一中心噴嘴70以及一程序噴嘴80。在圖1所示裝置100中，上部電極10及邊緣電極30係陽極，而底部電極20係陰極。然而在本發明的其他範例性具體實施例中，每一此等電極可以相反。如圖1所示，底部電極20支撐晶圓1，而上部電極10與邊緣電極30在晶圓1的邊緣及/或背面相互產生電漿。晶圓1之該邊緣位置的一蝕刻部分A係所需蝕刻應發生之處。由於RF電源係由RF電源線50透過晶圓1來提供，故一下部電源會產生充分適當的電漿來蝕刻晶圓1上的薄膜層。下部電源之一範例係500 W。若該RF電源係較高(其係一般用於一正常半導體蝕刻器中)，則會在邊緣珠粒位置造成弧。

圖2更詳細地說明圖1之裝置100的一範例性部分。特定言之，圖2更詳細地說明上部電極10、底部電極20、邊緣電極30、絕緣板40以及晶圓1。如圖2所示，絕緣板40與晶圓1係藉由一可變距離H隔開。如圖2所示，絕緣板40可包括一突出部分41。在一項範例性具體實施例中，突出部分41具有一傾斜或其他輪廓，其引導處理氣體，從而在蝕刻程序中防止或實質上防止處理氣體流入至晶圓中心區域。雖然圖2之突出部分41具有一特定形狀，但應注意，此形狀僅係

範例，且也可在蝕刻程序中使用其他能將處理氣體適當地引導出晶圓1之中心區域的其他形狀。

圖3更詳細地說明圖2之範例性突出部分41。如圖所示，突出部分41包括一傾斜部分43及一峭壁45。峭壁45與上部電極10形成一間隙44。可對突出部分41與上部電極10之間的間隙44進行控制，以控制晶圓1的已蝕刻區域。在一項範例性具體實施例中，儘管不需要如此，但間隙44係均勻的或實質上均勻的。在其他範例性具體實施例中，可對峭壁45的形狀進行設計，以提高峭壁45及/或絕緣板40的耐用性。

圖4A說明本發明之一項範例性具體實施例中之圖1的底部電極及平臺20。如圖4A所示，該底部電極20包括一或多個溝槽31。一或多個溝槽31可減少或防止晶圓1從底部電極及平臺20處滑落。如圖4A所示，一或多個溝槽31係顯示為自底部電極20之中心輻射的直線。在其他範例性具體實施例中，溝槽31可為曲線。在本發明之其他範例性具體實施例中，該等直線及/或曲線溝槽31可自除底部電極20之中心以外的位置輻射。在本發明之範例性具體實施例中，溝槽31形成一開放圖案，與一封閉圖案如一圓形、矩形、三角形等相對。在本發明之範例性具體實施例中，底部電極及平臺20可包括一或多個螺栓孔33及/或一或多個升降銷孔35。

圖4B顯示本發明之一項範例性具體實施例中之上部電極10及絕緣板40的示意圖，以及圖4C顯示本發明之一項範例

性具體實施例中之底部電極及平臺20與邊緣電極30的平面圖。

圖4B顯示其中分散有程序氣體及/或惰性氣體的一上部部分。如圖4B所示，上部電極10可包括程序氣體75的一或多個來源，以及惰性氣體76的一或多個來源，並伴隨有一上部電極支撐74a。亦如圖4B所示，絕緣板40可包括一或多個補充氣體出口79c及一或多個補充絕緣板79d。

在本發明之範例性具體實施例中，上部電極10包括一或多個螺栓孔74c、79b，用以將絕緣板40連接至上部電極10。在本發明之其他範例性具體實施例中，絕緣板40包括一或多個螺栓孔79a，用以將絕緣板40連接至一或多個補充絕緣板79d。

圖4C說明裝載晶圓1的一下部部分。如圖4C所示，可在底部電極20與邊緣電極30之間利用一第一絕緣體84(其可為一圓環狀)與一第二絕緣體85(其可為一圓柱板狀)。

圖5說明本發明之一項範例性具體實施例中底部電極及平臺20、隔離器及/或絕緣體60、晶圓1以及邊緣電極30之間的關係。

圖6說明依據本發明之另一項範例性具體實施例的一裝置200。如圖6所示，裝置200包括：一上部電極110、底部電極及平臺120、一第一邊緣電極130、一第二邊緣電極140、一絕緣體150、一RF電源供應160以及一接地終端170。如圖6所示，底部電極及平臺120支撐晶圓1，而上部電極110、第一邊緣電極130與第二邊緣電極140在晶圓1的邊緣

珠粒及/或背面相互產生電漿。如上述，並結合圖1所示具體實施例，上部電極110、底部電極及平臺120、第一電極130以及第二電極140可各為一陽極或一陰極。

在範例性具體實施例中，第一邊緣電極130及/或第二邊緣電極140為圓環狀電極，其聚焦電漿於晶圓1之邊緣珠粒及/或背面。

在圖6所示範例性具體實施例中，由於RF電源係透過晶圓1來供應，故可使用一下部電源來產生充足的電漿，用以蝕刻晶圓1上的薄膜層。下部電源之一範例為500瓦。如上述，一傳統2000瓦RF電源可能在邊緣珠粒位置造成弧。

應注意，圖2與4中所示絕緣板的各種範例性具體實施例及/或圖4與5中所示底部電極20的各種範例性具體實施例也可應用於圖6所示範例性具體實施例之中。

圖7說明依據本發明之另一項範例性具體實施例的一裝置300。如圖所示，裝置300包括：一底部電極及平臺220、一邊緣電極240、一絕緣體250以及一RF電源供應280。如圖7所示，底部電極及平臺220支撐晶圓1。亦如圖7所示，邊緣電極240為一圓環狀邊緣電極，其在晶圓1之邊緣珠粒及/或背面相互產生電漿。

應注意，圖2與3中所示絕緣板的各種範例性具體實施例及/或圖4與5中所示底部電極20的各種範例性具體實施例也可結合圖7所示範例性具體實施例來使用。圖8說明依據本發明的一範例性方法。在步驟S10中，將晶圓1裝載於一室內。在步驟S20中，減少該室內的壓力。在步驟S30中，

在增加壓力時，向該室供應至少一蝕刻氣體。在步驟S30中，亦向該室提供電源，用以在半導體晶圓之邊緣珠粒或背面蝕刻該半導體晶圓。在步驟S30結束後，停止供應該至少一蝕刻氣體及端部電源，以及在步驟S40中，向該室供應一排氣氣體。在步驟S50中，將該排氣氣體從室內清除，以及在步驟S60中，將晶圓從室內卸載。

圖9說明經過諸如圖8之範例性程序之一蝕刻程序後的晶圓1的一誇大的範例。圖10A與10B分別說明依據本發明之一項範例性具體實施例所產生晶圓1的單元區域及邊緣區域。如圖10A所示，晶圓1包括：一矽基板310、一淺溝渠隔離(shallow trench isolation; STI)層320、一絕緣層330、一鎢(W)層340、一第一/第二氮化物層350及一氧化物層360。如圖所示，圖10A說明一晶圓1的單元區域，其包括具有作用區域311與被動區域312的矽基板310。該單元區域亦包括藉由淺溝渠絕緣(STI) 320形成的溝渠。該單元區域也可進一步包括一多晶矽層325。

絕緣層330可以係厚度為3000至8000 Å的硼摻雜磷矽酸鹽玻璃(boron-doped phosphosilicate glass; BPSG)或四乙基原矽酸鹽(tetraethylorthosilicate; TEOS)。鎢(W)層340可採用WF₆氣體形成，並可具有300至1000 Å的一厚度。第一與第二氮化物層330、350可分別具有1500至3500 Å、以及150至750 Å的一厚度，並採用SiH₄+NH₃氣體形成。氧化物層360可採用SiH₄+O₂氣體形成，並具有1000至5000 Å的一厚度。

應注意，上述厚度與材料僅為範例，且熟習技術人士瞭

解，也可使用其他厚度與材料。

圖11說明可用於依據本發明之範例性具體實施例來蝕刻一晶圓的範例性程序條件。如圖11所示，可在一二步驟程序中完成對蝕刻室的準備。第一步驟：增壓；第二準備步驟：進一步增壓並供應一或多種蝕刻氣體。在蝕刻步驟中：保持壓力；保持蝕刻氣體供應；並供應RF電源。在第一準備步驟中，可將壓力增加至1托。在第二準備步驟中，可將壓力增加至1.5托，且該等蝕刻氣體可包括氫氣及/或CF₄氣體，其供氣範圍為(例如)氫氣：20至200 sccm；CF₄氣體：100至250 sccm。在一項範例性具體實施例的蝕刻步驟中，將RF電源增加至500瓦，壓力保持在1.5托，並將蝕刻氣體的流速保持為與第二準備步驟恆定。

一旦晶圓1已經蝕刻，即可對蝕刻室通風，此亦以一二步驟之方式進行。在第一步驟中，斷開電源，使壓力恢復正常，並供應一通風氣體，例如N₂氣體。在一項範例性具體實施例中，該清除氣體的流速為10至200 sccm。在第二通風步驟中，仍供應通風氣體，並且亦供應一清除氣體。在一項範例性具體實施例中，該清除氣體為一惰性氣體，並以(例如)1200 sccm的速率供應。在一項範例性具體實施例中，應注意，由於該氣體可能會在晶圓1的中心部分造成弧，故在進行邊緣蝕刻處理過程中，諸如惰性氣體的此氣體不會流過圖1所示的中心噴嘴70。

應注意，上述電源、氣體、壓力及流速均為範例，且熟習技術人士瞭解，也可使用其他類型或數值。還應注意，

上述準備、蝕刻以及通風步驟均為範例，並且熟習技術人士瞭解，此等步驟可以更多或更少步驟形成。

在本發明的範例性具體實施例中，還應注意，由於諸如惰性氣體的該氣體可能會在晶圓1的中心部分造成弧，故在進行邊緣蝕刻程序過程中，此氣體不會流過中心噴嘴70。

圖12A至C說明顯示一晶圓上各種氧化物蝕刻速率之間的關係的試驗結果，其顯示：僅該晶圓的一邊緣部分受到蝕刻，而該晶圓的一中心部分並未受到蝕刻。可獲得圖12A至C之結果的該等條件包括：一500W RF電源、一1.5托壓力、一氬氣與CF₄氣體的程序氣體，其中氬氣以70 sccm的流速供應，而CF₄氣體以150 sccm的流速供應，以及一1.5 mm間隙。圖12A至C說明在相同或類似程序條件下具有相同或類似蝕刻速率的不同材料層。因此，不同材料層可在一程序步驟中移除而無需改變或實質上改變程序條件。相對於其中採用不同化學品來移除不同材料層的傳統濕式方法而言，此係一優點。

圖13說明在本發明的一項範例性具體實施例中，該絕緣板與該上部電極之間的間隙44(x軸)相對從一晶圓之一中心至該晶圓之端點的長度L(y軸)的曲線圖。如圖13所示，L加上A等於晶圓1的半徑。例如，圖13中的第一點指示：一2.4 mm的蝕刻部分A係採用一直徑200 mm的晶圓(半徑100 mm的晶圓)與一1.0 mm的間隙44來產生。從圖13中可以看出，隨著間隙44增加，L會減少(但A會相應增加)。

圖14為半導體基板之長度(x軸)相對作為許多不同H值

(如圖所示，其位於0.3與10.0之間)的蝕刻速率(y軸)的曲線圖。如圖所示，絕緣板40與晶圓1之間的距離H與絕緣板40的峭壁45與上部電極10之間的間隙44之間有一正相關。在圖14之範例性曲線圖中，採用了一1.6 mm的間隙44，且該欲蝕刻之層為一氧化物。

圖14說明用於數個不同H值的資料，其中一些會顯示較好的性能(例如：0.3、0.4、0.5、0.7與1.0毫米)，當然依據本發明的具體實施例也可使用從0.3毫米至10.0毫米的距離H。

圖15說明用於依據本發明之一項範例性具體實施例來處理一晶圓之邊緣的一電漿處理裝置的斷面圖。如圖所示，該電漿處理裝置可包括：一室70、一室壁71、一彈性部件71a、一晶圓入口/出口72、一清除氣體入口、一上部電極10、上部電極10的一支撐74a、一幹體74b、一程序氣體來源75、一程序氣體線路75a、一惰性氣體來源76、一惰性氣體線路76b、上部電極10的一板77(其可上下移動)、用於上部電極10之板77的一支撐77a、用於上部電極10之板77的一驅動器78、一絕緣板40、一補充絕緣板40a、一補充氣體出口79c、一晶圓1、一底部電極及平臺20、一第一絕緣體84、一第二絕緣體85、一邊緣電極30、一升降銷88(用以在該底部電極及平臺20上接納並裝載晶圓1)、一擋板90(用以均勻排出程序氣體或惰性氣體)、一感測器91、一冷卻劑線路92、一冷卻劑來源94、一RF電源來源96、一升降銷板97、用於升降銷板97的一驅動器98、以及一排氣泵99。在一項

範例性實施例中，該處理裝置也可包括不止一室。在範例性具體實施例中，該裝置包括：不止一準備站、不止一程序室、及不止該清除室、以及至少一傳送室。以此方式，可裝載一晶圓而傳送另一晶圓，並處理另一晶圓。

如上述，在範例性具體實施例中，諸如RF電源的電源係透過晶圓來供應，並產生充足的電源，用以產生電漿來蝕刻薄膜層。應注意，熟習技術人士瞭解：也可透過某一其他層代替該晶圓來供應電源，或透過除該晶圓外的某一其他層來提供電源。還應注意，該電源可低於2000 W的傳統電源，例如為結合本發明之一或多項範例性具體實施例所述的500 W電源。

在一項範例性具體實施例中，上部電極10為一實心板電極。

在本發明之範例性具體實施例中，該間隙係用於控制半導體晶圓上的尺寸與受蝕刻區域。在其他範例性具體實施例中，可使用額外的可互換式絕緣板，每一板可配置於該實心上部電極附近，且每一板與該實心上部電極之間具有一不同的間隙尺寸。在範例性具體實施例中，半導體晶圓與絕緣板間的間隙在0.2與約1.0 mm之間。

在一項範例性具體實施例中，可使用O₂與SF₆作為蝕刻氣體，單獨使用或與氫氣及/或CF₄氣體結合使用。在一項範例性具體實施例中，該蝕刻氣體會蝕刻半導體晶圓上所有需要蝕刻的層。

在一項範例性具體實施例中，該絕緣板係由諸如陶瓷

及/或石英之類絕緣材料製成。

雖然本發明已由此方式說明，但很明顯，本發明可用許多方式來變化。此類變化不應視為背離了本發明之精神及範疇，且對熟悉技術人士顯而易見的所有此類修改皆是要包含在以下的申請專利範圍中。

【圖式簡單說明】

圖1說明依據本發明之一項範例性具體實施例的一裝置100。

圖2更詳細說明圖1之裝置的一範例性部分。

圖3更詳細說明圖2之一範例性突出部分。

圖4A說明本發明之一項範例性具體實施例中之圖1的該底部電極及平臺。

圖4B說明本發明之一項範例性具體實施例中之一上部電極與一絕緣板的示意圖。

圖4C說明本發明之一項範例性具體實施例中之一底部電極及平臺與一邊緣電極的平面圖。

圖5說明本發明之一項範例性實施例中，一底部電極及平臺、一隔離器及 / 或絕緣體、一晶圓與一邊緣電極之間的範例性關係。

圖6說明依據本發明之另一項範例性具體實施例的一裝置。

圖7說明依據本發明之另一項範例性具體實施例的一裝置。

圖8說明依據本發明之一項範例性具體實施例的方法。

圖9說明經過諸如圖8之範例性程序之蝕刻程序後的一誇大的範例性晶圓。

圖10A與10B分別說明依據本發明之一項範例性具體實施例所產生的晶圓的一單元區域及一邊緣區域。

圖11說明可用於依據本發明之範例性具體實施例來蝕刻該晶圓1的範例性程序條件。

圖12A至C依據本發明之範例性具體實施例說明顯示一晶圓上各種氧化物的蝕刻速率之間的關係的試驗結果。

圖13說明本發明之一項範例性具體實施例中，距一晶圓之端點的長度相對於絕緣板與上部電極之間的間隙的曲線圖。

圖14說明依據本發明之範例性具體實施例的各種間隙。

圖15說明用於依據本發明之一項範例性具體實施例來處理一晶圓之邊緣的一電漿處理裝置的斷面圖。

【主要元件符號說明】

1	晶圓
10	上部電極
20	底部電極及平臺
30	邊緣電極
31	溝槽
33	螺栓孔
35	升降銷孔
40	絕緣板
40a	補充絕緣板

41	突出部分
43	傾斜部分
44	間隙
45	峭壁
50	RF電源供應
60	隔離器/絕緣體
70	中心噴嘴/室
71	室壁
71a	彈性部件
72	晶圓入口/出口
74a	上部電極支撐
74b	幹體
74c	螺栓孔
75	程序氣體
75a	程序氣體線路
76	惰性氣體
76b	惰性氣體線路
77	上部電極板
77a	支撐
78	驅動器
79a	螺栓孔
79b	螺栓孔
79c	補充氣體出口
79d	補充絕緣板

80	程序噴嘴
84	第一絕緣體
85	第二絕緣體
88	升降銷
90	擋板
91	感測器
92	冷卻劑線路
94	冷卻劑來源
100	裝置
96	RF電源來源
97	升降銷板
98	驅動器
99	排氣泵
110	上部電極
120	底部電極及平臺
130	第一邊緣電極
140	第二邊緣電極
150	絕緣體
160	RF電源供應
170	接地終端
200	裝置
220	底部電極及平臺
240	邊緣電極
250	絕緣體

280	RF電源供應
300	裝置
310	矽基板
311	主動區域
312	被動區域
320	淺溝渠隔離層
325	多晶矽層
330	絕緣層
340	鎢層
350	第二氮化物層
360	氧化物層

五、中文發明摘要：

本發明揭示一種用於蝕刻一半導體晶圓之一邊緣的晶圓邊緣蝕刻裝置及方法，該裝置包括一底部電極，其係配置於該半導體晶圓下方並作為一平臺來支撐該半導體晶圓。一種蝕刻一半導體晶圓之方法包括：將一半導體晶圓插入一室內；增加該室內之一壓力；在進一步增加該壓力時，向該室供應至少一蝕刻劑氣體；向該室供應電源並在該半導體晶圓之該邊緣珠粒或該背面蝕刻該半導體晶圓；停止該電源及該蝕刻劑氣體供應；採用一通風氣體對該室進行通風；以及將該通風氣體從該室清除。

六、英文發明摘要：

A wafer edge etching apparatus and method for etching an edge of a semiconductor wafer including a bottom electrode, arranged below the semiconductor wafer and acting as a stage to support the semiconductor wafer. A method of etching a semiconductor wafer including inserting a semiconductor wafer into a chamber, increasing a pressure in the chamber, supplying at least one etchant gas to the chamber while further increasing the pressure, supplying power to the chamber and etching the semiconductor wafer at the edge bead or the backside of the semiconductor wafer, discontinuing the power and the etchant gas, venting the chamber with a venting gas, and purging the venting gas from the chamber.

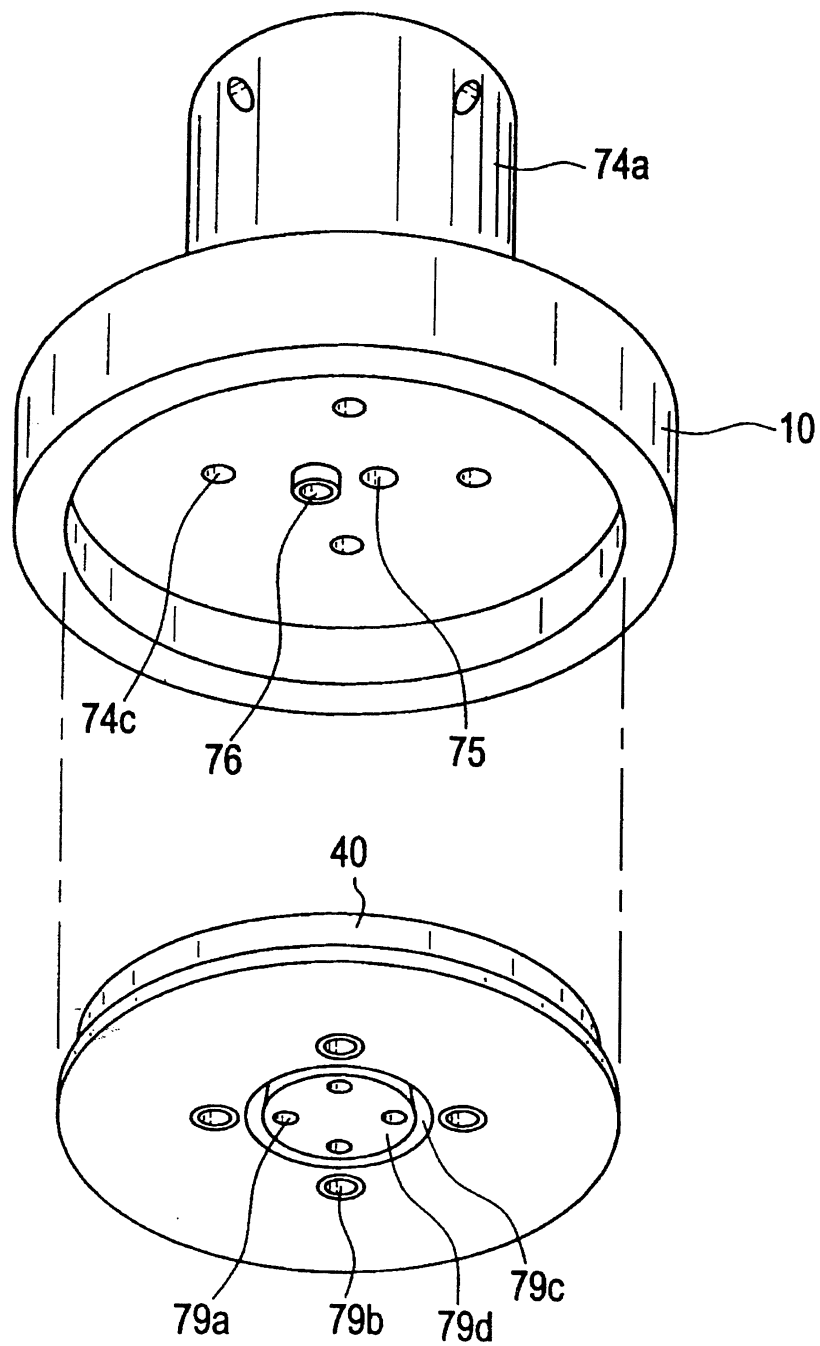


圖 4B

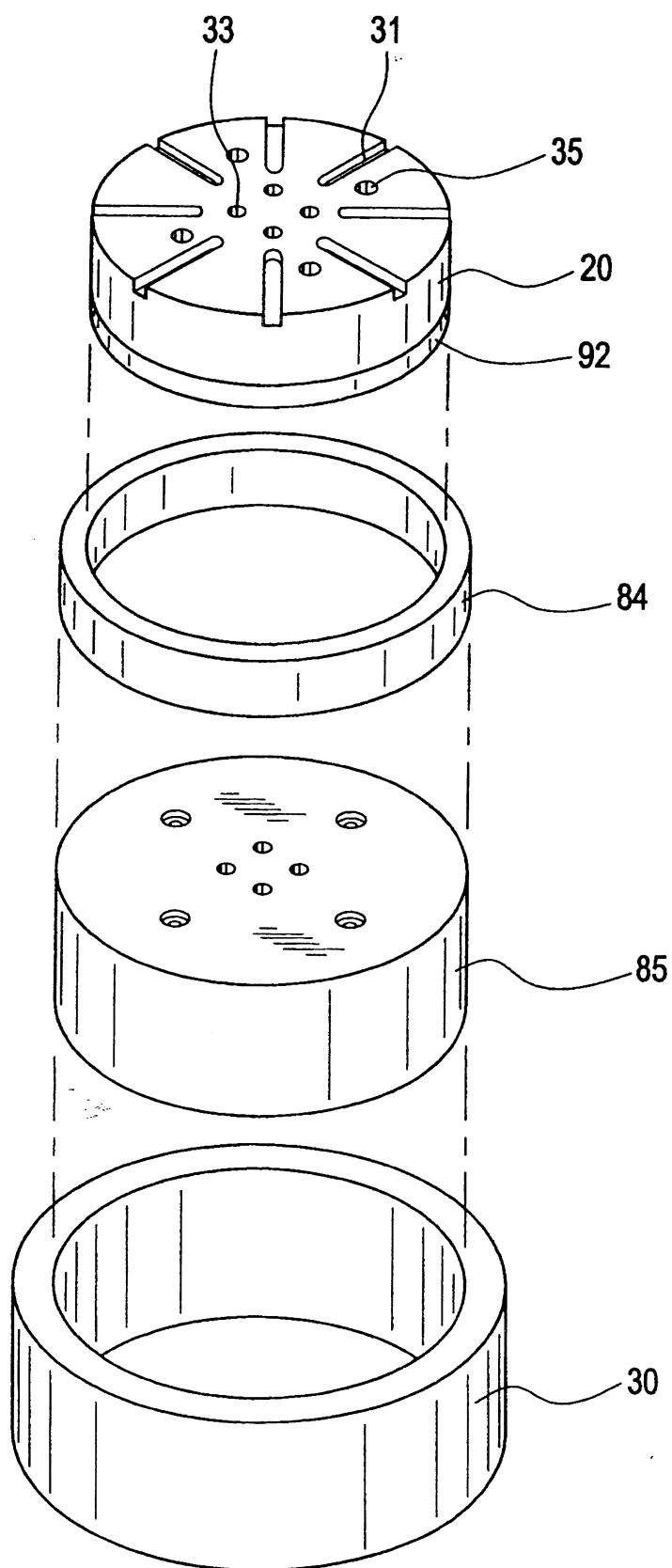


圖 4C

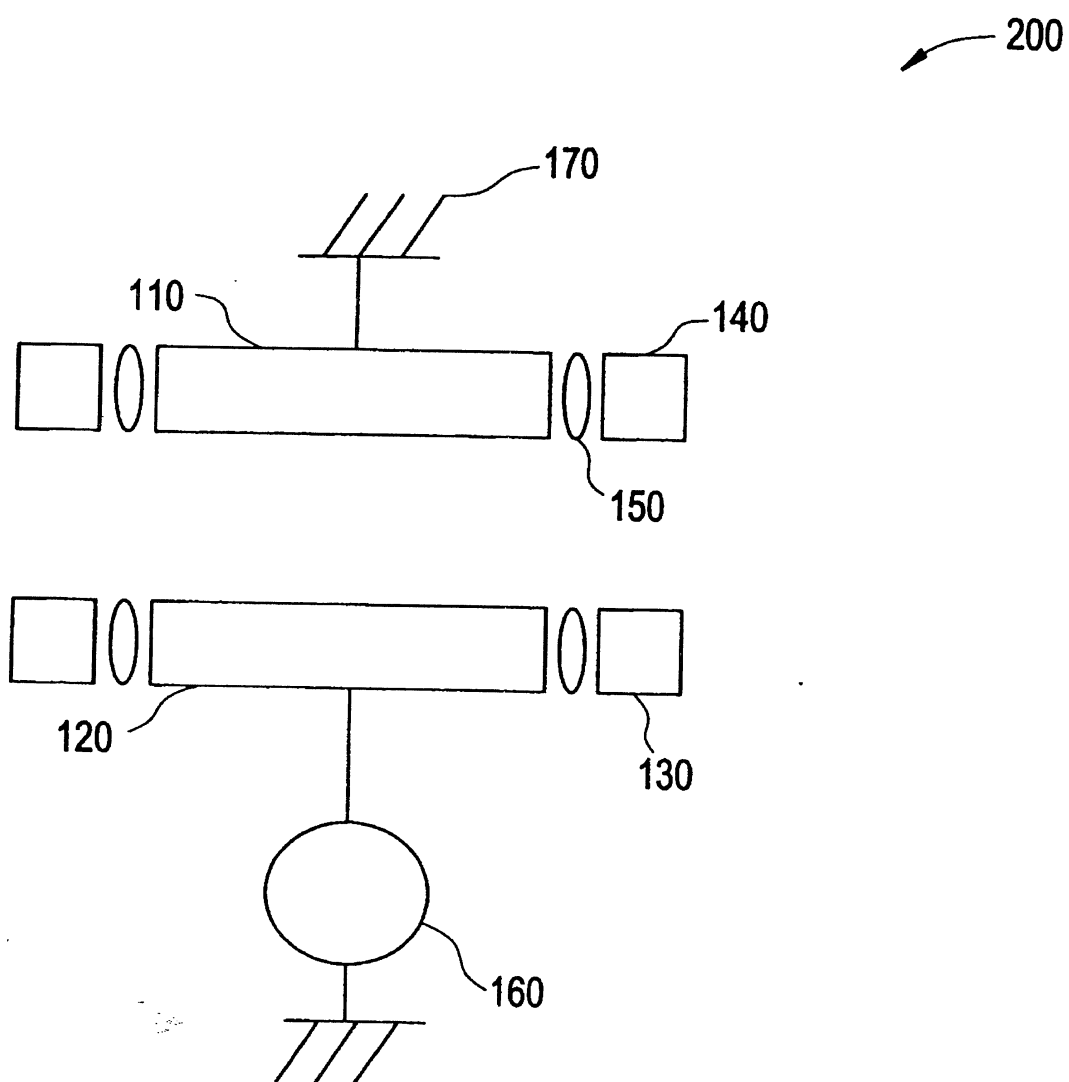


圖 6

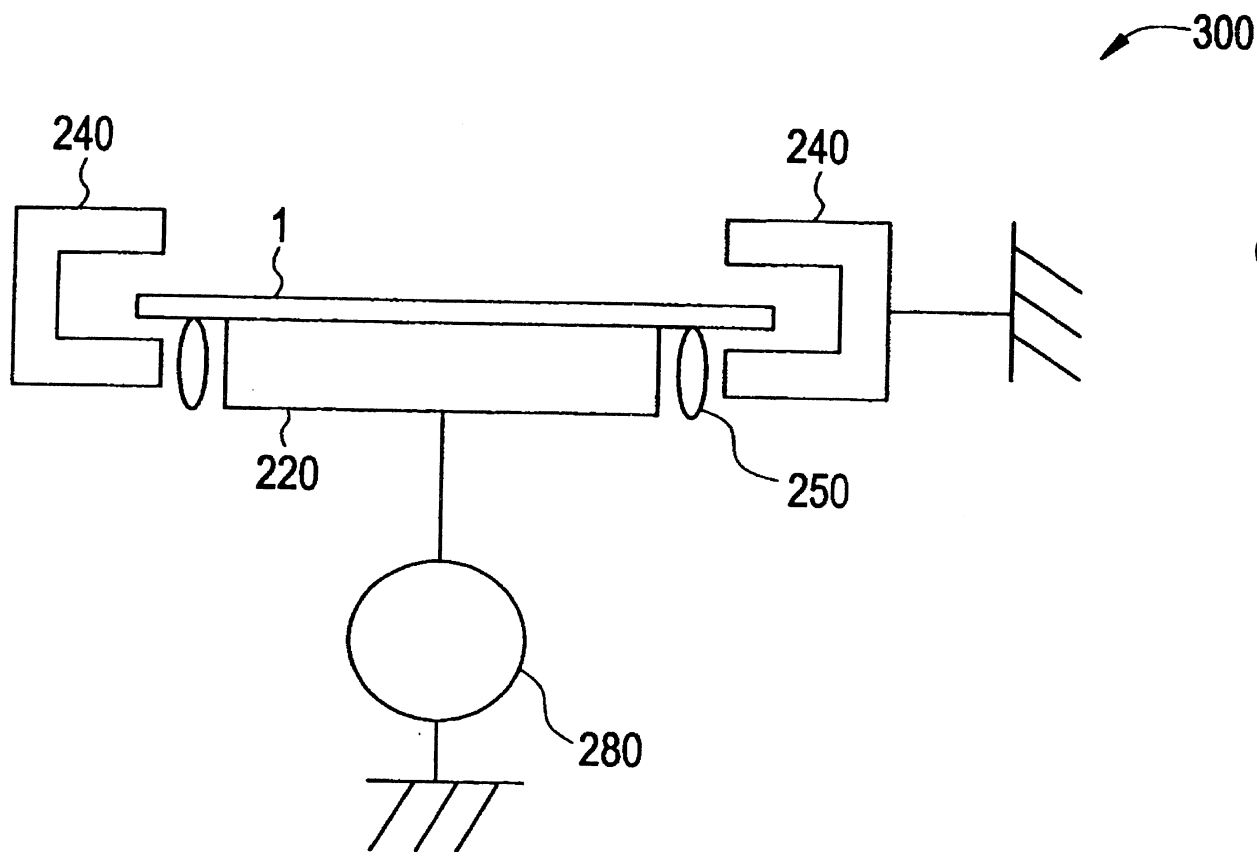


圖 7

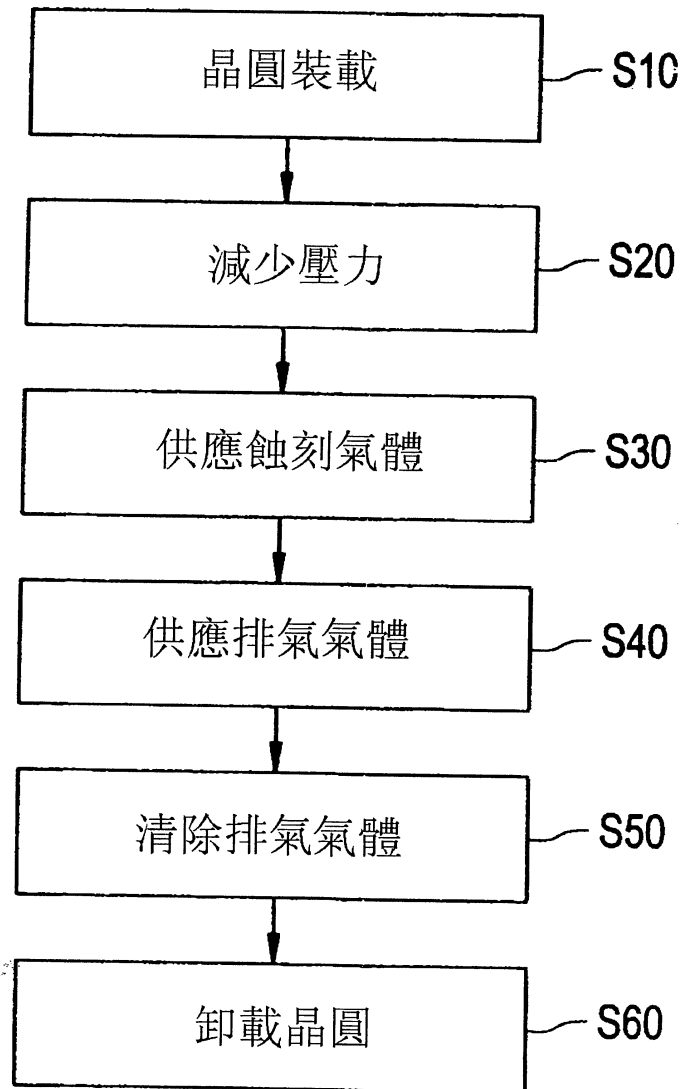


圖 8

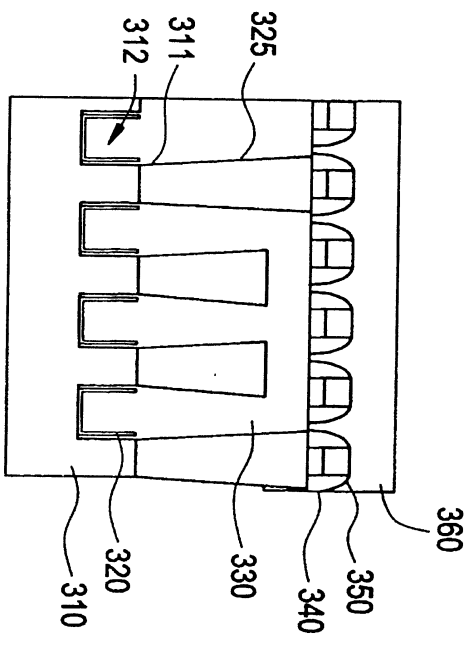


圖 10A

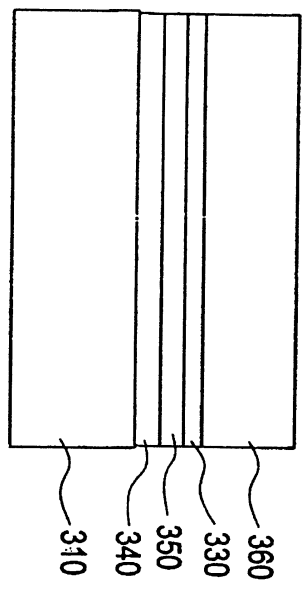


圖 10B

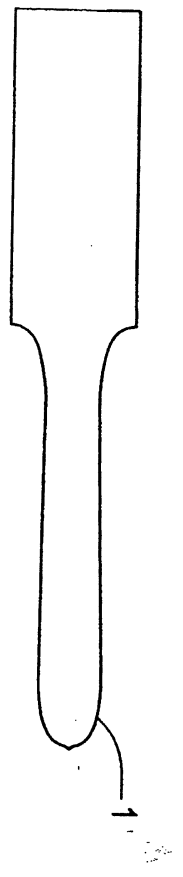
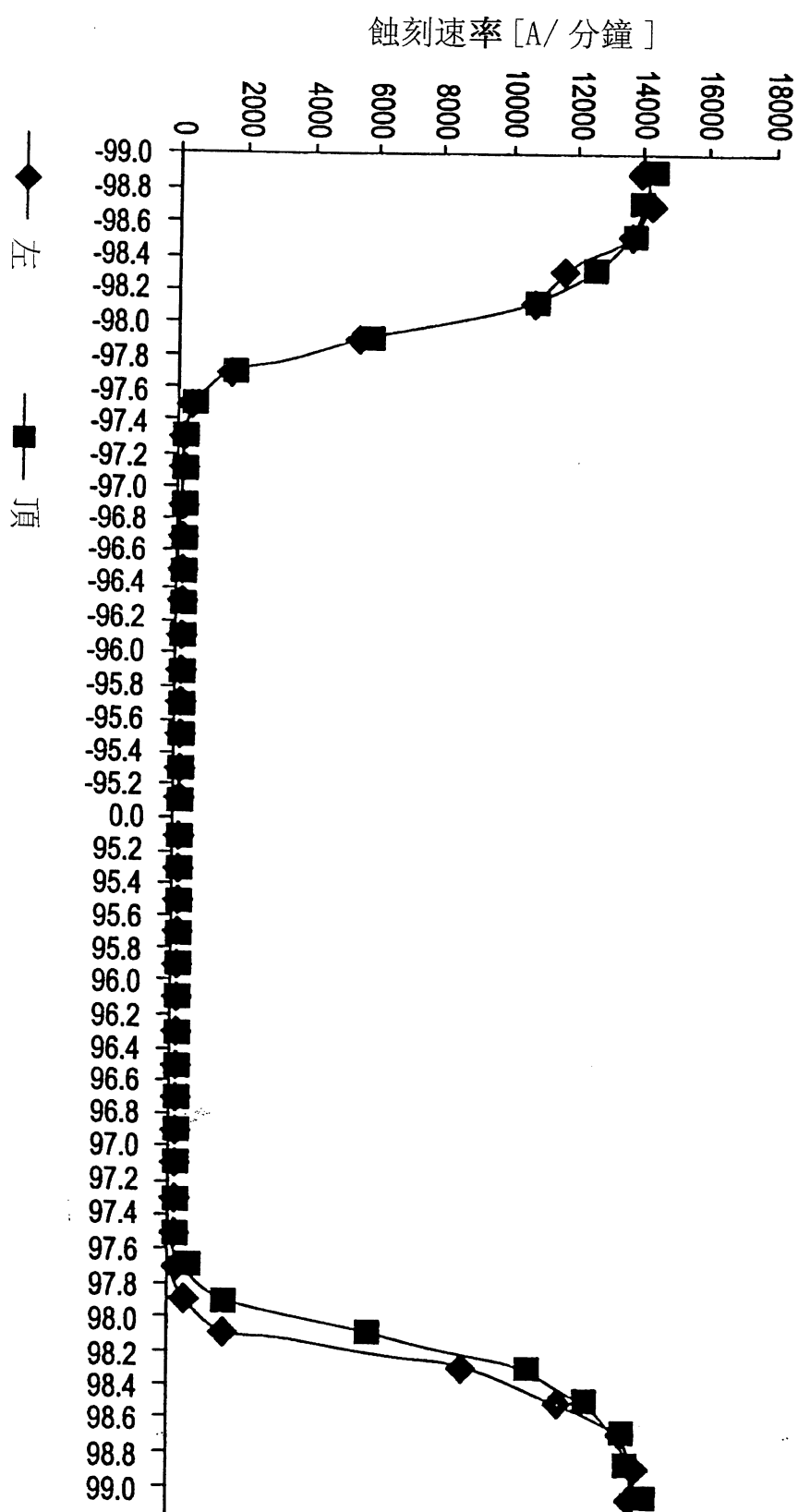


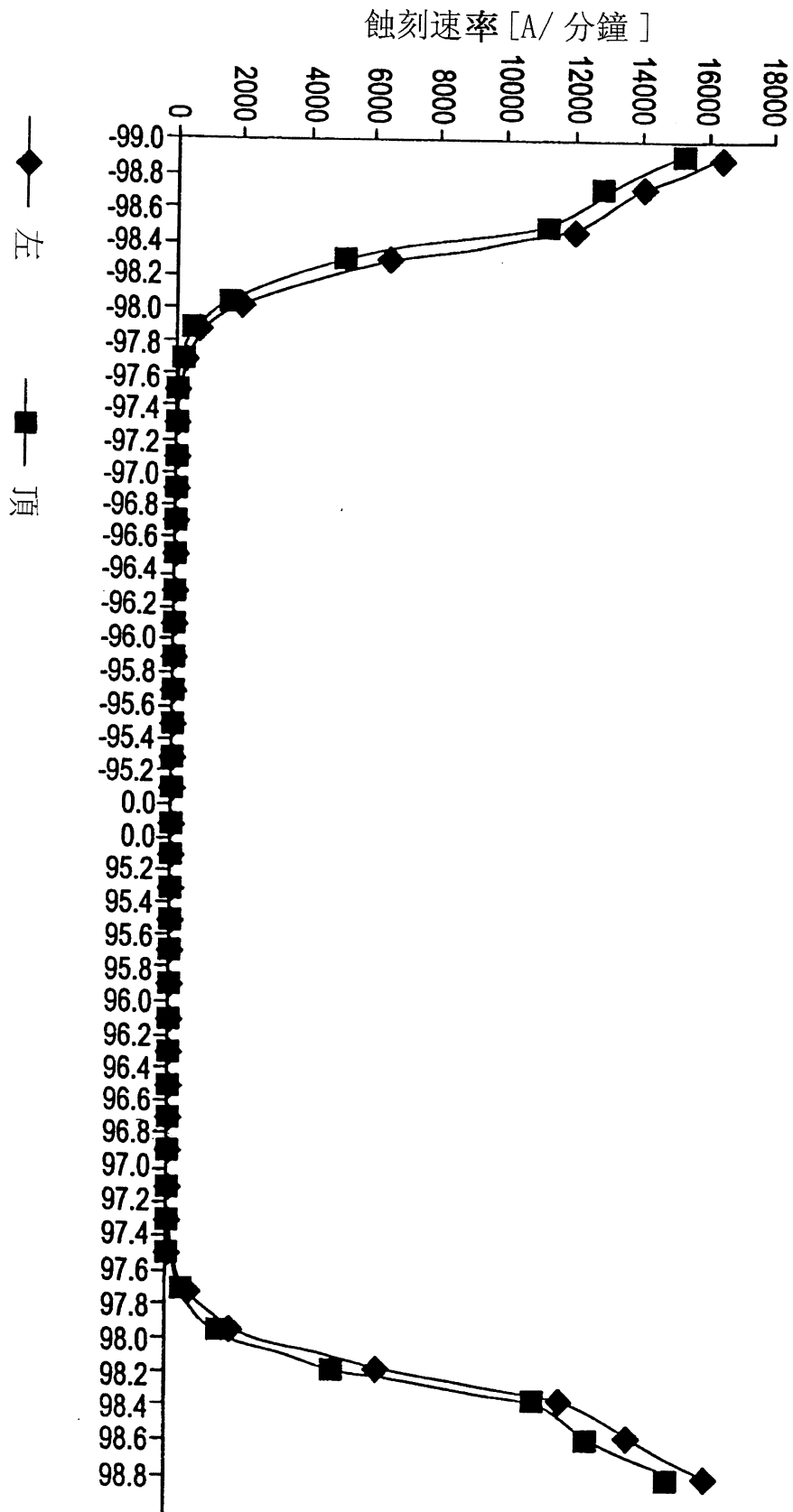
圖 9

	準備 1	準備 2	蝕刻	通風 1	通風 2
RF 電源 (瓦)	0	0	500	0	0
壓力 (托)	1	1.5	1.5	0	0
N2 氣體 (sccm)	0	0	0	10~200	10~200
O2 氣體 (sccm)	0	0	0	0	0
Ar 氣體 (sccm)	0	20~200	20~200	0	0
CF4 氣體 (sccm)	0	100~250	10~250	0	0
清除惰性 氣體 (sccm)	0	0	0	0	1200

圖 11

圖 12A





12B

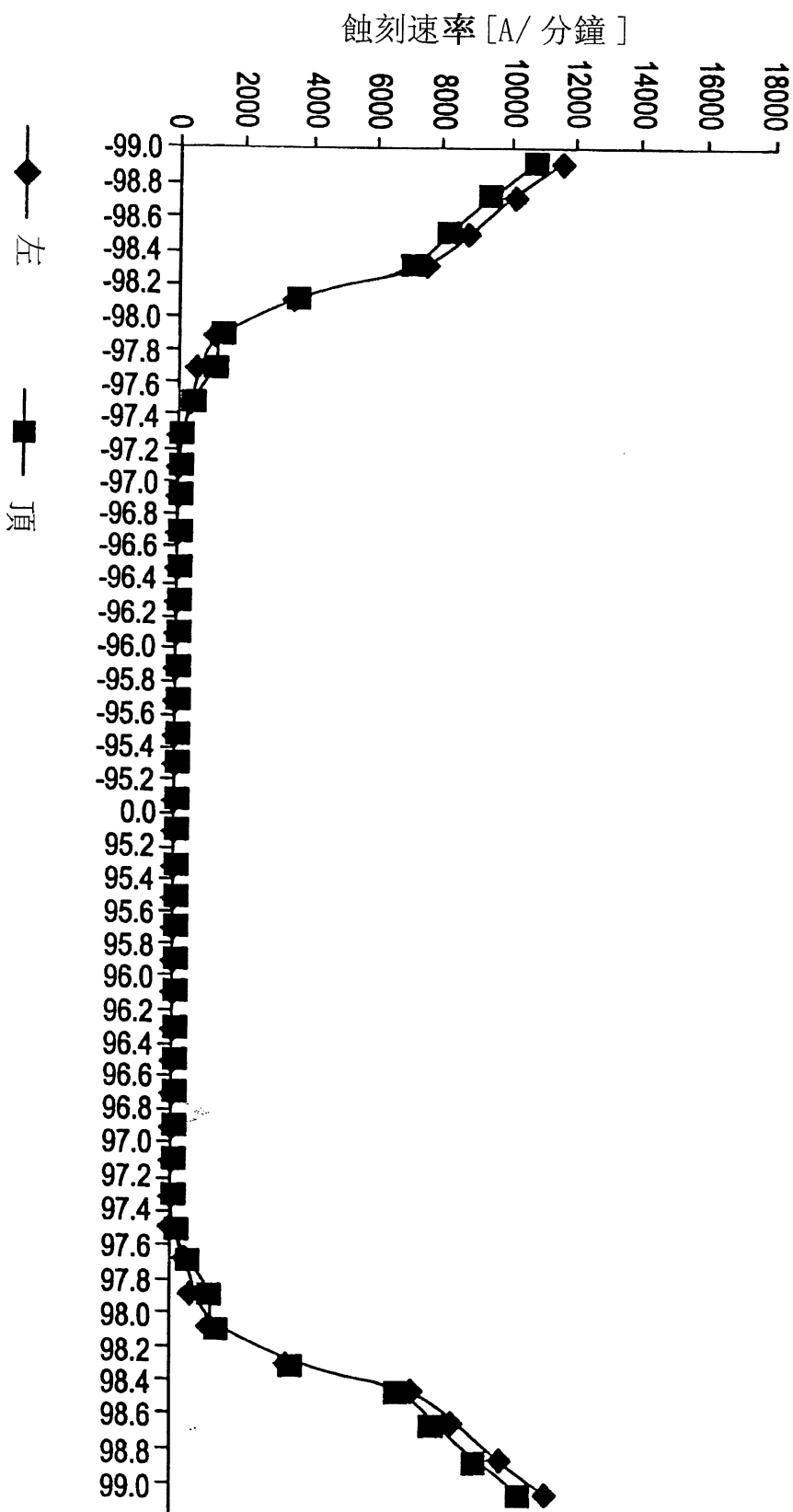


圖 12C

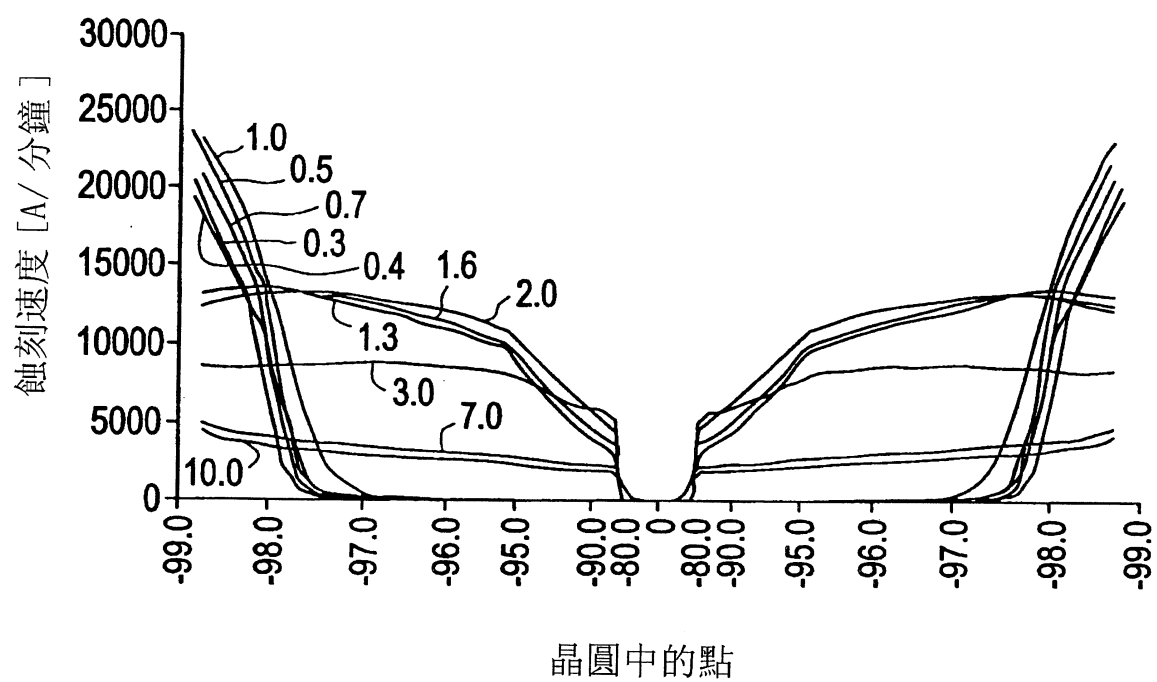


圖 14

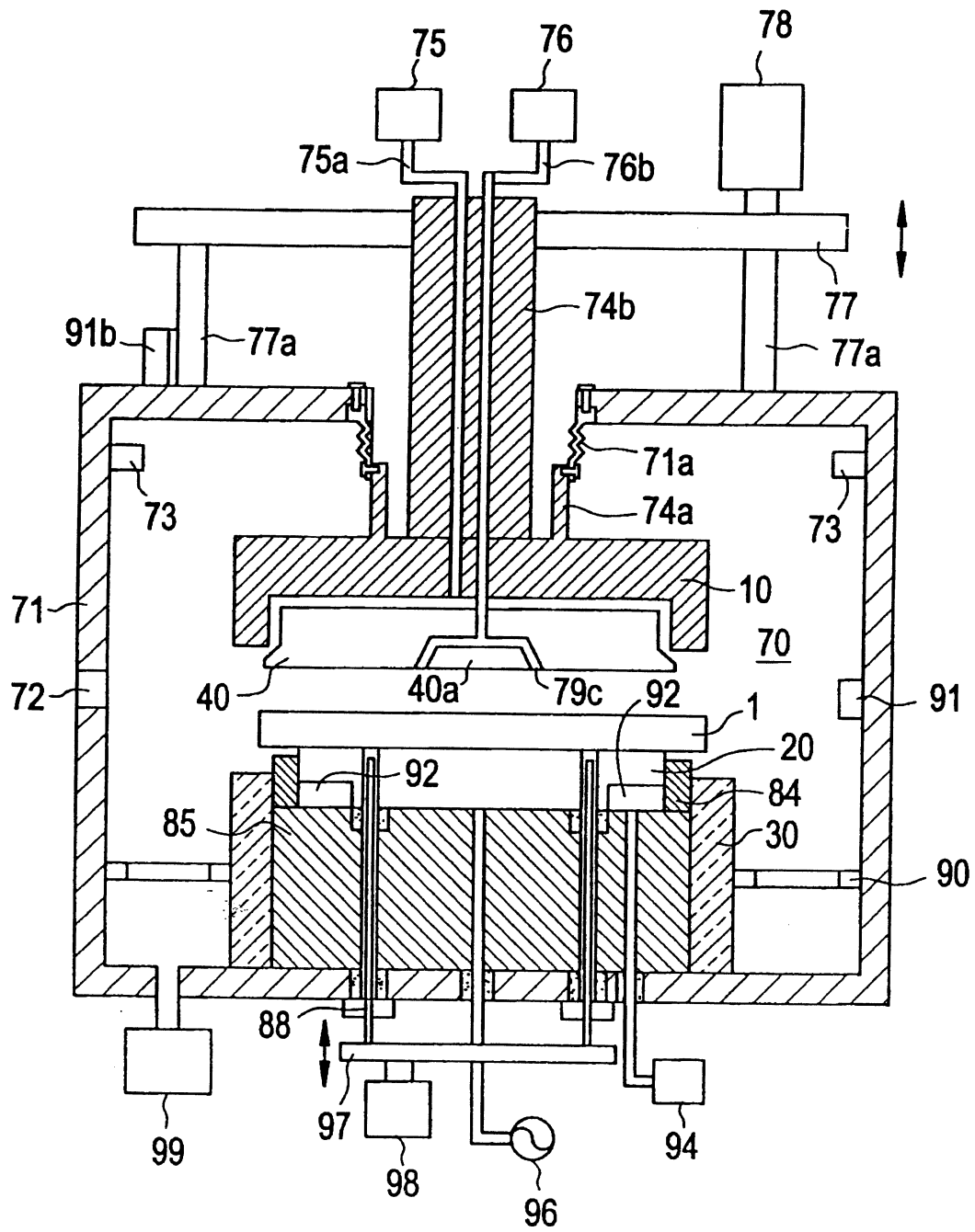


圖 15

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

10 上部電極

43 傾斜部分

44 間隙

45 峭壁

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種用於蝕刻一半導體晶圓之一邊緣之裝置，其包括：
 - 一底部電極，其係配置於該半導體晶圓下方並作為一平臺來支撐該半導體晶圓；
 - 一上部電極，其係配置於該半導體晶圓上方；及
 - 一邊緣電極，其係位於該半導體晶圓之該邊緣附近。
2. 如申請專利範圍第1項之裝置，其中該上部電極係一實心板上部電極。
3. 如申請專利範圍第1項之裝置，其中該上部電極係一圓環狀上部電極。
4. 如申請專利範圍第2項之裝置，其中該實心板上部電極與該邊緣電極在該半導體晶圓之該邊緣及一背面相互產生電漿。
5. 如申請專利範圍第3項之裝置，其中該圓環狀上部電極與該邊緣電極在該半導體晶圓之該邊緣及一背面相互產生電漿。
6. 如申請專利範圍第1項之裝置，其中該底部電極、該上部電極及該邊緣電極中之任一者為一陰極或一陽極。
7. 如申請專利範圍第2項之裝置，其進一步包括：
 - 一絕緣板，其係配置於該實心板上部電極附近，其間具有一間隙。
8. 如申請專利範圍第3項之裝置，其進一步包括：
 - 一絕緣板，其係配置於該圓環狀上部電極附近，其間具有一間隙。

9. 如申請專利範圍第1項之裝置，其進一步包括：
- 一隔離器，其係配置於該底部電極與該邊緣電極之間。
10. 如申請專利範圍第7項之裝置，其中該絕緣板與該半導體晶圓之間的一距離係足夠小，以實質上防止電漿形成於該半導體晶圓之一中心區域之中。
11. 如申請專利範圍第8項之裝置，其中該絕緣板與該半導體晶圓之間的一距離係足夠小，以實質上防止電漿形成於該半導體晶圓之一中心區域之中。
12. 如申請專利範圍第7項之裝置，其中該絕緣板包括一突出部分。
13. 如申請專利範圍第12項之裝置，其中該突出部分包括一傾斜表面與一峭壁表面，該峭壁表面與該實心板上部電極形成一間隙。
14. 如申請專利範圍第12項之裝置，該突出部分實質上會防止蝕刻劑氣體流至該半導體晶圓之一中心區域。
15. 如申請專利範圍第13項之裝置，其中該間隙會控制該半導體晶圓上一受蝕刻區域之尺寸。
16. 如申請專利範圍第7項之裝置，其進一步包括：
- 額外的可互換式絕緣板，其各可配置於該實心板上部電極附近，且各板與該實心上部電極之間具有一不同尺寸的間隙。
17. 如申請專利範圍第1項之裝置，該底部電極包括複數個開放溝槽。

18. 如申請專利範圍第17項之裝置，其中該等複數個開放溝槽呈直線或曲線。

19. 如申請專利範圍第4項之裝置，其進一步包括：

一上部邊緣電極，其係配置於該半導體晶圓上方，其中該實心板上部電極、該邊緣電極與上部邊緣電極會在該半導體晶圓之該邊緣及該背面相互產生電漿。

20. 如申請專利範圍第19項之裝置，其中該底部電極、該上部邊緣電極、該實心板上部電極及該邊緣電極中之任一者為一陰極或一陽極。

21. 如申請專利範圍第19項之裝置，其進一步包括：

一絕緣板，其係配置於該實心板上部電極附近，其間具有一間隙。

22. 如申請專利範圍第21項之裝置，其中該絕緣板與該半導體晶圓之間的一距離係足夠小，以實質上防止電漿形成於該半導體晶圓之一中心區域之中。

23. 如申請專利範圍第21項之裝置，其中該絕緣板包括一突出部分。

24. 如申請專利範圍第23項之裝置，其中該突出部分包括一傾斜表面與一峭壁表面，該峭壁表面與該上部邊緣電極形成一間隙。

25. 如申請專利範圍第23項之裝置，該突出部分實質上會防止蝕刻劑氣體流至該半導體晶圓之一中心區域。

26. 如申請專利範圍第24項之裝置，其中該間隙會控制該半導體晶圓上一受蝕刻區域之尺寸。

27. 如申請專利範圍第21項之裝置，其進一步包括：

額外的可互換式絕緣板，其各可配置於該實心板上部電極附近，且各板與該實心上部電極之間具有一不同尺寸的間隙。

28. 如申請專利範圍第19項之裝置，該底部電極包括複數個開放溝槽。

29. 如申請專利範圍第28項之裝置，其中該等複數個開放溝槽呈直線或曲線。

30. 如申請專利範圍第1項之裝置，其進一步包括：

一邊緣珠粒電極，其用於在該半導體晶圓之該邊緣及一背面相互產生電漿。

31. 如申請專利範圍第30項之裝置，其進一步包括：

一絕緣板，其係配置於該實心板上部電極附近，其間具有一間隙。

32. 如申請專利範圍第31項之裝置，其中該絕緣板與該半導體晶圓之間的一距離係足夠小，以實質上防止電漿形成於該半導體晶圓之一中心區域之中。

33. 如申請專利範圍第32項之裝置，其中該絕緣板包括一突出部分。

34. 如申請專利範圍第33項之裝置，其中該突出部分包括一傾斜表面與一峭壁表面，該峭壁表面與該邊緣珠粒電極形成一間隙。

35. 如申請專利範圍第33項之裝置，該突出部分實質上會防止蝕刻劑氣體流至該半導體晶圓之一中心區域。

36. 如申請專利範圍第34項之裝置，其中該間隙會控制該半導體晶圓上一受蝕刻區域之尺寸。

37. 如申請專利範圍第31項之裝置，其進一步包括：

額外的可互換式絕緣板，其各可配置於該實心板上部電極附近，且各板與該實心上部電極之間具有一不同尺寸的間隙。

38. 如申請專利範圍第30項之裝置，該底部電極包括複數個開放溝槽。

39. 如申請專利範圍第38項之裝置，其中該等複數個開放溝槽呈直線或曲線。

40. 如申請專利範圍第1項之裝置，其進一步包含一絕緣板，其中該絕緣板包括：

一主體，其係由一絕緣材料製成；以及

一突出部分，其包括一傾斜表面與一峭壁表面。

41. 一種蝕刻一半導體晶圓邊緣之方法，其包括：

將一半導體晶圓插入一室內；

增加該室內的一壓力；

在進一步增加該壓力時，向該室供應至少一蝕刻劑氣體；

向該室供應電源，並在該半導體晶圓之一邊緣珠粒或一背面蝕刻該半導體晶圓；

停止該電源及該蝕刻劑氣體之供應；

以一通風氣體對該室進行通風；以及

將該通風氣體從該室清除。

42. 一種蝕刻一半導體晶圓邊緣之方法，其包括：

在該半導體晶圓下方配置一底部電極，作為一平臺來支撐該半導體晶圓；

在該半導體晶圓之一邊緣珠粒或一背面蝕刻該半導體晶圓；以及

在該半導體晶圓與一絕緣板之間保持一從0.2至約1.0 mm的間隙。

43. 一種蝕刻一半導體晶圓邊緣之方法，其包括：

於該半導體晶圓上方配置一包括一突出部分的絕緣板；

在該半導體晶圓之一邊緣珠粒或一背面蝕刻該半導體晶圓；以及

在該半導體晶圓與該絕緣板之間保持一從0.2至約1.0 mm的間隙。

44. 一種蝕刻一半導體晶圓邊緣之方法，其包括：

於該半導體晶圓下方配置一底部電極，該底部電極包括複數個開放溝槽；以及

在該半導體晶圓之一邊緣珠粒或一背面蝕刻該半導體晶圓。

十一、圖式：

第 093115127 號專利申請案
中文圖式替換頁(94 年 12 月)

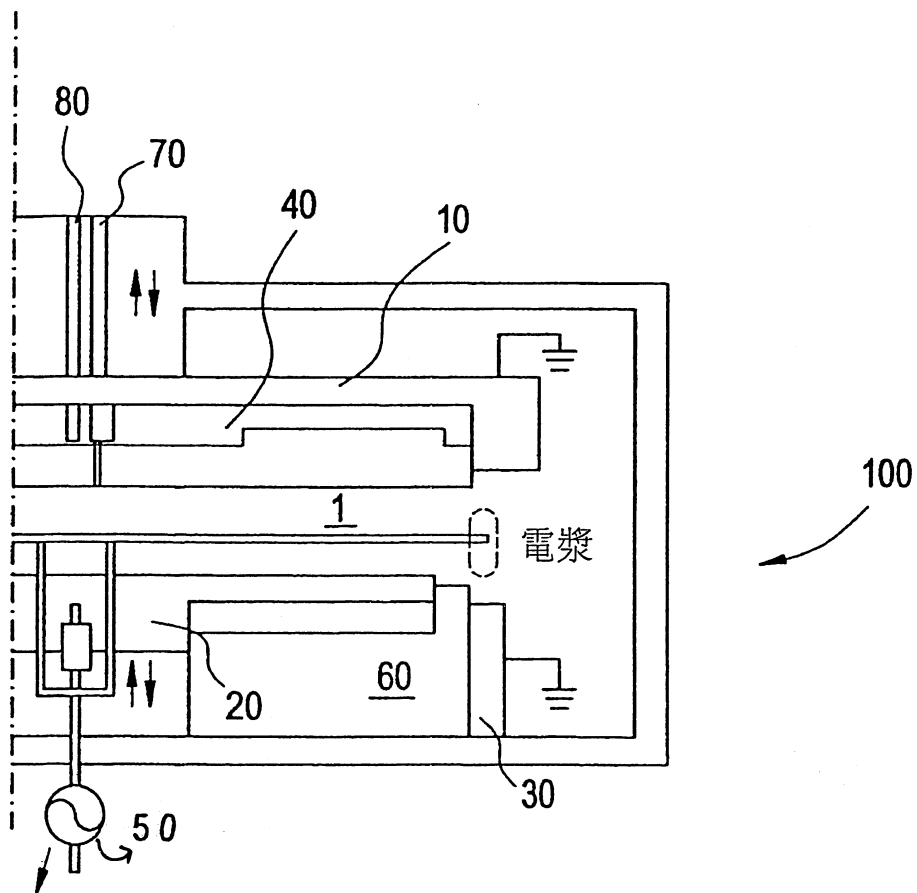


圖 1

94年12月26日修(更)正替換頁

第 093115127 號專利申請案
中文圖式替換頁(94 年 12 月)

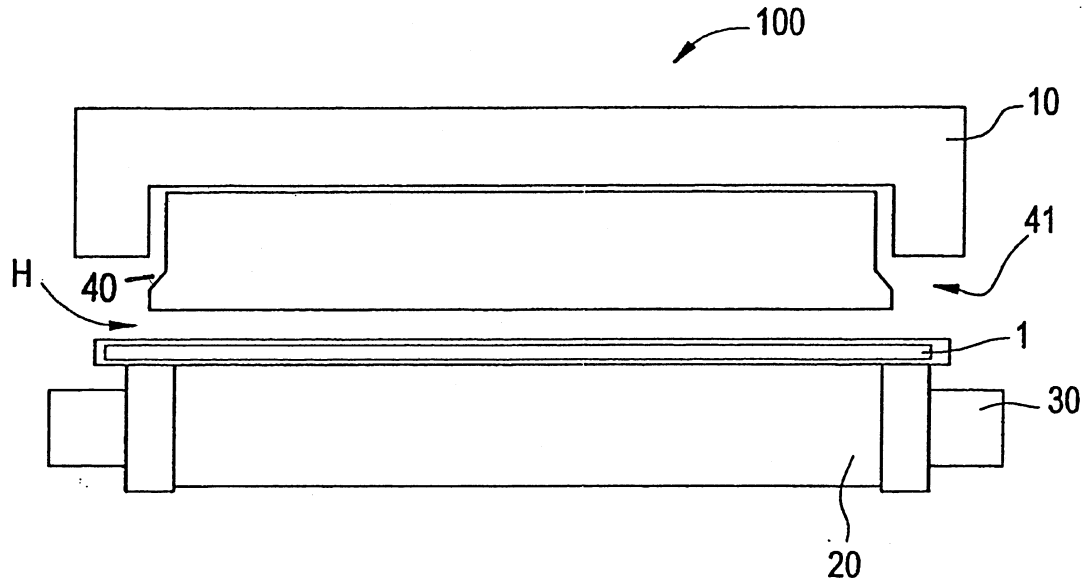


圖 2

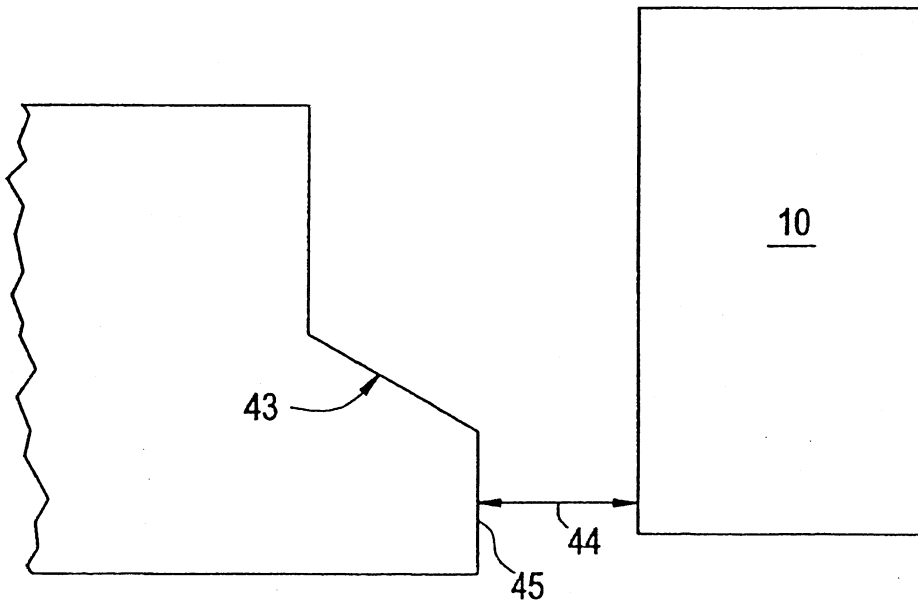


圖 3

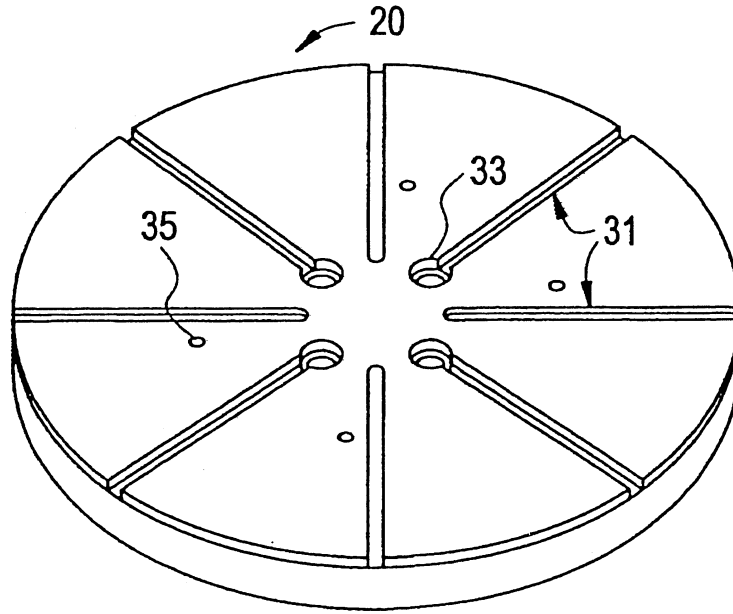


圖 4A

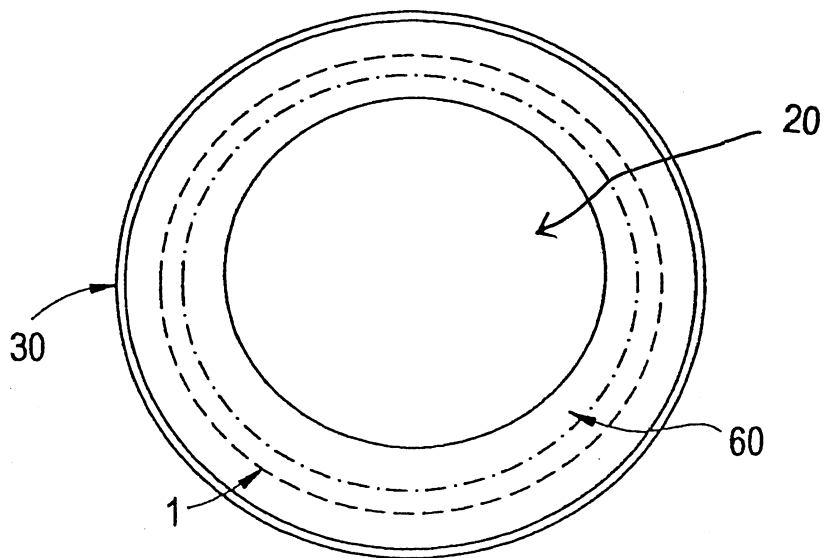


圖 5

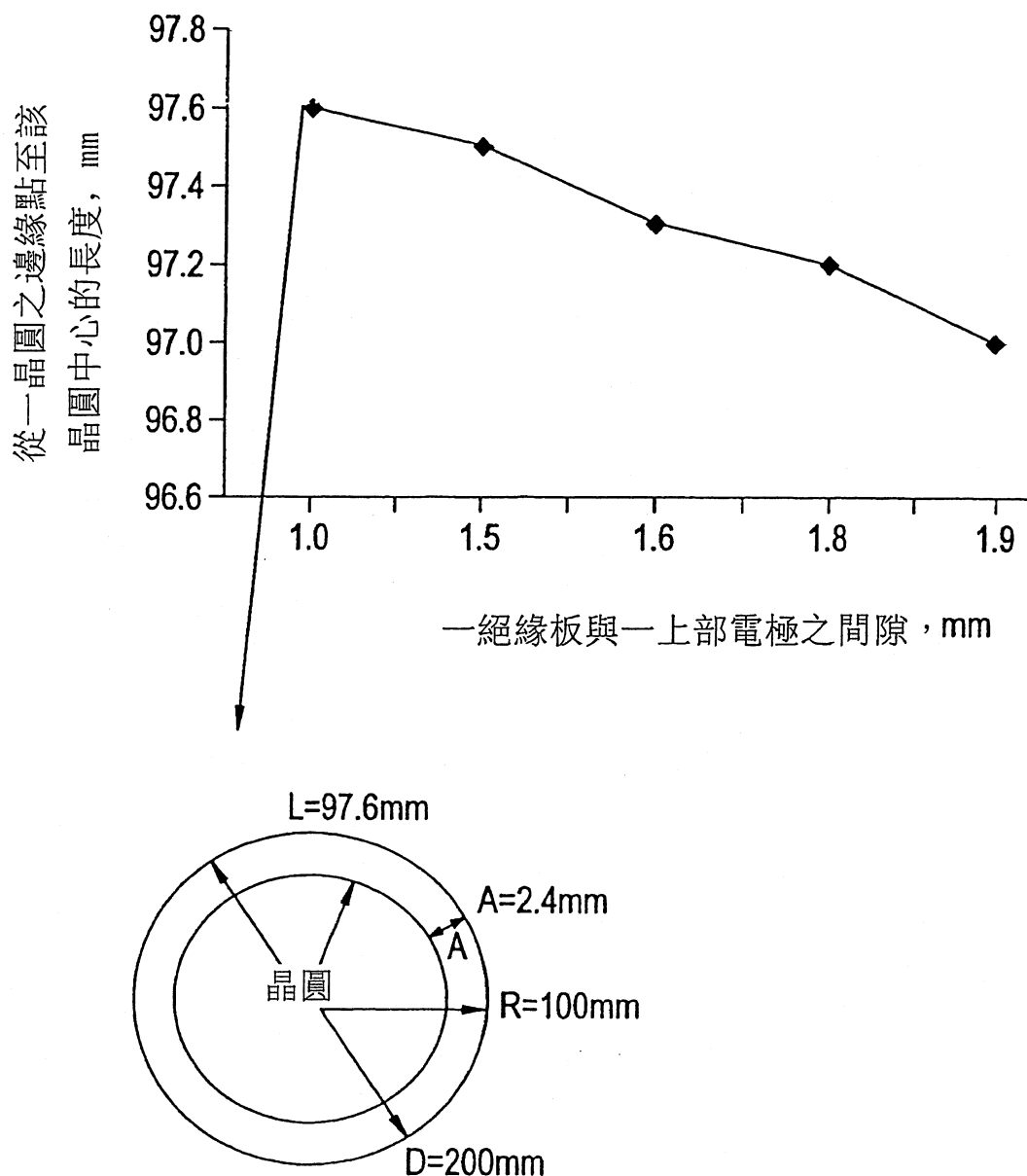


圖 13