

公告本

申請日期	87 11 9
案 號	87 118611
類 別	H01L 31/11

A4
C4

436930

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有結合墊之雙重鑲嵌法
	英 文	Dual damascene with bond pads
二、發明 創作人	姓 名	1. 瑞納富羅倫屈納貝 (Rainer Florian Schnabel) 2. 艾克森 J. 倪 (Xian J. Ning) 3. 布魯諾史帕勒 (Bruno Spuler)
	國 籍	1. 德國 2. 中國 3. 奧利地
	住、居所	1. 美國紐約州 12590 瓦平格斯瀑布馬克斯威爾地 5 號 2. 美國紐約州 10547 摩希根湖馬西街 3872 號 3. 美國紐約州 12590 瓦平格斯瀑布費爾德史東道 66 號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號
	代 表 人 姓 名	1. 貝斯納 (Basner) 2. 雷哈特 (Reinhardt)

裝

訂

線

436930

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

美國 國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

1997年12月23日 案號 08/997,682(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀本頁之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

本紙張尺度適用中國國家標準 (CNS) A4規格 (210×297公釐)

五、發明說明()

本發明之背景

1. 本發明之領域

本發明係有關於半導體裝置，並且更特別地是有關於經過改良之使用雙重鑲嵌法形成結合墊之方法。

2. 相關技術之說明

半導體製造商在將裝置尺寸維持至最小的同時，也必須不斷地改良半導體裝置的功率與性能。在努力維持小的裝置尺寸時，大部份的半導體製造商將減少個別裝置元件至最小尺寸。此外，製造商正垂直整合更多的元件，而非僅使用水平整合，以減少為元件所消耗的裝置面積。垂直整合係典型地藉由在裝置中使用數層導電層以及使用諸如本技術所熟知的層間接觸作為通路或通路內連來內連結該諸層而獲得。

由於個別元件尺寸變得越來越小，所以其將變得更難以內連結不同的導電層。近來解決內連結不同導電層之問題的方法為包含蝕刻與單幕之本技術所熟知的鑲嵌技術。該鑲嵌技術包含形成複數個溝渠於絕緣層中，並接著以將於後序被研磨至絕緣體表面的金屬填充之，以形成所欲的金屬圖案。在一般所熟知的雙重鑲嵌製程中，如上述之金屬溝渠以及電連接上述金屬圖案與各其他導電層之通路內連二者係典型地同時完全地被填充。

在傳統雙重鑲嵌技術中，通路內連係典型地與包含有結合墊之覆蓋在上面的金屬化同時完全地被形成。該技術將要求穿過絕緣體的孔洞（該孔洞最終將被填充以金屬

五、發明說明(>)

或其他導電材料以形成通路)被形成於使用於後序金屬化微影之光阻層沈積前。由覆蓋在上之金屬化所形成的結合墊係適當地被置於半導體積體電路的上表面。該結合墊係被用以將外部電路電連接至下面金屬化層。由諸如 Al、Cu 和 / 或其合金等金屬導體所形成的結合線係被用以將結合墊連接至可連接至外部電路的外引腳。在部份狀況中，被稱為反轉式晶片封裝之積體電路封裝係可被使用。該反轉式晶片封裝通常具有非常短的結合線或在部份狀況並無結合線。

第 1A 圖係表示一堆積半導體結構 100 的剖面圖。該堆積半導體結構 100 包含一半導體基板 102 以及一為絕緣層 106 所覆蓋之下面導電層 104。複數個通路孔 108 將形成下面導電層 104 與結合墊溝渠 110 之間的導孔。該結合墊溝渠 110 係藉由移除絕緣層 106 的一部份至接近所欲形成結合墊之厚度 "T" 而形成。

在通路孔 108 與結合墊溝渠 100 被形成後，金屬化層 112 將使用毯覆式沈積法而置於絕緣層 106 上且同時完全填充通路孔 108 與結合墊溝渠 110。金屬化層 112 係典型地延伸至高於絕緣層 106 上表面之一預定高度。為形成一結合墊，延伸至絕緣層 106 上表面上方的金屬化層 112 的一部份 112-1 必須被移除以暴露出絕緣層 106。在本法中，結合墊將由留置於結合墊溝渠 110 中的金屬所形成。

第 1B 圖係為藉由移除金屬化層 112 之一部份 112-1 所形成的結合墊 114 剖面圖。該部份 112-1 係在被稱為研磨的

五、發明說明()

製程中被移除。研磨係藉由諸如物理研磨包含在該部份 112-1 的金屬而移除該部份 112-1。研磨包含在該部份 112-1 之金屬的該方法之一包括使用旋轉墊或其他機械式裝置並伴隨化學蝕刻或研漿的結合。旋轉研磨墊典型地藉由研磨機之機械動作所產生的物理研磨與研漿的結合而將該部份 112-1 移除。

不幸地是，該旋轉研磨墊必須施加一道垂直絕緣層 106 的力量，以適當地移除該部份 112-1。該力量將使旋轉研磨墊產生彎曲而形成中凸的研磨表面。旋轉研磨墊的彎曲將使結合墊溝渠 110 中所沈積的金屬被部份地移除。基於研磨墊的中凸狀與研漿化學蝕刻行為的結合，結合墊溝渠 110 中所沈積之金屬的移除將使結合墊的厚度產生由厚度 "T" 至厚度 "x" 的大量減少。在部份狀況中，厚度 "x" 係為將絕緣膜 106 暴露出的厚度。

結合墊厚度的減少將導致絕緣層 106 之部分 106-1 的暴露。絕緣體 106 的暴露將導致與後序連結的結合線有較差的機械與電器接觸。在部份的狀況中，該所暴露之絕緣層 106 的出現將產生如第 1C 圖所舉例之結合墊 114 與結合線 150 之間孔洞 120 的形成。孔洞 120 的出現將使高電流密度穿過結合墊 / 結合線接面之無孔洞部份。高電流密度將產生結合墊金屬的電致遷移。結合墊金屬的電致遷移將產生無法接受之長期即時故障 (FIT) 率。

因此，消除形成具有薄金屬化區之結合墊的可能性之雙重鑲嵌技術係為所需。該雙重鑲嵌技術亦可避免將增

五、發明說明(4)

加後序放置之結合線有較差電器接觸可能性之被暴露絕緣體區的形成。

本發明之概要

廣泛地說，本發明係有關於半導體裝置並且更特別地是有關於經改良之使用雙重鑲嵌蝕刻穿過排列於基板上之層狀堆積而形成結合墊之方法。根據本發明之一實施例，該層狀堆積包含一層下面導電層以及一層排列於下面導電層上方的絕緣層。本方法包含下列的作業步驟。至少一個通路孔被形成於置於下面裝置層上方的絕緣層中，並延伸至位於通路孔底部的下面裝置層。其次，一結合墊溝渠被形成。該結合墊溝渠完全符合所欲之結合墊的形式。一層導電材料層將於後序被置於絕緣層上，並同時完全填充該通路孔與結合墊溝渠。其次，該結合墊係藉由移除足以暴露出絕緣層上表面的導電材料層而形成。

在本發明之另一個實施例中，一種藉由執行一穿過排列於基板上之層狀堆積的雙重鑲嵌蝕刻，而形成積體電路中之結合墊的方法係被揭示。該層狀堆積包含一層下面裝置層與一層排列於下面裝置層上方的絕緣層。該結合墊將被適當地排列以將下面裝置層電連接至外部電路。該方法包含下列作業。首先，至少一置於下面裝置層上方的通路孔將被形成於絕緣層中。該通路孔將延伸至在通路孔底部的下面裝置層。其次，一結合墊溝渠將被形成於絕緣層中。該結合墊溝渠完全符合所形成之結合

五、發明說明(5)

墊的形式。一層導電材料層將於後序被置於絕緣層上，並同時完全填充該通路孔與結合墊溝渠。其次，一抗研磨材料層將被置於導電層上方。該結合墊係藉由移除足以暴露出絕緣層上表面的導電材料層而形成，其中在抗研磨材料層下面的導電材料層部份將以較非在抗研磨材料層下面的導電材料層部份為低的速率被移除。

本發明之其他特性與優點將由下列細節說明並配合附圖而變得更清楚，其係藉由示範本發明之原理作為舉例。圖示之簡略說明

本發明係以附圖中的圖示為範例而做舉例，但並不表示其僅限於此。在下列的圖示中，為協助易於瞭解，相同的參考數字意指類似或相似的元件。

第1A圖係為具有被沈積於絕緣體上之金屬化層的堆積半導體結構之剖面舉例，其中該絕緣體具有以傳統雙重鑲嵌技術所形成之通路孔與結合墊溝渠。

第1B圖係為圖示如第1A圖所示之堆積半導體結構之後序結合墊形成的剖面舉例。

第1C圖係為圖示如第1B圖所示之堆積半導體結構之固著結合線的剖面舉例。

第2圖係為根據本發明之一實施例的堆積半導體結構的剖面舉例。

第3圖係為根據本發明之一基本實施例之包含有通路孔的堆積半導體結構的剖面舉例。

第4圖係為圖示具有根據本發明之一實施例之具有結

五、發明說明 (b)

合墊溝渠之如第3圖所示的堆積半導體結構之剖面舉例。

第5圖係為圖示具有根據本發明之一實施例之具有置於通路孔與結合墊溝渠上之金屬化層之如第4圖所示之堆積半導體結構之剖面舉例。

第6圖係為圖示具有根據本發明之一實施例所形成之結合墊結構之堆積半導體結構的剖面圖。

第7圖係為具有根據本發明之另一實施例之被置於金屬化層上之抗研磨材料層之堆積半導體結構的剖面舉例。

第8圖係為圖示具有根據本發明之另一實施例所形成之結合墊結構之堆積半導體結構的剖面圖。

第9圖係為圖示具有根據本發明之再另一實施例所形成之結合墊結構之堆積半導體結構的剖面圖。

第10圖係為圖示具有根據本發明之又另一實施例所形成之結合墊結構之堆積半導體結構的剖面圖。

本發明之細節說明

本發明現將參考如附圖所示之若干作為舉例的實施例而被詳細地說明。在下列說明中，若干個特殊的細節將被表列以提供對於本發明之通盤瞭解。然而，對於熟習本技藝之人士而言，本發明可於無部份或所有這些特殊細節的情形下被執行係為清楚的。在其他案例中，所熟知的製程步驟並未被詳細說明，以避免模糊本發明。

在一實施例中，本發明係有關於經過改良之使用雙重鑲嵌形成結合墊於多層共平面金屬/絕緣膜半導體中之方法。根據本發明之一特性，一雙重鑲嵌技術係被使用，

五、發明說明(7)

其係形成與用以形成結合墊之結合墊溝渠對齊並完全相同尺寸之通路孔。一金屬化層係被置於結合墊溝渠上。結合墊係使用為熟習本技藝之人士所熟知的研磨技術移除高於上表面的金屬化層而形成。因為由通路孔所形成的通路係完全與結合墊相同尺寸，所以由研磨機與隨附之研漿的作用而形成於結合墊結構中的中凹表面並不會暴露絕緣層的任何部份。在本方法中，結合線對結合墊的連結將被執行於無因暴露絕緣體而形成孔洞的情況下。

在本發明之另一實施例中，一層能夠減少在研磨製程中為該材料層所遮蔽之金屬研磨移除速率之材料層係被置於結合墊溝渠上方並對齊該結合墊溝渠。在本方法中，在絕緣層的表面被暴露後，一部份的金屬仍將殘留。當結合線固著於結合墊時，該金屬部份將消除形成孔洞的可能性。

本發明之實施例將參考第2至8圖而被說明於下。然而，熟習本技藝之人士將可容易地瞭解在此之有關這些圖示的細節說明係僅作為舉例的目的，因為本發明的範圍超過這些有限的實施例。

第2圖係舉例根據本發明之一實施例之具有絕緣層202覆蓋於包含有下面導電層208的基板204上方。該堆積半導體結構200將代表例如用以製造諸如n-FET或p-FET(場效應電晶體)等傳統電晶體之堆積半導體結構。絕緣層202將被沈積於預定導電形式的基板204上方。化學氣相沈積(CVD)或相似的技術將可被用以沈積絕緣體202,其

五、發明說明(8)

典型地包含有平坦的諸如TEOS等二氧化矽、諸如回流磷矽酸鹽玻璃等玻璃材料或類似聚醯亞胺等高分子。在被說明的實施例中，絕緣層202係被形成於前所定義之基板204上方，該基板包含有前所定義之導電層208。導電層208可為下面金屬化層的一部份。此外，該導電層208可代表一高度摻雜矽層、一諸如鎢之導電金屬或諸如電晶體之源極或汲極區等任何形式的主動裝置的一部份。在本實施例中，該絕緣層202將具有由0.9微米至大約2.0微米範圍之厚度。

參考第3圖，絕緣層202具有為一抗研磨層212所沈積於其上之上表面210，其係藉由熟習本技藝之人士所熟知的任何技術沈積之。在一較佳實施例中，該抗研磨層212具有大約1000微米的厚度並由氮化矽或氮氧化矽所組成。位於下面導電層208上方的抗研磨層212中通路孔窗口214的形成係藉由熟習本技藝之人士所熟知的傳統光學微影技術而完成。在一實施例中，該形成通路孔窗口214的方法係意指使用氮氣、氧氣與碳化合物作為蝕刻氣體之活性離子蝕刻(RIE)。在一實施例中，若抗研磨層212由氮化矽所組成，則一被稱為ARC之有機抗反射覆膜層(未表示於圖中)係最好被施加於抗研磨層212的上表面。然而，在較佳實施例中，氮氧化矽之抗研磨層212的使用將消除使用ARC的需要。為使本說明變清楚，其將假設抗研磨層212係由氮氧化矽所組成且無須ARC層。然而，如上所述，氮化矽或任何其他適當化合物之抗

五、發明說明(9)

研磨層 212 的使用將要求有關 ARC 之沈積與移除的額外步驟或諸步驟。

一旦抗研磨層 212 被適當地沈積並被適當地刻劃後，一通路孔 216 係藉由自絕緣層 202 移除足夠絕緣材料以形成通路孔 216 之第一道非等向性蝕刻而形成。通路孔 216 將具有範圍自大約 120 微米至大約 80 微米之橫向尺寸 "d"，最好為大約 100 微米的尺寸。移除絕緣材料之一該方法係以如上述之使用諸如 Ar、C₄F₈、CO 和 / 或 O₂ 作為活性氣體之 RIE 蝕刻的方式。在所說明的實施例中，通路孔 216 將具有延伸至介於上表面 210 與下面導電層 208 間之中點的底部。在另一實施例中，通路孔 216 具有延伸至完全接近或到達下面導電層 208 之底部。

現參考第 4 圖，一第二道非等向性蝕刻將可被用以形成一結合墊溝渠 218。該結合墊溝渠 218 完全符合所形成之結合墊的形狀。結合墊溝渠 218 因而具有範圍自大約 130 微米至大約 70 微米的橫向尺寸 "t"，最好為大約 100 微米的橫向尺寸。結合墊溝渠 218 包含第一部份 218-1 與第二部份 218-2。該第一部份 218-1 完全延伸至下面導電層 208。該第二部份 218-2 係被安排以形成所欲的結合墊。應注意地是通路孔橫向尺寸 "d" 可與結合墊溝渠橫向尺寸 "t" 完全相同。在另一實施例中，通路孔橫向尺寸 "d" 對結合墊溝渠孔橫向尺寸 "t" 之比例 R 係於大約 R=0.90 至 R=0.50 的範圍。

應注意的是，下面導電層 208 可被用以作為蝕刻阻絕，

五、發明說明(10)

因此，一旦預定數量之形成下面導電層208的組成材料出現於第二道非等向性蝕刻製程中所使用的電漿時，該第二道非等向性蝕刻製程將終止。

在第二道非等向性蝕刻與最終結合墊溝渠218之形成被完成後，下面金屬化層將可藉由任何適當的金屬化技術沈積一金屬層而被輕易地形成。金屬化技術係為所熟知的技術並被說明於例如 VLSI technology, 2nd Edition, S.M. Sze 1988 McGraw-Hill Publishing Company 中。形成金屬化層所用之適當的金屬與合金包含諸如鋁、銅、鎳、鉬、鎢、鉑、二矽化鉬、二矽化鈦以及其他這些金屬的合金。鋁、諸如矽化鋁等鋁合金、銅以及鎢經常為內連金屬化所選用的材料。

這些金屬可使用諸如化學氣相沈積(CVD)、物理氣相沈積(PVD)或低壓化學氣相沈積(LPCVD)等所熟知的技術沈積之。CVD、PVD與LPCVD用之特殊設備與製程參數的選擇係於熟習半導體製程技術之人士的能力範圍內。金屬的沈積(通常以毯覆的方式覆蓋堆積半導體結構200的整個表面)將填充結合墊溝渠218之第一部份218-1與第二部份218-2，因而完全同時產生如第5圖所示之延伸至絕緣層202上表面210上方的一金屬層220。

由第3與4圖看來，第一道以及第二道非等向性蝕刻與通路孔216被蝕刻入絕緣層202的程度有關係為明顯的。如所視，若第一道非等向性蝕刻形成延伸至接近下面導電層208之位置的通路孔216，則第二道非等向性蝕刻

五、發明說明(一)

的時間將典型地較短，因為較少的絕緣材料需要被蝕刻。僅藉由增加或減少所施加的蝕刻時間而改良所形成的形狀與結構之能力將提供優於更多傳統製程之充分的優點。

第6圖係圖示根據本發明之一實施例所形成的一結合墊結構222的剖面圖。該結合墊結構222包含藉由上述之研磨金屬層220所產生的表面S。然而，由於通路孔橫向尺寸"d"對於結合墊溝渠孔橫向尺寸"t"的比例R係位於大約 $R=0.90$ -至 $R=0.50$ 的範圍中，所以其將完全無包含於部份218-2中的絕緣材料。在本方法中，研磨製程期間之絕緣層202的部份被暴露的機率將因而被消除。藉由消除絕緣層202的部份被暴露的機率，在諸如結合墊結構222被電連接至結合線時之形成孔洞的機率亦將被消除。

第7圖係圖示根據本發明之另一實施例之具有對齊於結合墊溝渠218並位於其上之一研磨阻滯材料層230的一金屬化層。該研磨阻滯材料層230將可為接近所形成之結合墊的尺寸。該研磨阻滯材料層230可由SiN、SiON或Ti或任何其他能夠阻滯研磨機與所附研漿蝕刻之研磨行為之材料所形成。研磨阻滯材料層230將提供用於金屬層220之部份220-1的典型遮蔽。研磨機/研漿的行為將以較金屬層220被遮蔽的部份220-2更快的速率將金屬層220之被暴露的部份220-1移除。然而，該研磨阻滯材料230終究將藉由研磨機/研漿的動作而移除。因此，如

五、發明說明(12)

第8圖所示，金屬層220的一部份220-3仍將留置於結合墊結構222之上。該部份220-3提供後序結合作業之用以固著結合線的固定處。在另一實施例中，該部份220-3將被直接結合於諸如包含在反轉式晶片封裝中的焊墊。在任何狀況下，將無基於絕緣層202之暴露所產生的孔洞被產生於覆蓋結合墊結構222之部份220-3存在時。

第9與10圖係為具有根據本發明之其他實施例所形成之結合墊結構之堆積半導體結構200的剖面舉例。

藉著所說明之通路孔的使用，許多的優點將可被實現，其中在執行雙重鑲嵌以形成結合墊時，通路孔將與結合墊溝渠完全相同尺寸。一該優點係為因為該通路孔係與該結合墊溝渠完全相同尺寸，所以並無絕緣層的部份被曝露。在本方法中，當一結合線被固著於所形成之結合墊結構時，並無孔洞被形成。另一優點係有關於因為並無薄金屬化區的形成，因此將消除形成薄金屬化與高電流密度區的可能性。高電流密度區的消除將因高電流密度區中之電致遷移可能性的減少而改良可靠度性能。

本發明之許多特徵與優點將藉著所撰之說明而被顯現，因此，以所附申請專利範圍涵蓋本發明之所有該特徵與優點係為所意欲。此外，因為若干的改良與改變將可為熟習本技藝之人士所輕易地為之，所以，將本發明限制於如舉例與說明之架構與作業係非所欲。因此，所有適當的改良與相當的事項將可被歸類為座落於本發明之範疇中。

五、發明說明 (13)

參 考 符 號 說 明

- 100, 200... 堆積半導體結構
- 102... 半導體基板
- 104, 208... 下面導電層
- 106, 202... 絕緣層
- 106-1... 絕緣層部份
- 108... 通路孔
- 112... 金屬化層
- 112-1... 金屬化層部份
- 114... 結合墊
- 120... 孔洞
- 150... 結合線
- 204... 基板
- 210... 上表面
- 212... 抗研磨層
- 214... 通路孔窗口
- 216... 通路孔
- 218, 110... 結合墊溝渠
- 218-1... 第一部份
- 218-2... 第二部份
- 220... 金屬層
- 222... 結合墊結構

四、中文發明摘要(發明之名稱：

具有結合墊之雙重鑲嵌法

一種藉由使用自我對齊通路(216)執行雙重鑲嵌蝕刻穿過置於基板(204)上之層狀堆積(200)而形成結合墊(222)之經改良的方法。該(200)狀堆積包含一層下面導電層(208)以及一層排列於下面導電層(208)上方的絕緣層(202)。本方法包含下列的作業步驟。至少一個通路孔(216)被形成於置於下面裝置層(208)上方的絕緣層中，並延伸至位於通路孔底部的下面裝置層(208)。一如所欲之結合墊(222)形狀的結合墊溝渠(218)被形成。一層導電材料層(220)將於隨後被置於絕緣層(202)上，並同時完全填充該通路孔(216)與結合墊溝渠(218)。其次，該結合墊(222)係藉由移除足以暴露出絕緣層(210)上表面的導電材料層(220)而形成。

英文發明摘要(發明之名稱：Dual damascene with bond pads)

An improved method of forming a bond pad (222) by performing a dual damascene etch through a layer stack (200) disposed above a substrate (204) using self aligned vias (216). The layer (200) stack includes an underlying conductive layer (208) and an insulating layer (202) disposed above the underlying conductive layer (208). The method includes the following operative steps. At least a via hole (216) is formed in the insulating layer (202) positioned over the underlying device layer (208) and extending to the underlying device layer (208) at the bottom of the via hole. A bond pad trench (218) is then formed that takes the form of the desired bond pad (222). A layer of conductive material (220) is then placed over the insulating layer (202) substantially simultaneously filling the via hole (216) and the bond pad trench (218). The bond pad (222) is then formed by removing the layer of conductive material (220) sufficient to expose the upper surface of the insulating layer (210).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種藉由執行雙重鑲嵌蝕刻穿過置於基板上之層狀堆積而於積體電路中形成結合墊之方法，該層狀堆積包含一層下面裝置層以及一層排列於下面裝置層上方的絕緣層，而結合墊則被適當地設置以將下面裝置層電連接至外部電路，該方法包含：

形成至少一個通路孔於該絕緣層中，該通路孔被設置於該下面裝置層上方，該通路孔延伸至位於該通路孔底部的下面裝置層；

形成如所欲之結合墊的形狀之結合墊溝渠；

將一層導電材料置於該絕緣層上表面上方，該導電材料層同時完全填充該通路孔與該結合墊溝渠；以及
藉由移除足以暴露出該絕緣層之該上表面的該導電材料層而形成該結合墊。

2. 如申請專利範圍第1項之形成結合墊之方法，其中該通路孔係藉由蝕刻穿過該絕緣材料而形成。
3. 如申請專利範圍第2項之方法更包含根據所選擇之蝕刻參數以蝕刻穿過在該通路孔之該底部的該絕緣材料。
4. 如申請專利範圍第3項之方法更包含根據所選擇之蝕刻參數以蝕刻穿過在該通路孔之該底部的該絕緣材料。
4. 如申請專利範圍第3項之方法更包含根據所選擇之蝕刻參數以蝕刻穿過在該通路孔之該底部的該絕緣材料。
5. 如申請專利範圍第4項之形成結合墊之方法，其中該所選擇的參數包含某一數量之 CF_4 蝕刻源氣體。
6. 如申請專利範圍第3項之形成結合墊之方法，其中該孔洞具有由該絕緣層上表面頂端延伸一預定距離之底部。

六、申請專利範圍

7. 如申請專利範圍第1項之形成結合墊之方法，其中該結合墊溝渠係藉由蝕刻穿過該位於該通路孔之該底部之該絕緣材料而形成。
8. 如申請專利範圍第7項之形成結合墊之方法，更包含根據所選擇之蝕刻參數以蝕刻穿過在該通路孔之該底部的該絕緣材料。
9. 如申請專利範圍第8項之形成結合墊之方法，其中至少該所選擇的參數之一包括使用含有C4F8之蝕刻源氣體。
10. 如申請專利範圍第8項之形成結合墊之方法，其中該所選擇的參數包含某一數量之O2蝕刻源氣體。
11. 如申請專利範圍第1項之形成結合墊之方法，其中該基板代表一矽晶圓。
12. 如申請專利範圍第1項之形成結合墊之方法，其中該基板係被使用於積體電路的製造中。
13. 如申請專利範圍第1項之形成結合墊之方法，其中該基板係被使用於動態隨機存取記憶體之製造中。
14. 一種藉由執行雙重鑲嵌蝕刻穿過置於基板上之層狀堆積而於積體電路中形成結合墊之方法，該層狀堆積包含一層下面裝置層，以及一層排列於下面裝置層上方的絕緣層，而結合墊則被適當地設置以將下面裝置層電連接至外部電路，該方法包含：

形成一個通路孔於該絕緣層中，該通路孔被設置於該下面裝置層上方，該通路孔延伸至位於該通路孔底部的下面裝置層；

形成如所欲之結合墊的形狀之結合墊溝渠；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

將一層導電材料置於該絕緣層上表面上方，該導電材料層同時完全填充該通路孔與該結合墊溝渠；

將一層抗研磨材料層置於該導電層上方；

藉由移除足以暴露出該絕緣層之該上表面的該導電材料層而形成該結合墊，其中在該抗研磨材料層下面的導電材料層之一部份將以較非在該抗研磨材料層下面的該導電材料層的該部份為低的速率被移除。

15. 如申請專利範圍第14項之形成結合墊之方法，其中該通路孔係藉由蝕刻穿過該絕緣材料而形成。

16. 如申請專利範圍第15項之形成結合墊之方法，更包含根據所選擇之蝕刻參數以蝕刻穿過在該通路孔之該底部的該絕緣材料。

17. 如申請專利範圍第16項之形成結合墊之方法，其中至少該所選擇的參數之一包括使用含有C4F8之蝕刻源氣體。

18. 如申請專利範圍第17項之形成結合墊之方法，其中該所選擇的參數包含某一數量之O2蝕刻源氣體。

19. 如申請專利範圍第17項之形成結合墊之方法，其中該孔洞具有由該絕緣層上表面頂端延伸一預定距離之底部。

20. 如申請專利範圍第14項之形成結合墊之方法，其中該結合墊溝渠係藉由蝕刻穿過該位於該通路孔之該底部之該絕緣材料而形成。

21. 如申請專利範圍第20項之形成結合墊之方法，更包含

六、申請專利範圍

根據所選擇之蝕刻參數以蝕刻穿過在該結合墊溝渠之該底部的該絕緣材料。

22. 如申請專利範圍第21項之形成結合墊之方法，其中至少該所選擇的參數之一包括使用含有C4F8之蝕刻源氣體。

23. 如申請專利範圍第22項之形成結合墊之方法，其中該所選擇的參數包含某一數量之02蝕刻源氣體。

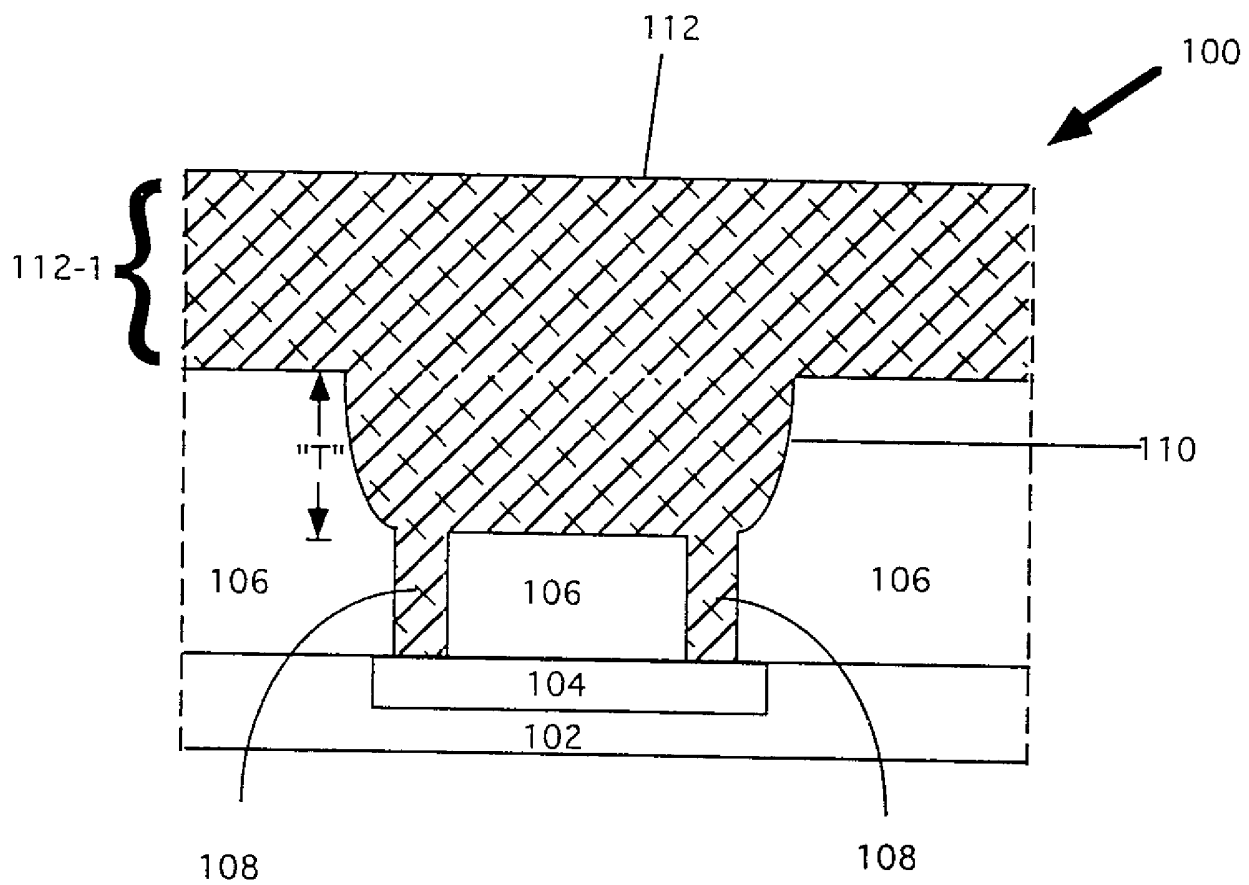
24. 如申請專利範圍第23項之形成結合墊之方法，其中抗研磨材料包含Ti、SiON以及SiN。

(請先閱讀背面之注意事項再填寫本頁)

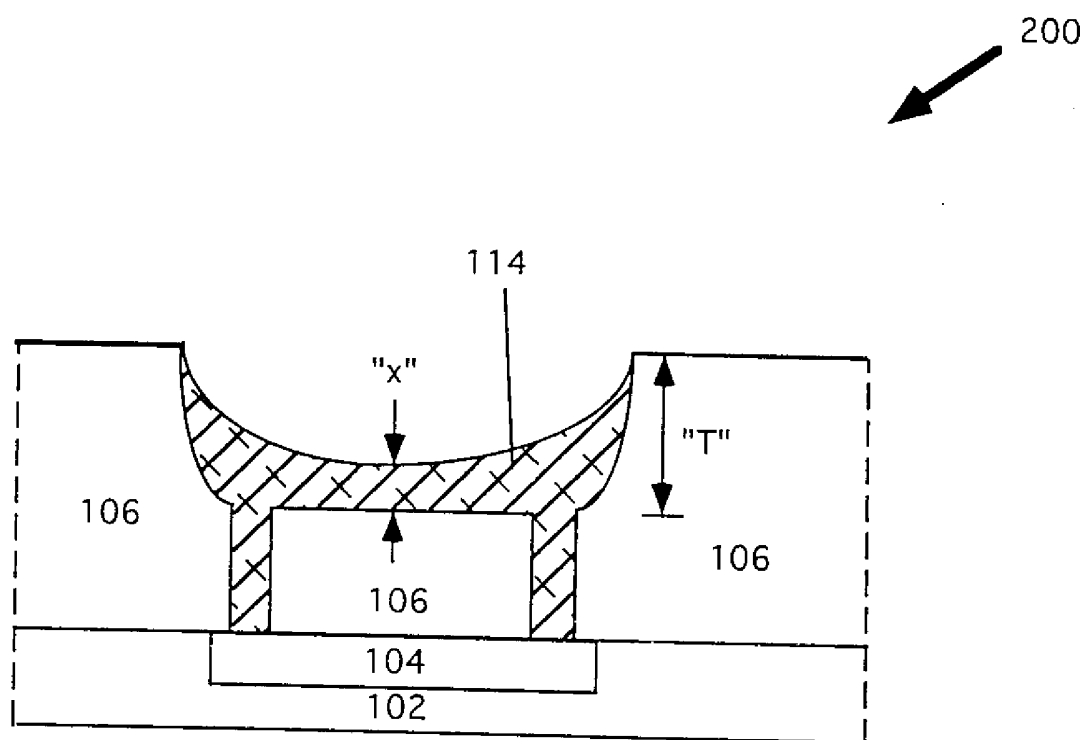
裝

訂

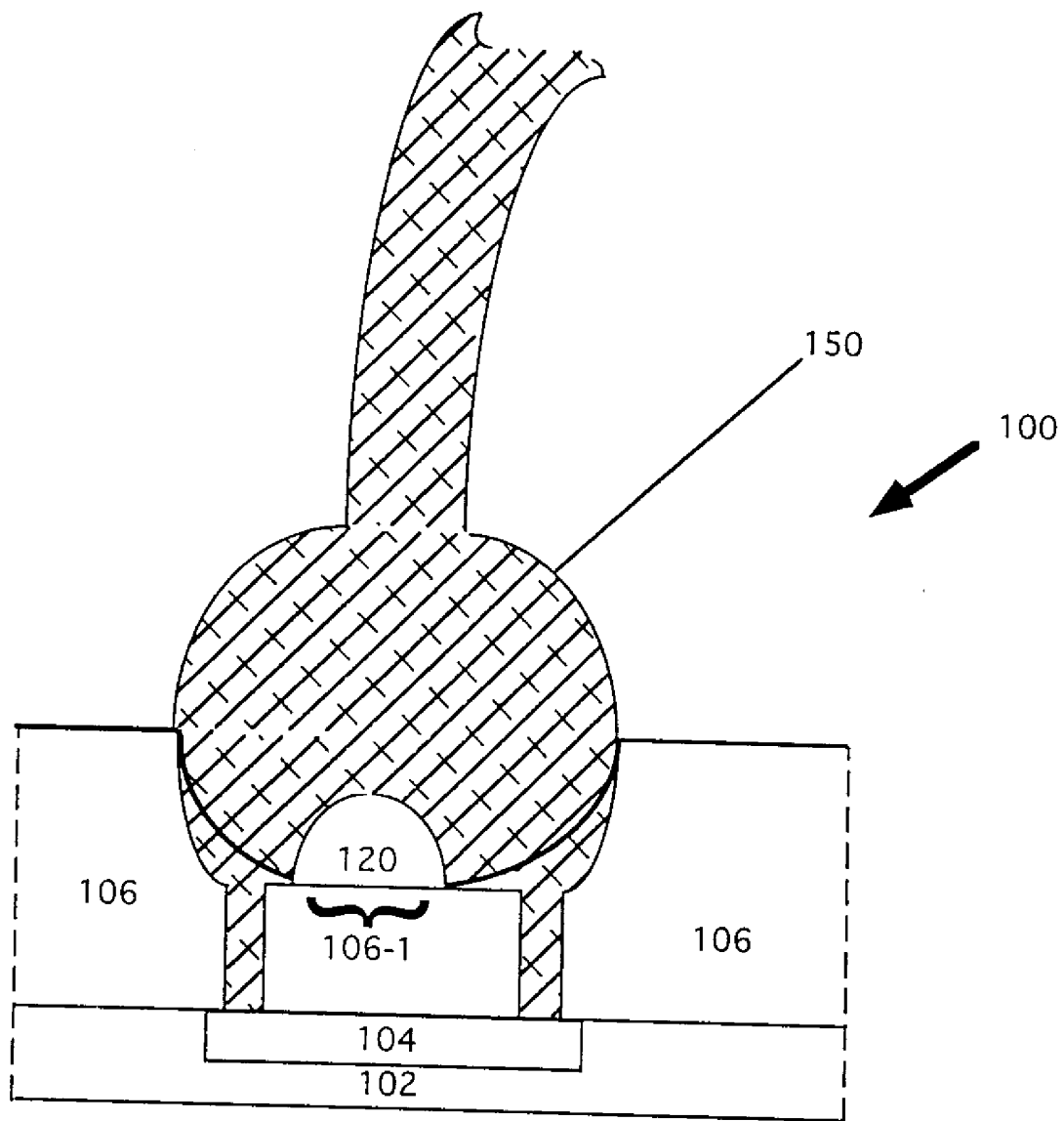
線



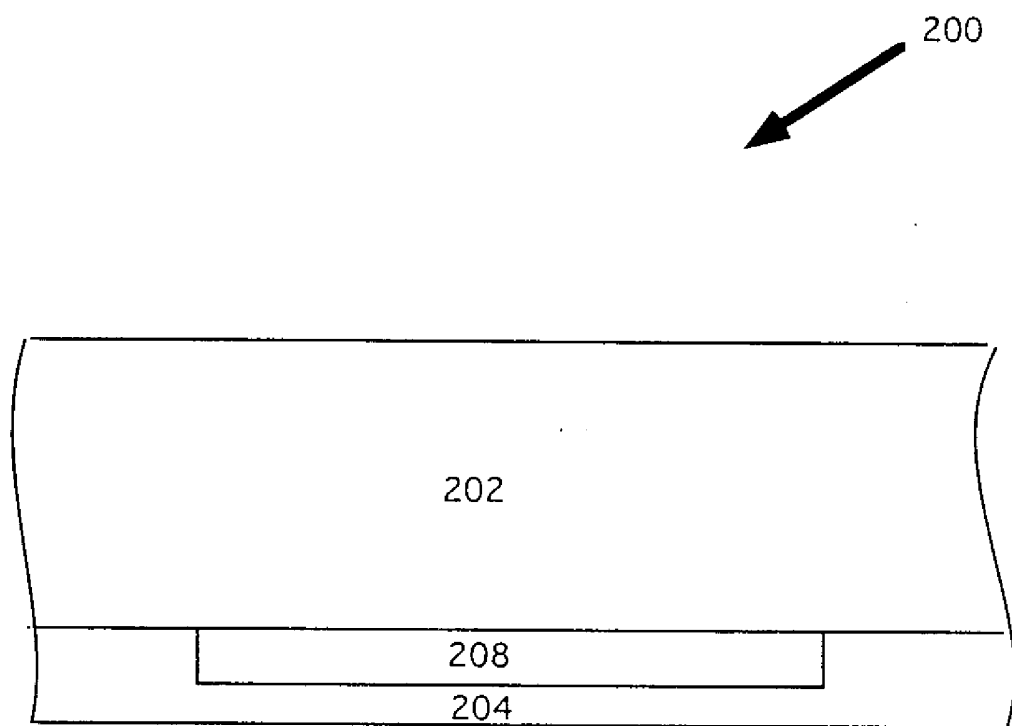
第1A圖



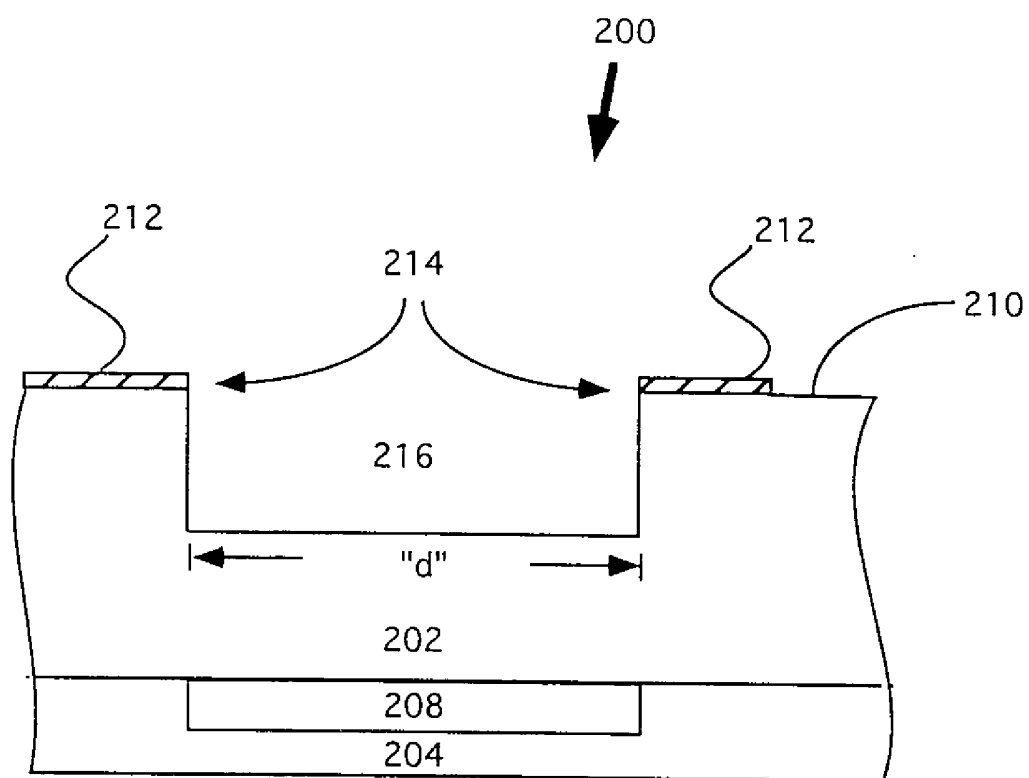
第1B圖



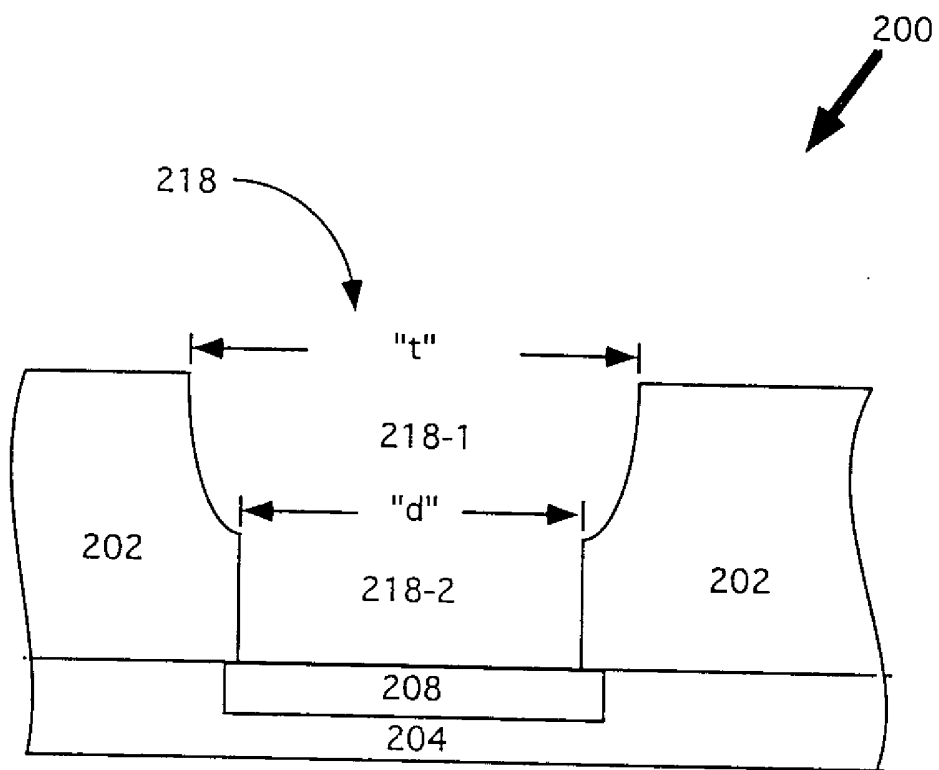
第1C圖



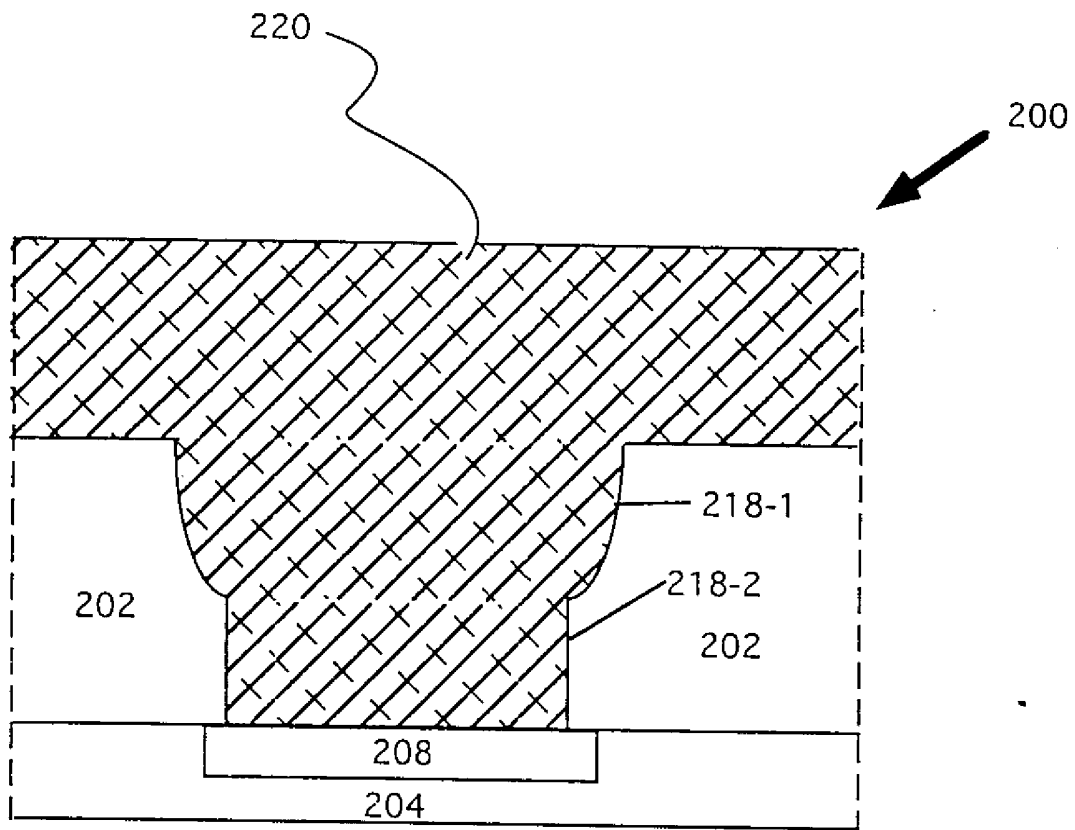
第 2 圖



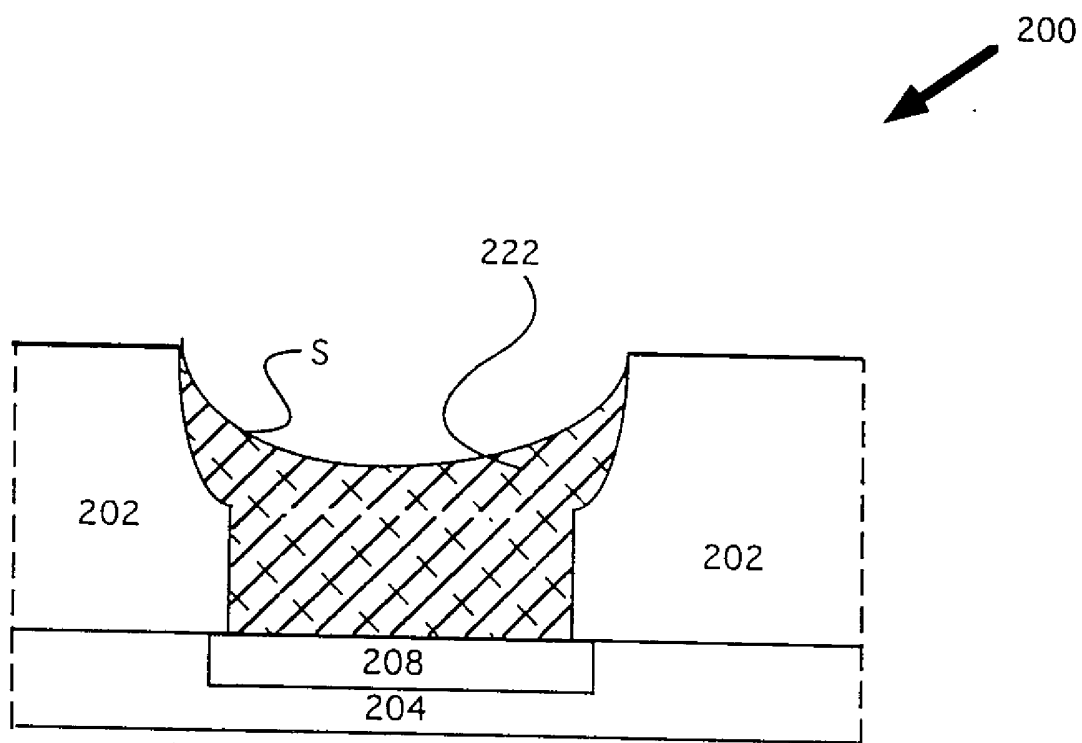
第 3 圖



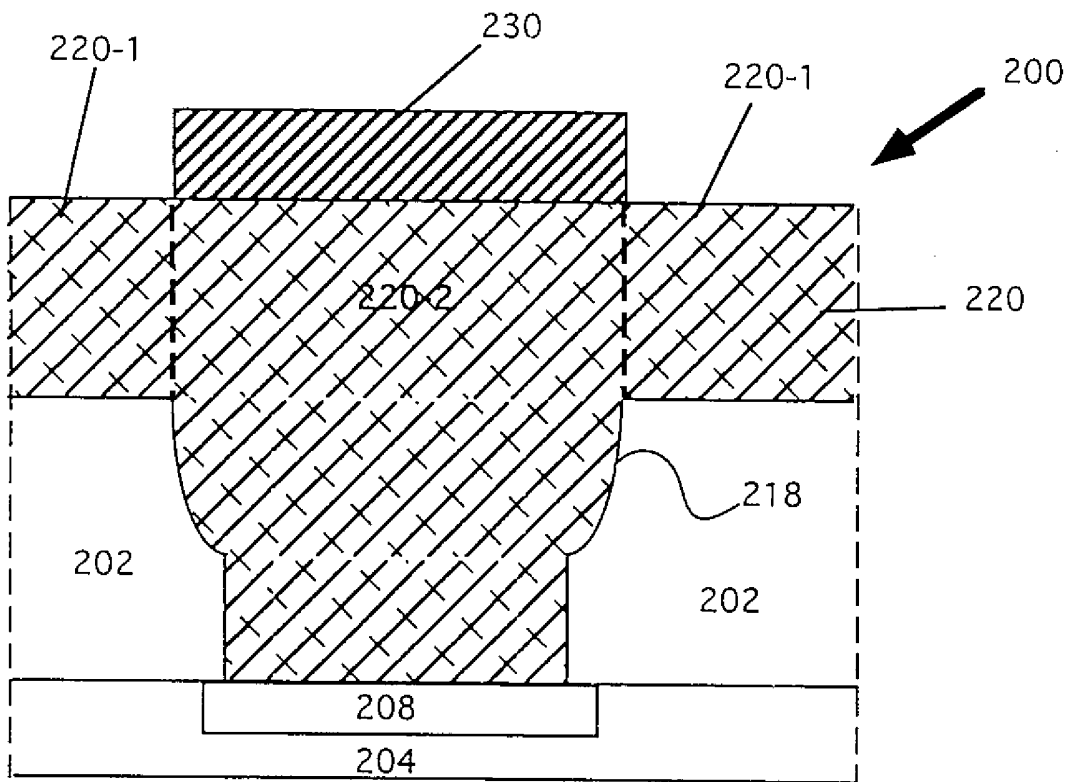
第 4 圖



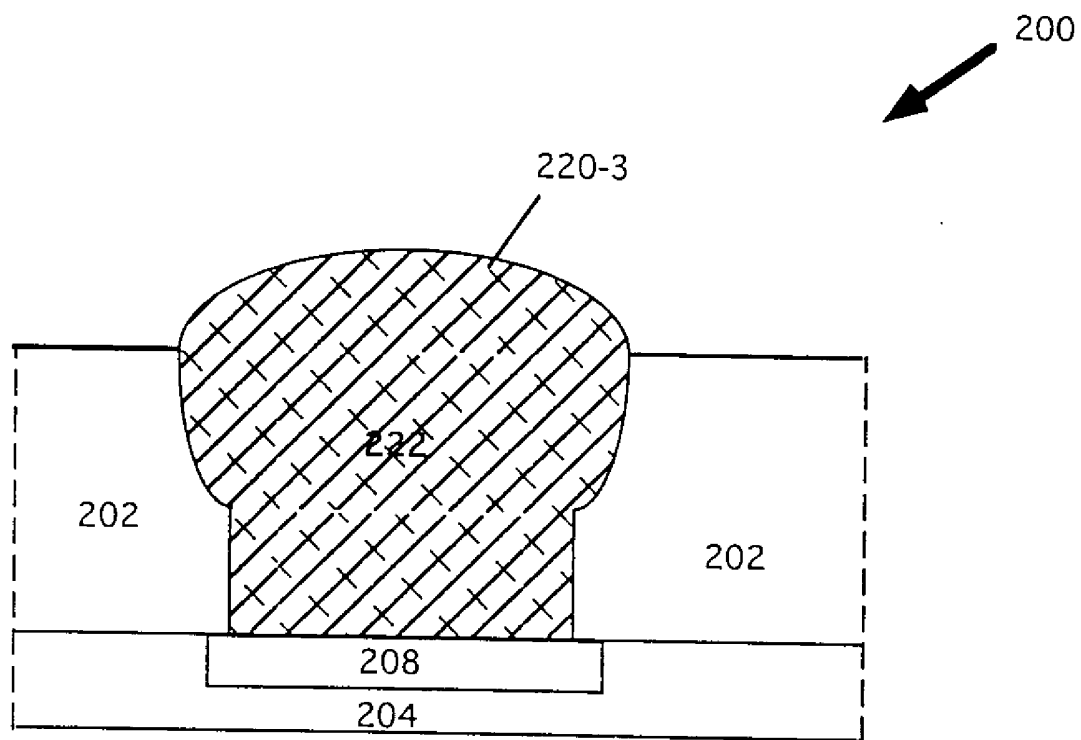
第 5 圖



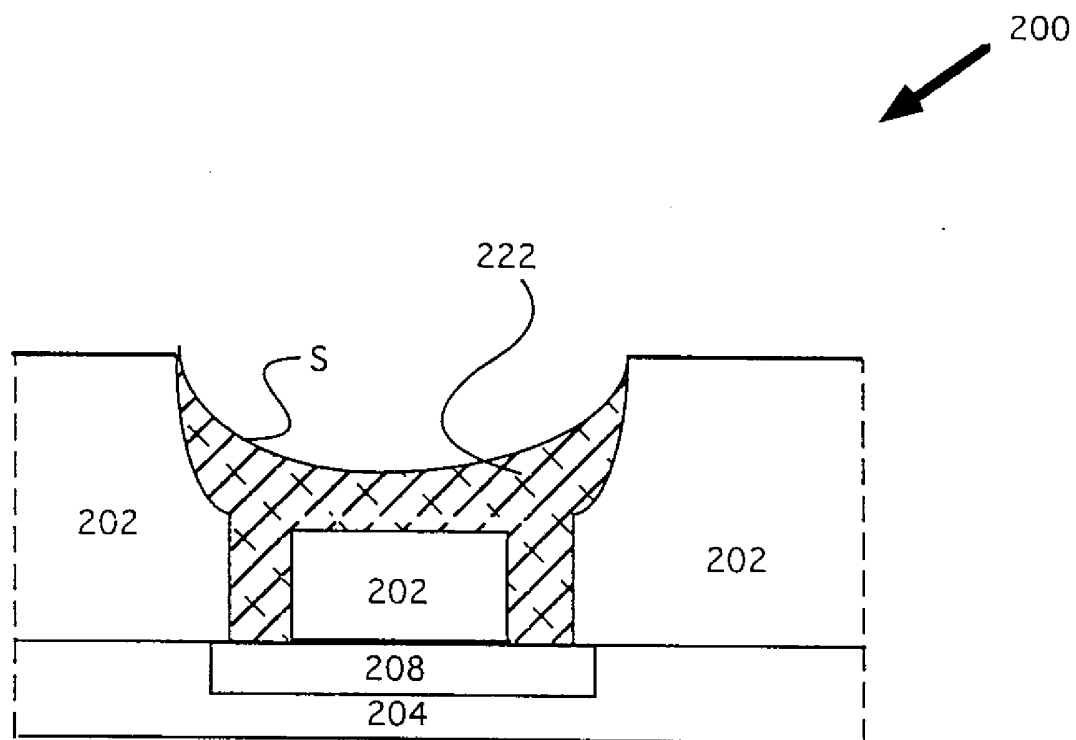
第 6 圖



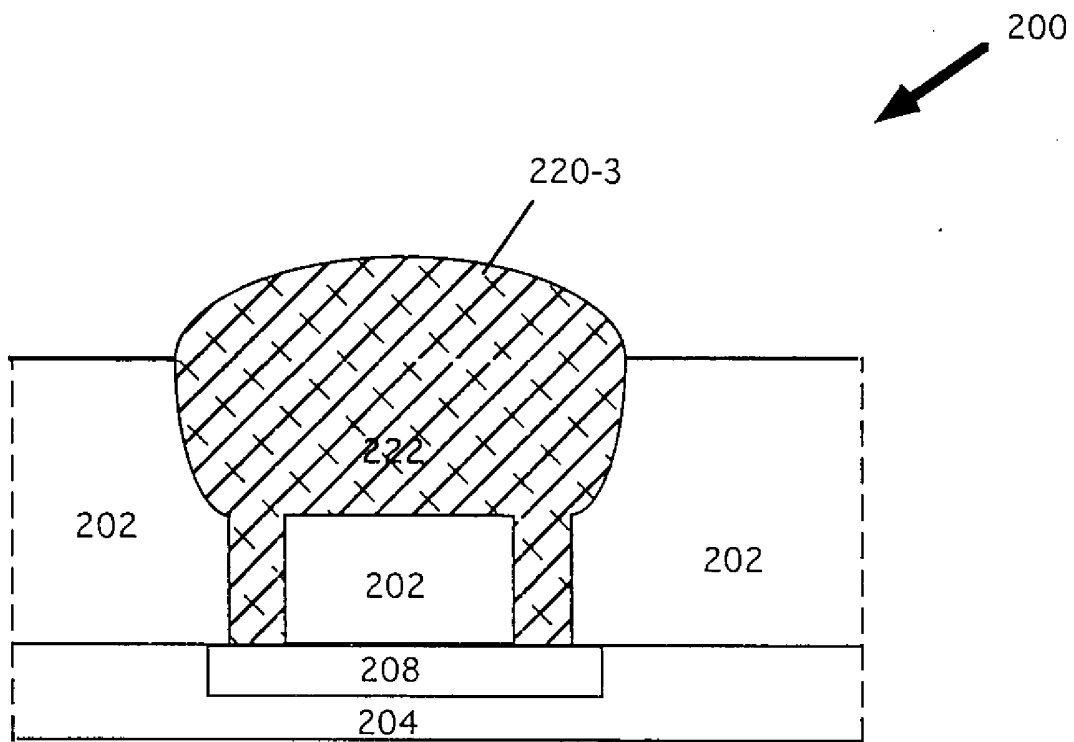
第 7 圖



第 8 圖



第 9 圖



第10圖