

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200710086396.6

[51] Int. Cl.

G11C 19/28 (2006.01)

G11C 19/00 (2006.01)

G11C 8/04 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

[45] 授权公告日 2010 年 1 月 20 日

[11] 授权公告号 CN 100583297C

[22] 申请日 2007.3.15

[21] 申请号 200710086396.6

[30] 优先权

[32] 2006.3.15 [33] JP [31] 2006-070244

[73] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 飞田洋一

[56] 参考文献

US3668438 1972.6.6

EP0597535A1 1994.5.18

CN1538457A 2004.10.20

US6919874B1 2005.7.19

CN1506978A 2004.6.23

US2005/0220262A1 2005.10.6

审查员 杨 嘉

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 王 岳 刘宗杰

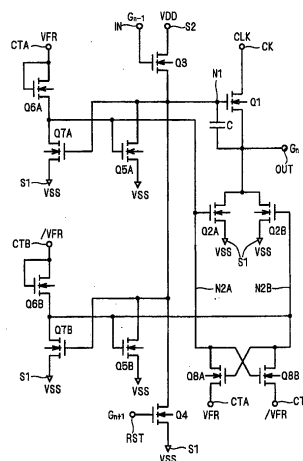
权利要求书 3 页 说明书 25 页 附图 20 页

[54] 发明名称

移位寄存器电路和具备该电路的图像显示装置

[57] 摘要

本发明的目的在于抑制电力消耗的上升，同时防止移位寄存器电路的误动作，从而提高动作可靠性。其中，单位移位寄存器电路具有向输出端子供给低电位侧电源电位的第 1、第 2 晶体管。第 1 控制端子和第 2 控制端子上分别输入互补的第 1 控制信号和第 2 控制信号。第 1 晶体管与第 1 控制端子之间由第 3 晶体管连接，第 2 晶体管与第 2 控制端子之间由第 4 晶体管连接，该第 3、第 4 晶体管的漏极相互交叉连接到对方的栅极。



1. 一种移位寄存器电路，其具备：

时钟端子和输出端子；

将输入到上述时钟端子中的时钟信号供给到上述输出端子的第 1 晶体管；以及

分别将上述输出端子进行放电的第 2 和第 3 晶体管；

其特征在于，

分别将上述第 1、第 2 和第 3 晶体管的控制电极所连接的节点作为第 1、第 2 和第 3 节点，并进一步具备：

在输入预定的第 1 控制信号的第 1 控制端子与上述第 2 节点之间进行连接的第 4 晶体管；

在输入预定的第 2 控制信号的第 2 控制端子与上述第 3 节点之间进行连接的第 5 晶体管；以及

基于上述第 1 和第 2 控制信号交替驱动上述第 2 和第 3 晶体管的驱动电路；

上述第 4 和第 5 晶体管各自的一个主电极相互交叉连接到对方的控制电极。

2. 如权利要求 1 所述的移位寄存器电路，

其特征在于，

上述驱动电路包含以上述第 1 节点为输入端、以上述第 2 节点为输出端的第 1 反相器；和

以上述第 1 节点为输入端、以上述第 3 节点为输出端的第 2 反相器；

上述第 1 和第 2 反相器基于上述第 1 和第 2 控制信号交替激活。

3. 如权利要求 2 所述的移位寄存器电路，

其特征在于，

上述第 1 反相器包含在上述第 2 节点与上述第 1 控制端子之间以二极管接法连接的第 6 晶体管；和

在上述第 2 节点与第 1 电源端子之间进行连接、具有连接到上述第 1 节点的控制电极的第 7 晶体管；

上述第 2 反相器包含在上述第 3 节点与上述第 2 控制端子之间以二极管接法连接的第 8 晶体管；和

在上述第3节点与上述第1电源端子之间进行连接、具有连接到上述第1节点的控制电极的第9晶体管。

4. 如权利要求2所述的移位寄存器电路, 其特征在于,

上述第1反相器包含在上述第2节点与第2电源端子之间进行连接、具有输入上述第1控制信号的控制电极的第6晶体管; 和

在上述第2节点与第1电源端子之间进行连接、具有连接到上述第1节点的控制电极的第7晶体管;

上述第2反相器包含在上述第3节点与上述第2电源端子之间进行连接、具有输入上述第2控制信号的控制电极的第8晶体管; 和

在上述第3节点与上述第1电源端子之间进行连接、具有连接到上述第1节点的控制电极的第9晶体管。

5. 如权利要求1所述的移位寄存器电路, 其特征在于,

上述驱动电路具备以上述第1节点为输入端的反相器; 和

基于上述第1和第2控制信号将上述反相器的输出端交替电连接到上述第2和第3节点的切换电路。

6. 如权利要求5所述的移位寄存器电路, 其特征在于,

上述切换电路包含在上述反相器的输出端与上述第2节点之间进行连接、具有输入上述第1控制信号的控制电极的第6晶体管;

在上述反相器的输出端与上述第3节点之间进行连接、具有输入上述第2控制信号的控制电极的第7晶体管。

7. 如权利要求1所述的移位寄存器电路, 其特征在于,

进一步具备在上述第1节点与上述输出端子之间进行连接的电容元件。

8. 如权利要求1所述的移位寄存器电路, 其特征在于,

上述第1和第2控制信号是互补信号。

9. 一种移位寄存器电路, 由权利要求1至权利要求8中任意一项所述的移位寄存器电路多个级联连接而构成。

10. 一种图像显示装置, 是一种具备由多个移位寄存器电路级联连接而成的栅极线驱动电路的图像显示装置, 其特征在于,

上述多个移位寄存器电路的每一个具备:

时钟端子和输出端子;

将输入到上述时钟端子中的时钟信号供给到上述输出端子的第1

晶体管；以及

分别将第 1 电源端子进行放电的第 2 和第 3 晶体管；

分别将上述第 1、第 2 和第 3 晶体管的控制电极所连接的节点作为第 1、第 2 和第 3 节点，

上述多个移位寄存器电路的每一个进一步具备：

在输入预定的第 1 控制信号的第 1 控制端子与上述第 2 节点之间进行连接的第 4 晶体管；

在输入预定的第 2 控制信号的第 2 控制端子与上述第 3 节点之间进行连接的第 5 晶体管；以及

基于上述第 1 和第 2 控制信号交替驱动上述第 2 和第 3 晶体管的驱动电路；

上述第 4 和第 5 晶体管各自的一个主电极相互交叉连接到对方的控制电极。

11. 如权利要求 10 所述的图像显示装置，其特征在于，

上述第 1 和第 2 控制信号被控制为在显示图像的帧间空白期间内进行电平切换。

12. 如权利要求 11 所述的图像显示装置，其特征在于，

上述第 1 和第 2 控制信号被控制为按显示图像的每 1 帧切换电平。

移位寄存器电路和具备该电路的图像显示装置

技术领域

本发明涉及移位寄存器电路，特别地，涉及例如图像显示装置的扫描线驱动电路等使用的、仅由同一导电类型的场效应晶体管构成的移位寄存器电路。

背景技术

在液晶显示器件等图像显示装置（以下称为“显示装置”）中，在以多个像素排列成行列状的显示屏的每一个像素行（像素线）设置栅极线（扫描线），在显示信号的一个水平期间的周期内依次选择该栅极线加以驱动，由此更新显示图像。这种用来依次选择像素线即栅极线加以驱动的栅极线驱动电路（扫描线驱动电路）可以使用在显示信号的1帧的期间内执行一轮的移位动作的移位寄存器。

为了减少显示装置的制造工艺中的工序数，栅极线驱动电路中使用的移位寄存器优选是仅由同一导电类型的场效应晶体管构成。因此，人们已经提出各种仅由N型或P型场效应晶体管构成的移位寄存器和搭载了该移位寄存器的显示装置（例如非专利文献1）。作为场效应晶体管，使用MOS（Metal Oxide Semiconductor：金属氧化物半导体）晶体管或薄膜晶体管（TFT：Thin Film Transistor：薄膜晶体管）等。

另外，用作栅极线驱动电路的移位寄存器是由在每1个像素线即每1个栅极线上设置的多个移位寄存器电路级联连接（cascade连接）而构成。在本说明书中，为便于说明，将构成栅极线驱动电路的多个移位寄存器电路的每一个称作“单位移位寄存器电路”。

[专利文献1]特开2004-246358号公报

[专利文献2]特开2001-350438号公报

[非专利文献1]Soon Young Yoon等“Highly Stable Integrated Gate Driver Circuit using a-Si TFT with Dual Pull-down Structure”，SID 05 DIGEST p.348-351

发明内容

通常的单位移位寄存器电路在其输出级具备在输出端子与时钟端子之间连接的输出上拉晶体管以及在输出端子与基准电压端子之间连接的输出下拉晶体管。在这种单位移位寄存器电路中，根据预定的输入信号而将输出上拉晶体管置为 ON（导通）、将输出下拉晶体管置为 OFF（截止），在此状态下，输入到时钟端子的时钟信号被传输到输出端子，由此将输出信号进行输出。反之，在没有输入上述输入信号的期间，输出上拉晶体管被置为 OFF、输出下拉晶体管被置为 ON，输出端子的电压水平（以下简称为“电平”）保持为 L（Low）电平。

使用非晶硅 TFT（a-Si TFT）构成栅极线驱动电路的移位寄存器的显示装置容易实现大面积化并且生产效率高，广泛应用于例如笔记本电脑的画面和大画面显示装置等。

但另一方面，a-Si TFT 在栅电极被持续（直流式）施加正偏压的情况下，存在阈值电压正向偏移、驱动能力（使电流流过能力）降低的倾向。特别是在栅极线驱动电路的单位移位寄存器电路中，输出下拉晶体管的栅极在大约 1 帧期间（约 16ms）内被施加直流式正偏压的动作连续执行，因此，输出下拉晶体管的驱动能力逐渐下降。这样一来，当因噪声等向输出端子产生不必要的电荷供应时，输出下拉晶体管无法将这些电荷释放掉，栅极线就会被错误地激活，产生误动作。

在上述非专利文献 1 中针对上述问题提出了一种栅极线驱动电路作为对策，其针对单位移位寄存器电路的输出端子并列设置 2 个输出下拉晶体管，使两者按每一帧交替动作/休止，由此，一个输出下拉晶体管的栅电极就不会被持续地施加偏压。

但是，当单位移位寄存器电路具备 2 个输出下拉晶体管时，在单位移位寄存器电路内就需要有 2 个对此进行驱动的电电路（下拉驱动电路），因此，忧虑由此所导致的电力消耗的上升。

本发明是为了解决上述问题而做出的，其目的是在抑制电力消耗上升的同时防止移位寄存器电路的误动作，提高动作可靠性。

本发明的移位寄存器电路是一种具备用来将输入到第 1 时钟端子的时钟信号供给到输出端子的第 1 晶体管和分别将第 1 电源端子的电位供给到上述输出端子的第 2 和第 3 晶体管的移位寄存器电路，将上述第 1、第 2 及第 3 晶体管的控制电极所连接的节点分别作为第 1、第

2 和第 3 节点,其进一步具备在输入预定的第 1 控制信号的第 1 控制端子和上述第 2 节点之间进行连接的第 4 晶体管、在输入预定的第 2 控制信号的第 2 控制端子和上述第 3 节点之间进行连接的第 5 晶体管、根据上述第 1 和第 2 控制信号交替驱动上述第 2 和第 3 晶体管的驱动电路,上述第 4 和第 5 晶体管各自的一个主电极相互连接到对方的控制电极。

借助于本发明的移位寄存器电路,当驱动电路根据第 1 控制信号和第 2 控制信号交替驱动第 2 和第 3 晶体管时,第 5 和第 6 晶体管也交替地在 ON/OFF 之间切换,由此将处于休止状态的控制电极锁定在预定电平。因此,能够抑制第 2 和第 3 晶体管的阈值电压的偏移,提高动作的可靠性。另外,由于第 5 和第 6 晶体管分别连接到第 1 和第 2 控制端子,通过很小的电力就能够实现 ON/OFF 的切换,因此,抑制了电力消耗的增大。

附图说明

图 1 是表示本发明的实施方式中显示装置的结构的概念框图。

图 2 是表示使用了单位移位寄存器电路的栅极线驱动电路的结构实例的框图。

图 3 是表示现有的单位移位寄存器电路的结构的概念图。

图 4 是表示图 2 的栅极线驱动电路的动作的时序图。

图 5 是表示使用了单位移位寄存器电路的栅极线驱动电路的结构实例的框图。

图 6 是表示图 5 的栅极线驱动电路的动作的时序图。

图 7 是表示第 1 实施方式的单位移位寄存器电路的结构的概念图。

图 8 是表示第 1 实施方式的单位移位寄存器电路的动作的时序图。

图 9 是用来说明第 1 实施方式的单位移位寄存器电路的动作的概念图。

图 10 是表示第 2 实施方式的单位移位寄存器电路的结构的概念图。

图 11 是表示第 3 实施方式的单位移位寄存器电路的结构的概念图。

图。

图 12 是表示第 4 实施方式的单位移位寄存器电路的结构的电路图。

图 13 是表示第 5 实施方式的单位移位寄存器电路的结构的电路图。

图 14 是表示第 5 实施方式的单位移位寄存器电路的结构的电路图。

图 15 是表示第 6 实施方式的单位移位寄存器电路的结构的电路图。

图 16 是用来说明第 6 实施方式的单位移位寄存器电路的动作的图。

图 17 是表示第 7 实施方式的单位移位寄存器电路的结构的电路图。

图 18 是表示第 7 实施方式的单位移位寄存器电路的结构的电路图。

图 19 是表示第 8 实施方式的单位移位寄存器电路的结构的电路图。

图 20 是表示第 8 实施方式的单位移位寄存器电路的结构的电路图。

具体实施方式

下面，参照附图说明本发明的实施方式。其中，为了避免冗长的重复说明，在各图中对功能相同或相当的元素附加相同符号。

第 1 实施方式

图 1 是表示本发明的第 1 实施方式中显示装置的结构概略框图，作为显示装置的代表实例，图中表示出液晶显示装置 10 的整体结构。

液晶显示装置 10 具备液晶阵列部 20、栅极线驱动电路（扫描线驱动电路）30 和源极驱动器 40。由后述说明可知，本发明的实施方式中的移位寄存器搭载在栅极线驱动电路 30 中。

液晶阵列部 20 包含以行列状配设的多个像素 25。像素的各个行（以下也称为“像素线”）中分别配设了栅极线 GL₁、GL₂、...（统称

为“栅极线 GL”), 另外, 像素的各个列(以下也称为“像素列”)中分别配设了数据线 DL_1 、 DL_2 、... (统称为“数据线 DL”)。图 1 中, 代表性地表示出第 1 行的第 1 列和第 2 列的像素 25、以及与此相对应的栅极线 GL_1 和数据线 DL_1 、 DL_2 。

各像素 25 具有设置在相对应的数据线 DL 和像素节点 N_p 之间的像素开关元件 26、像素节点 N_p 及公共电极节点 NC 之间并联连接的电容器 27 及液晶显示元件 28。液晶显示元件 28 中的液晶的配向性随着像素节点 N_p 和公共电极节点 NC 之间的电压差而变化, 并对此作出响应地, 液晶显示元件 28 的显示辉度发生变化。由此, 就能够借助于经由数据线 DL 及像素开关元件 26 传递到像素节点 N_p 的显示电压来控制各像素的辉度。即, 在像素节点 N_p 与公共电极节点 NC 之间施加其大小在与最大辉度相对应的电压差和与最小辉度相对应的电压差之间的中间电压差, 就能够得到中间辉度。因此, 通过阶段式设定上述显示电压, 就可以获得梯度渐变的辉度。

栅极线驱动电路 30 根据预定的扫描周期依次选择栅极线 GL 进行驱动。像素开关元件 26 的栅电极分别与所对应的栅极线 GL 相连接。在特定的栅极线 GL 被选中的期间内, 在与其相连接的各个像素中, 像素开关元件 26 处于导通状态, 像素节点 N_p 与所对应的数据线 DL 连接起来。此外, 传递到像素节点 N_p 的显示电压由电容器 27 维持下来。一般来说像素开关元件 26 由与液晶显示元件 28 相同的绝缘基板(玻璃基板、树脂基板等)上所形成的 TFT 构成。

源极驱动器 40 用来将由 N 比特的数字信号即显示信号 SIG 阶段式设定的显示电压输出到数据线 DL。这里所采用的是一个实例, 其中显示信号 SIG 是 6 比特信号, 由显示信号比特 $DB_0 \sim DB_5$ 构成。如果使用 6 比特的显示信号 SIG, 则各像素可以显示出 $2^6=64$ 级灰度显示。进一步, 如果利用 R (Red)、G (Green) 和 B (Blue) 这 3 个像素形成一个彩色显示单位, 则可以进行约 26 万色的彩色显示。

另外, 如图 1 所示, 源极驱动器 40 由移位寄存器 50、数据锁存电路 52 和 54、梯度电压生成电路 60、解码电路 70、模拟放大器 80 构成。

在显示信号 SIG 中串行生成与各个像素 25 的显示辉度相对应的显示信号比特 $DB_0 \sim DB_5$ 。即, 各个定时的显示信号比特 $DB_0 \sim DB_5$ 表示

液晶阵列部 20 中的任一个像素 25 的显示辉度。

移位寄存器 50 按照与显示信号 SIG 的设定切换周期同步的定时向数据锁存电路 52 发出显示信号比特 DB0 ~ DB5 的捕捉指令。数据锁存电路 52 依次捕捉串行生成的显示信号 SIG，并保存与一个像素线相当的显示信号 SIG。

输入到数据锁存电路 54 的锁存信号 LT 在数据锁存电路 52 捕捉与一个像素线相当的显示信号 SIG 的定时激活。数据锁存电路 54 对此作出响应，捕捉到此时保存在数据锁存电路 52 中的与一个像素线相当的显示信号 SIG。

梯度电压生成电路 60 由在高电压 VDH 和低电压 VDL 之间串联连接的 63 个分压电阻构成，分别生成 64 级梯度电压 V1 ~ V64。

解码电路 70 对数据锁存电路 54 中保存的显示信号 SIG 进行解码，根据该解码结果从梯度电压 V1 ~ V64 之中选择并输出向各解码输出节点 Nd₁、Nd₂、... (统称为“解码输出节点 Nd”) 输出的电压。

其结果是，数据锁存电路 54 中保存的与一个像素线相当的显示信号 SIG 相对应的显示电压 (梯度电压 V1 ~ V64 之一) 被同时 (并行) 输出到解码输出节点 Nd。此外，在图 1 中，代表性地表示了与第 1 列和第 2 列数据线 DL₁、DL₂ 相对应的解码输出节点 Nd₁、Nd₂。

模拟放大器 80 将与从解码电路 70 输出到解码输出节点 Nd₁、Nd₂、... 的各显示电压相对应的模拟电压分别输出到数据线 DL₁、DL₂、...。

源极驱动器 40 按照预定的扫描周期将与一系列的显示信号 SIG 相对应的显示电压以每一个像素线重复输出到数据线 DL，栅极线驱动电路 30 与该扫描周期同步地依次驱动栅极线 GL₁、GL₂、...，由此就能够在液晶阵列部 20 中按照显示信号 SIG 显示出图像。

此外，图 1 中表示的是栅极线驱动电路 30 和源极驱动器 40 与液晶阵列部 20 形成为一体的液晶显示装置 10 的结构实例，但栅极线驱动电路 30 和源极驱动器 40 也可以作为液晶阵列部 20 的外部电路进行设置。

图 2 是表示栅极线驱动电路 30 的结构图。该栅极线驱动电路 30 由级联连接 (cascade 连接) 的多个单位移位寄存器电路 SR₁、SR₂、SR₃、SR₄、... 所构成的移位寄存器构成。(以下将单位移位寄存器电路

SR₁、SR₂、...统称为“单位移位寄存器电路 SR”)。单位移位寄存器电路 SR 在每 1 个像素线即每 1 个栅极线 GL 设置各 1 个。

另外,图 2 所示的时钟发生器 31 用来将相位各不相同的 3 相时钟信号 CLK1、CLK2、CLK3 输入到栅极线驱动电路 30 的单位移位寄存器电路 SR。这些时钟信号 CLK1、CLK2、CLK3 被控制为按照与显示装置的扫描周期同步的定时依次激活。

各个单位移位寄存器电路 SR 具有输入端子 IN、输出端子 OUT、时钟端子 CK 及复位端子 RST。如图 2 所示,时钟发生器 31 所输出的时钟信号 CLK1、CLK2、CLK3 之中的任一个被供给到各单位移位寄存器电路 SR 的时钟端子 CK 及复位端子 RST。单位移位寄存器电路 SR 的输出端子 OUT 上分别连接栅极线 GL。即,输出到输出端子 OUT 的信号(输出信号)成为用于激活栅极线 GL 的水平(或垂直)扫描脉冲。

第 1 级(第 1 梯度)的单位移位寄存器电路 SR₁ 的输入端子 IN 中输入与图像信号的各帧期间的开头相对应的开始脉冲。第 2 级以后的单位移位寄存器电路 SR 的输入端子 IN 中输入其前一级的输出信号。即,第 2 级以后的单位移位寄存器电路 SR 的输入端子 IN 连接到其前一级的单位移位寄存器电路 SR 的输出端子 OUT。

在具有这种结构的栅极线驱动电路 30 中,各单位移位寄存器电路 SR 与时钟信号 CLK1、CLK2、CLK3 同步地将从前一级输入的输入信号(前一级的输出信号)进行偏移(shifting),同时传递给相应的栅极线 GL 及其下一级的单位移位寄存器电路 SR(单位移位寄存器电路 SR 的动作将在后面详细叙述)。其结果是,一系列的单位移位寄存器电路 SR 以按照预定的扫描周期的定时依次激活栅极线 GL,发挥所谓的栅极线驱动单元的功能。

这里,为了便于说明本发明,下面说明现有的单位移位寄存器。图 3 是表示现有的单位移位寄存器电路 SR 的结构的电路图。此外,栅极线驱动电路 30 中级联连接的各单位移位寄存器电路 SR 的结构实质上都相同,因此以下只针对 1 个单位移位寄存器电路 SR 的结构进行代表性说明。另外,构成该单位移位寄存器电路 SR 的晶体管全部都是同一导电类型的场效应晶体管,在本实施方式中全部采用 N 型 TFT。

如图 3 所示,现有的单位移位寄存器电路 SR 除了已在图 2 所示的输入端子 IN、输出端子 OUT、时钟端子 CK 和复位端子 RST 之外,还具

有提供低电位侧电源电位 VSS 的第 1 电源端子 S1、共同提供高电位侧电源电位 VDD 的第 2 电源端子 S2 和第 3 电源端子 S3。这里表示的实例是在第 2 电源端子 S2 和第 3 电源端子 S3 上共同提供相同电位 (VDD)，但只要能够分别提供用来驱动晶体管 Q1 和晶体管 Q2 的足够的电位即可，也可以提供互不相同的电位。在以下的说明中，低电位侧电源电位 VSS 采用电路的基准电位 ($=0V$)，但在实际运用中基准电位是以写入像素中的数据电压为基准而设定的，例如，高电位侧电源电位 VDD 设定为 17V、低电位侧电源电位 VSS 设定为 -12V 等。

单位移位寄存器电路 SR 的输出级由在输出端子 OUT 和时钟端子 CK 之间进行连接的晶体管 Q1、在输出端子 OUT 和第 1 电源端子 S1 之间进行连接的晶体管 Q2 构成。即，晶体管 Q1 是将输入到时钟端子 CK 的时钟信号供给到输出端子 OUT 的输出上拉晶体管；晶体管 Q2 是将第 1 电源端子 S1 的电位供给到输出端子 OUT 的输出下拉晶体管。下面将构成单位移位寄存器电路 SR 的输出级的晶体管 Q1 的栅极（控制电极）所连接的节点定义为节点 N1（第 1 节点），将晶体管 Q2 的栅极（控制电极）所连接的节点定义为节点 N2（第 2 节点）。

晶体管 Q1 的栅极-源极之间（即输出端子 OUT 与节点 N1 之间）设置有电容元件 C。另外，在节点 N1 与第 2 电源端子 S2 之间连接有晶体管 Q3，其栅极连接到输入端子 IN。在节点 N1 与第 1 电源端子 S1 之间连接晶体管 Q4 及晶体管 Q5。晶体管 Q4 的栅极连接到复位端子 RST，晶体管 Q5 的栅极连接到节点 N2。

在节点 N2 与第 3 电源端子 S3 之间连接二极管接法晶体管 Q6，节点 N2 与第 1 电源端子 S1 之间连接晶体管 Q7。晶体管 Q7 的栅极连接到节点 N1。晶体管 Q7 被设定为驱动能力（使电流流过的能力）比晶体管 Q6 足够大。即，晶体管 Q7 的导通电阻小于晶体管 Q6 的导通电阻。这样一来，如果晶体管 Q7 的栅极电位上升，节点 N2 的电位就会下降；反之，如果晶体管 Q7 的栅极电位下降，节点 N2 的电位就会上升。即，晶体管 Q6 和晶体管 Q7 构成了以节点 N1 为输入端、以节点 N2 为输出端的反相器。该反相器的动作是由晶体管 Q6 和晶体管 Q7 的导通电阻值比决定的，称为“比例型反相器 (a ratio inverter)”。另外，该反相器发挥用来下拉输出端子 OUT 而驱动晶体管 Q2 的“下拉驱动电路”的功能。

下面说明图 3 的单位移位寄存器电路 SR 的具体动作。构成栅极线驱动电路 30 的各单位移位寄存器电路 SR 的动作实质上都是相同的, 因此, 这里代表性地说明第 n 级的单位移位寄存器电路 SR_n 的动作。

为了简单起见, 在说明中假定该单位移位寄存器电路 SR_n 的时钟端子 CK 中输入时钟信号 CLK1, 复位端子 RST 中输入时钟信号 CLK3(例如, 图 2 中的单位移位寄存器电路 SR_1 、 SR_4 等与此相当)。另外, 将该单位移位寄存器电路 SR_n 的输出信号定义为 G_n , 将其前一级(第 $n-1$ 级)的单位移位寄存器电路 SR 的输出信号定义为 G_{n-1} 。另外, 假定构成单位移位寄存器电路 SR 的各晶体管的阈值电压全部相等, 其值设为 V_{th} 。

首先, 假定在初始状态下节点 N1 为 L (Low) 电平 (V_{SS}), 节点 N2 为 H (High) 电平 ($V_{DD}-V_{th}$) (以后将该状态称为“复位状态”)。另外, 假定时钟端子 CK (时钟信号 CLK1)、复位端子 RST (时钟信号 CLK3)、输入端子 IN (前一级的输出信号 G_{n-1}) 都是 L 电平。在该复位状态下, 晶体管 Q1 为 OFF (截止状态)、晶体管 Q2 为 ON (导通状态), 因此, 输出端子 OUT (输出信号 G_n) 与时钟端子 CK (时钟信号 CLK1) 的电平无关地保持在 L 电平。即, 该单位移位寄存器电路 SR_n 所连接的栅极线 GL_n 处于非选择状态。

如果前一级的单位移位寄存器电路 SR_{n-1} 的输出信号 G_{n-1} 由该状态变为 H 电平, 就会被输入到相应的单位移位寄存器电路 SR_n 的输入端子 IN, 晶体管 Q3 变为 ON。此时, 节点 N2 为 L 电平, 因此晶体管 Q5 也是 ON 状态; 而晶体管 Q3 被设定为比晶体管 Q5 的驱动能力充分大, 晶体管 Q3 的导通电阻比晶体管 Q5 的导通电阻充分小, 因此节点 N1 的电平上升。

由此, 晶体管 Q7 开始导通, 节点 N2 的电平下降。这样一来, 晶体管 Q5 的电阻升高, 节点 N1 的电平迅速上升, 足够使晶体管 Q7 导通。其结果是, 节点 N2 变为 L 电平 (V_{SS}), 晶体管 Q5 变为 OFF, 节点 N1 变为 H 电平 ($V_{DD}-V_{th}$)。这样一来, 在节点 N1 为 H 电平、节点 N2 为 L 电平的状态下 (以下, 将这种状态称为“设定状态”), 晶体管 Q1 变为 ON, 晶体管 Q2 变为 OFF。其后, 前一级的输出信号 G_{n-1} 恢复为 L 电平, 晶体管 Q3 变为 OFF 状态, 而节点 N1 变为浮动状态, 因此该设定状态被保持下来。

在设定状态下, 由于晶体管 Q1 为 ON、晶体管 Q2 为 OFF, 所以接下来如果时钟端子 CK 的时钟信号 CLK1 变为 H 电平, 则输出端子 OUT 的电平上升。这时, 通过经由电容元件 C 和晶体管 Q1 的栅极-沟道间电容的耦合, 节点 N1 的电平上升特定的电压 (因此, 节点 N1 有时候也被称为“升压节点”)。因此, 即使输出端子 OUT 的电平上升, 晶体管 Q1 的栅极-源极之间的电压仍保持为大于阈值电压 (V_{th}), 该晶体管 Q1 保持低阻抗, 因此, 输出信号 Gn 的电平随着时钟端子 CK 的电平迅速变化。特别地, 当晶体管 Q1 的栅极-源极间电压足够大的情况下, 晶体管 Q1 执行非饱和区的动作 (非饱和动作), 因此不会出现阈值电压大小的损失, 输出端子 OUT 上升至与时钟信号 CLK1 相同的电平。由此, 输出信号 Gn 仅在时钟信号 CLK1 为 H 电平的期间内保持 H 电平, 使栅极线 GLn 激活而进入选择状态。此外, 时钟信号 CLK1 恢复 L 电平后, 输出信号 Gn 也随之迅速变为 L 电平, 栅极线 GLn 被放电, 恢复非选择状态。

其后, 复位端子 RST 的时钟信号 CLK3 变为 H 电平, 则晶体管 Q4 变为 ON, 因此节点 N1 变为 L 电平, 晶体管 Q7 随之变为 OFF, 因此节点 N2 变为 H 电平。即, 恢复到晶体管 Q1 为 OFF、晶体管 Q2 为 ON 的复位状态 (因此节点 N2 有时候也称为“复位节点”)。

对于以上的动作, 总而言之, 单位移位寄存器电路 SR 当输入端子 IN 中没有信号 (开始脉冲或前一级的输出信号 Gn-1) 输入的期间为复位状态, 晶体管 Q1 保持 OFF、晶体管 Q2 保持 ON, 因此, 输出端子 OUT (栅极线 GLn) 保持为低阻抗的 L 电平 (V_{SS})。然后, 当输入端子 IN 中输入信号时, 单位移位寄存器电路 SR 切换至设定状态。在设定状态下, 由于晶体管 Q1 为 ON、晶体管 Q2 为 OFF, 所以在时钟端子 CK 的信号 (时钟信号 CLK1) 为 H 电平的期间内, 输出端子 OUT (输出信号 Gn) 变为 H 电平。然后, 如果复位端子 RST 中有信号 (时钟信号 CLK3) 输入, 则恢复为原来的复位状态。

如果将依照此种方式动作的多个单位移位寄存器电路 SR 如图 2 所示级联连接构成栅极线驱动电路 30, 则输入到第 1 级的单位移位寄存器电路 SR₁ 的输入端子 IN 的输入信号 (开始脉冲) 就会如图 4 所示的时序图那样按照与时钟信号 CLK1、CLK2、CLK3 同步的定时偏移, 同时以单位移位寄存器电路 SR₂、SR₃、... 的顺序被传递。由此, 栅极线

驱动电路 30 就能够按照预定的扫描周期依次驱动栅极线 GL_1 、 GL_2 、 GL_3 、... ..。

在上述实例中表示的是多个单位移位寄存器电路 SR 基于 3 相时钟动作的实例，但也可以使用 2 相时钟信号进行动作。图 5 是表示在这种情况下栅极线驱动电路 30 的结构图。

在这种情况下，栅极线驱动电路 30 也是由级联连接的多个单位移位寄存器电路 SR 构成的。即，各单位移位寄存器电路 SR 的输入端子 IN 上连接其前一级的单位移位寄存器电路 SR 的输出端子 OUT。其中，第 1 级的单位移位寄存器电路 SR_1 的输入端子 IN 中输入开始脉冲作为输入信号。

这种情况下的时钟发生器 31 输出相互反相的 2 相时钟，即时钟信号 CLK、/CLK。各个单位移位寄存器电路 SR 的时钟端子 CK 中输入该时钟信号 CLK、/CLK 之中的一个，以便使前后相邻的单位移位寄存器电路 SR 中输入相互反相的时钟信号。另外，如图 5 所示，各单位移位寄存器电路 SR 的复位端子 RST 上连接其后一级（在该实例中是下一级）的单位移位寄存器电路 SR 的输出端子 OUT。

下面说明如图 5 所示构成的栅极线驱动电路 30 中的单位移位寄存器电路 SR 的动作。这里也是代表性地说明第 n 段的单位移位寄存器电路 SR_n 的动作。为了简单起见，在说明中假定该单位移位寄存器电路 SR_n 的时钟端子 CK 中输入时钟信号 CLK（例如，图 5 中的单位移位寄存器电路 SR_1 、 SR_3 等与此相当）。另外，将该单位移位寄存器电路 SR_n 的输出信号定义为 G_n 、其前一级（第 $n-1$ 级）的单位移位寄存器电路 SR_{n-1} 和下一级（第 $n+1$ 级）的单位移位寄存器电路 SR_{n+1} 的输出信号分别定义为 G_{n-1} 和 G_{n+1} 。

首先，假定初始状态是节点 N1 为 L 电平（VSS）、节点 N2 为 H 电平（ $VDD-V_{th}$ ）的复位状态。另外，假定时钟端子 CK（时钟信号 CLK）、复位端子 RST（下一级的输出信号 G_{n+1} ）、输入端子 IN（前一级的输出信号 G_{n-1} ）都是 L 电平。

从该状态，如果前一级的输出信号 G_{n-1} 变为 H 电平，其输入到相应的单位移位寄存器电路 SR_n 的输入端子 IN，晶体管 Q3 变为 ON，节点 N1 的电平上升。由此，晶体管 Q7 开始导通，节点 N2 的电平下降。这样一来，晶体管 Q5 的电阻升高，节点 N1 的电平迅速上升，足够使

晶体管 Q7 导通。其结果是, 节点 N2 变为 L 电平 (VSS), 晶体管 Q5 变为 OFF, 节点 N1 变为 H 电平 ($V_{DD}-V_{th}$)。其结果是, 晶体管 Q1 变为 ON、晶体管 Q2 变为 OFF, 成为设定状态。

此外, 如果时钟信号 CLK 变为 H 电平、输出端子 OUT 的电平上升, 则通过电容元件 C 和晶体管 Q1 的栅极-沟道间电容的耦合, 节点 N1 的电平上升特定的电压。因此, 输出信号 Gn 的电平随着时钟端子 CK 的电平而变化, 在时钟信号 CLK 为 H 电平的期间内, 输出信号 Gn 也变为 H 电平, 栅极线 GLn 被激活 (成为选择状态)。其后, 当时钟信号 CLK 恢复到 L 电平, 输出信号 Gn 也恢复到 L 电平, 栅极线 GLn 恢复为非选择状态。

输出信号 Gn 被传递到下一级的单位移位寄存器电路 SR_{n+1} 之后, 从那里输出的输出信号 Gn+1 变为 H 电平时, 其输入到复位端子 RST, 晶体管 Q4 变为 ON, 节点 N1 变为 L 电平。晶体管 Q7 随之变为 OFF, 因此节点 N2 变为 H 电平。即, 该单位移位寄存器电路 SR_n 恢复到复位状态, 晶体管 Q1 变为 OFF、晶体管 Q2 变为 ON。

依照此种方式, 即使在栅极线驱动电路 30 如图 5 所示构成的情况下, 各个单位移位寄存器电路 SR 的动作除了复位端子 RST 中输入的信号是后一级的输出信号 Gn+1 之外, 与图 2 所示结构的情况大致相同。

图 5 所示的级联连接的单位移位寄存器电路 SR₁、SR₂、... 依次执行上述动作。由此, 第 1 级的单位移位寄存器电路 SR₁ 的输入端子 IN 中输入的输入信号 (开始脉冲) 与时钟信号 CLK、/CLK 同步偏移, 并同时按顺序传递到单位移位寄存器电路 SR₂、SR₃、...。其结果是, 栅极线驱动电路 30 能够按照如图 6 所示的时序图与时钟信号 CLK、/CLK 同步地依次驱动栅极线 GL₁、GL₂、GL₃、...。

但是, 在图 5 的结构中, 各单位移位寄存器电路 SR 在复位端子 RST 中输入下一级的单位移位寄存器电路 SR 的输出信号 Gn+1, 因此, 至少要下一级的单位移位寄存器电路 SR 动作一次后才能变为复位状态 (即上述的初始状态)。各单位移位寄存器电路 SR 若不经复位状态, 则不能执行如图 6 所示的通常动作。因此, 在采用图 5 结构的情况下, 在执行通常动作之前必须执行仿真动作 (dummy operation), 将仿真的输入信号从单位移位寄存器电路 SR 的第 1 级传递到最后级。或者, 也可以在各单位移位寄存器电路 SR 的节点 N2 与第 3 电源端子 S3 (高

电位侧电源)之间另行设置复位用晶体管,在执行通常动作之前执行对节点 N2 强制充电的复位动作。但是,在此情况下需要另外的复位用信号线。

这里详细说明先前叙述的现有的单位移位寄存器电路 SR 中的误动作问题。下面假定构成单位移位寄存器电路 SR 的各晶体管是 a-Si TFT。

在图 6 的最下方表示了图 5 的栅极线驱动电路 30 中的单位移位寄存器电路 SR₁ 的节点 N2 的电压波形。如上所述,输入端子 IN 的信号(开始脉冲或前一级的输出信号 G_{n-1})变为 H 电平后,节点 N2 就会迁移至 L 电平,但马上就会被复位端子 RST 的信号(下一级的输出信号 G_{n+1})恢复为 H 电平,之后,在约 1 帧期间(约 16ms)内保持 H 电平(虽然在图示中省略了,但该行为在图 2 的情况下也是这样)。即,晶体管 Q2 和晶体管 Q5 的栅极在约 1 帧期间内被持续(直流式)正偏压,并在各帧中重复。由此,当单位移位寄存器电路 SR 由 a-Si TFT 构成的情况下,会出现晶体管 Q2、Q5 的阈值电压向正向偏移、驱动能力下降的问题。

在复位状态下的晶体管 Q5 的驱动能力下降时,例如晶体管 Q1 的栅极与源极/漏极之间的叠加电容所导致的节点 N1 中产生的噪声等引起的电荷就不能迅速释放掉,节点 N1 的电平有可能会上升。这样一来,当处于 OFF 状态的晶体管 Q1 的阻抗值会下降而时钟信号 CLK 变为 H 电平时就会对输出端子 OUT 供给不需要的电荷。进而,如果此时晶体管 Q2 的驱动能力下降,就无法将因噪声而产生的输出端子 OUT 的电荷迅速释放,导致输出端子 OUT 的电平上升。即,会产生应处于非选择状态的栅极线变为选择状态的误动作,导致液晶显示装置 10 的显示故障。

如前面所述那样,在非专利文献 1 中,在单位移位寄存器电路中设置 2 个输出下拉晶体管,使该两者按每一帧交替动作/休止,由此避免使一个输出下拉晶体管的栅电极被持续偏压,这样就可以避免这种故障。但是,在单位移位寄存器电路内也需要 2 个对此进行驱动的电路(下拉驱动电路),因此忧虑由此引起的电力消耗的上升。下面说明本发明的移位寄存器电路,其特征是既抑制了电力消耗的上升,又能够解决上述故障。

图7是表示第1实施方式的单位移位寄存器电路SR的结构的电路图。在该图中,该单位移位寄存器电路SR的输出级由在输出端子OUT和时钟端子CK之间进行连接的晶体管Q1、共同在输出端子OUT和第1电源端子S1之间进行连接的晶体管Q2A、Q2B构成。即,晶体管Q1是将输入到时钟端子CK的时钟信号供给到输出端子OUT的第1晶体管;晶体管Q2A、Q2B是分别将第1电源端子S1的电位供给到输出端子OUT的第2和第3晶体管。这里,如图7所示,将晶体管Q1的栅极(控制电极)所连接的节点定义为节点N1、将晶体管Q2A的栅极所连接的节点定义为节点N2A,将晶体管Q2B的栅极所连接的节点定义为节点N2B。

晶体管Q1的栅极与源极之间、即节点N1与输出端子OUT之间设置有电容元件C。节点N1与第2电源端子S2之间由栅极连接到输入端子IN的晶体管Q3连接,节点N1与第1电源端子S1之间由栅极连接到复位端子RST的晶体管Q4、栅极连接到节点N2A的晶体管Q5A、以及栅极连接到节点N2B的晶体管Q5B连接。

本实施方式的单位移位寄存器电路SR具有输入预定的第1控制信号VFR的第1控制端子CTA和输入第2控制信号/VFR的第2控制端子CTB。第1控制信号VFR与第2控制信号/VFR是互补信号,是由用来驱动栅极线驱动电路30的驱动控制装置(未图示)生成。该第1控制信号VFR和第2控制信号/VFR优选是控制为在显示图像的帧之间的空白(blanking)期间内切换电平(交替),例如,控制为按显示图像的每1帧进行电平切换。

在第1控制端子CTA与节点N2A之间连接晶体管Q8A,在第2控制端子CTB与节点N2B之间连接晶体管Q8B。晶体管Q8A的栅极连接到晶体管Q8B的漏极(节点N2B),晶体管Q8B的栅极连接到晶体管Q8A的漏极(节点N2A)。即,晶体管Q8A和晶体管Q8B各自的主电极(这里是漏极)交叉连接到对方的控制电极(栅极),构成所谓的双稳态触发器电路。

晶体管Q6A以二极管接法连接,在节点N2A与第1控制端子CTA之间进行连接。晶体管Q7A在节点N2A与第1电源端子S1之间进行连接,栅极连接到节点N1。这些晶体管Q6A、Q7A构成了以节点N1为输入端、节点N2A为输出端的比例型反相器,但与通常的反相器不同,

其电源由第 1 控制信号 VFR 提供。

另外，晶体管 Q6B 以二极管接法连接，在节点 N2B 与第 2 控制端子 CTB 之间进行连接。晶体管 Q7B 在节点 N2B 与第 1 电源端子 S1 之间进行连接，栅极连接到节点 N1。这些晶体管 Q6B、Q7B 构成了以节点 N1 为输入端、节点 N2B 为输出端的比例型反相器，但与通常的反相器不同，其电源由第 2 控制信号/VFR 提供。下面将由晶体管 Q6A、Q7A 构成的反相器称为“第 1 反相器”，将由晶体管 Q6B、Q7B 构成的反相器称为“第 2 反相器”。

图 8 是表示第 1 实施方式的单位移位寄存器电路 SR 的动作的时序图。下面参照图 8 说明图 7 所示的本实施方式中的单位移位寄存器电路 SR 的动作。图 7 的单位移位寄存器电路 SR 也可以应用于上述图 2 和图 5 的任意一个结构的栅极线驱动电路 30，这里表示的是如图 5 所示的将移位寄存器 SR 级联连接构成栅极线驱动电路 30 的情形下的动作。此外，第 1 控制信号 VFR 和第 2 控制信号/VFR 被输入到级联连接的全部单位移位寄存器电路 SR 中。

这里也代表性地说明第 n 级的单位移位寄存器电路 SR_n 的动作，说明该单位移位寄存器电路 SR_n 的时钟端子 CK 中输入时钟信号 CLK 的情形。另外，假定该单位移位寄存器电路 SR_n 的输出信号为 G_n 、其前一级（第 $n-1$ 级）的单位移位寄存器电路 SR_{n-1} 和下一级（第 $n+1$ 级）的单位移位寄存器电路 SR_{n+1} 的输出信号分别为 G_{n-1} 和 G_{n+1} 。

另外，为了简化说明，假定时钟信号 CLK、/CLK 的 H 电平和第 1 控制信号 VFR 及第 2 控制信号/VFR 的 H 电平全部与高电位侧电源电位 VDD 相等。另外，假定第 1 控制信号 VFR 和第 2 控制信号/VFR 被控制为按显示图像的每 1 帧进行电平切换。进一步，假定构成单位移位寄存器电路 SR 的各晶体管的阈值电压全部相等，其值设为 V_{th} 。

如图 8 所示，在帧期间和帧期间之间的空白期间（省略图示）的时刻 t_1 ，第 1 控制信号 VFR 为 H 电平，第 2 控制信号/VFR 为 L 电平。第 1 控制信号 VFR 输入到单位移位寄存器电路 SR_n 的第 1 控制端子 CTA，因此，晶体管 Q6A 的漏极和栅极的电位从 VSS 变为 VDD，该晶体管 Q6A 变为 ON。即，电源被供给到由晶体管 Q6A、Q7A 构成的第 1 反相器，该第 1 反相器被激活。此时，晶体管 Q5B 处于 ON 状态，节点 N1 处于 L 电平状态（即栅极线 GL_n 的非选择状态），因此，晶体管 Q7A 处

于 OFF 状态, 节点 N2A 的电平上升。

另一方面, 第 2 控制信号/VFR 被输入到第 2 控制端子 CTB, 因此, 晶体管 Q6B 的漏极和栅极的单位从 VDD 变为 VSS。即, 由晶体管 Q6B、Q7B 构成的第 2 反相器上不提供电源。晶体管 Q6B 发挥以第 2 控制端子 CTB 至节点 N2B 的方向为正向的二极管功能, 因此, 节点 N2B 的电荷不会通过晶体管 Q6B 而放电。但是, 如上所述, 节点 N2A 的电平上升, 并且晶体管 Q8B 的源极 (第 2 控制端子 CTB) 为 VSS, 因此, 晶体管 Q8B 变为 ON, 将节点 N2B 置为 L 电平 (VSS)。相应地, 晶体管 Q8A 变为 OFF, 节点 N2A 变为 H 电平 ($VDD-V_{th}$)。即, 在时刻 t_1 之后, 由晶体管 Q8A、Q8B 构成的双稳态触发器电路中的电位分布成为图 9 (a) 所示。

依照此种方式, 在第 1 控制信号 VFR 为 H 电平、第 2 控制信号/VFR 为 L 电平的期间内, 第 2 反相器不激活, 因此节点 N2B 固定为 L 电平。由此, 在此期间内的晶体管 Q2B 和晶体管 Q5B, 其栅极不会被偏压, 从而处于休止状态。也就是说, 在此期间内, 该单位移位寄存器电路 SR 中通过晶体管 Q1、Q2A、Q3、Q4、Q5A、Q6A、Q7A 的组合构成了与图 3 所示的单位移位寄存器电路 SR 等效的电路, 可以执行同样的动作。

即, 在时刻 t_2 , 如果前一级的输出信号 G_{n-1} 变为 H 电平, 则其输入到输入端子 IN 而晶体管 Q3 变为 ON。这时, 晶体管 Q5A 也处于 ON 状态, 而晶体管 Q3 的导通电阻设定为比晶体管 Q5A 的导通电阻充分低, 节点 N1 变为 H 电平 ($VDD-V_{th}$), 晶体管 Q1 变为 ON。

由晶体管 Q6A、Q7A 构成的第 1 反相器以节点 N1 为输入端、以节点 N2A 为输出端, 因此, 节点 N1 变为 H 电平时, 节点 N2A 就变为 L 电平。相应地, 晶体管 Q2A、Q5A 变为 OFF。这里, 该第 1 反相器是比例型反相器, 因此, L 电平输出的电位是由晶体管 Q6A、Q7A 的导通电阻之比决定的值。即, 在将节点 N2A 置为 L 电平的期间, 晶体管 Q6A、Q7A 两者都变为 ON, 因此, 贯通电流从第 1 控制端子 CTA 通过晶体管 Q6A、Q7A 流向第 1 电源端子 S1, 将消耗一定的电力。

其后, 前一级的输出信号 G_{n-1} 恢复为 L 电平时, 晶体管 Q3 变为 OFF 状态, 而节点 N1 变为浮动状态, 因此节点 N1 的 H 电平被保持下来。此外, 在时刻 t_3 , 当时钟信号 CLK 变为 H 电平时, 晶体管 Q1 处于 ON 状态, 因此, 该时钟信号 CLK 的 H 电平被供给到输出端子 OUT, 输出信

号 G_n 变为 H 电平。这时, 通过经由电容元件 C 和晶体管 Q1 的栅极-沟道间电容的耦合, 节点 N1 的电平随着输出信号 G_n 的电平上升而上升特定的电压。因此, 晶体管 Q1 的源极-栅极间电压保持较高值, 该晶体管 Q1 被保持在低阻抗状态, 因此, 输出信号 G_n 的电平迅速追随时钟信号 CLK 的电平。因此, 其后当时钟信号 CLK 恢复到 L 电平时, 输出信号 G_n 也迅速恢复到 L 电平。

此外, 在时刻 t_4 , 下一级的移位寄存器的输出信号 G_{n+1} 变为 H 电平时, 其被输入到复位端子 RST, 晶体管 Q4 变为 ON。其结果是, 节点 N1 变为 L 电平, 晶体管 Q7A 变为 OFF, 节点 N2A 恢复到 $H(V_{DD}-V_{th})$ 状态。其后, 该状态一直保持到在下一空白期间的时刻 t_5 第 1 控制信号 VFR 和第 2 控制信号/VFR 的电平发生反转为止。

此外, 在时刻 t_5 , 第 1 控制信号 VFR 变为 L 电平、第 2 控制信号/VFR 变为 H 电平时, 与一直以来的情形相反, 由晶体管 Q6B、Q7B 构成的第 2 反相器被激活, 节点 N2B 变为 H 电平。相应地, 晶体管 Q8A 变为 ON, 并且晶体管 Q6A 的漏极 (第 1 控制端子 CTA) 的电位为 VSS, 第 1 反相器不会被激活, 因此, 节点 N2A 变为 L 电平 (VSS)。

即, 在时刻 t_5 之后的第 1 控制信号 VFR 为 L 电平、第 2 控制信号/VFR 为 H 电平的期间内, 由晶体管 Q8A、Q8B 构成的双稳态触发器电路中的电位分布成为如图 9(b) 所示。由此, 在此期间内, 晶体管 Q2A、Q5A 的栅极没有施加偏压, 该晶体管 Q2A、Q5A 处于休止状态。另外, 第 1 反相器也因为没有电源供应而不产生动作, 因此, 在该电位移位寄存器电路 SR 中, 通过晶体管 Q1、Q2B、Q3、Q4、Q5B、Q6B、Q7B 的组合构成了与图 3 所示的单位移位寄存器电路 SR 等价的电路, 由此执行与上述的时刻 $t_1 \sim t_5$ 相同的动作。

依照此种方式, 图 7 的单位移位寄存器电路 SR 能够执行与图 3 所示的现有电路相同的动作。此外, 每当第 1 控制信号 VFR 和第 2 控制信号/VFR 反转时, 晶体管 Q2A、Q5A 的配对和晶体管 Q2B、Q5B 的配对交替进入休止状态, 因此, 能够防止这些栅极被直流式偏压 (dc-biased)。因此, 能够防止 a-Si TFT 的阈值偏移导致的误动作, 提高动作的可靠性。

另外, 本实施方式中的单位移位寄存器电路 SR 具有由晶体管 Q6A、Q7A 构成的第 1 反相器和由晶体管 Q6B、Q7B 构成的第 2 反相器

这 2 个反相器, 该第 1 和第 2 反相器在互补信号即第 1 控制信号 VFR 和第 2 控制信号/VFR 每次反转时交替地被激活。即, 第 1 和第 2 反相器发挥驱动电路的功能, 其根据第 1 控制信号 VFR 和第 2 控制信号/VFR 交替驱动晶体管 Q2A、Q2B。第 1 和第 2 反相器这两者不会同时被激活, 因此, 所消耗的电力与 1 个反相器的情形相等, 抑制了电力消耗的上升。

另外, 本实施方式的单位移位寄存器电路 SR 中, 晶体管 Q8A、Q8B 构成了双稳态触发器电路, 但其与通常的双稳态触发器电路不同, 晶体管 Q8A、Q8B 的源极上分别输入第 1 控制信号 VFR 和第 2 控制信号/VFR。例如, 在上述时刻 t_2 , 需要通过由晶体管 Q7A、Q8A 构成的反相器的输出将晶体管 Q8B 置为 ON, 但此时晶体管 Q8A 的源极电位 (第 1 控制信号 VFR) 为 VDD。为此, 即使从由晶体管 Q6A、Q7A 构成的反相器所流出的电流很小, 节点 N2A 的电位充分上升而也能够使晶体管 Q8B 变为 ON, 因此可抑制电力消耗的增加。

如果假定晶体管 Q8A、Q8B 的源极电位如通常的双稳态触发器电路那样固定为 VSS, 则为了使节点 N2A 的电平充分上升, 就必须使晶体管 Q6A 的驱动能力比晶体管 Q8A 充分大, 电力消耗也会增大。另外, 比例型反相器的动作是由 2 个晶体管的导通电阻之比决定的, 因此, 如果晶体管 Q6A 的驱动能力增大, 则晶体管 Q7A 的驱动能力也必须增大, 该反相器的电力消耗也增大。在图 7 的单位移位寄存器电路 SR 中也解决了这个问题。

晶体管 Q8A、Q8B 的源极上分别输入第 1 控制信号 VFR 和第 2 控制信号/VFR 的做法还有其他优点。即, 在第 1 控制信号 VFR 为 H 电平、第 2 控制信号/VFR 为 L 电平的期间内, 除了栅极线 GL 的选择期间之外, 晶体管 Q8A、Q8B 的电位分布成为如图 9(a) 所示, 晶体管 Q8A 的栅极相对于源极负偏压。反之, 在第 1 控制信号 VFR 为 L 电平、第 2 控制信号/VFR 为 H 电平的期间内, 除了栅极线 GL 的选择期间之外, 晶体管 Q8A、Q8B 的电位分布成为如图 9(b) 所示, 晶体管 Q8B 的栅极相对于源极负偏压。

依照此种方式, 晶体管 Q8A、Q8B 的栅极相对于源极定期地负偏压, 因此, 能够有效地抑制该晶体管 Q8A、Q8B 的阈值电压的正向偏移。由此能够抑制晶体管 Q8A、Q8B 的驱动能力的下降, 能够使节点 N2A 和节

点 N2B 以低阻抗提供 L 电平的电位 (VSS)。其结果是, 能够获得很好的抑制晶体管 Q2A、Q2B、Q5A、Q5B 的阈值电压偏移的效果。

此外, 在以上说明中, 第 1 控制信号 VFR 和第 2 控制信号/VFR 在每 1 帧的空白期间内电平发生切换(交替), 但其周期可以是任意的, 例如也可以以 2 帧以上的周期进行切换。但是, 该周期如果过长, 则在此期间晶体管 Q2A、Q2B、Q5A、Q5B 的阈值电压就有可能大幅度偏移, 本发明的效果难以充分发挥, 因此, 优选是如本实施方式这样采用 1 帧为周期。另外, 进行交替的定时也不需要一定是在空白期间内, 但在单位移位寄存器电路 SR 的动作过程中的切换, 有可能在电路中产生电压变化, 因寄生电容而导致动作速度的延迟等故障。因此, 优选是如上述实例那样在空白期间内执行。

第 2 实施方式

在第 1 实施方式的单位移位寄存器电路 SR 中, 构成第 1 反相器的晶体管 Q6A 和构成第 2 反相器的晶体管 Q6B 分别采用二极管接法连接。即, 其结构是, 晶体管 Q6A 的栅极和漏极这两者连接到第 1 控制信号 VFR 被输入的第 1 控制端子 CTA, 晶体管 Q6B 的栅极和漏极这两者连接到第 2 控制信号/VFR 被输入的第 2 控制端子 CTB。

图 10 是表示第 2 实施方式的单位移位寄存器电路 SR 的电路图。如该图所示, 晶体管 Q6A 的栅极连接到第 1 控制端子 CTA, 其漏极连接到有高电位侧电源电位 VDD 供给的第 3 电源端子 S3。同样地, 晶体管 Q6B 的栅极连接到第 2 控制端子 CTB, 其漏极连接到第 3 电源端子 S3。

即, 在本实施方式中, 第 1 反相器是由晶体管 Q6A 和晶体管 Q7A 构成, 其中, 晶体管 Q6A 具有在节点 N2A 与第 3 电源端子 S3 之间进行连接、并输入了第 1 控制信号 VFR 的栅极, 晶体管 Q7A 具有在节点 N2A 与第 1 电源端子之间进行连接、并连接到节点 N1 的栅极。另外, 第 2 反相器是由晶体管 Q6B 和晶体管 Q7B 构成的, 其中, 晶体管 Q6B 具有在节点 N2B 与第 3 电源端子 S3 之间进行连接、并输入了第 2 控制信号/VFR 的栅极, 晶体管 Q7B 具有在节点 N2B 与第 1 电源端子 S1 之间进行连接、并连接到节点 N1 的栅极。

与第 1 实施方式的单位移位寄存器电路 SR (图 7) 相比, 其不同点在于晶体管 Q6A、Q6B 的漏极供给有高电位侧电源电位 VDD, 但其动作大致相同。因此, 通过本实施方式也能够获得与第 1 实施方式相同

的效果。

另外，根据图 10 的结构，与图 3 相比，第 1 控制信号 VFR 和第 2 控制信号/VFR 的负载电容减少，因此其优点是进一步减少了电力消耗。

第 3 实施方式

图 11 是表示本发明的第 3 实施方式的单位移位寄存器电路 SR 的结构的电路图。在本实施方式中，将晶体管 Q3 的漏极连接到输入端子 IN 而不是电源。由此能够减少用于电源供给的布线所占用的面积。但是也必须注意以下情况，即输入端子 IN 上连接其前一级的输出端子 OUT，所以对各单位移位寄存器电路 SR 的输出级的负载变大，因而电路动作速度下降的情况。

此外，在图 11 中表示的是将本实施方式应用于第 1 实施方式（图 7）的电路中的实例，但也可以应用于第 2 实施方式（图 10）的电路。

第 4 实施方式

包含 TFT 的场效应晶体管当栅电极上施加阈值电压以上的电压时，通过隔着半导体基板内的栅极绝缘膜的栅电极正下方所形成的导电性沟道在漏极-源极之间产生电连接，由此实现导通。因此，处于导通状态的场效应晶体管在栅极-沟道之间具有一定的静电电容（栅极电容）。即，能够发挥以半导体基板内的沟道和栅电极作为 2 个电极、以栅极绝缘膜作为介质层的电容元件的功能。这种电容元件被称为“MOS(Metal-Oxide Semiconductor: 金属氧化物半导体)电容元件”。

图 12 是表示第 4 实施方式的单位移位寄存器电路 SR 的结构的电路图。在上述实施方式中，为了有效地实现节点 N1 的升压而在晶体管 Q1 的漏极-源极之间设置了电容元件 C，但在本实施方式中，将其置换为晶体管 Q1 的栅极电容。在此情况下，如图 12 的电路图所示，不再需要电容元件 C。

通常，作为在半导体集成电路内形成的电容元件的介质层的绝缘膜的厚度与晶体管的栅极绝缘膜的厚度相同，因此，在将电容元件置换为晶体管的栅极电容的情况下，可以使用与该电容元件面积相同的晶体管代替。即，在图 12 中，通过将晶体管 Q1 的栅极宽度做得足够大，就能够实现与上述实施方式相同的动作。另外，由于是通过加大晶体管 Q1 的栅极宽度来提高其驱动能力，因此，其结果是输出信号的

上升和下降速度提高，还具有能够实现动作的高速化的优点。

此外，在图 12 中表示的是将本实施方式应用于第 1 实施方式（图 7）的电路中的实例，但也可以应用于第 2、3 实施方式（图 10、图 11）等的电路中。

第 5 实施方式

在本实施方式中表示的是用来实现上述实施方式中的单位移位寄存器电路 SR 动作的高速化的结构。图 13 是表示第 5 实施方式的单位移位寄存器电路 SR 的结构的电路图。如该图所示，节点 N2A 与第 1 控制端子 CTA 之间（与晶体管 Q6A 并列）设置了具有连接到复位端子 RST 的栅极的晶体管 Q11A，节点 N2A 与第 1 电源端子 S1 之间（与晶体管 Q7A 并列）设置了具有连接到输入端子 IN 的栅极的晶体管 Q12A。另外，节点 N2B 与第 2 控制端子 CTB 之间（与晶体管 Q6B 并列）设置了具有连接到复位端子 RST 的栅极的晶体管 Q11B，节点 N2B 与第 1 电源端子 S1 之间（与晶体管 Q7B 并列）设置了具有连接到输入端子 IN 的栅极的晶体管 Q12B。除此之外，与第 1 实施方式（图 7）相同。

例如，针对第 1 控制信号 VFR 为 H 电平、第 2 控制信号/VFR 为 L 电平的情形加以考察。这种情况下，前一级的输出信号 G_{n-1} 变为 H 电平时，晶体管 Q12A 就会变为 ON，因此，第 1 反相器的输出端即节点 N2A 高速迁移至 L 电平。由此，晶体管 Q5A 变为 OFF，因此节点 N1 高速迁移至 H 电平。另外，下一级的输出信号 G_{n+1} 变为 H 电平时，晶体管 Q11A 就会变为 ON，因此，节点 N2A（作为第 1 反相器的输出端）高速迁移至 H 电平。由此，晶体管 Q5A 变为 ON，节点 N1 高速迁移至 L 电平。

依照此种方式，通过晶体管 Q11A、Q12A 的作用，节点 N1 和节点 N2A 的电平迁移能够高速实现。同样地，晶体管 Q11B、Q12B 高速实现了节点 N1 和节点 N2B 的电平迁移。因此，根据本实施方式，能够实现比第 1 实施方式更高速的动作。

另外，上述技术也可以应用于第 2 实施方式（图 10）的单位移位寄存器电路 SR。在此情况下，如图 14 所示，节点 N1 与第 3 电源端子 S3 之间（与晶体管 Q6A 并列）设置串联连接的晶体管 Q11A、Q13A。晶体管 Q11A 的栅极连接到复位端子 RST，晶体管 Q13A 的栅极连接到第 1 控制端子 CTA。同样地，节点 N1 与第 3 电源端子 S3 之间（与晶体管

Q6B 并列)设置串联连接的晶体管 Q11B、Q13B。晶体管 Q11B 的栅极连接到复位端子 RST, 晶体管 Q13B 的栅极连接到第 2 控制端子 CTB。

与图 13 的情形相同, 通过晶体管 Q11A、Q12A、Q13A 的作用, 节点 N1 和节点 N2A 的电平迁移能够高速进行。同样地, 晶体管 Q11B、Q12B、Q13B 高速实现了节点 N1 和节点 N2B 的电平迁移。因此, 根据本实施方式, 能够实现比第 1 实施方式更高速的动作。此外, 晶体管 Q13A 防止了在第 1 控制信号 VFR 处于 L 电平的期间内应保持在 L 电平的节点 N2A 被晶体管 Q11A 充电。同样地, 晶体管 Q13B 防止了在第 2 控制信号/VFR 处于 L 电平的期间内应保持在 L 电平的节点 N2B 被晶体管 Q11B 充电。

此外, 在本实施方式中, 晶体管 Q11A、Q12A、Q13A、Q11B、Q12B、Q13B 的驱动能力越大, 动作高速化的效果越大。晶体管 Q11A、Q12A、Q11B、Q12B 中没有贯通电流流过, 因此, 即使增大栅极宽度, 电力消耗的增加也很小。因此, 既能够抑制电力消耗的增加, 又能够实现动作的高速化。

此外, 上述第 3、4 实施方式也适用于本实施方式。

第 6 实施方式

图 15 是第 6 实施方式的单位移位寄存器电路 SR 的电路图。在本实施方式中, 将第 1 实施方式(图 7)中晶体管 Q8A、Q8B 相互连接到栅极的主电极改为源极。即, 在图 7 的电路中晶体管 Q8A、Q8B 的 ON/OFF 切换分别是利用第 1 和第 2 反相器的输出实现的, 而在本实施方式中则是利用第 1 控制信号 VFR 和第 2 控制信号/VFR 来实现。除此之外, 电路动作与图 7 相同。因此, 借助于本实施方式也能够获得与第 1 实施方式相同的效果。

在图 15 的单位移位寄存器电路 SR 中, 在第 1 控制信号 VFR 为 H 电平、第 2 控制信号/VFR 为 L 电平的期间内, 除了栅极线 GL 的选择期间之外, 晶体管 Q8A、Q8B 的电位分布成为如图 16(a)所示, 晶体管 Q8A 的栅极相对于源极负偏压。反之, 在第 1 控制信号 VFR 为 L 电平、第 2 控制信号/VFR 为 H 电平的期间内, 除了栅极线 GL 的选择期间之外, 晶体管 Q8A、Q8B 的电位分布成为如图 16(b)所示, 晶体管 Q8B 的栅极相对于源极负偏压。

依照此种方式, 在本实施方式中, 晶体管 Q8A、Q8B 的栅极相对于

源极定期地负偏压,因此,能够有效地抑制该晶体管 Q8A、Q8B 的阈值电压的正向偏移。由此能够抑制晶体管 Q8A、Q8B 的驱动能力的下降,能够使节点 N2A 和节点 N2B 以低阻抗提供 L 电平的电位 (VSS)。其结果是,能够获得很好的抑制晶体管 Q2A、Q2B、Q5A、Q5B 的阈值电压偏移的效果。

此外,上述第 3~第 5 实施方式也可以应用于本实施方式。

第 7 实施方式

在上述实施方式中,使用 2 个反相器实现晶体管 Q2A、Q2B 的交替驱动,但在本实施方式中使用 1 个反相器实现同样的动作。

图 17 是表示第 7 实施方式的单位移位寄存器电路 SR 的结构的电路图。在该单位移位寄存器电路 SR 中,将晶体管 Q2A、Q2B 驱动的驱动电路由以下部分构成:由晶体管 Q6、Q7 构成的反相器、在该反相器的输出端(定义为“节点 N3”)与节点 N2A 之间进行连接的晶体管 Q9A、在节点 N3 与节点 N2B 之间进行连接的晶体管 Q9B。晶体管 Q9A 的栅极连接到有第 1 控制信号 VFR 输入的第 1 控制端子 CTA,晶体管 Q9B 的栅极连接到有第 2 控制信号/VFR 输入的第 2 控制端子 CTB。另外,在上述反相器中,晶体管 Q6 以二极管接法连接在节点 N3 与第 3 电源端子 S3 之间,晶体管 Q7 设置在节点 N3 与第 1 电源端子 S1 之间,其栅极连接到节点 N1。

在本实施方式中,当第 1 控制信号 VFR 为 H 电平、第 2 控制信号/VFR 为 L 电平的期间时,晶体管 Q9A 变为 ON、晶体管 Q9B 变为 OFF,因此,反相器的输出端即节点 N3 被电连接到节点 N2A。即,在此期间,晶体管 Q2A 被驱动,而晶体管 Q2B 则处于休止状态。反之,当第 1 控制信号 VFR 为 L 电平、第 2 控制信号/VFR 为 H 电平的期间时,晶体管 Q9A 变为 OFF、晶体管 Q9B 变为 ON,因此,节点 N3 与节点 N2B 电连接。即,在此期间,晶体管 Q2B 被驱动,而晶体管 Q2A 则处于休止状态。依照此种方式,晶体管 Q9A、Q9B 发挥切换电路的功能,基于第 1 控制信号 VFR 和第 2 控制信号/VFR 将由晶体管 Q6、Q7 构成的反相器的输出端(节点 N3)交替连接到节点 N2A 和节点 N2B。

在本实施方式中也一样,每当第 1 控制信号 VFR 和第 2 控制信号/VFR 反转时,晶体管 Q2A、Q5A 的配对和晶体管 Q2B、Q5B 的配对交替进入休止状态,因此,能够防止这些栅极被直流式偏压。因而,能够

防止 a-Si TFT 的阈值偏移导致的误动作, 提高动作的可靠性。另外, 在本实施方式中使用 1 个反相器驱动晶体管 Q2A、Q2B, 因此抑制了电力消耗的上升。

另外, 例如与第 1 实施方式相比, 栅极连接到节点 N1 的晶体管很少, 连接到节点 N1 的晶体管的栅极电容减小。由此降低了节点 N1 的寄生电容, 能够提高时钟端子 CK 所产生的节点 N1 的升压量。其结果是, 提高了输出信号 Gn 输出时的晶体管 Q1 的驱动能力, 具有可以实现动作的高速化的优点。

进一步, 也可以将第 5 实施方式应用于由晶体管 Q6、Q7 构成的反相器。图 18 表示在此情况下的电路图。如该图所示, 节点 N3 与第 3 电源端子 S3 之间(与晶体管 Q6 并列)设置了具有连接到复位端子 RST 的栅极的晶体管 Q11, 节点 N3 与第 1 电源端子 S1 之间(与晶体管 Q7 并列)设置了具有连接到输入端子 IN 的栅极的晶体管 Q12。由此, 可以实现更高速的动作。

此外, 并不限于第 5 实施方式, 上述第 3、4、6 实施方式也可以应用于本实施方式。

第 8 实施方式

在第 1 实施方式(图 7)的电路中, 输出端子 OUT(输出信号 Gn)变为 H 电平时, 节点 N1 成为 H 电平, 因此, 晶体管 Q7A、Q7B 都变为 ON。由此, 此时的节点 N2A、N2B 均以低阻抗成为 L 电平。然而, 在第 7 实施方式的电路(图 17)中, 例如当第 1 控制信号 VFR 为 H 电平、第 2 控制信号/VFR 为 L 电平时, 节点 N2B 以高阻抗成为 L 电平状态。在此状态下, 如果输出信号 Gn 从 L 电平迁移至 H 电平, 则通过经由晶体管 Q2B 的漏极-栅极之间的叠加电容的耦合, 导致节点 N2B 的电平上升。其问题是, 这样一来, 晶体管 Q2B 导通, 输出信号 Gn 的 H 电位的电位有可能会下降。

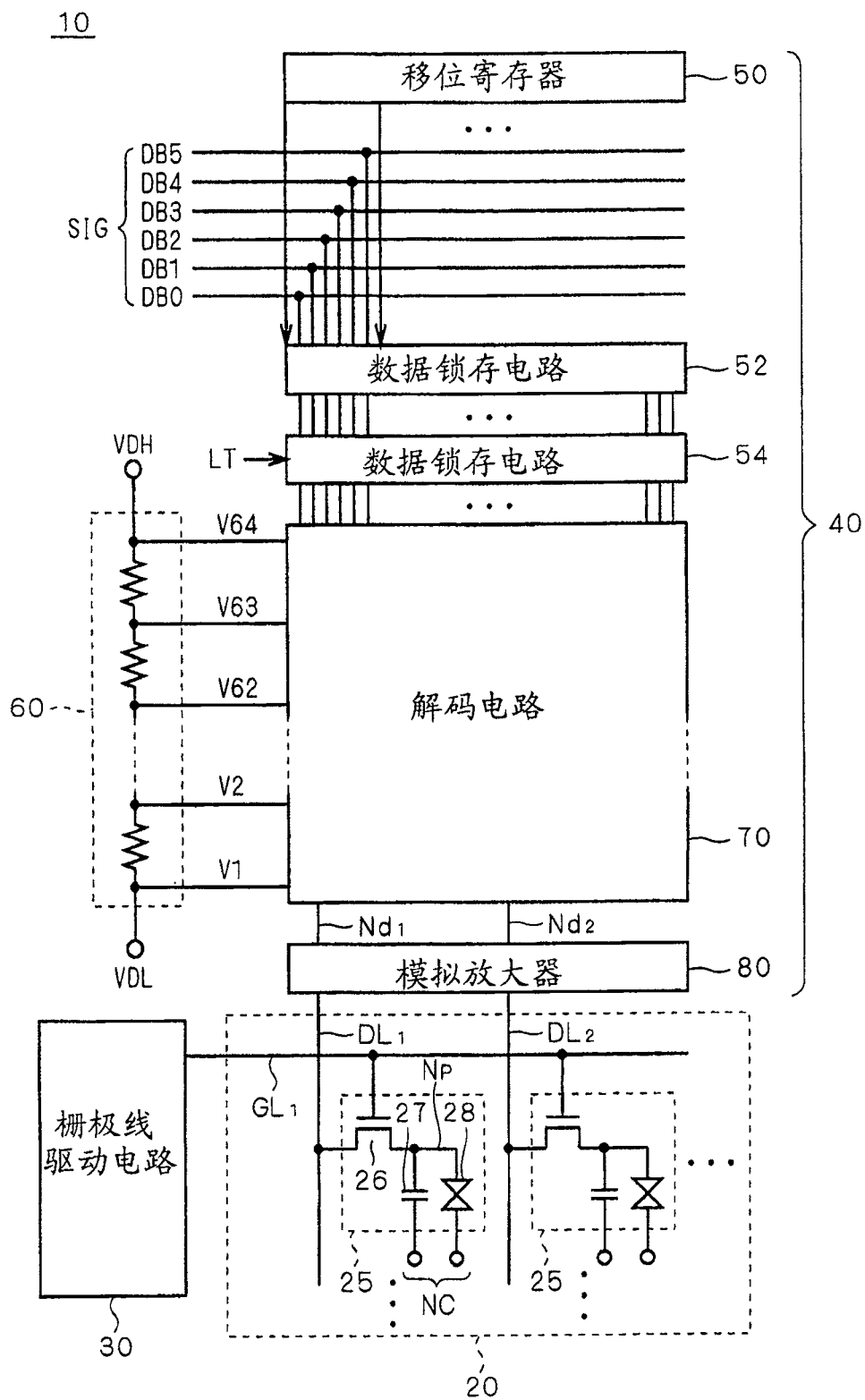
图 19 是表示第 8 实施方式的单位移位寄存器电路的结构的电路图。如图所示, 与第 7 实施方式的电路(图 17)相比, 该单位移位寄存器电路 SR 的结构中进一步设置了在节点 N2A 与第 1 电源端子 S1 之间进行连接的晶体管 Q10A 和在节点 N2B 与第 2 电源端子 S2 之间进行连接的晶体管 Q10B。晶体管 Q10A、Q10B 的栅极均连接到输出端子 OUT。

根据本实施方式的单位移位寄存器电路 SR, 当输出信号 Gn 为 H

电平的期间内，晶体管 Q10A、晶体管 Q10B 均成为 ON，因此，节点 N2A、N2B 以低阻抗成为 L 电平。由此，在此期间内，晶体管 Q2A、Q2B 能够可靠地保持在 OFF，从而解决了上述问题。

另外，在图 19 中表示的是对图 17 的电路设置了晶体管 Q10A、Q10B 的结构，但如图 20 所示，也可以对图 18 的电路进行设置。由此，能够与图 18 的电路同样地获得使单位移位寄存器电路 SR 的动作高速化的效果。

另外，在本实施方式中也可以应用上述第 3、4、6 实施方式。



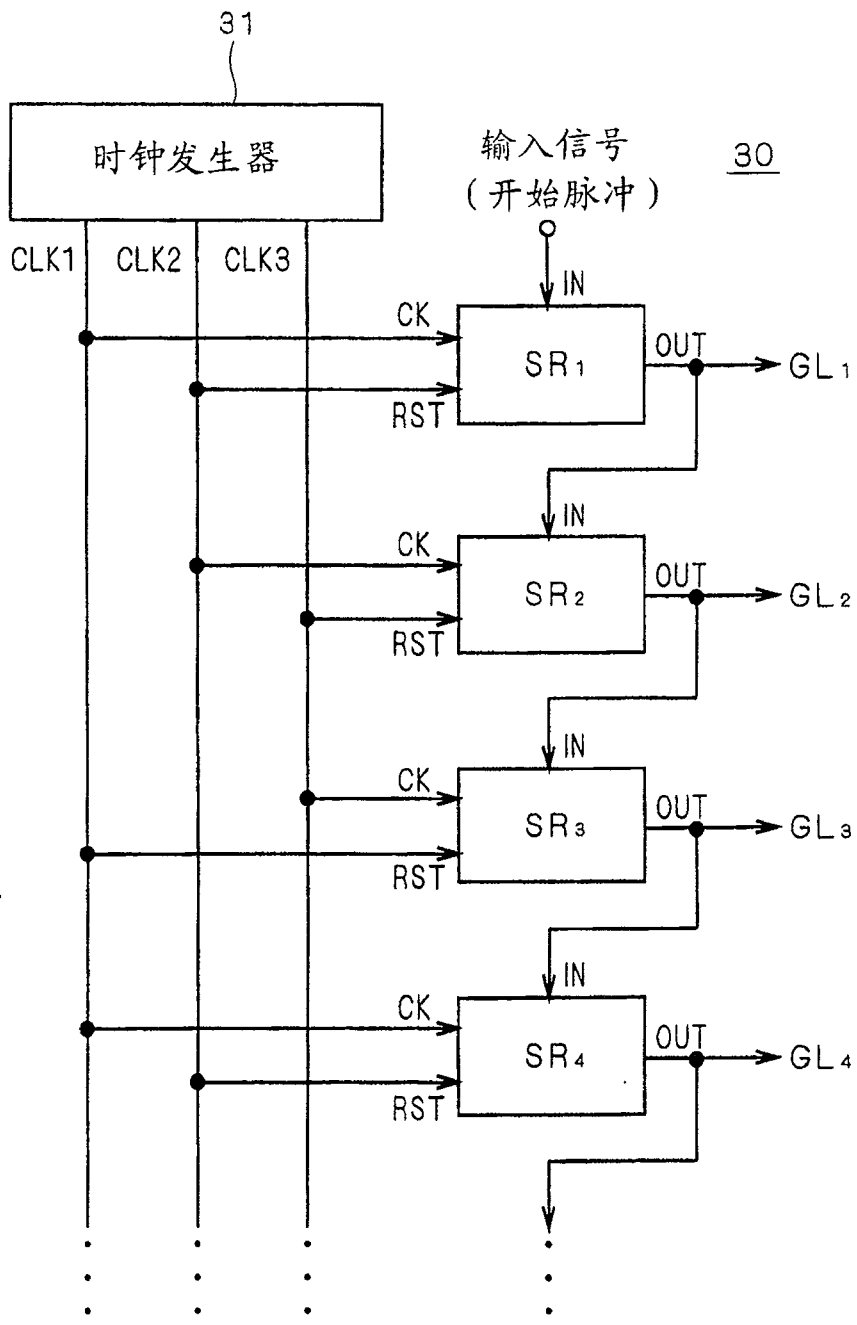


图 2

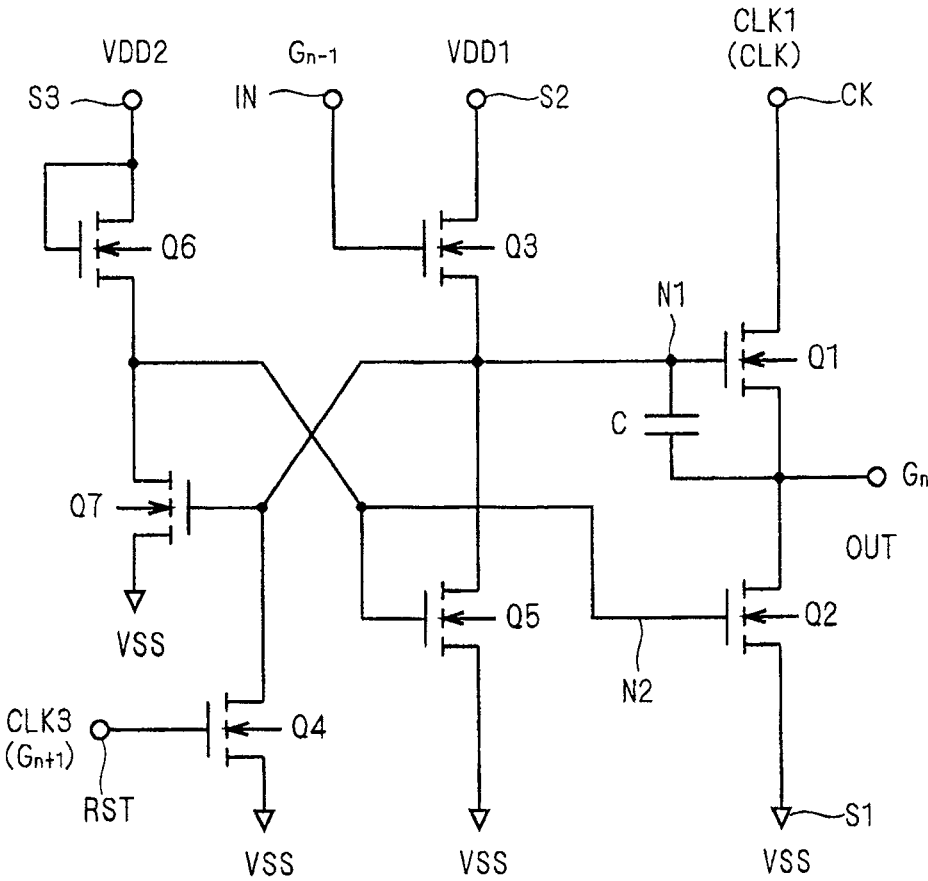


图 3

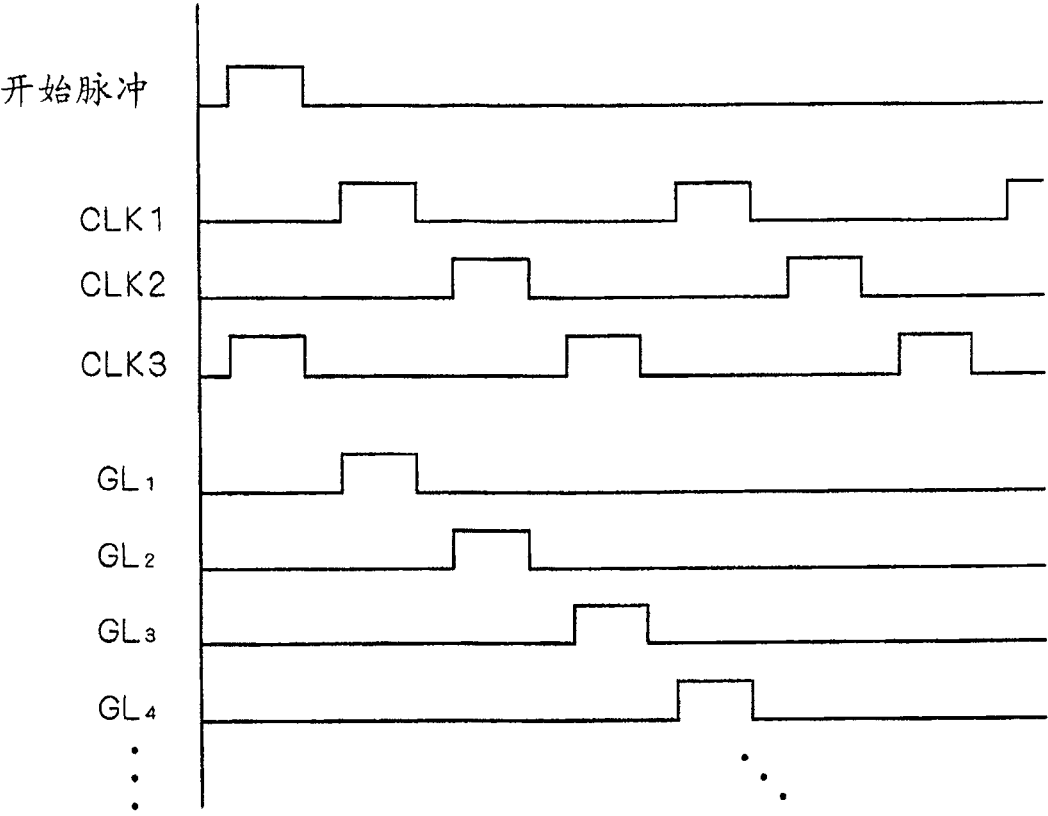


图 4

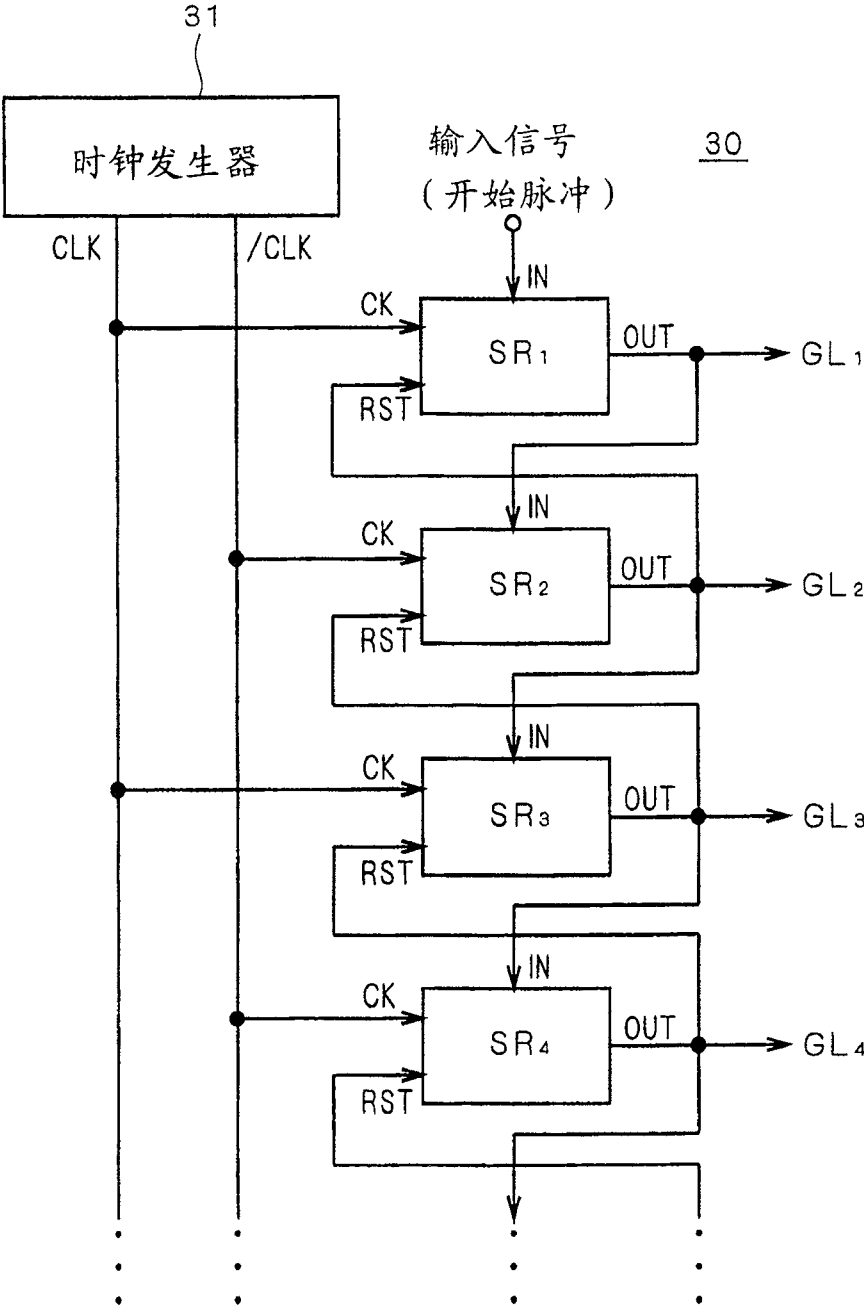


图 5

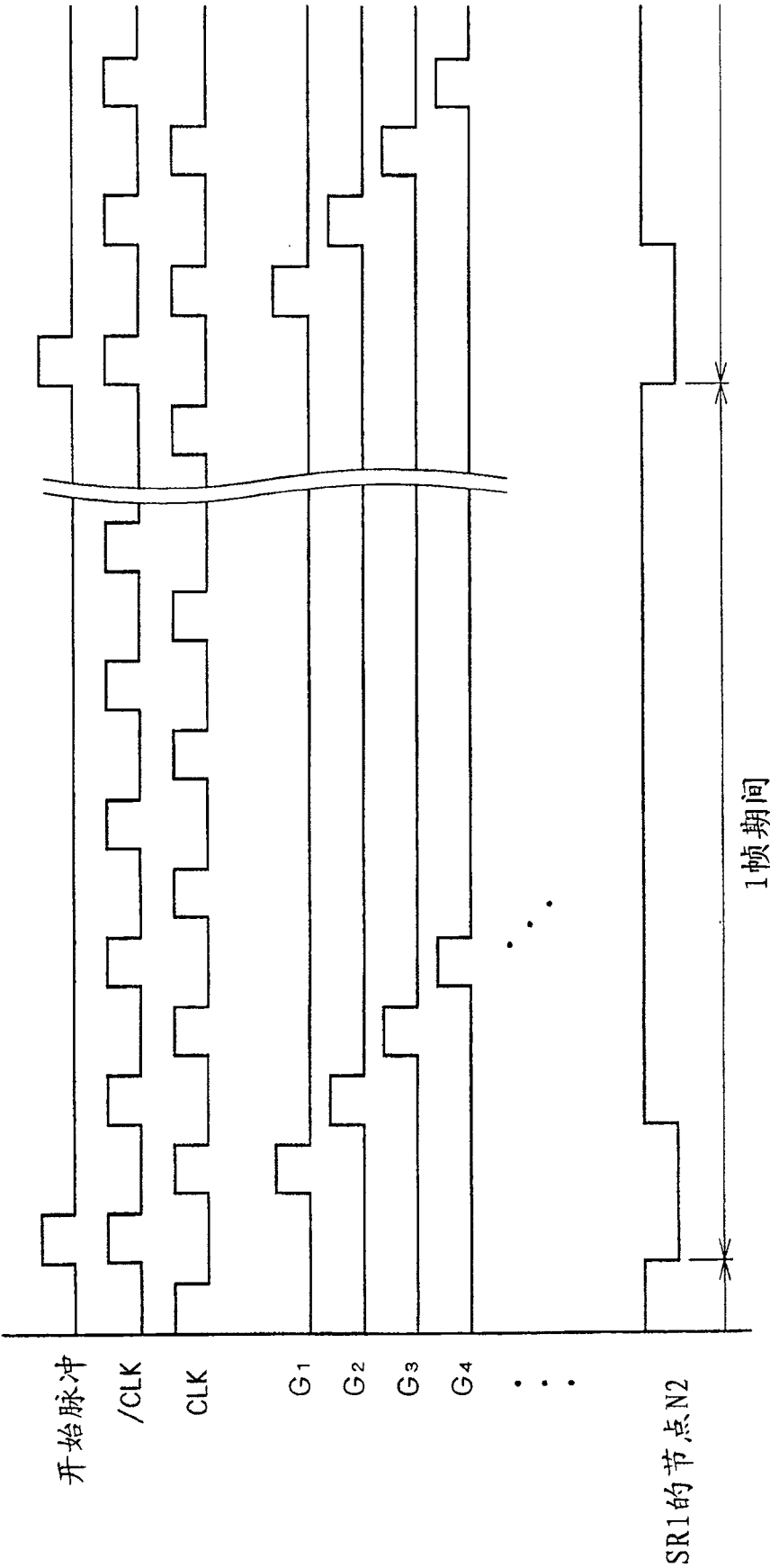


图 6

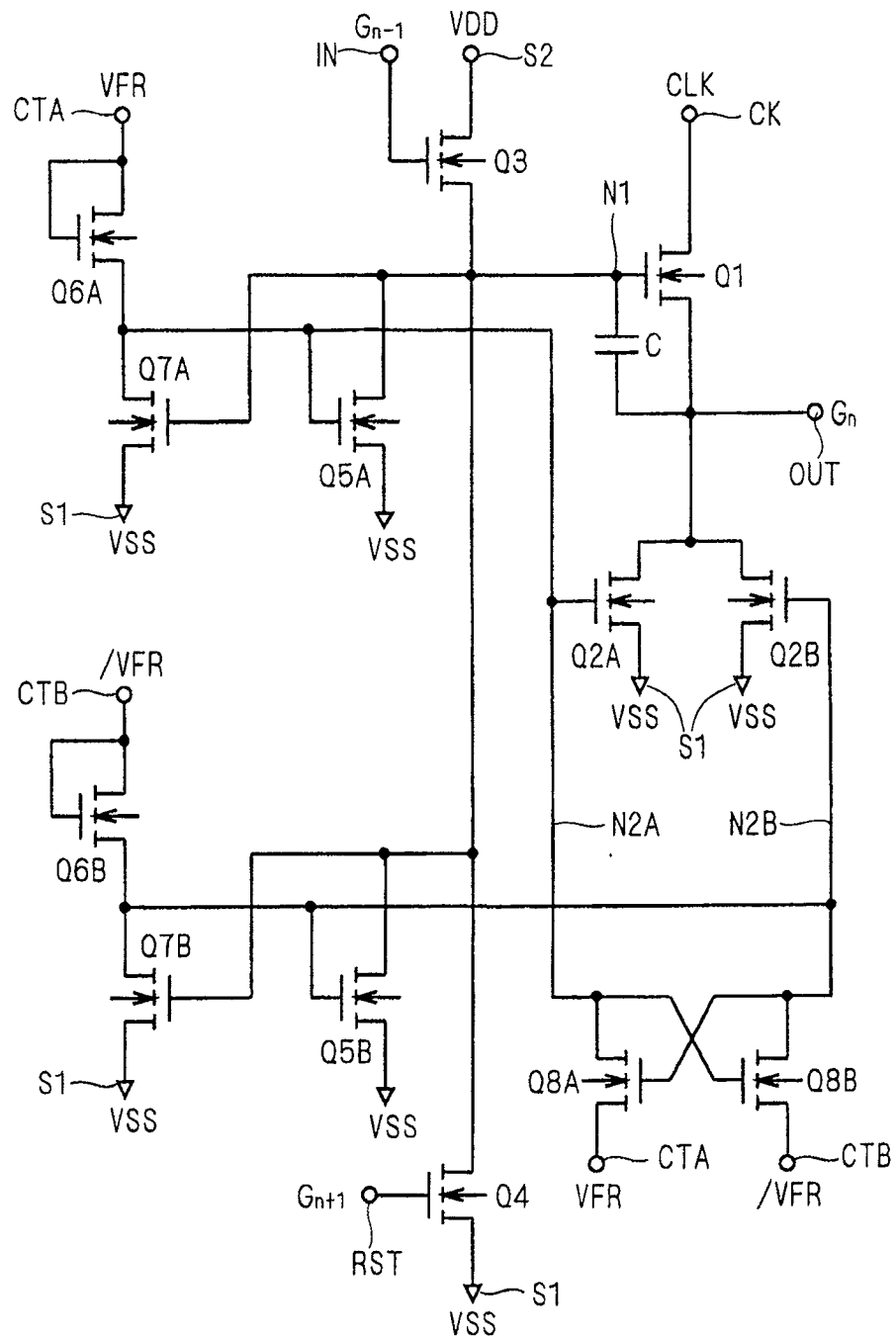


图 7

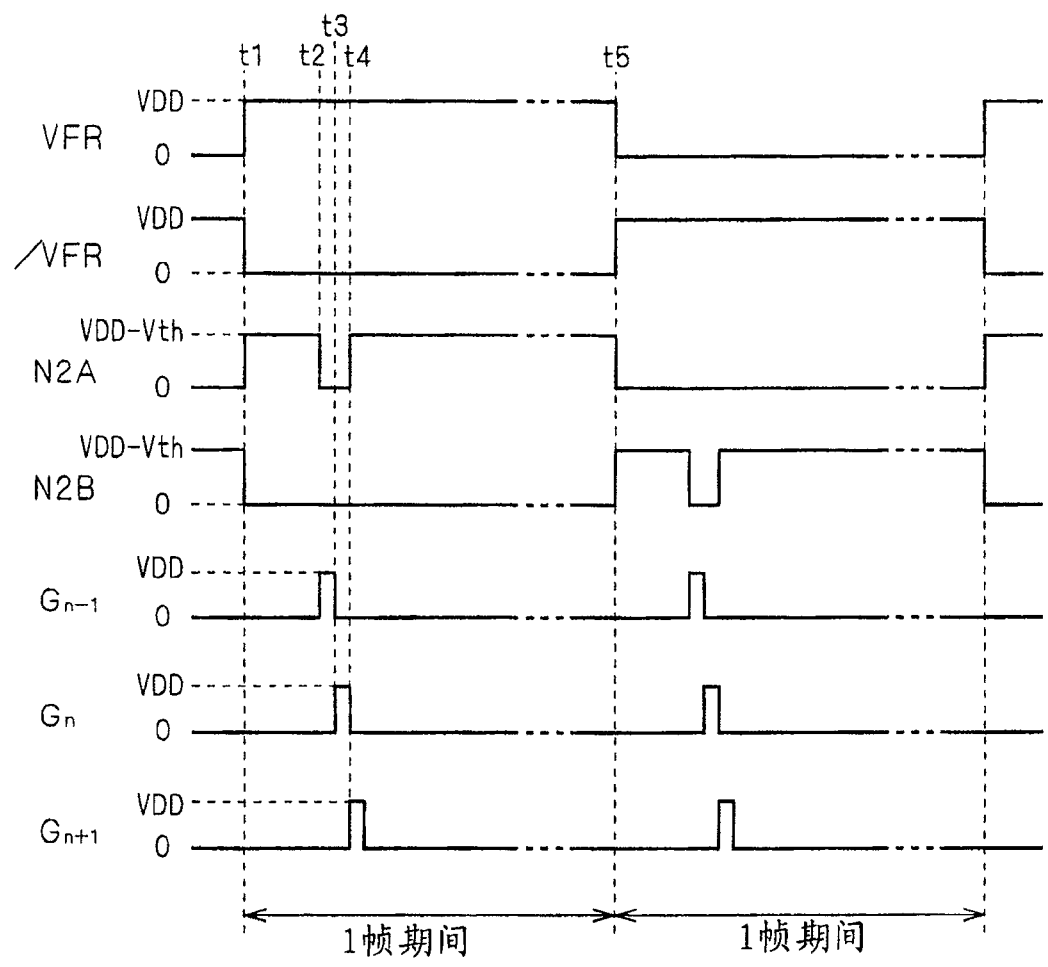


图 8

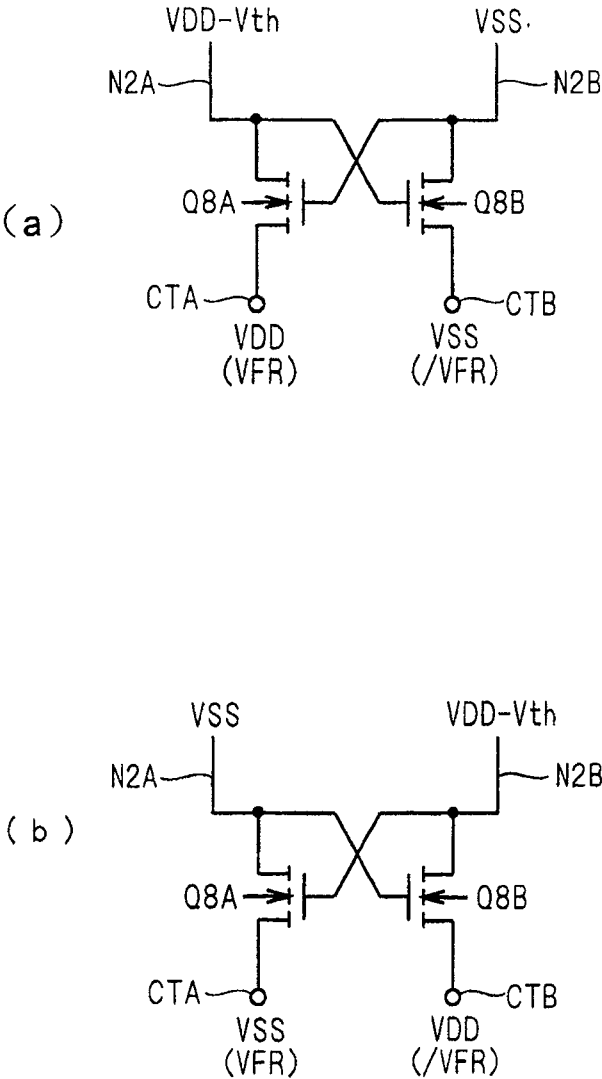


图 9

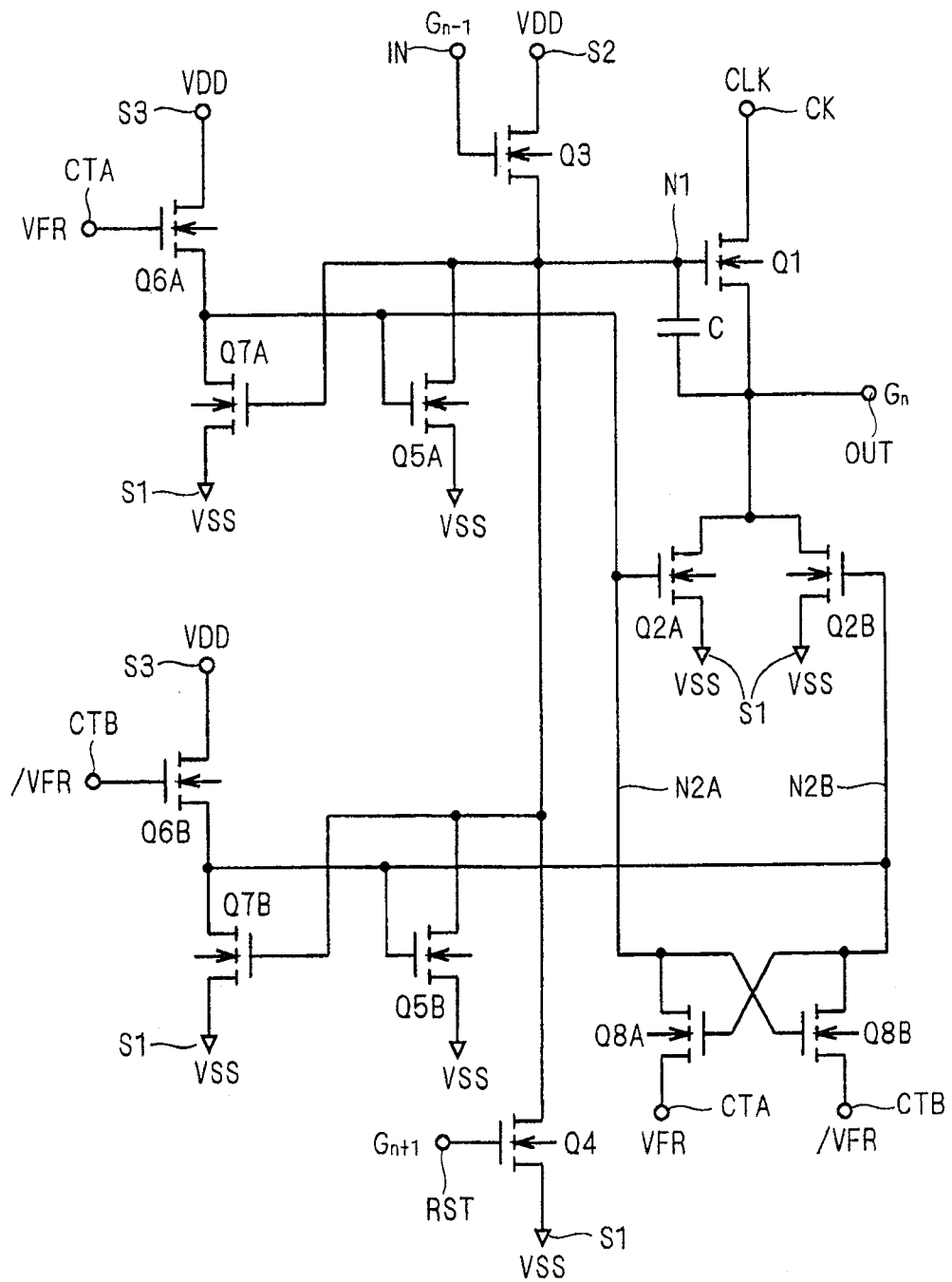


图 10

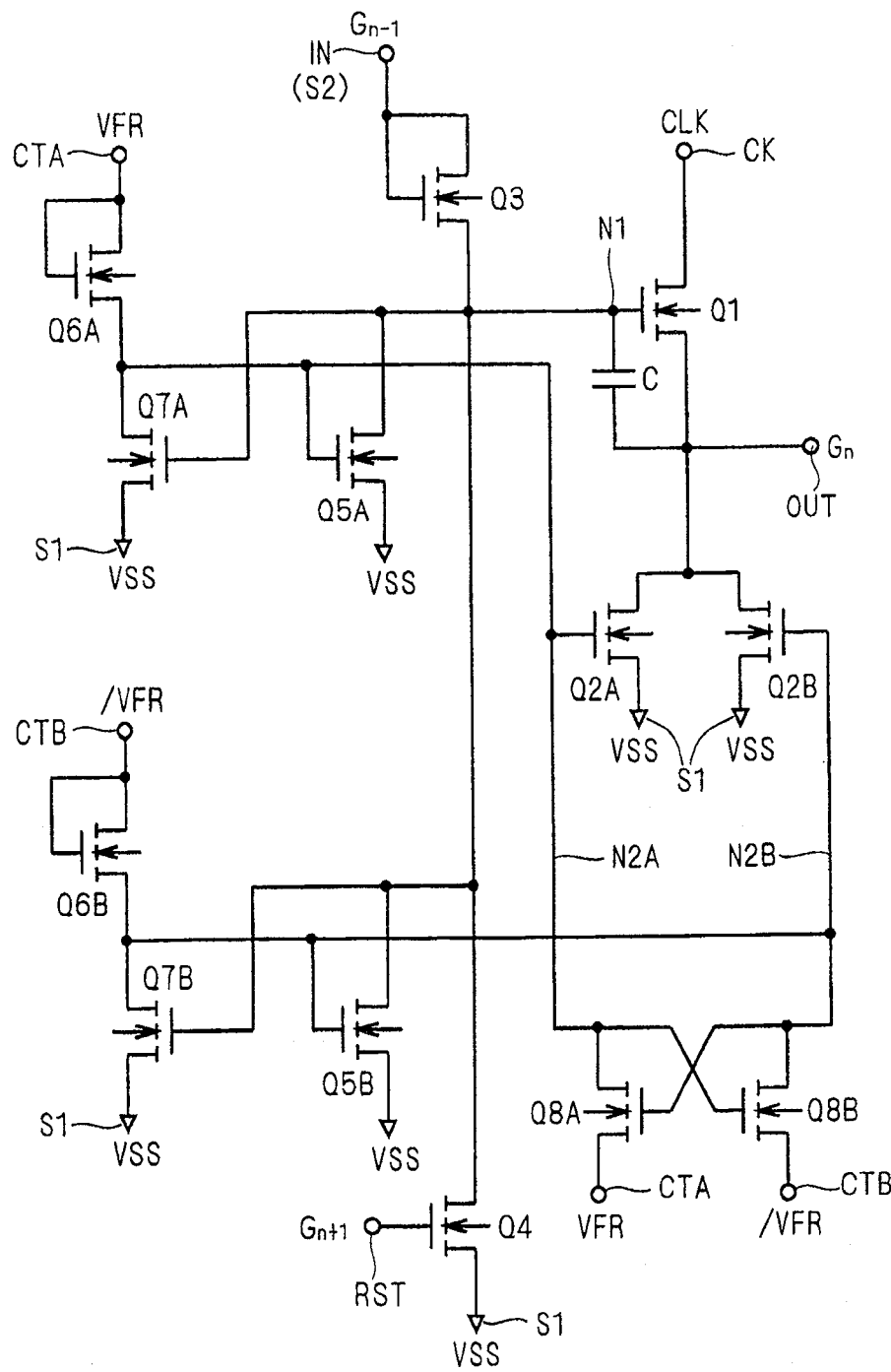


图 11

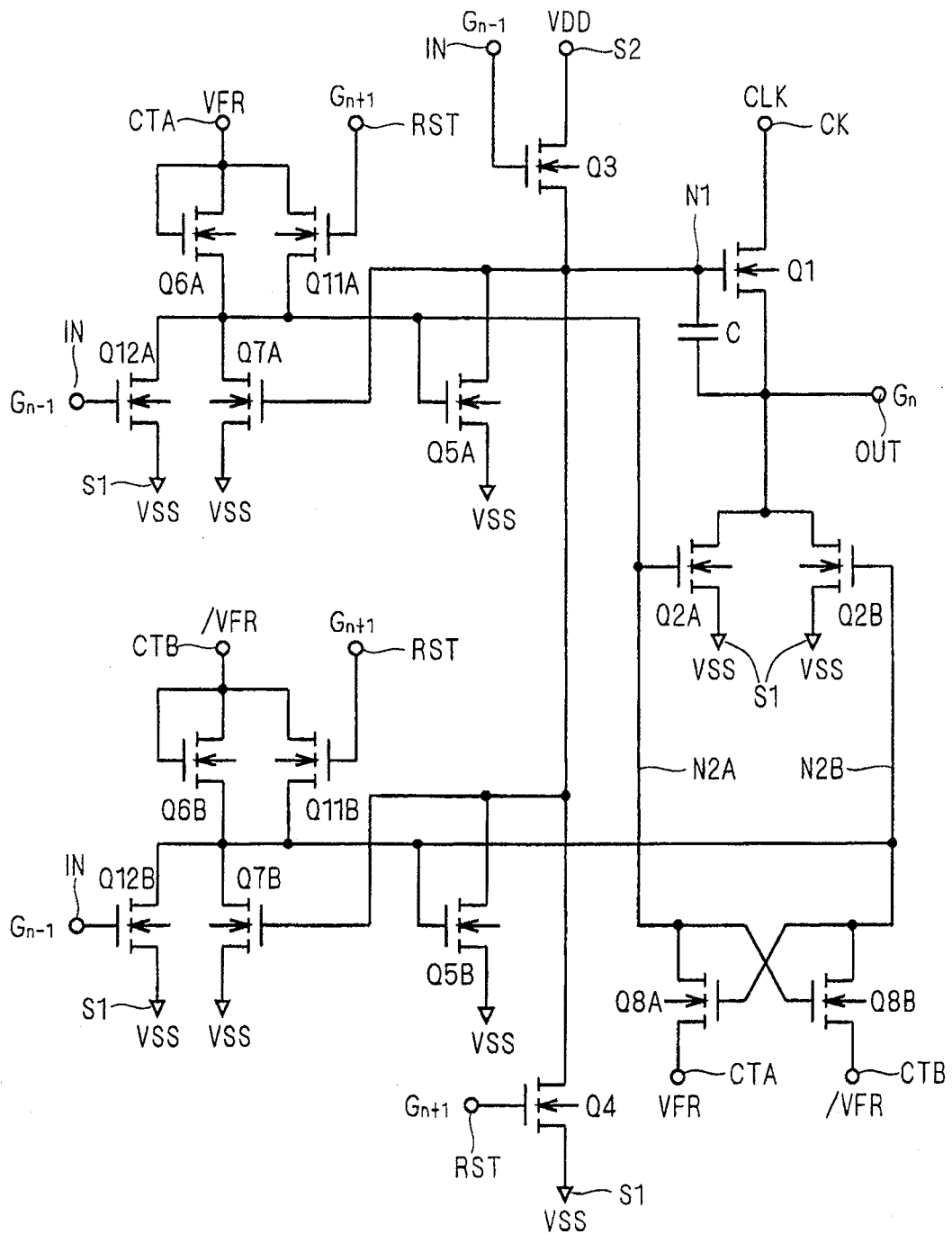


图 13

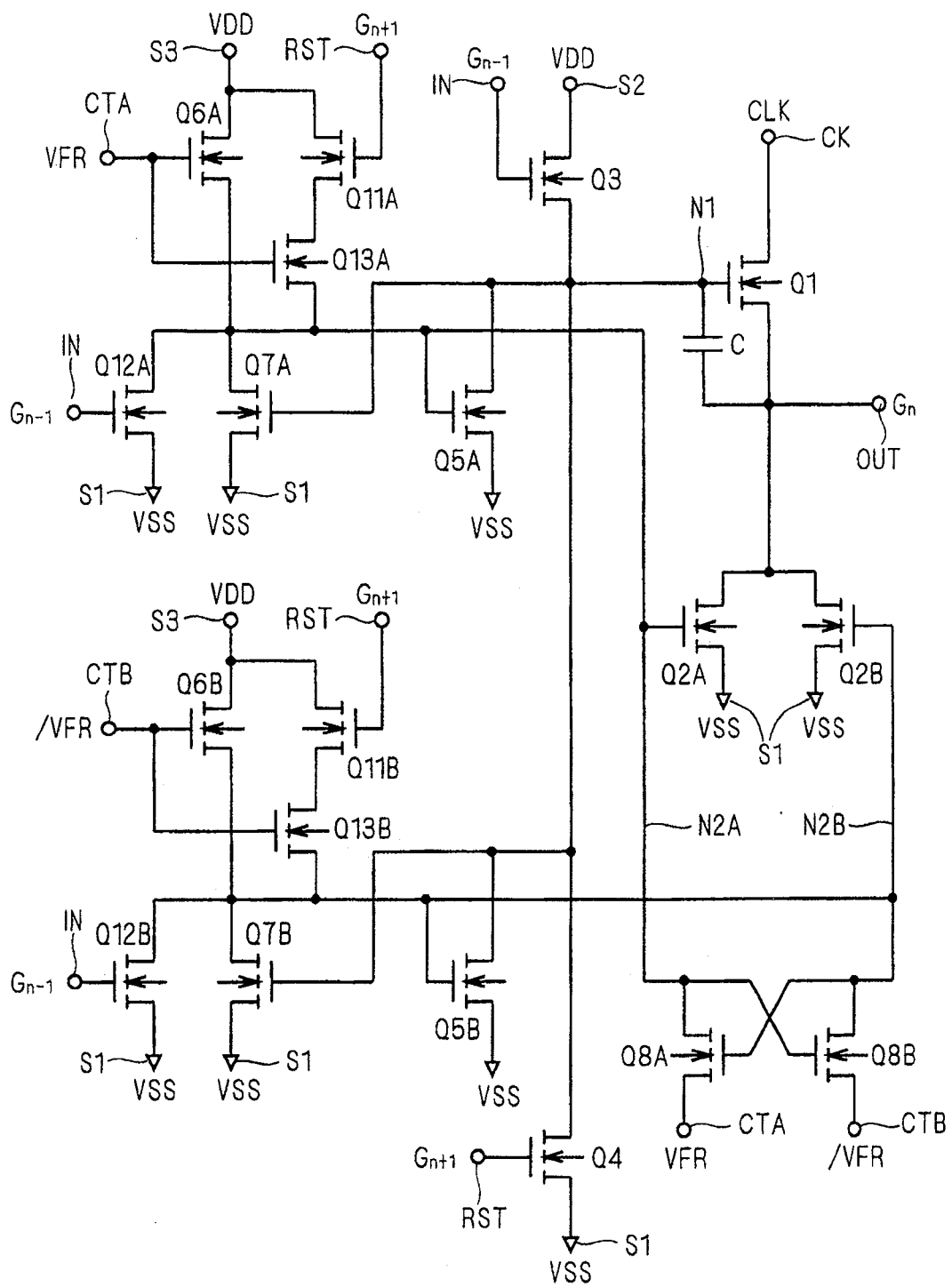


图 14

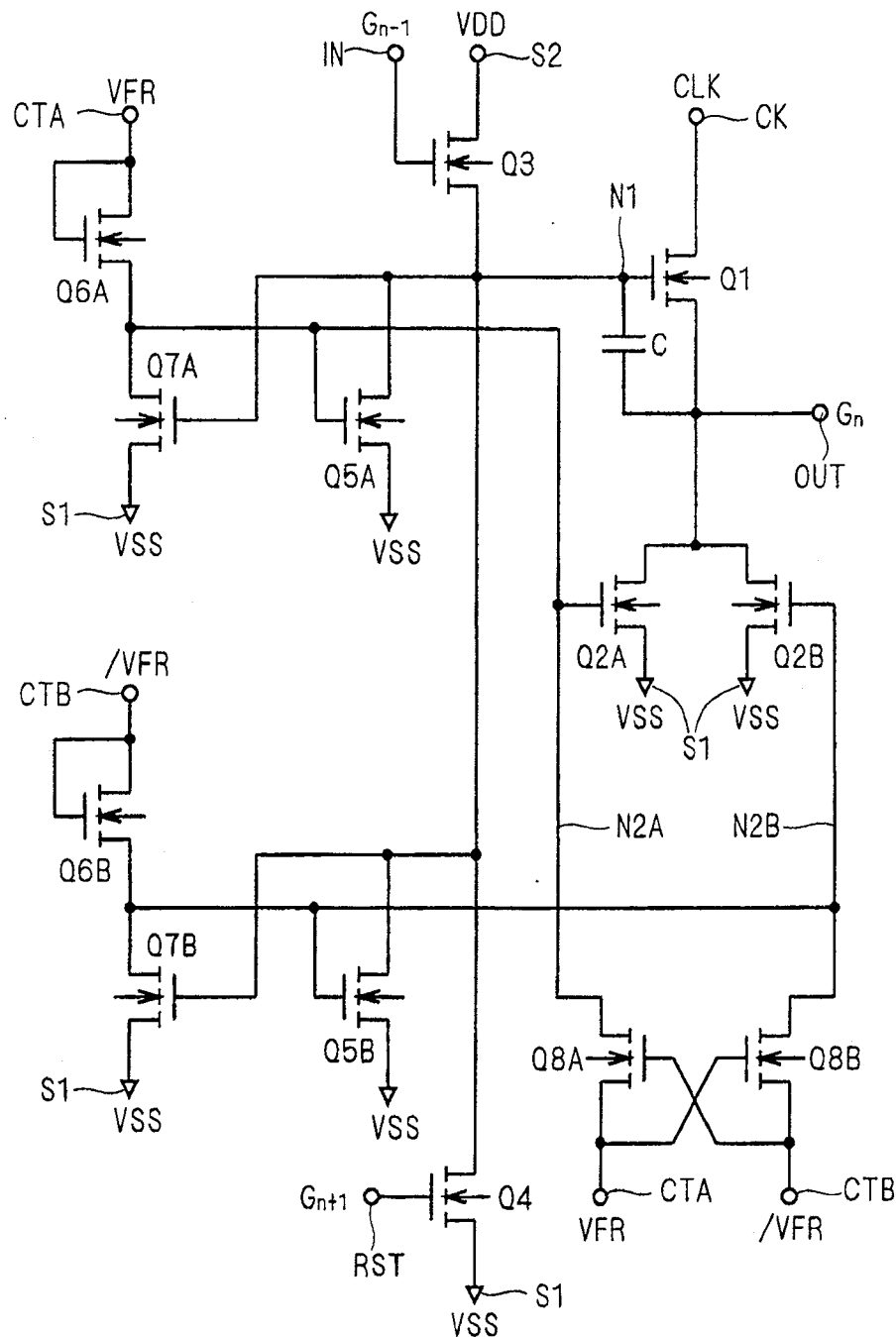


图 15

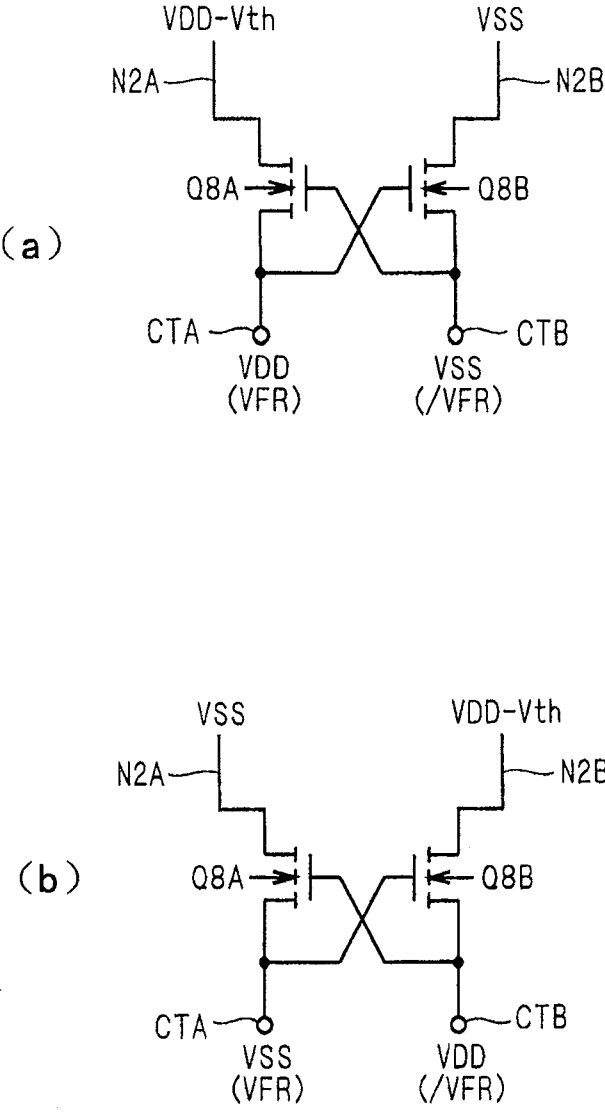


图 16

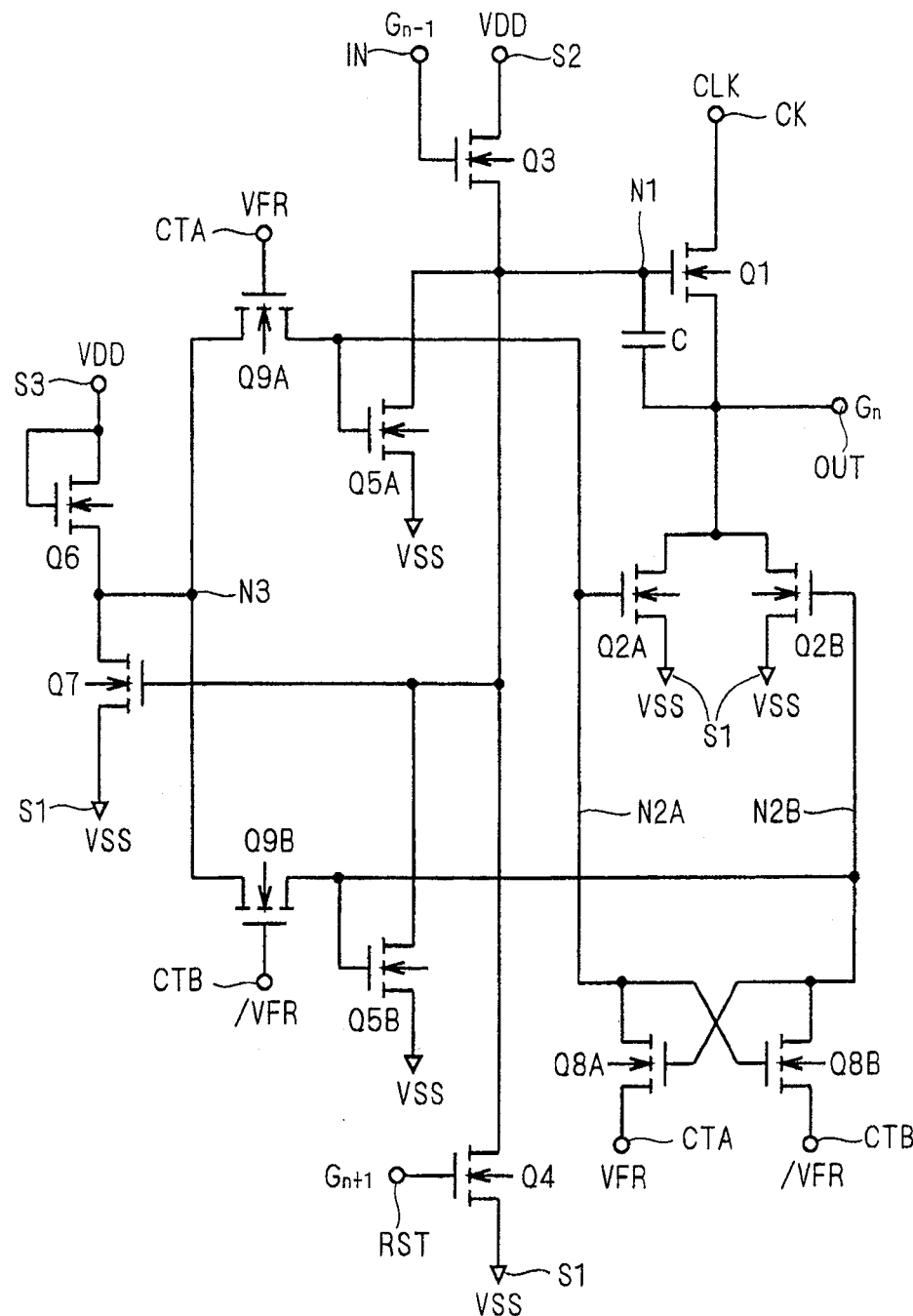


图 17

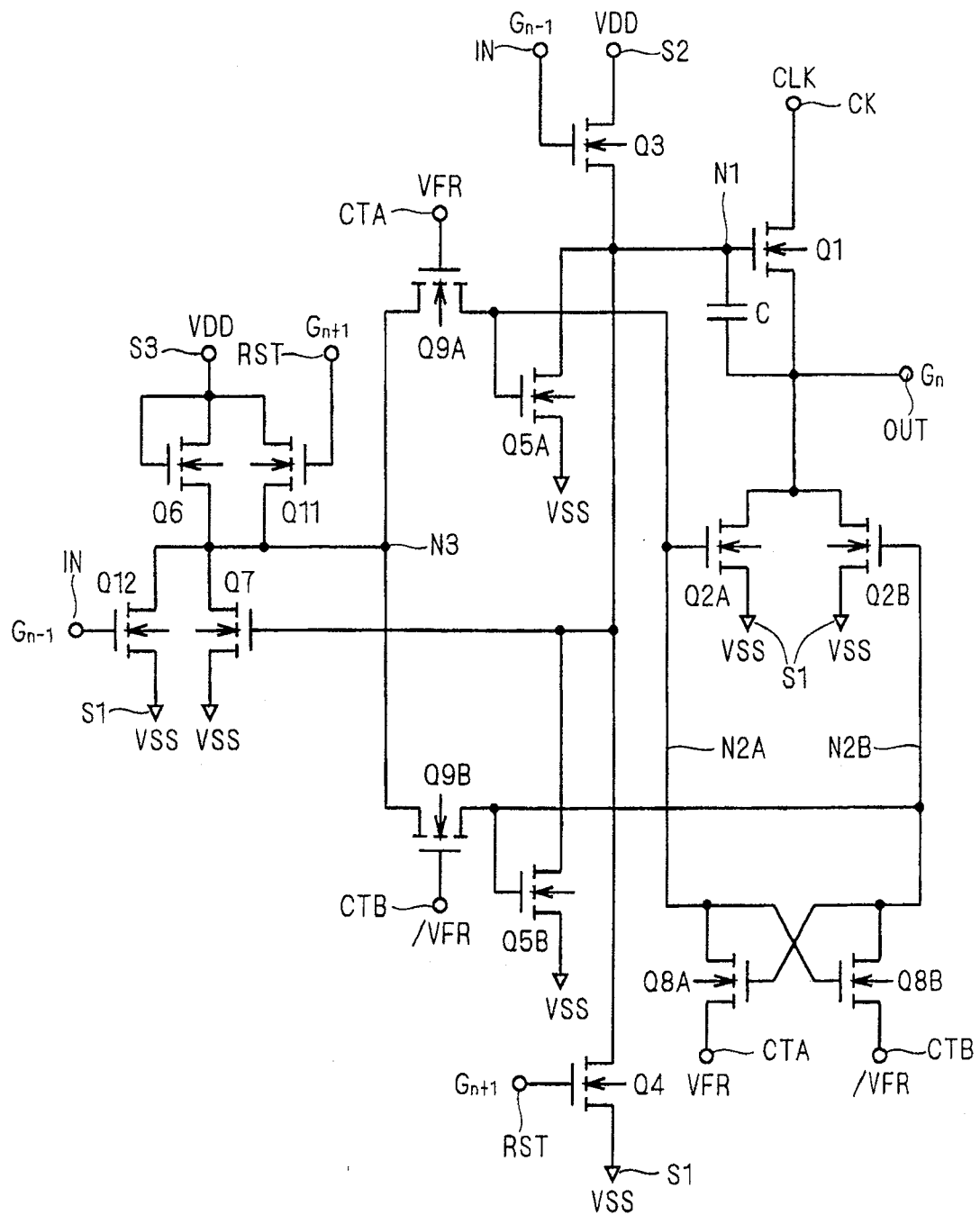


图 18

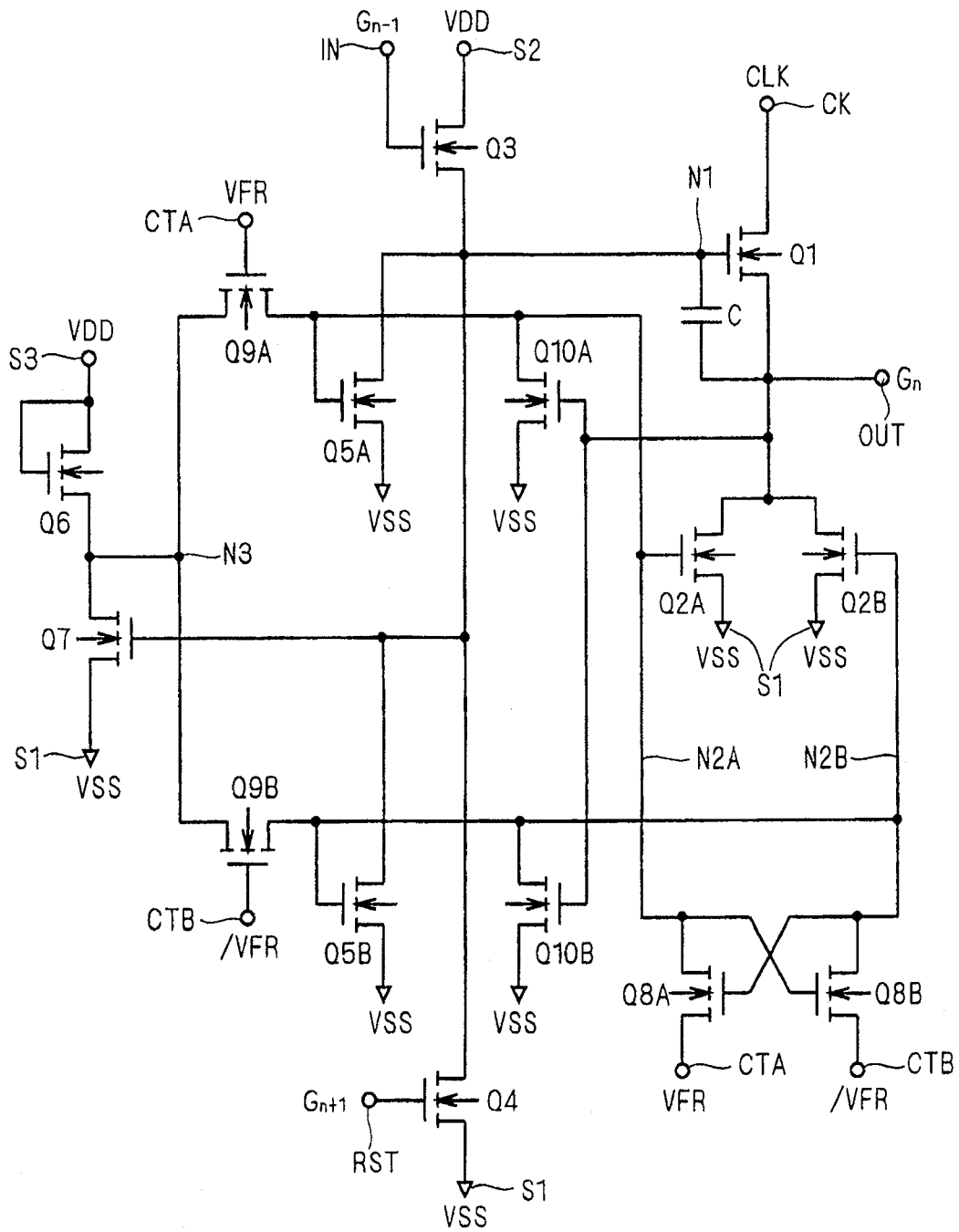


图 19

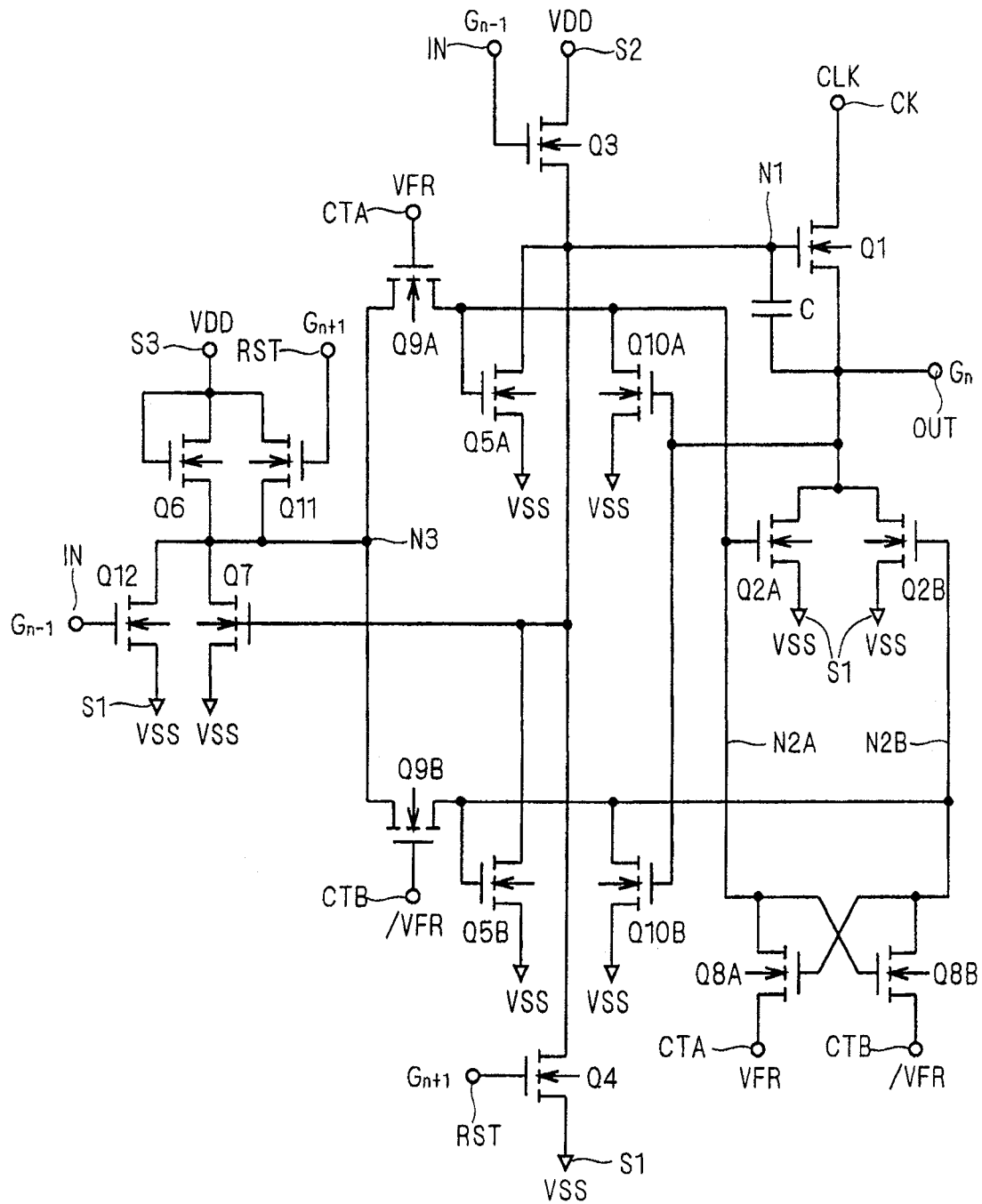


图 20