



(12)发明专利

(10)授权公告号 CN 106935255 B

(45)授权公告日 2020.04.24

(21)申请号 201710001454.4

(22)申请日 2012.04.27

(65)同一申请的已公布的文献号
申请公布号 CN 106935255 A

(43)申请公布日 2017.07.07

(30)优先权数据
13/096,822 2011.04.28 US

(62)分案原申请数据
201280028890.6 2012.04.27

(73)专利权人 美光科技公司
地址 美国爱达荷州

(72)发明人 丹沢彻

(74)专利代理机构 北京律盟知识产权代理有限
责任公司 11287

代理人 路勇

(51)Int.Cl.

G11C 8/10(2006.01)
H01L 27/11524(2017.01)
H01L 27/11531(2017.01)
H01L 27/11556(2017.01)
H01L 27/1157(2017.01)
H01L 27/11573(2017.01)
H01L 27/11582(2017.01)

(56)对比文件

US 2009/0224330 A1, 2009.09.10, 全文.
US 2010/0207185 A1, 2010.08.19, 全文.
CN 101853858 A, 2010.10.06, 全文.

审查员 陈敏

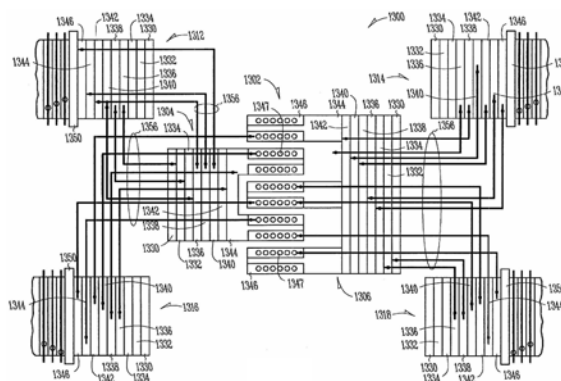
权利要求书2页 说明书12页 附图24页

(54)发明名称

具有多个层叠的半导体设备及方法

(57)摘要

本发明涉及具有多个层叠的半导体设备及方法。本发明揭示设备及方法,包含一种设备,所述设备包含第一半导体材料的若干个层叠,每一层叠包含至少一个存储器单元的至少一个存取线及至少一个外围晶体管的至少一个源极、沟道及/或漏极,所述至少一个外围晶体管例如为在存取线解码器电路或数据线多路复用电路中使用的外围晶体管。所述设备还可包含延伸穿过所述第一半导体材料的所述层叠的第二半导体材料的若干个柱,每一柱包含所述存储器单元中的至少一者的源极、沟道及/或漏极或者所述外围晶体管中的至少一者的栅极。还连同其它实施例一起描述了形成此设备的方法。



1. 一种形成存储器构造的方法,其包括:

形成多个垂直布置的层叠,每一层叠包括与所述层叠相关联的相应电荷存储装置的存取线,每一层叠还包括相应外围晶体管的源极、沟道及漏极中的至少一者;

形成将所述垂直布置的层叠彼此分离的电介质层;以及

形成多个柱,所述多个柱包括延伸穿过所述多个垂直布置的层叠的第一半导体材料,所述多个柱中的第一柱包括与相应层叠相关联的多个垂直布置的电荷存储装置的沟道,且所述多个柱中的第二柱包括所述外围晶体管中的至少一者的栅极。

2. 根据权利要求1所述的方法,其中所述多个垂直布置的层叠各自包括第二半导体材料。

3. 根据权利要求2所述的方法,其中所述多个垂直布置的层叠各自包括在含有所述外围晶体管的第一区域中的所述第二半导体材料,还包括在含有所述电荷存储装置的第二区域中的金属。

4. 根据权利要求3所述的方法,其中相应外围晶体管的源极、沟道及漏极中的所述至少一者是由在所述第一区域中的所述第二半导体材料形成的,且其中所述存取线是由在所述第二区域中的所述金属形成的。

5. 根据权利要求1所述的方法,其中每一存取线耦合到多个所述外围晶体管中的相应外围晶体管的所述源极和所述漏极中的一者。

6. 根据权利要求2所述的方法,其进一步包括:

形成延伸穿过所述第二半导体材料的所述层叠且将所述第二半导体材料的所述层叠的第一部分与所述第二半导体材料的所述层叠的第二部分分离的狭槽,所述第一部分包含所述电荷存储装置的第一群组,所述第二部分包含所述电荷存储装置的第二群组。

7. 根据权利要求6所述的方法,其中所述第一柱是U形柱,其延伸穿过所述第一和第二群组中的相应电荷存储装置。

8. 一种存储器构造,其包括:

第一半导体材料的多个垂直间隔开的层叠,每一层叠包括至少部分地围绕第一区域中的多个电荷存储装置的存取线,每一层叠还包括第二区域中的相应外围晶体管的源极、沟道和漏极中的至少一者;以及

多个柱,其包括延伸穿过所述第一半导体材料的所述层叠的多晶硅,所述多个柱中的第一柱包括与所述第一半导体材料的相应层叠相关联的多个电荷存储装置的沟道,且所述多个柱中的第二柱包括所述外围晶体管中的至少一个外围晶体管的栅极。

9. 根据权利要求8所述的存储器构造,其中每一存取线耦合到所述外围晶体管中的相应外围晶体管的所述源极和所述漏极中的一者。

10. 根据权利要求8所述的存储器构造,其中:

所述第一半导体材料包括n型多晶硅。

11. 根据权利要求8所述的存储器构造,其中具有由所述第二柱形成的栅极的所述至少一个外围晶体管包括多个栅极。

12. 根据权利要求8所述的存储器构造,其进一步包括:

穿过所述第一半导体材料的所述层叠的狭槽,所述狭槽将所述第一半导体材料的所述层叠的第一部分与所述第一半导体材料的所述层叠的第二部分分离,所述第一部分包含所

述电荷存储装置的第一群组,所述第二部分包含所述电荷存储装置的第二群组,

其中所述第一柱是U形柱,其延伸穿过所述第一和第二群组中的相应电荷存储装置。

13.根据权利要求8所述的存储器构造,其中所述第一半导体材料包括多晶硅。

14.一种存储器构造,其包括:

多个垂直布置的导电层叠,其通过交错的电介质层彼此分离,所述层叠包括:

在第一区域中,由第一半导体材料形成的所述层叠,所述第一半导体材料的所述层叠中的每一者包括相应外围晶体管的源极、沟道和漏极中的至少一者;

在第二区域中,由金属形成的所述层叠,金属层叠中的每一者包括至少部分地围绕与所述层叠相关联的多个存储器单元的存取线,金属形成的层叠的每一部分耦合到半导体材料形成的层叠的相应部分;及

多个第一柱,其延伸穿过所述第一区域的所述第一半导体材料的层叠。

15.根据权利要求14所述的存储器构造,其进一步包括多个第二柱,其延伸穿过所述第二区域中的包括存取线的所述金属层叠,所述第二柱中的每一者包括所述存储器单元中的至少一者的沟道。

16.根据权利要求14所述的存储器构造,其中延伸穿过所述第一区域中的所述第一半导体材料的层叠的所述多个第一柱形成所述外围晶体管中的至少一者的相应栅极。

17.根据权利要求14所述的存储器构造,其中:

所述金属是选自以下一或多者组成的群组:任意组合的氮化钛(TiN)、钽(Ta)、氮化钽(TaN)和钨(W);以及

所述第一半导体材料包括多晶硅。

18.根据权利要求14所述的存储器构造,其中具有由第一柱形成的栅极的所述外围晶体管中的每一者包括解码器晶体管。

19.根据权利要求14所述的存储器构造,其中具有由第一柱形成的栅极的至少一个外围晶体管包括解码器晶体管。

20.根据权利要求14所述的存储器构造,其进一步包括穿过多个所述层叠的狭槽,其将由所述第一半导体材料形成的所述层叠的所述第一区域与由金属形成的所述层叠的所述第二区域分开。

具有多个层叠的半导体设备及方法

[0001] 分案申请的相关信息

[0002] 本申请是国际申请号为PCT/US2012/035596、申请日为2012年4月27日、发明名称为“具有多个层叠的半导体设备及方法”的PCT申请进入中国国家阶段后申请号为201280028890.6的中国发明专利申请的分案申请。

[0003] 优先权申请案

[0004] 本申请案主张来自2011年4月28日提出申请的第13/096,822号美国申请案的优先权权益,所述美国申请案以全文引用的方式并入本文中。

技术领域

[0005] 本发明涉及半导体领域。尤其地,本发明涉及具有多个层叠的半导体设备及方法。

背景技术

[0006] 已在许多电子装置(例如个人数字助理(PDA)、膝上型计算机、移动电话及数码相机)中使用具有多层叠的半导体构造。这些半导体构造中的一些半导体构造具有电荷存储晶体管的阵列。

发明内容

[0007] 本发明公开了一种半导体设备,其包括多个半导体材料层叠,所述半导体设备包括:存储器单元的一部分,其在所述半导体材料层叠中的特定一个半导体材料层叠中;及外围晶体管的一部分,其在所述半导体材料层叠中的所述特定一个半导体材料层叠中,其中穿过所述半导体材料层叠的狭槽将第一构造中的所述存储器单元的所述部分与第二构造中的所述外围晶体管的所述部分分离。

附图说明

[0008] 在随附图式的图中通过实例而非限制方式图解说明一些实施例,其中:

[0009] 图1是根据本发明的各种实施例的半导体存储器装置的三维视图;

[0010] 图2是根据本发明的各种实施例的半导体构造的前视图;

[0011] 图3是根据本发明的各种实施例的半导体构造的前视图;

[0012] 图4是根据本发明的各种实施例的半导体构造的前视图;

[0013] 图5是根据本发明的各种实施例的半导体构造的俯视图;

[0014] 图6是根据本发明的各种实施例的半导体构造的俯视图;

[0015] 图7是根据本发明的各种实施例的半导体构造的俯视图;

[0016] 图8是根据本发明的各种实施例的半导体构造的俯视图;

[0017] 图9是根据本发明的各种实施例的半导体构造的俯视图;

[0018] 图10是根据本发明的各种实施例的半导体构造的俯视图;

[0019] 图11是根据本发明的各种实施例的解码器晶体管的三维视图;

- [0020] 图12是根据本发明的各种实施例的存储器单元的三维视图；
- [0021] 图13是根据本发明的各种实施例的半导体构造的示意图；
- [0022] 图14是根据本发明的各种实施例的半导体构造的俯视图。
- [0023] 图15是根据本发明的各种实施例的半导体构造的截面图。
- [0024] 图16是根据本发明的各种实施例的半导体构造的截面图。
- [0025] 图17是根据本发明的各种实施例的半导体存储器装置的透视图。
- [0026] 图18是根据本发明的各种实施例的半导体构造的示意图。
- [0027] 图19是根据本发明的各种实施例的半导体构造的截面图。
- [0028] 图20是根据本发明的各种实施例的半导体构造的截面图。
- [0029] 图21是根据本发明的各种实施例的半导体存储器装置的截面图。
- [0030] 图22是根据本发明的各种实施例的半导体存储器装置的截面图。
- [0031] 图23是根据本发明的各种实施例的方法的流程图；且
- [0032] 图24是图解说明根据本发明的各种实施例的系统的图式。

具体实施方式

[0033] 三维半导体装置中的组件密度随竞争而不断增加以增加装置的销售。本发明人已发现,可通过在多个半导体材料层叠中的每一层叠中制作相应第一装置的至少相应部分及相应第二装置的至少一部分而解决上文所提及的挑战以及其它挑战。举例来说,在存储器装置的同一半导体材料层叠中制作外围电路(例如存取线解码器电路或数据线多路复用电路)的三维晶体管的一部分及三维存储器单元的一部分。所得存储器装置可在无需用以制作至少一个外围电路的晶体管的显著额外处理事件的情况下提供增加的存储器单元密度。

[0034] 图1是根据本发明的各种实施例的半导体存储器装置100的三维视图。存储器装置100可形成于衬底106上且包含多个半导体材料层叠,所述多个半导体材料层叠包含至少部分地环绕电荷存储晶体管的电荷存储结构(例如,浮动栅极)的存取线110、112、114 及116。出于本文档的目的,“半导体材料层叠”可意指形成于同一平面、秩、行或单元中(例如在结构的水平或垂直或者倾斜平面、行、秩或单元中)的半导体材料。两个U形柱118及120形成于装置100中且可充当电荷存储晶体管的沟道。U形柱118及120 可延伸到衬底106中。垂直狭槽124分离电荷存储晶体管与至少部分地环绕每一U形柱 118及120的其存取线110、112、114及116。每一U形柱118及120包括半导体材料,例如硅或多晶硅(例如,具有核心的硅或多晶硅的管,其中所述核心可填充有空气或电介质材料)。选择栅极130的单个层叠环绕形成于U形柱118及120中的每一者的两端处的选择晶体管。源极线138形成于U形柱118及120的第一端处的选择晶体管上。数据线144形成于U形柱118及120的第二端处的选择晶体管上。包含存取线110、112、114及116的半导体材料层叠还可各自充当外围晶体管(例如解码器晶体管)的主体。U形柱118及120可包括还充当如参考以下图2到16所展示及描述的外围晶体管的栅极的半导体材料。

[0035] 图2是根据本发明的各种实施例的半导体构造200的前视图。出于简洁及清晰的目的,遍及图2到10,将由相同元件符号识别半导体构造200中的相同层叠及区域。半导体构造200可形成于半导体(例如,硅)衬底206上。半导体材料(例如n型多晶硅)的层叠与电介质(未展示)交替地沉积于衬底206上。所述半导体材料层叠包含第一层叠210、第二层叠214、

第三层叠218、第四层叠222及第五层叠226。所述电介质可为(举例来说)二氧化硅,其用以使半导体材料层叠210、214、218、222及226彼此分离且与衬底 206分离。半导体材料层叠210、214、218、222及226(在下文中通过实例称为多晶硅层叠)呈堆叠式布置。半导体构造200可包含(举例来说)与电介质交替地形成的偶数数目(例如,8、16、24、32、40、48或更多)个多晶硅层叠。虽然本文中所论述的实施例涉及n型多晶硅层叠,但根据本发明的各种实施例,多晶硅层叠可替代地为未掺杂多晶硅或p型多晶硅。

[0036] 图3是根据本发明的各种实施例的半导体构造200的前视图。垂直狭槽302蚀刻穿过层叠210、214、218、222及226以将半导体构造200划分成(举例来说)左手侧构造 304及右手侧构造308。左手侧构造304与右手侧构造308可在大小上不同,及/或构造 200可进一步被划分成额外构造。举例来说,左手侧构造304可包括约70%到80%的半导体构造200,而右手侧构造308可包括约5%的半导体构造200。垂直狭槽302足够大以在左手侧构造304与右手侧构造308之间形成互连线(例如,导线)。左手侧构造304 包含层叠210、214、218、222及226各自的第一部分310、314、318、322及326,而右手侧构造包含层叠210、214、218、222及226各自的第二部分340、344、348、352 及356。

[0037] 图4是根据本发明的各种实施例的半导体构造200的前视图。左手侧构造304及右手侧构造308各自形成(例如,蚀刻)为阶梯配置。因此,在左手侧构造304中,分别在层叠210、214、218、222及226中,第一部分310比第一部分314长,第一部分314 比第一部分318长,第一部分318比第一部分322长,且第一部分322比第一部分326 长。在右手侧构造308中,分别在层叠210、214、218、222及226中,第二部分340 比第二部分344长,第二部分344比第二部分348长,第二部分348比第二部分352长,且第二部分352比第二部分356长。

[0038] 图5是关于图4所描述的半导体构造200的俯视图。

[0039] 图6是根据本发明的各种实施例的半导体构造200的俯视图。左手侧构造304及右手侧构造308(例如)通过不同蚀刻活动分别形成为存储器单元阵列及外围晶体管阵列。垂直狭槽637可蚀刻穿过右手侧构造308以留下(举例来说)第一解码器块654及第二解码器块658。左手侧构造304可被蚀刻成指状交叉布置的第一组指状件672及第二组指状件678。第一组指状件672与第二组指状件678彼此分离使得层叠210、214、218、222及226各自的第一部分310、314、318、322及326中的每一者分离成两个部分。每一第一部分310、314、318及322的每一单独部分可充当存储器单元的一存取线。出于简洁及清晰的目的,在图6中展示层叠210、214、218、222及226各自的不到所有的第一部分310、314、318、322及326。

[0040] 在第一组指状件672中展示来自层叠214、218及222各自的第一部分314、318及322的多晶硅。在第二组指状件678中展示来自层叠210、214及218各自的第一部分 310、314及318的多晶硅。来自层叠226的第一部分326的多晶硅形成(例如,蚀刻)为经伸长且实质上平行的选择栅极680、682、684、686、688、690、692、694、696及698。选择栅极680、682、684、686、688、690、692、694、696及698中的两者在第一组指状件672及第二组指状件678的指状件中的每一者中。

[0041] 图7是根据本发明的各种实施例的半导体构造200的俯视图。孔782蚀刻穿过第二组指状件678中的层叠210、214、218、222及226各自的第一部分310、314、318、322 及326。类似孔788蚀刻穿过第一组指状件672中的层叠210、214、218、222及226各自的第一部分310、314、318、322及326。孔782及788经蚀刻以容纳左手侧构造304 中的半导体材料的U形柱且

在本发明的一些实施例中为大致相同大小。

[0042] 右手侧构造308的第一解码器块654及第二解码器块658中的层叠210、214、218、222及226各自的第二部分340、344、348、352及356中的每一者充当解码器晶体管的主体(源极、沟道及/或漏极),所述主体将耦合到存储器单元的存取线或选择栅极。多个孔794蚀刻穿过第一解码器块654及第二解码器块658中的每一者中的层叠210、214、218、222及226各自的所有第二部分340、344、348、352及356以容纳可充当多栅极解码器晶体管的栅极的柱(例如,多晶硅材料的柱)。孔794可单独形成及/或大于左手侧构造304中的孔782及/或788,例如以提供解码器晶体管中的较高驱动电流。右手侧构造308的解码器晶体管中的一些或所有解码器晶体管还可为单栅极解码器晶体管。根据本发明的各种实施例,右手侧构造308中的孔794还可为实质上相同大小及/或可与左手侧构造304中的孔782或788在实质上相同时间形成。

[0043] 图8是根据本发明的各种实施例的半导体构造200的俯视图。左手侧构造304中的存储器单元晶体管包含形成于孔782及788中的电荷存储结构(例如,电荷陷阱或浮动栅极)。存储器单元晶体管可通过将多晶硅间电介质、存储元件(例如浮动栅极及氮化硅(SiN))、隧穿氧化物及多晶硅层沉积于左手侧构造304中同时覆盖右手侧构造308以屏蔽其免受沉积物的影响而形成。在左手侧构造304中的孔782及788中形成用于存储器单元的半导体材料的U形柱810。每一U形柱810从第一组指状件672延伸到第二组指状件678且充当指状件672及678中的数个存储器单元晶体管的主体(源极、沟道及/或漏极);举例来说,其中针对每一存取线存在一个存储器单元晶体管。举例来说,每一U形柱810包括硅或多晶硅(例如,具有核心的硅或多晶硅的管,其中所述核心可填充有空气或电介质材料)。电荷存储结构(例如,电荷陷阱或浮动栅极)形成于U形柱810周围的孔782及788中。

[0044] 解码器晶体管的栅极(例如,包括多晶硅)(未展示)形成于第一解码器块654的层叠210、214、218、222及226的第二部分340、344、348、352及356中的孔794中。同样,解码器晶体管的栅极形成于第二解码器块658的层叠210、214、218、222及226的第二部分340、344、348、352及356中的孔794中。所述栅极可通过沉积例如二氧化硅的电介质材料后续接着多晶硅层以分别形成栅极氧化物及所述栅极同时覆盖左手侧构造304以屏蔽其免受沉积物的影响而形成。所述栅极可经沉积及蚀刻为单独栅极,或可经沉积及蚀刻为用于第一解码器块654及第二解码器块658两者的单个栅极。

[0045] 可针对左手侧构造304中的U形柱810及第一解码器块654及/或第二解码器块658中的解码器晶体管的栅极同时或在单独步骤中沉积多晶硅。

[0046] 线882经形成以耦合到第一解码器块654及第二解码器块658中的解码器晶体管的栅极(未展示)。左手侧构造304中的U形柱810的多晶硅还可为第一解码器块654或第二解码器块658中的解码器晶体管的栅极。线882可为(举例来说)钨、铝或铜。线882可由例如多晶硅线的半导体线取代。

[0047] 数据线826及源极线(未展示)(例如包括金属或经掺杂多晶硅的那些线)经形成而与左手侧构造304中的孔782及788中的U形柱810的相对端相应接触。数据线826可经布置以实质上彼此平行且实质上垂直于选择栅极680、682、684、686、688、690、692、694、696及698。数据线826包括金属或多晶硅。层叠210、214、218及222各自的第一部分310、314、318及322各自充当对形成于U形柱810中的每一者中及周围的(若干)相应存储器单元晶体管的存

取线。所述金属可为(举例来说)氮化钛(TiN)、钽(Ta)、氮化钽(TaN)或钨(W)。

[0048] 出于简洁及清晰的目的,并未在图8中展示第一解码器块654的解码器晶体管到存取线及选择线的耦合。然而,将第二解码器块658的解码器晶体管展示为耦合到层叠210及214各自的第一部分310及314的存取线且通过线840、850、860及870耦合到选择栅极684及686。线840、850、860及870可同时形成及/或由用以形成数据线826或源极线(未展示)的相同材料(例如,举例来说,多晶硅、钨、铝或铜)形成。在另一实施例中,数据线826或源极线(未展示)及线840、850、860及870可在不同时间形成及/或由不同材料形成。如所描绘,线840经形成以将第一部分310耦合到第二部分340。线850经形成以将第一部分314耦合到第二部分344。线860经形成以将选择栅极684耦合到第二部分348。线870经形成以将选择栅极686耦合到第二部分352。出于简洁及清晰的目的,未展示左手侧构造304的其它存取线及选择栅极到解码器晶体管的耦合。图2到8中所展示的半导体构造200经布置使得层叠210、214、218及222各自的第一部分310、314、318及322的存取线相对于彼此堆叠。

[0049] 图9是根据本发明的各种实施例的半导体构造200的俯视图。左手侧构造304与图7中所展示的左手侧构造304相同,且右手侧构造308与如上文所描述的在蚀刻孔之前在图6中展示的右手侧构造308相同。出于简洁及清晰的目的,相同元件符号识别相同元件。

[0050] 右手侧构造308的第一解码器块654及第二解码器块658中的层叠210、214、218、222及226各自的第二部分340、344、348、352及356中的每一者充当将耦合到存储器单元的存取线的解码器晶体管的主体(源极、沟道及/或漏极)。孔910蚀刻穿过第一解码器块654及第二解码器块658中的层叠210、214、218、222及226各自的所有第二部分340、344、348、352及356以容纳解码器晶体管的多晶硅栅极。右手侧构造308中的孔910与左手侧构造304中的孔782或788为相同大小且为同时蚀刻的。多个行及列的孔910经蚀刻以使得较高驱动电流能够穿过右手侧构造308。

[0051] 栅极可通过将例如二氧化硅的电介质材料(随后接着多晶硅层)沉积于右手侧构造308中以形成栅极氧化物及所述栅极同时覆盖左手侧构造304以屏蔽其免受这些沉积物影响而形成。所述栅极可经沉积及蚀刻为单独栅极,或可经沉积及蚀刻为用于第一解码器块654及第二解码器块658两者的单个栅极。存储器单元晶体管可通过将多晶硅间电介质、存储元件(例如浮动栅极及SiN)、隧穿氧化物及多晶硅层沉积于左手侧构造304中同时覆盖右手侧构造308以屏蔽其免受这些沉积物的影响而形成。

[0052] 图10是根据本发明的各种实施例的半导体构造200的俯视图。在左手侧构造304中的孔782及788中形成用于如图7中所展示的存储器单元的半导体材料的U形柱1010。数据线1026及源极线(未展示)(例如包括金属或经掺杂多晶硅的那些线)经形成而与如图10中所展示的左手侧构造304中的孔782及788中的U形柱1010的相对端相应接触。数据线1026可经布置以实质上彼此平行且实质上垂直于选择栅极680、682、684、686、688、690、692、694、696及698。层叠210、214、218及222各自的第一部分310、314、318及322各自充当对形成于U形柱1010中的每一者中及周围的(若干)相应存储器单元晶体管的存取线。

[0053] 线1082经形成而穿过第一解码器块654及第二解码器块658的孔910以耦合到解码器晶体管的栅极。左手侧构造304中的U形柱1010的多晶硅还可为第一解码器块654或第二解码器块658中的解码器晶体管的栅极。线1082可为(举例来说)钨、铝或铜。线1082可由例如多晶硅线的半导体线取代。

[0054] 第一解码器块654的解码器晶体管将耦合到图10中未展示的存储器单元晶体管。第二解码器块658的解码器晶体管耦合到第一部分310及第一部分314的存取线且通过线1040、1050、1060及1070耦合到选择栅极684及686。线1040、1050、1060及1070 可为(举例来说)钨、铝或铜。线1040、1050、1060及1070可由半导体(例如多晶硅)取代。线1040经路由以将第一部分310耦合到第二部分340。线1050经路由以将第一部分314 耦合到第二部分344。线1060经路由以将选择栅极684耦合到第二部分348。线1070 经路由以将选择栅极686耦合到第二部分352。左手侧构造304的其它存取线及选择栅极耦合到未展示的解码器晶体管。图2到10中所展示的半导体构造200经布置使得层叠210、214、218及222各自的第一部分310、314、318及322的存取线相对于彼此堆叠。

[0055] 用以形成层叠210、214、218、222及226各自的第一部分310、314、318及322 中的存取线的多晶硅可具有与层叠210、214、218、222及226各自的第二部分340、344、348、352及356中的解码器晶体管的主体多晶硅相同或不同的植入浓度。此外,虽然先前说明集中于其中由多晶硅形成存取线及解码器晶体管的主体两者的实施例,但在其它实施例中,存取线可由金属取代。在此些情形中,可在处理构造304或308中的一者的至少一部分时遮蔽构造304或308的其它构造或部分。

[0056] 半导体构造200包括存储器单元的存取线及外围晶体管(例如在相同半导体材料层叠中的解码器晶体管)的主体。所述解码器晶体管的栅极还可由经沉积以形成存储器单元的主体的相同半导体材料形成。

[0057] 根据本发明的各种实施例,图2到10中所展示的半导体构造200的实施例为图1 中所展示的半导体存储器装置100的实例。

[0058] 图11是根据本发明的各种实施例的解码器晶体管1100的三维视图,所述解码器晶体管为图6到10中所展示的解码器块654及658中的解码器晶体管的实例。在三个多晶硅层叠1110、1120及1130中形成三个解码器晶体管1102、1104及1106。层叠1110、1120及1130以阶梯配置彼此上下地布置。层叠1130大于其上方的层叠1120,且层叠1120大于其上方的层叠1110。层叠1110、1120及1130通过例如二氧化硅的电介质(未展示)彼此分离。举例来说,可使用多晶硅来在层叠1110、1120及1130上方形成块选择线1150,且在层叠1110、1120及1130中的孔(例如,孔794)中形成两个栅极1160。层叠1110、1120及1130在线1150的一侧上的部分充当解码器晶体管1102、1104及1106 的漏极1170。层叠1110、1120及1130在线1150的第二侧上的部分充当解码器晶体管1102、1104及1106的源极1180。源极1180与漏极1170之间的层叠1110、1120及1130 中的多晶硅充当解码器晶体管1102、1104及1106的沟道。

[0059] 图12是根据本发明的各种实施例的存储器单元的三维视图,所述存储器单元为图8 及10中所展示的左手侧构造304中的存储器单元及U形柱810的部分的实例。图12展示六个三维存储器单元1206。每一存储器单元1206为电荷存储晶体管,其包含充当浮动栅极的p+型多晶硅环1210。p+型多晶硅环1210通过电介质层叠1220彼此分离。多晶硅柱1230通过p+型多晶硅环1210,且通过隧穿电介质1228与其相应环分离。在电介质材料层叠1220之间,p+型多晶硅环1210中的每一者由多晶硅间电介质(IPD) 1236 (例如包括二氧化硅、氮化硅(Si₃N₄)及二氧化硅(ONO)的一种IPD)以及相应多晶硅存取线1240环绕。电介质层叠1220及隧穿电介质1228可为(举例来说)二氧化硅。存储器单元1206经布置使得存取线1240为堆叠的。存取线1240可包括金属而不包括多晶硅。

[0060] 图13是根据本发明的各种实施例的半导体构造1300的示意图。半导体构造1300包含存储器单元阵列1302及解码器晶体管的四个解码器块,即第一解码器块1312、第二解码器块1314、第三解码器块1316及第四解码器块1318。阵列1302被划分成存储器单元的第一阵列1304及第二阵列1306,其各自具有指状交叉布置的指状件。阵列1302 以及解码器块1312、1314、1316及1318中的每一者形成于九个n型多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346中。多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346通过例如二氧化硅的电介质的层叠(未展示)彼此分离,且阵列1302以及解码器块1312、1314、1316及1318被蚀刻成阶梯配置。第一阵列1304及第二阵列1306中的每一者中的多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346充当存储器单元的存取线或选择栅极。U形柱1347在第一阵列1304与第二阵列1306之间延伸。每一U形柱1347针对至少部分地环绕那一U形柱 1347的每一存取线充当存储器单元晶体管的主体(源极、沟道及/或漏极)。每一U形柱 1347包括半导体材料,例如硅或多晶硅(例如,具有核心的硅或多晶硅的管,其中所述核心可填充有空气或电介质材料)。第一阵列1304及第二阵列1306中的顶部层叠1346 被蚀刻成选择栅极,且每一选择栅极耦合到U形柱1347中的多个U形柱的端。

[0061] 解码器块1312、1314、1316及1318中的每一者中的多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346中的一些多晶硅层叠充当解码器晶体管的主体(源极、沟道及/或漏极),所述主体将耦合到存储器单元的存取线或选择栅极,且一些主体可能不耦合到存取线或选择栅极。解码器晶体管的的多晶硅栅极1350延伸穿过解码器块 1312、1314、1316及1318中的每一者中的多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346中的孔。24个线1356(WL0到WL15及SG0-7)被展示为将第一阵列1304及第二阵列1306中的每一者中的个别多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346的单独部分耦合到解码器块1312、1314、1316及1318 中的相应解码器块中的多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344 及1346中的一者。线1356中的八个线被展示为将形成于顶部层叠1346中的八个选择栅极中的每一者耦合到解码器块1312、1314、1316及1318中的相应解码器块中的多晶硅层叠1330、1332、1334、1336、1338、1340、1342、1344及1346中的相应多晶硅层叠。在表1中提供线1356的相应耦合,其中WL#指示存取线且SG#指示选择栅极。线 1356可使得相同层叠彼此耦合,例如关于WL2(其从第二阵列1306中的层叠1340耦合到解码器块1314中的同一层叠1340)所展示。或者,线1356可使得不同层叠彼此耦合,例如关于WL11(其从第一阵列1304中的层叠1336耦合到解码器块1312中的层叠1342) 所展示。“X”指示解码器块1312、1314、1316及1318中的每一者中的底部三个多晶硅层叠1330、1332、1334不耦合到存取线且为未使用的。因此,总计九个多晶硅层叠 1330、1332、1334、1336、1338、1340、1342、1344及1346用作存取线,而六个多晶硅层叠1336、1338、1340、1342、1344及1346用作解码器晶体管。图13中展示用作存取线的九个多晶硅层叠对用作解码器晶体管的六个多晶硅层叠的比率。还可使用其它比率,例如八比五或十比七或一比一。举例来说,解码器块1312、1314、1316及1318 中的一者可用于其它存储器单元(未展示),其中其余解码器块中的所有多晶硅层叠用作解码器晶体管。解码器块1312、1314、1316及1318可与阵列1302对准以容纳数据线的路由。

[0062] 表1

[0063]

	1312	1316	1304	1306	1314	1318
1346	WL13	SG3	SG0-3	SG4-7	WL5	SG7
1344	WL12	SG2	WL15	WL0	WL4	SG6
1342	WL11	SG1	WL14	WL1	WL3	SG5
1340	WL10	SG0	WL13	WL2	WL2	SG4
1338	WL9	WL15	WL12	WL3	WL1	WL7
1336	WL8	WL14	WL11	WL4	WL0	WL6
1334	X	X	WL10	WL5	X	X
1332	X	X	WL9	WL6	X	X
1330	X	X	WL8	WL7	X	X

[0064] 根据本发明的各种实施例,图13中所展示的半导体构造1300的实施例为图1中所展示的半导体存储器装置100的实例。

[0065] 图14是根据本发明的各种实施例的半导体构造1400的俯视图。半导体构造1400由与电介质交替形成的多晶硅的层叠形成。半导体构造1400被蚀刻成指状交叉布置的第一组指状件1402及第二组指状件1408。半导体构造1400中的所述层叠中的一者或一者以上为无断裂、整体形成的多晶硅层叠,其包含外围晶体管的主体(源极、沟道及/或漏极)及存储器单元的存取线或选择栅极。根据本发明的各种实施例,所述无断裂、整体形成的多晶硅层叠中的一者或一者以上可包含外围晶体管的主体(源极、沟道及/或漏极)及存储器单元的主体(源极、沟道及/或漏极)或选择栅极。所述外围晶体管可为解码器晶体管。第一孔蚀刻穿过第一组指状件1402及第二组指状件1408的多晶硅层叠,且半导体材料的第一柱1410形成于所述第一孔中以作为存储器单元的沟道。第一柱1410包括硅或多晶硅。线1416经形成而与第一柱1410的端接触以作为第一柱1410的数据线。第二孔蚀刻穿过第一组指状件1402及第二组指状件1408的多晶硅层叠,且半导体材料的第二柱1420形成于所述第二孔中以作为外围晶体管(例如多晶硅层叠中的解码器晶体管)的选择线。第二柱1420包括硅或多晶硅且可连接到外围晶体管的多晶硅栅极。线1428 经形成而与第二柱1420的端接触。全局存取或选择线1434经形成而与第一组指状件 1402及第二组指状件1408中的多晶硅层叠接触。根据本发明的各种实施例,第一孔及第二孔为大致相同大小。举例来说,线1416、1428及1434可为钨、铝或铜。线1416、1428及1434可由例如多晶硅线的半导体线取代。

[0066] 图15是根据本发明的各种实施例的半导体构造1400的截面图。半导体构造1400在硅衬底1530上方包含无断裂、整体形成的多晶硅层叠1510、1512、1514、1516及1518。第一柱1410从线1416延伸穿过层叠1510、1512、1514、1516及1518到达衬底1530。层叠1510及1518包含选择晶体管1540(由隐藏线指示)以选择通过其的第一柱1410中的一者或一者以上。层叠1512、1514及1516为用于电荷存储装置1550(由隐藏线指示)的存取线,第一柱1410为用于电荷存储装置1550的沟道。第一柱1410可为U形柱,其通过衬底1530或可在衬底1530中结束。第二柱1420从线1428延伸穿过层叠1510、1512、1514、1516及1518且在衬底1530之前结束。第二柱1420与层叠1510、1512及1514中的外围晶体管1560接触。层叠1516及1518还可包含外围晶体管。线1434从1510、1512、1514、1516及1518的层叠延伸。半导体构造1400包含比图15中所展示的多晶硅层叠更多的多晶硅层叠。

[0067] 图16是根据本发明的各种实施例的半导体构造1400的截面图。图16中所展示的第

一柱1410从线1416中的一者延伸穿过层叠1510、1512、1514、1516及1518到达衬底1530。层叠1512、1514、1516及1518被划分成单独部分使得第一柱1410中的两个第一柱通过层叠1510、1512、1514及1516的所述部分中的每一者且每一柱1410通过层叠1518的所述部分中的一者。层叠1510及1518的所述部分中的每一者包含选择栅极以选择通过其的(若干)第一柱1410。层叠1512、1514及1516的所述部分为用于电荷存储装置的存取线,第一柱1410为用于所述电荷存储装置的沟道。

[0068] 根据本发明的各种实施例,图14到16中所展示的半导体构造1400的实施例为图1中所展示的半导体存储器装置100的实例。

[0069] 图17是根据本发明的各种实施例的半导体存储器装置1700的透视图。存储器装置1700包含电荷存储装置的水平nand串。nand串的电荷存储装置的主体(每一主体可包含源极、沟道及/或漏极)在例如多晶硅的半导体材料的水平杆1710中共享。存储器装置1700包含通过水平电介质1716彼此分离的多个水平杆1710。每一水平杆1710可具有矩形或圆形截面。每一水平杆1710包含十二个电荷存储装置的主体,但水平杆1710可支撑不同数目个电荷存储装置。八个水平杆1710布置成垂直平面,且垂直平面中的每一水平杆1710在第一端处连接到第一垂直半导体材料(例如多晶硅)柱1720,所述柱为作为电压源的共用源极线(CSL)。所述平面中的每一水平杆1710在第二端处连接到第二垂直半导体材料(例如多晶硅)柱1730,所述柱为用于所述平面中的电荷存储装置的数据线。每一水平杆1710中的电荷存储装置的主体与所述垂直平面中的在其上方及下方的主体对准,且第三垂直半导体材料(例如多晶硅)柱1740充当用于所述垂直平面中的电荷存储装置的存取线。每一第三垂直柱1740为用于与每一水平杆1710相关联的一个电荷存储装置的存取线且延伸穿过所述垂直平面中的所有水平杆1710。图17中将水平杆1710的六个垂直平面展示为单个存储器装置,但存储器装置1700可包含不同数目个水平杆1710及相关联电荷存储装置。第二垂直柱1730改变方向且具有穿过半导体构造1700下方的水平部分1760。第二垂直柱1730的水平部分1760使数据线沿实质上与水平杆1710平行的水平方向延伸。

[0070] 图18是根据本发明的各种实施例的半导体构造1800的示意图。半导体构造1800包括存储器单元阵列1802及解码器晶体管的七个解码器块1812、1814、1816、1818、1820、1822及1824。解码器块1812、1814、1816、1818、1820、1822及1824各自包括具有多晶硅栅极1828的多个解码器晶体管且具有阶梯配置。阵列1802包括存储器单元的主体,每一主体包括形成于半导体材料(例如n型多晶硅)的相应水平杆1830中的源极、沟道及/或漏极。存取线1840经形成而与水平杆1830中的单元接触。存取线1840为半导体材料(例如n型多晶硅)的垂直柱。每一存取线1840经由导电线1850中的相应导电线耦合到解码器块1812、1814、1816及1818中的相应解码器块中的相应解码器晶体管。每一水平杆1830经由数据线1860中的相应数据线耦合到解码器块1820、1822及1824中的相应解码器块中的相应解码器晶体管。解码器块1816及1818可与存储器单元阵列1802对准。根据本发明的各种实施例,解码器块1812及1814还可与存储器单元阵列1802对准。

[0071] 图19是根据本发明的各种实施例的半导体构造1800的截面图。具有存储器单元的主体的水平杆1830位于硅衬底1930上方。存取线1840的截面图被展示为实质上正交于水平杆1830。存取线1840实质上为正方形的,但可具有不同几何形状。每一存取线1840具有延伸以与多个水平杆1830相交的第一触点1950。电荷存储装置1956(由隐藏线指示)位于水平

杆1830与第一触点1950的每一相交点处,且第一触点1950可通过电介质(例如二氧化硅)与水平杆1830分离。每一水平杆1830经由第二触点1970耦合到数据线1860。第一触点1950及第二触点1970包括金属或多晶硅。根据本发明的各种实施例,与图19中所展示的相比,半导体构造1800包含更多水平杆1830及更多存取线1840。

[0072] 图20是根据本发明的各种实施例的半导体构造1800的截面图。图20中图解说明水平杆1830及数据线1860的截面图,且每一数据线1860通过第二触点1970中的一者耦合到水平杆1830中的四个水平杆。存取线1840及数据线1860为实质上正方形的,但可具有不同几何形状。存取线1840中的一者被展示为在硅衬底1930与水平杆1830 之间,且第一触点1950从存取线1840朝向水平杆1830延伸。电荷存储装置位于水平杆1830与第一触点1950之间的每一相交点处,例如电荷存储装置2010(由隐藏线指示)。第一触点1950可通过电介质(例如二氧化硅)与水平杆1830分离。根据本发明的各种实施例,与图20中所展示的相比,半导体构造1800包含更多水平杆1830及更多存取线 1840。

[0073] 根据本发明的各种实施例,图18到20中所展示的半导体构造1800的实施例为图17中所展示的半导体存储器装置1700的实例。

[0074] 图21是根据本发明的各种实施例的半导体存储器装置2100的截面图。半导体构造2100包含围绕形成于p型硅衬底2114上的两个多晶硅柱2110布置的电荷陷阱层。每一柱2110在衬底2114与导电插塞2118之间延伸。导电插塞2118包括金属或多晶硅。所述金属可为(举例来说)氮化钛(TiN)、钽(Ta)、氮化钽(TaN)或钨(W)。导电插塞2118与数据线2120电接触。数据线2120在柱2110的漏极端处且衬底2114在柱2110的源极端处。在半导体构造2100的供电操作期间,电流从数据线2120流动穿过柱2110到达衬底2114。

[0075] 数据存储于环绕每一柱2110的电荷陷阱层2130中。每一电荷陷阱层2130具有蛇形图案,所述蛇形图案包含电荷陷阱层2130的与柱2110接触的第一部分2134及电荷陷阱层2130的通过电介质2142与所述柱分离的第二部分2138。电介质2142可包括(举例来说)二氧化硅(SiO_2)、氮氧化物或氮化氧化物。每一电荷陷阱层2130包括二氧化硅(SiO_2)层,其为最接近于柱2110的隧穿氧化物层。氮化硅(Si_3N_4)的陷阱层形成于所述隧穿氧化物层上,且阻挡层形成于所述陷阱层上。所述阻挡层可包括在两个二氧化硅(SiO_2) 层之间的氮化硅(Si_3N_4),其共同构成氧化物-氮化物-氧化物($\text{SiO}_2\text{Si}_3\text{N}_4\text{SiO}_2$ 或“ONO”)的多晶硅间电介质(IPD)层。控制栅极2146与电荷陷阱层2130的第一部分2134(其与柱 2110接触)中的相应第一部分接触地环绕每一柱2110。控制栅极2146包括金属或多晶硅。控制栅极2146中的一者或一者以上的电位可经升高以将电荷存储于电荷陷阱层2130的相应第一部分2134中或读取所述第一部分中的数据。参考图11中所展示的解码器晶体管1100,解码器晶体管1100的栅极1160可形成有柱2110。另外,根据本发明的各种实施例,包含解码器晶体管1100的源极1180及漏极1170的三个多晶硅层叠1110、1120 及1130可形成有存储器装置2100的控制栅极2146。

[0076] 图22是根据本发明的各种实施例的半导体存储器装置2200的截面图。nand串的电
荷存储装置形成于存取线2214与隔离膜2218的四个交替层的堆叠2210上。栅极电介质及多晶硅沟道2226形成于存取线2214与隔离膜2218的堆叠2210上方。沟道2226 包括由堆叠2210中的四个存取线2214控制的八个电荷存储装置。每一存取线2214控制沟道2226中的两个电荷存储装置,堆叠2210的每一侧上各一个电荷存储装置。每一沟道2226由第一端处的

源极选择线 (SSL) 晶体管2240及第二端处的接地选择线 (GSL) 晶体管2250控制。每一GSL晶体管2250耦合到线2252以接收供应电压,且每一SSL晶体管2240耦合到数据线2260。每一存取线2214耦合到金属端子2270。每一沟道2226 形成于存取线2214的三个堆叠2210上方,且存取线2214的每一堆叠2210在三个单独且实质上平行的沟道2226下面延伸使得半导体构造2200包括72个电荷存储装置。沟道2226可包括除多晶硅外的半导体材料。半导体存储器装置2200可包含不同数目个沟道2226,且存取线2214的堆叠2210可为较长的以在更多沟道2226下面延伸。参考图 11中所展示的解码器晶体管1100,解码器晶体管1100的栅极1160可形成有存取线2214。另外,根据本发明的各种实施例,包含解码器晶体管1100的源极1180及漏极1170的三个多晶硅层叠1110、1120及1130可形成有沟道2226。

[0077] 图23是根据本发明的各种实施例的方法2300的流程图。在框2310中,方法2300 开始。在框2320中,形成多个半导体材料(例如n型多晶硅)层叠。在框2330中,在半导体材料(例如,n型多晶硅)的层叠中形成存储器单元的存取线。在框2340中,在同一 n型多晶硅层叠中形成外围晶体管(例如解码器晶体管)的源极、沟道及/或漏极。可针对每一层叠重复此过程。在框2350中,将外围晶体管的源极或漏极耦合到存取线中的一者。在框2360中,方法2300结束。各种实施例可具有比图23中所展示的活动更多或更少的活动。在一些实施例中,可重复、彼此替换及/或以串行或并行方式执行所述活动。

[0078] 图24是图解说明根据本发明的各种实施例的系统2400的图式。系统2400可包含处理器2410、存储器装置2420、存储器控制器2430、图形控制器2440、输入与输出(I/O) 控制器2450、显示器2452、键盘2454、指向装置2456及外围装置2458。总线2460将所有这些装置耦合在一起。时钟产生器2470耦合到总线2460以经由总线2460将时钟信号提供到系统2400的所述装置中的至少一者。时钟产生器2470可包含在电路板(例如,母板)中的振荡器。系统2400中所展示的两个或两个以上装置可形成于单个集成电路芯片中。根据本发明的各种实施例,存储器装置2420可包括在本文中描述且在图中展示的存储器装置100、1700、2100或2200中的一者。根据本发明的各种实施例,存储器装置2420可包括半导体构造2482或2484,例如(举例来说)在本文中描述且在图中展示的半导体构造200、1300、1400及1800中的一者或一者以上。总线2460可为电路板上的互连迹线或可为一个或一个以上电缆。总线2460可通过无线方式(例如,通过电磁辐射,举例来说,无线电波)耦合系统2400的装置。耦合到I/O控制器2450的外围装置 2458可为打印机、光学装置(例如,CD-ROM及DVD读取器及写入器)、磁性装置读取器及写入器(例如,软磁盘驱动器)或音频装置(例如,麦克风)。

[0079] 图24所表示的系统2400可包含:计算机(例如,桌上型计算机、膝上型计算机、手持式计算机、服务器、Web器具、路由器等)、无线通信装置(例如,蜂窝式电话、无绳电话、寻呼机、个人数字助理等)、计算机相关外围装置(例如,打印机、扫描仪、监视器等)、娱乐装置(例如,电视、无线电、立体声系统、磁带及光盘播放器、视频盒式录像机、摄录像机、数码相机、MP3(运动图像专家组,音频层3)播放器、视频游戏、表等)及类似装置。

[0080] 本发明已描述制作半导体装置的实例性结构及方法。虽然已描述特定实施例,但将显而易见,可对这些实施例做出各种修改及改变。因此,应将说明书及图式视为具有说明性意义而非限制性意义。

[0081] 提供本发明的摘要以允许读者迅速确定技术性发明的本质的摘要。所述摘要是在其将不用以阐释或限制权利要求书的理解下提交的。另外,在前述实施方式中,可看到,出

于简化本发明的目的,将各种特征一起分组于单个实施例中。不应将本发明的此方法解释为限制权利要求书。

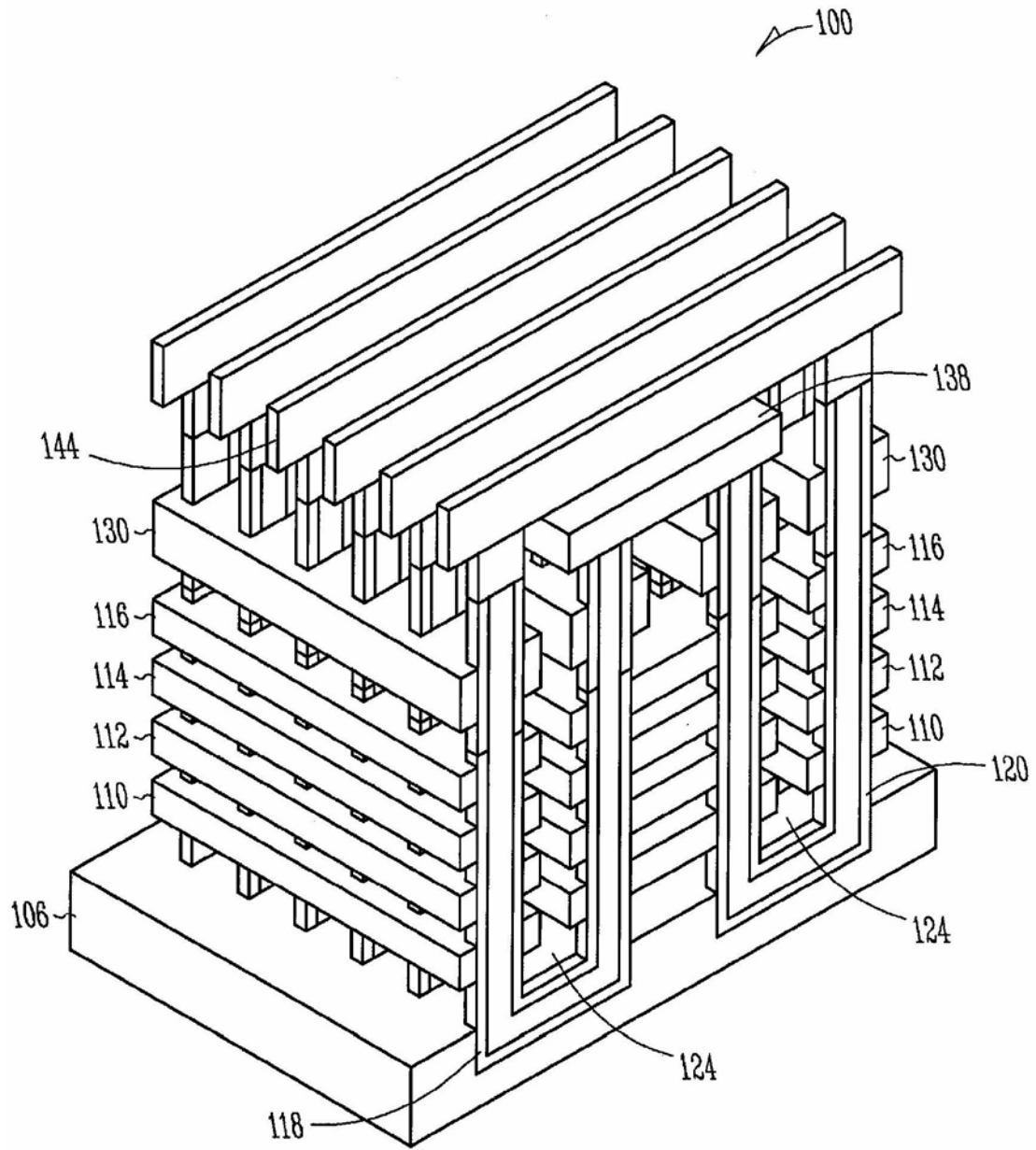


图1

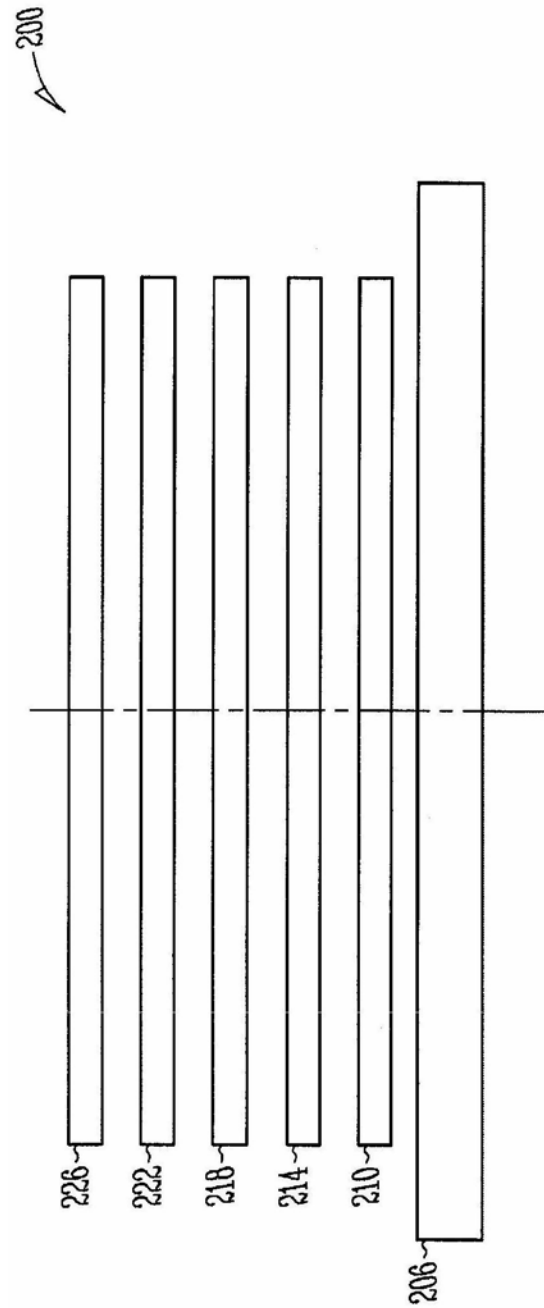


图2

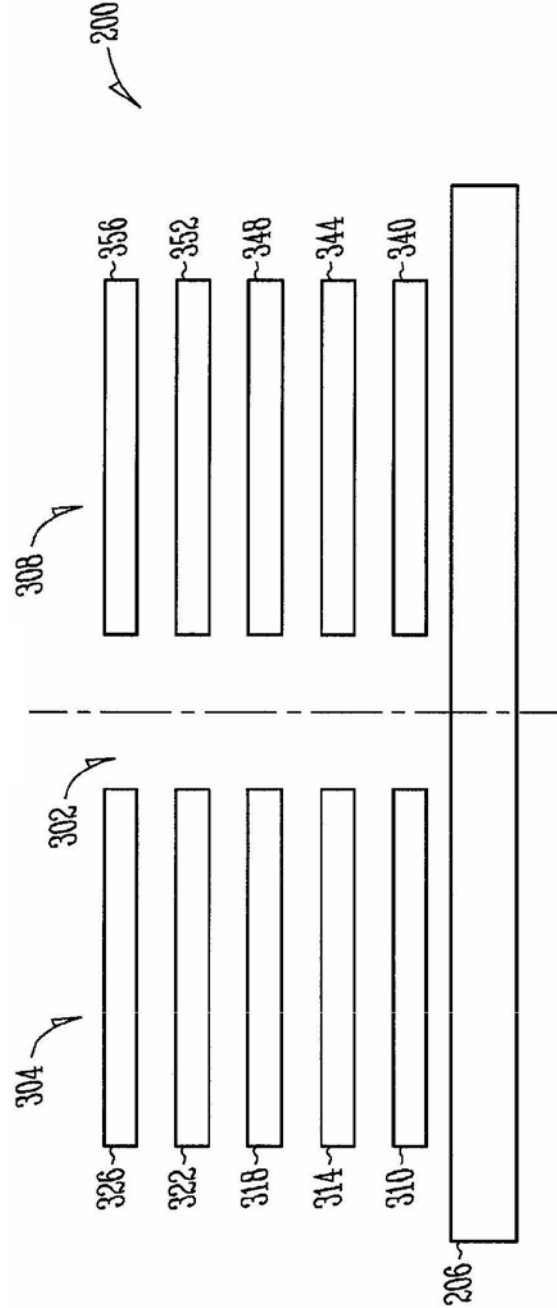


图3

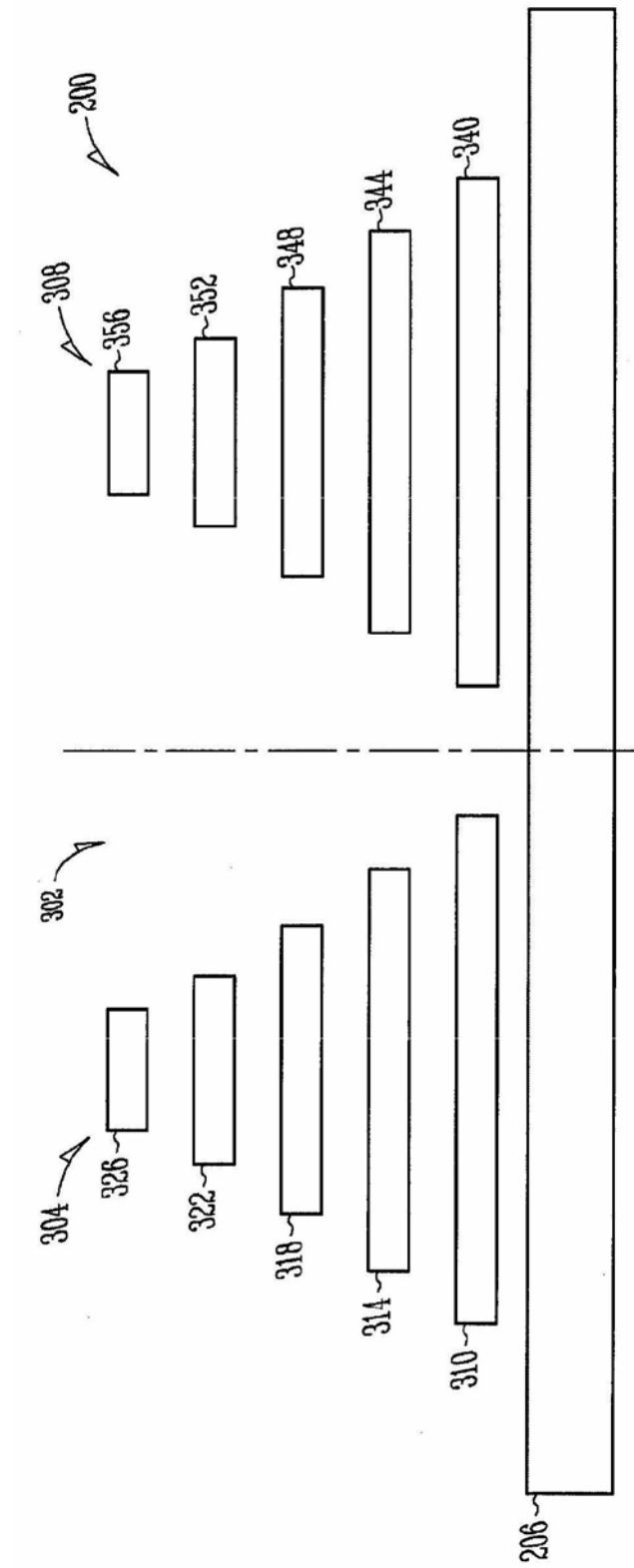


图4

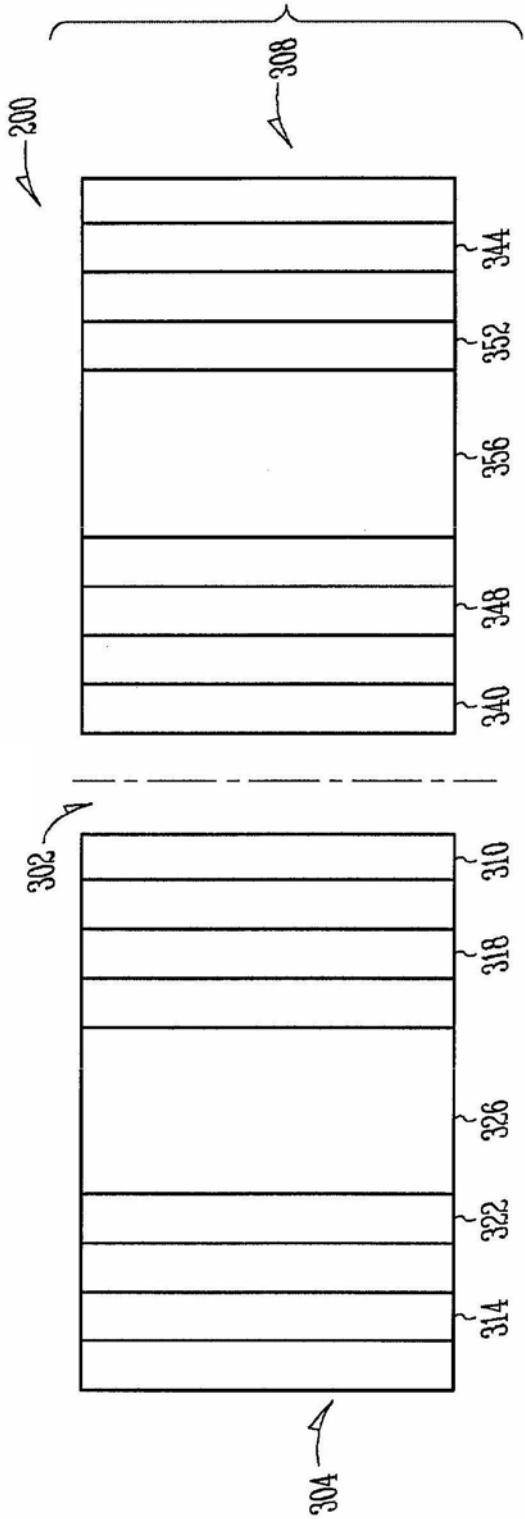


图5

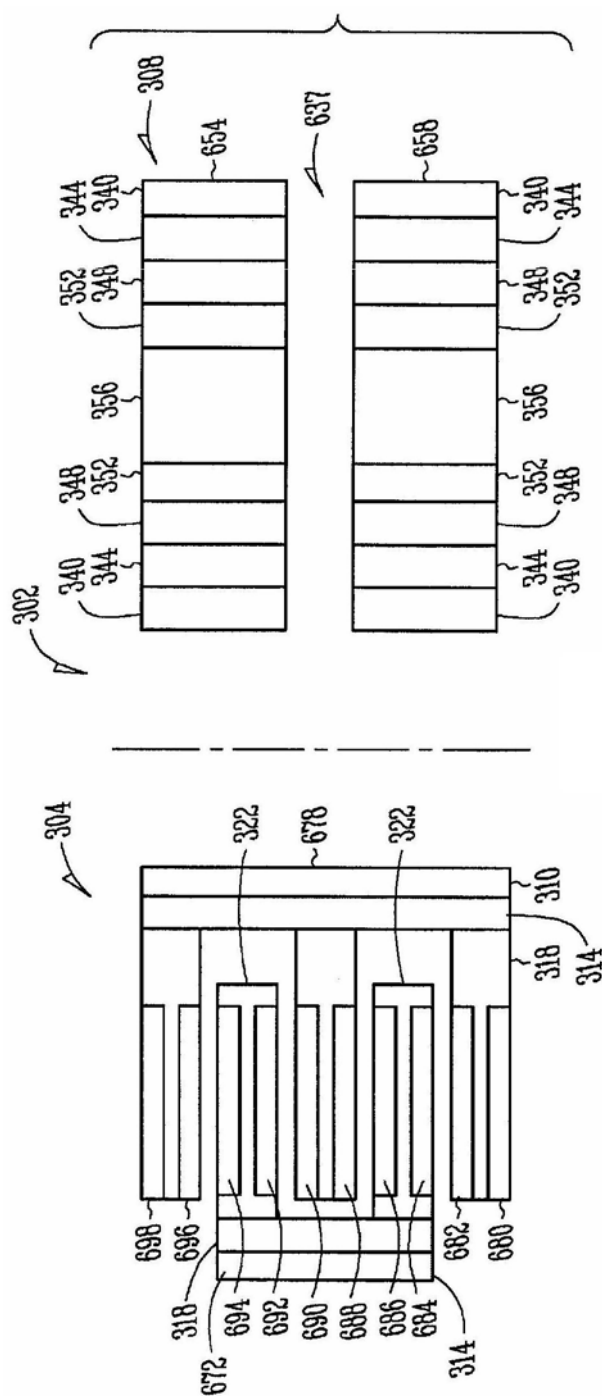


图6

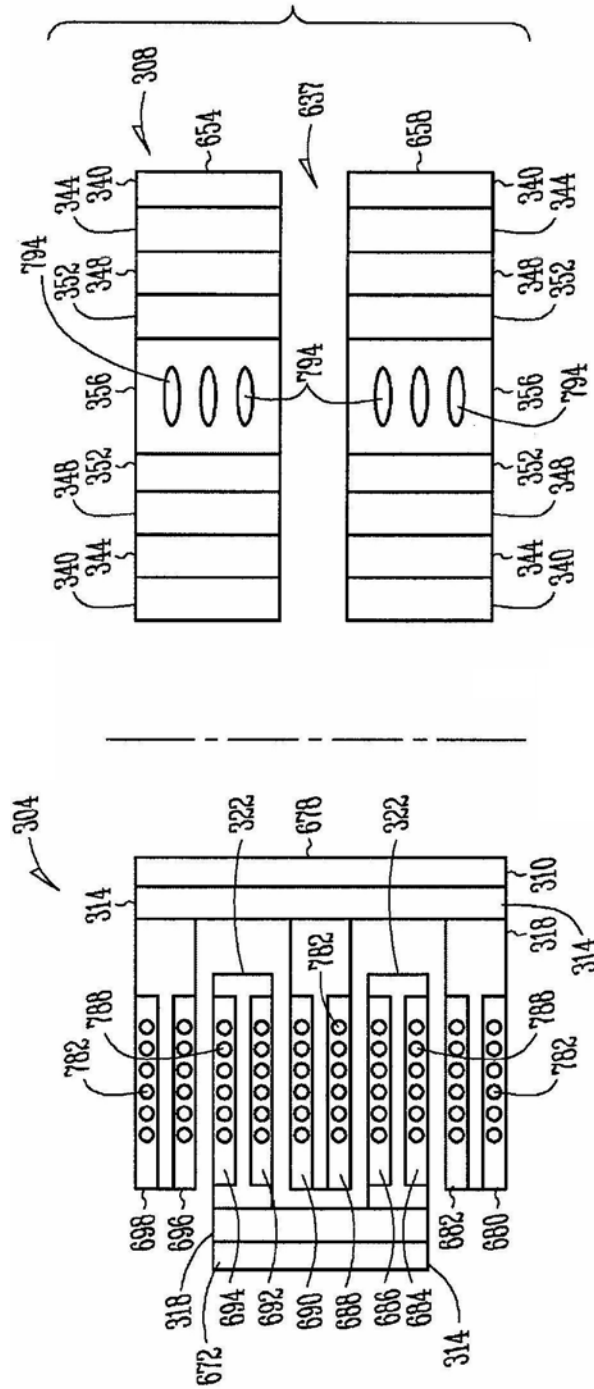


图7

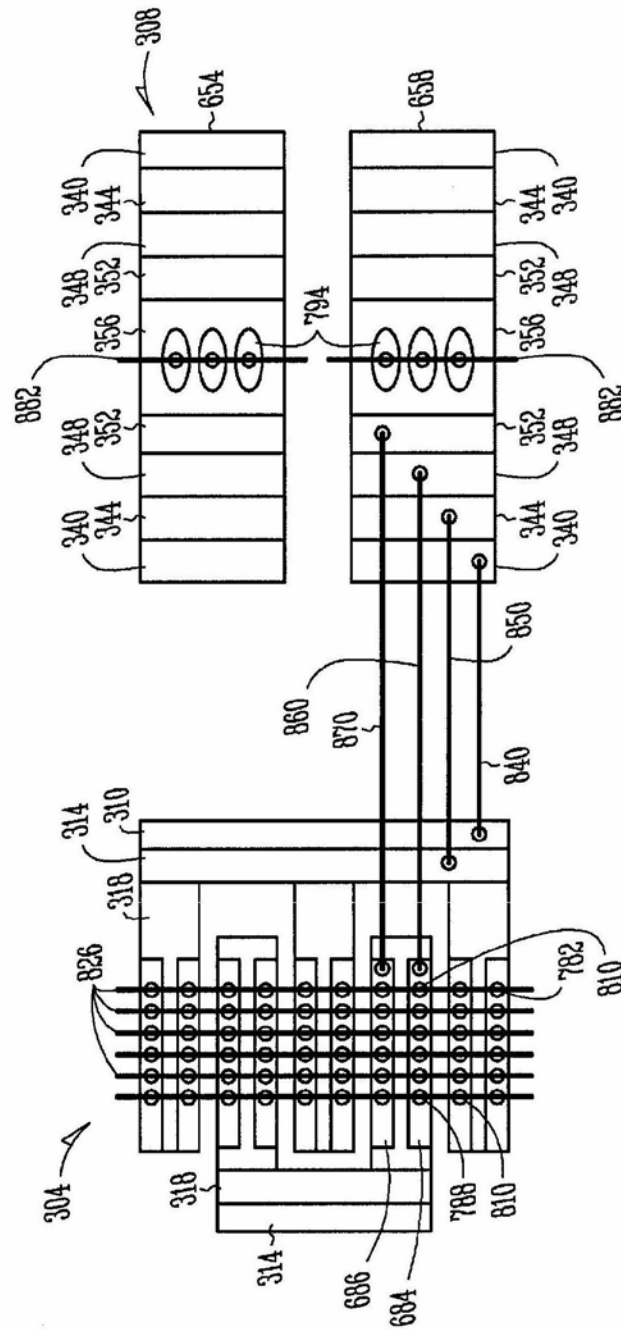


图8

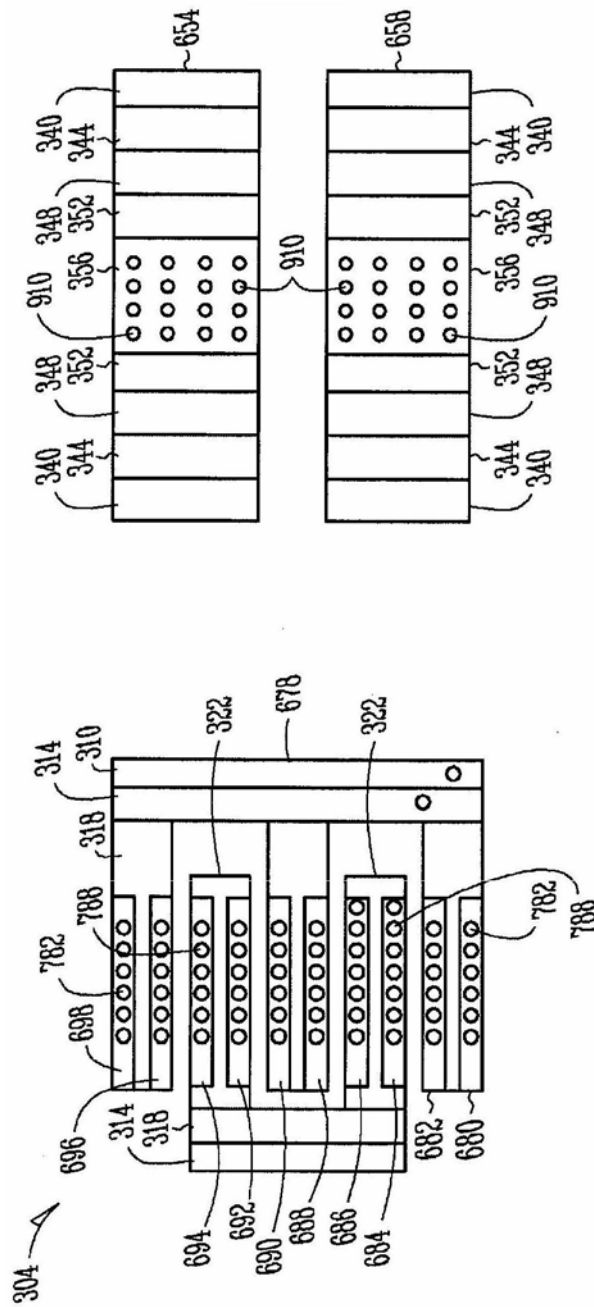


图9

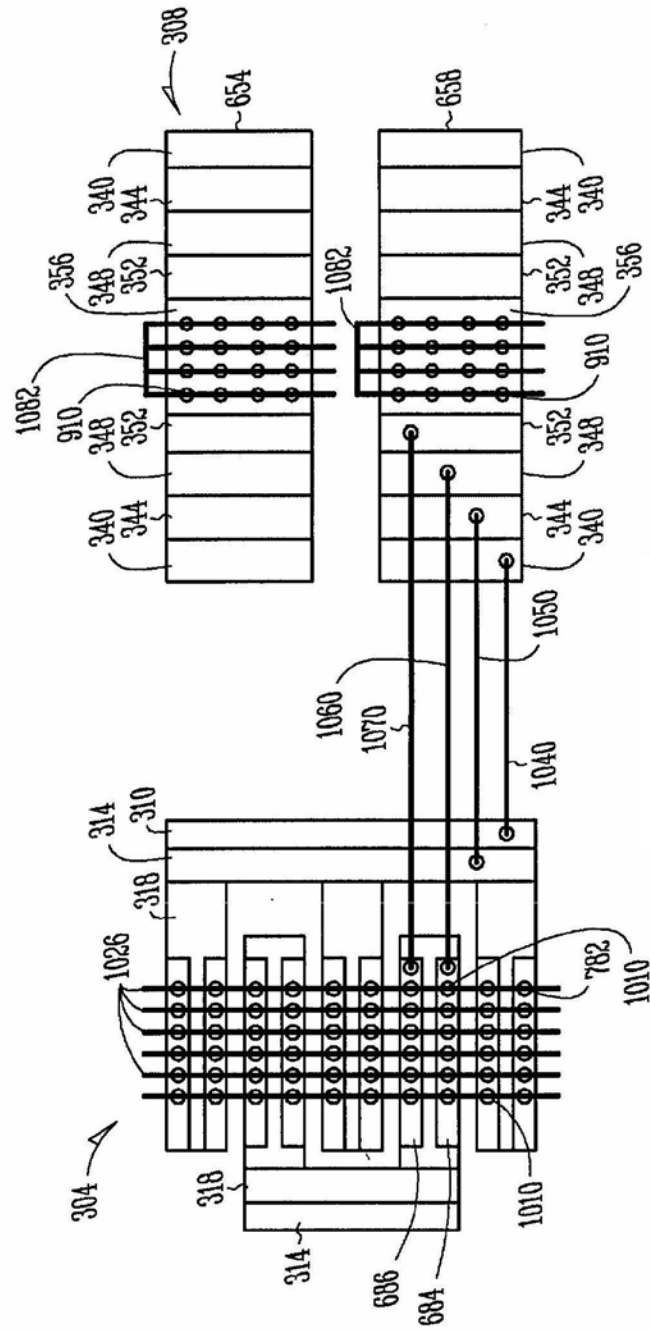


图10

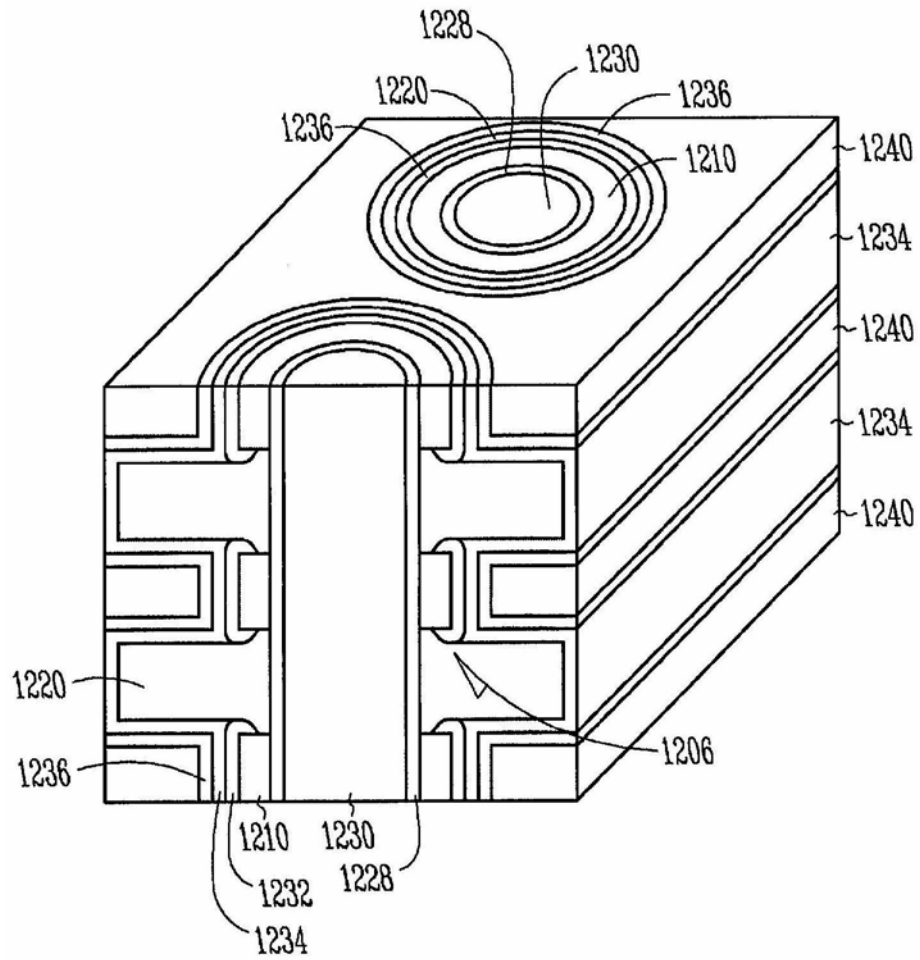


图12

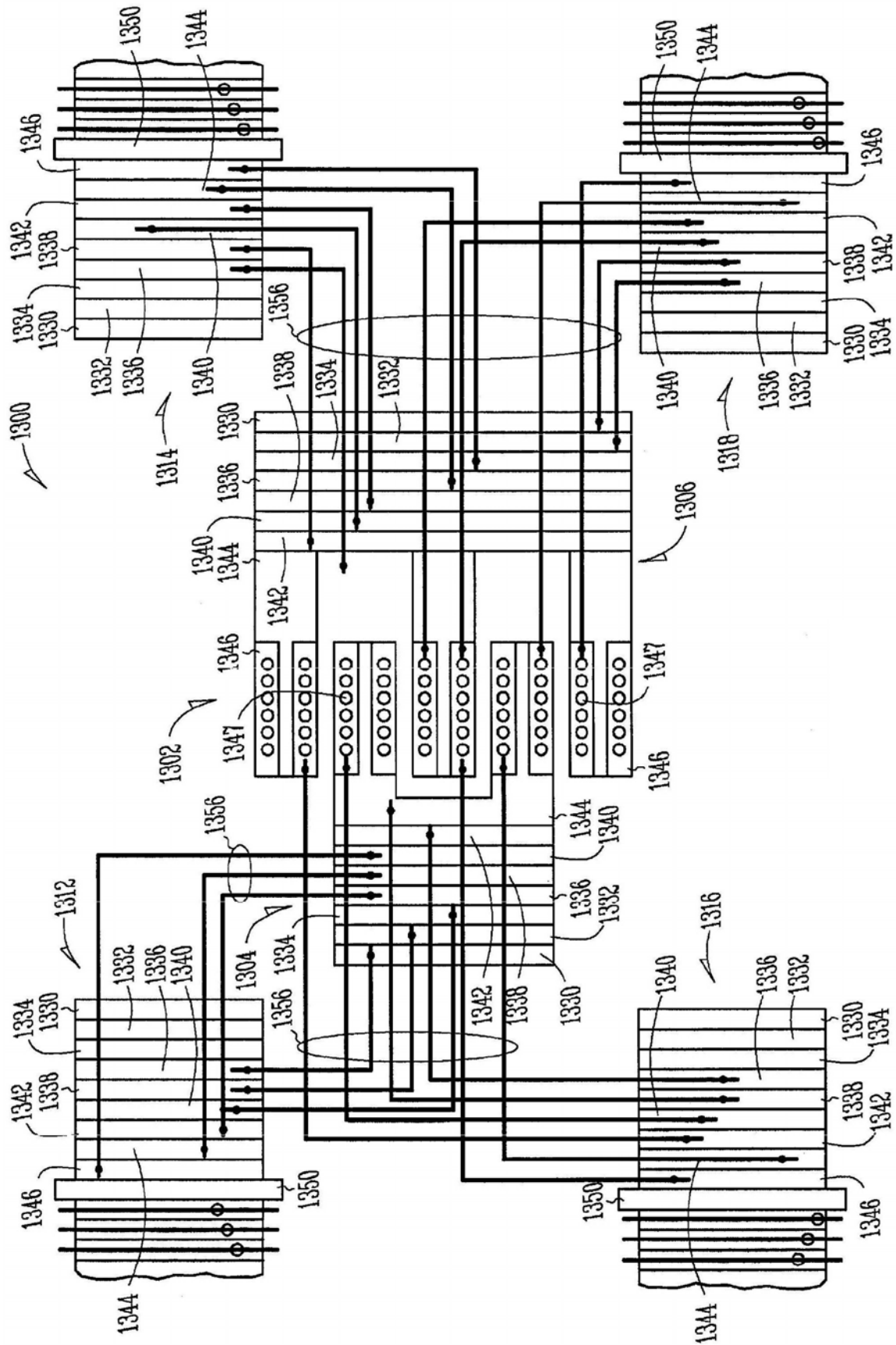


图13

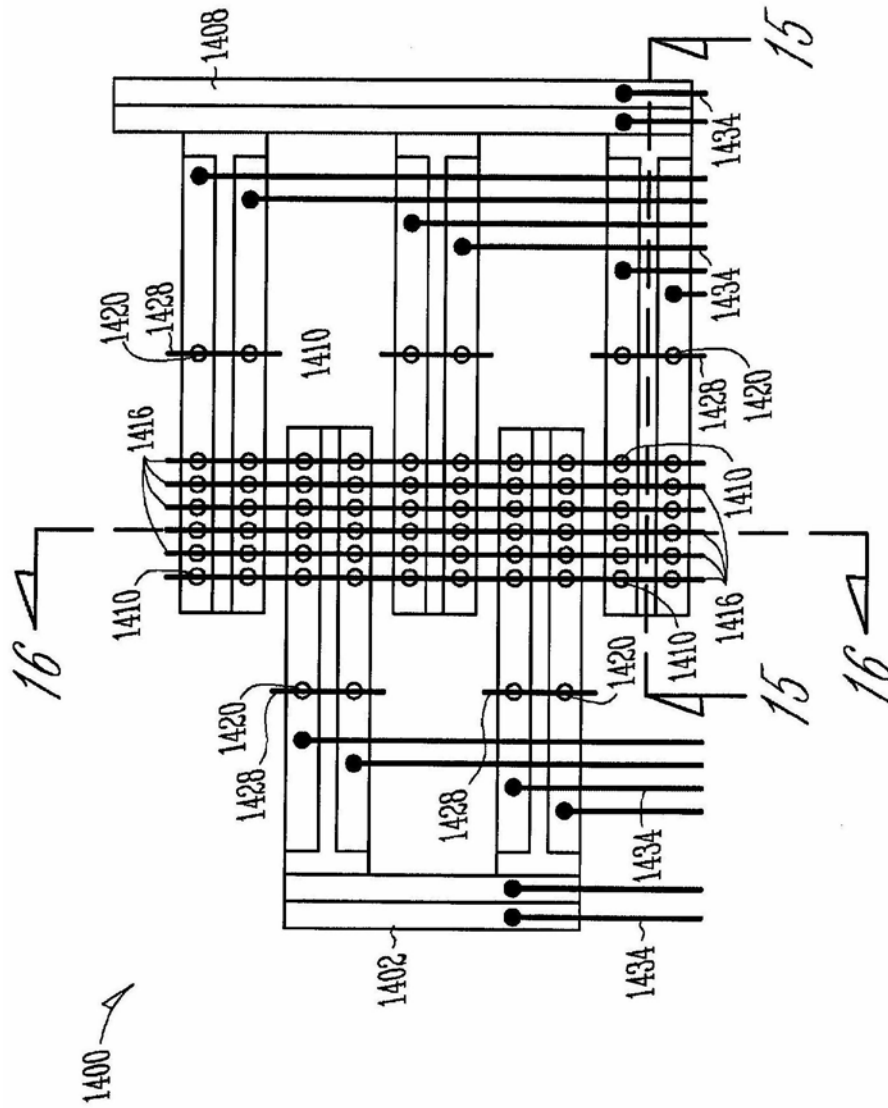


图14

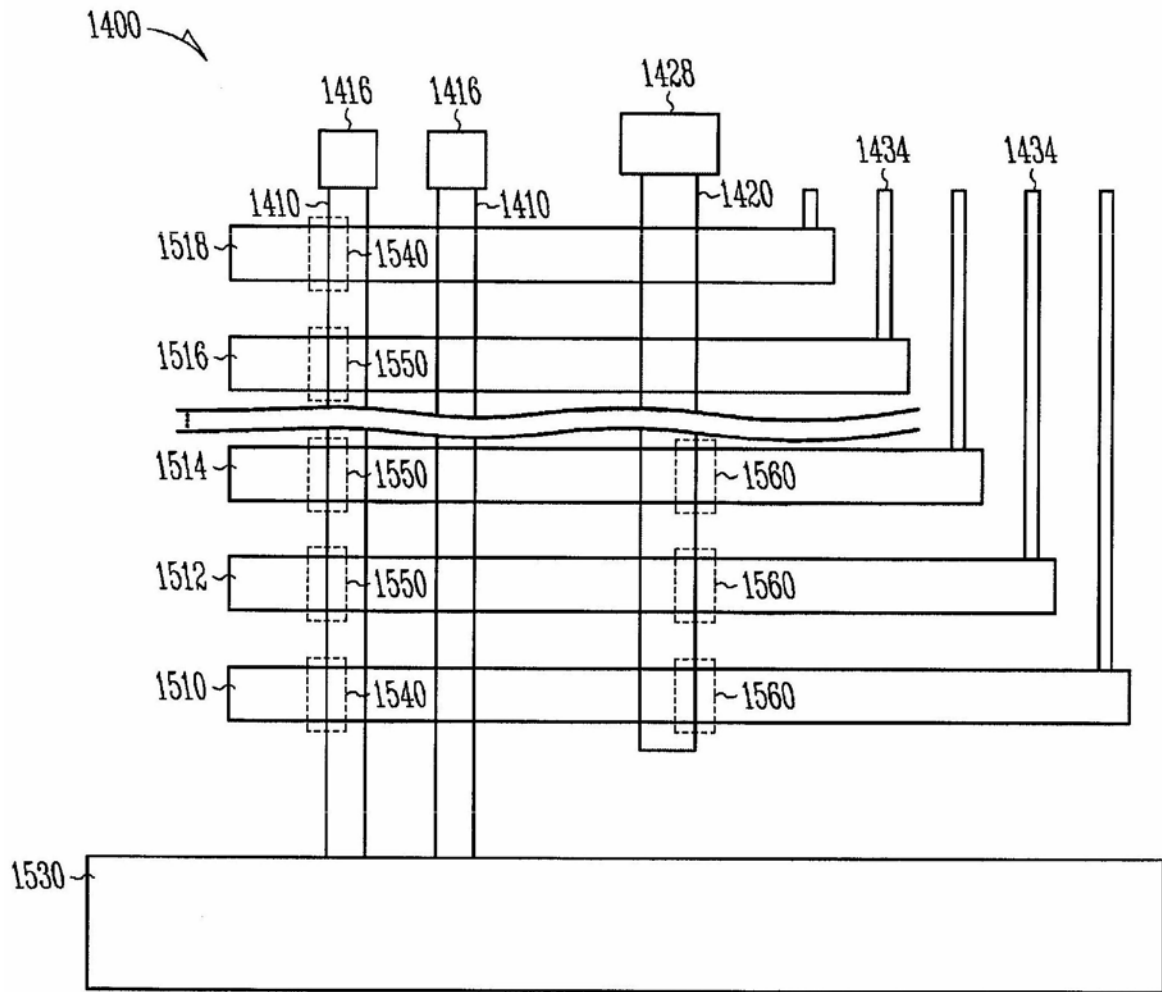


图15

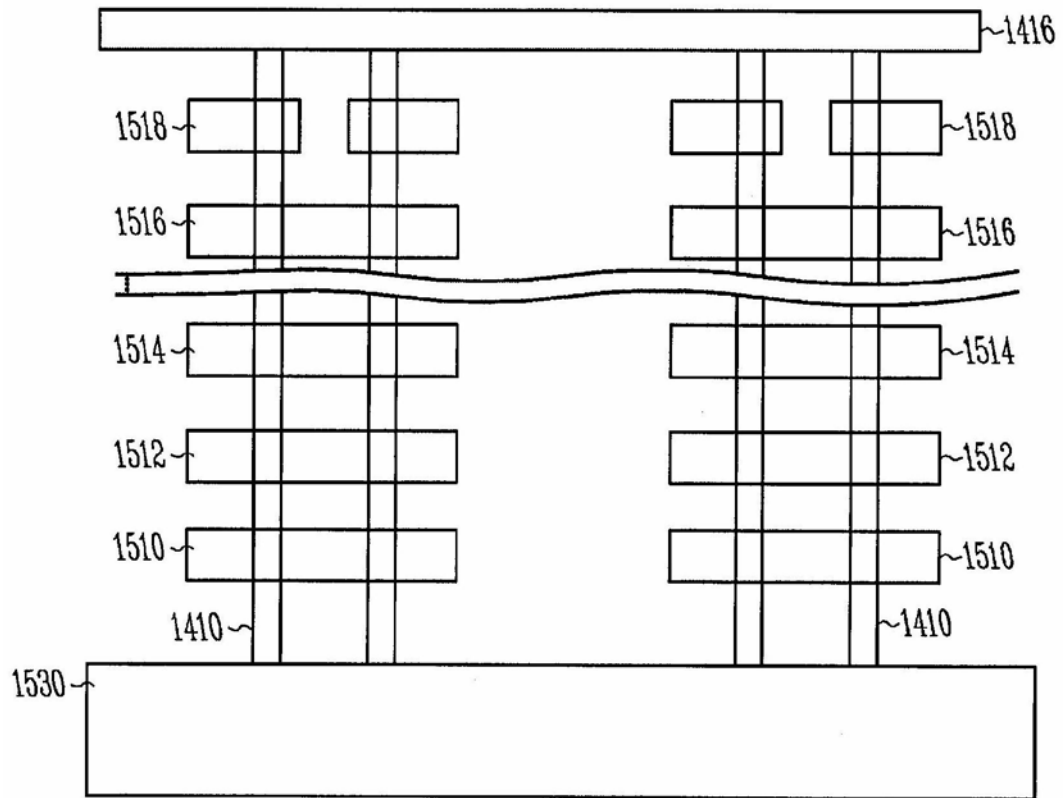


图16

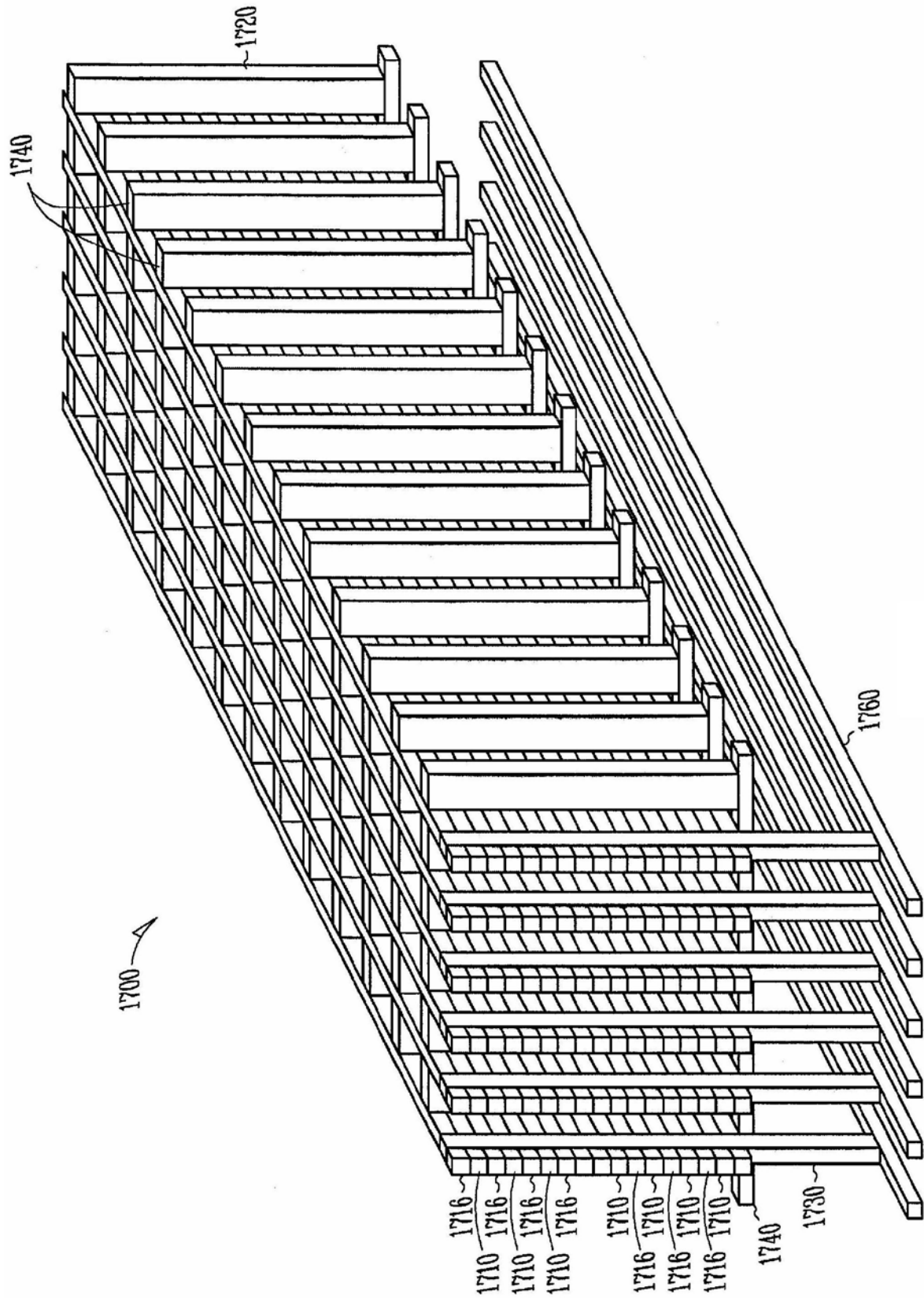


图17

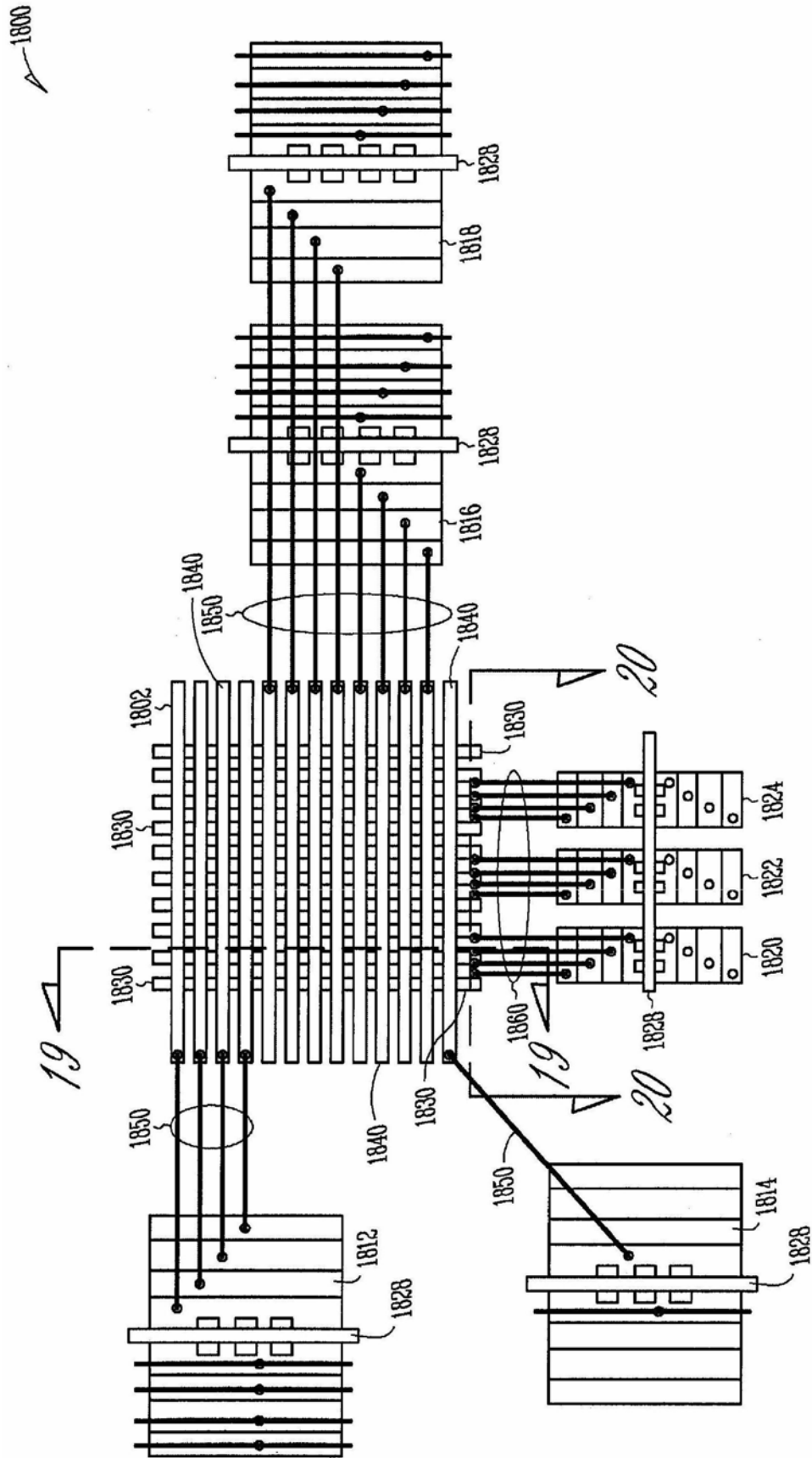


图18

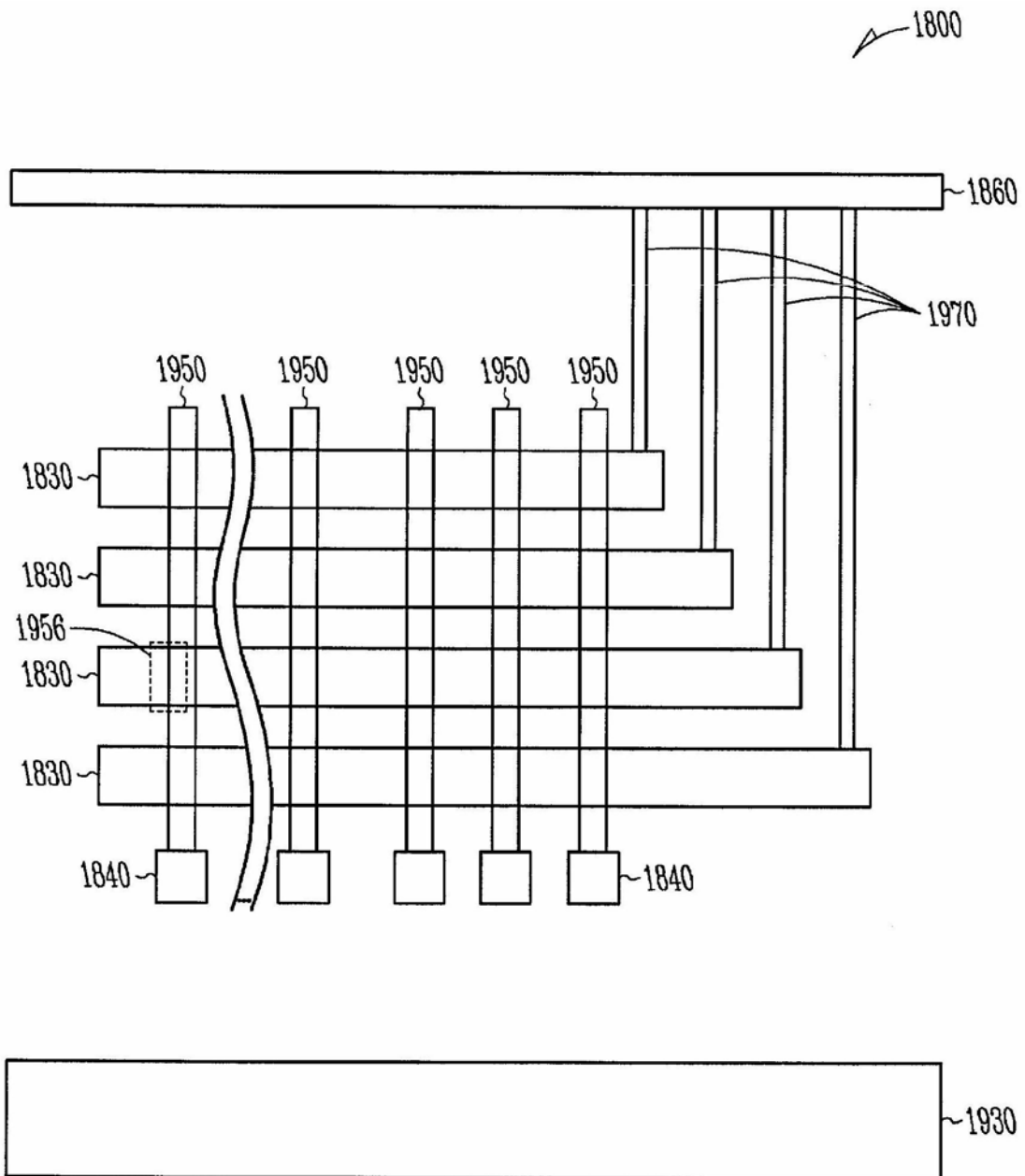


图19

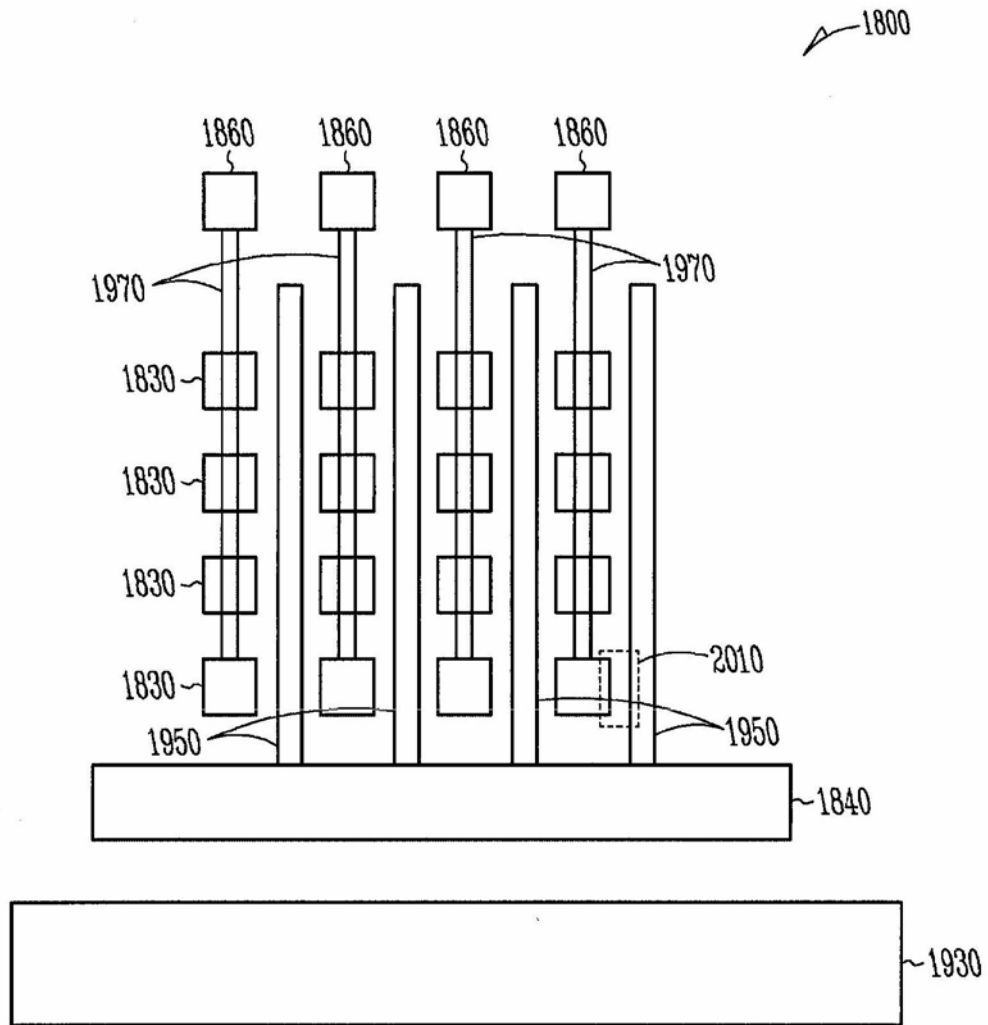


图20

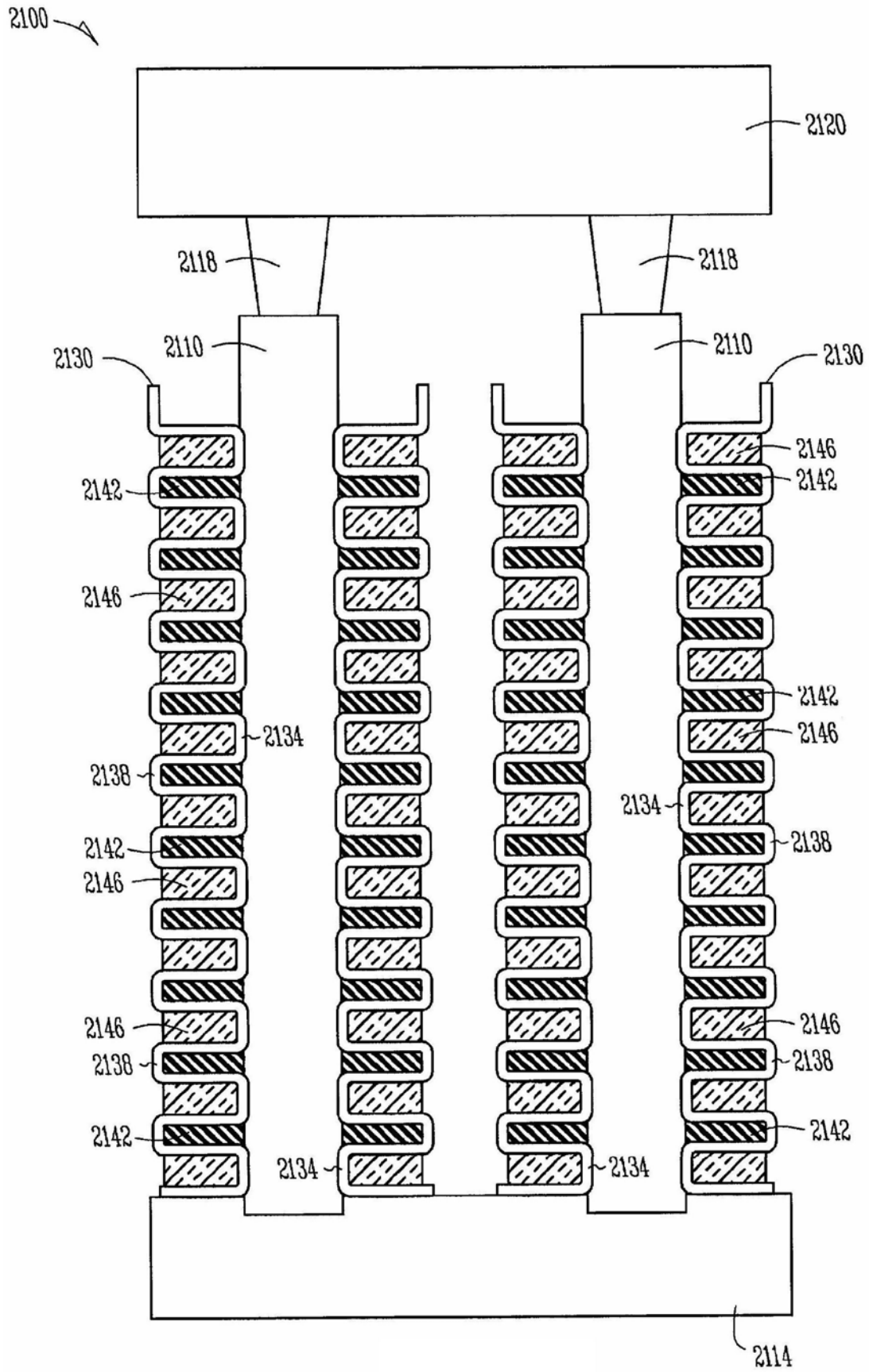


图21

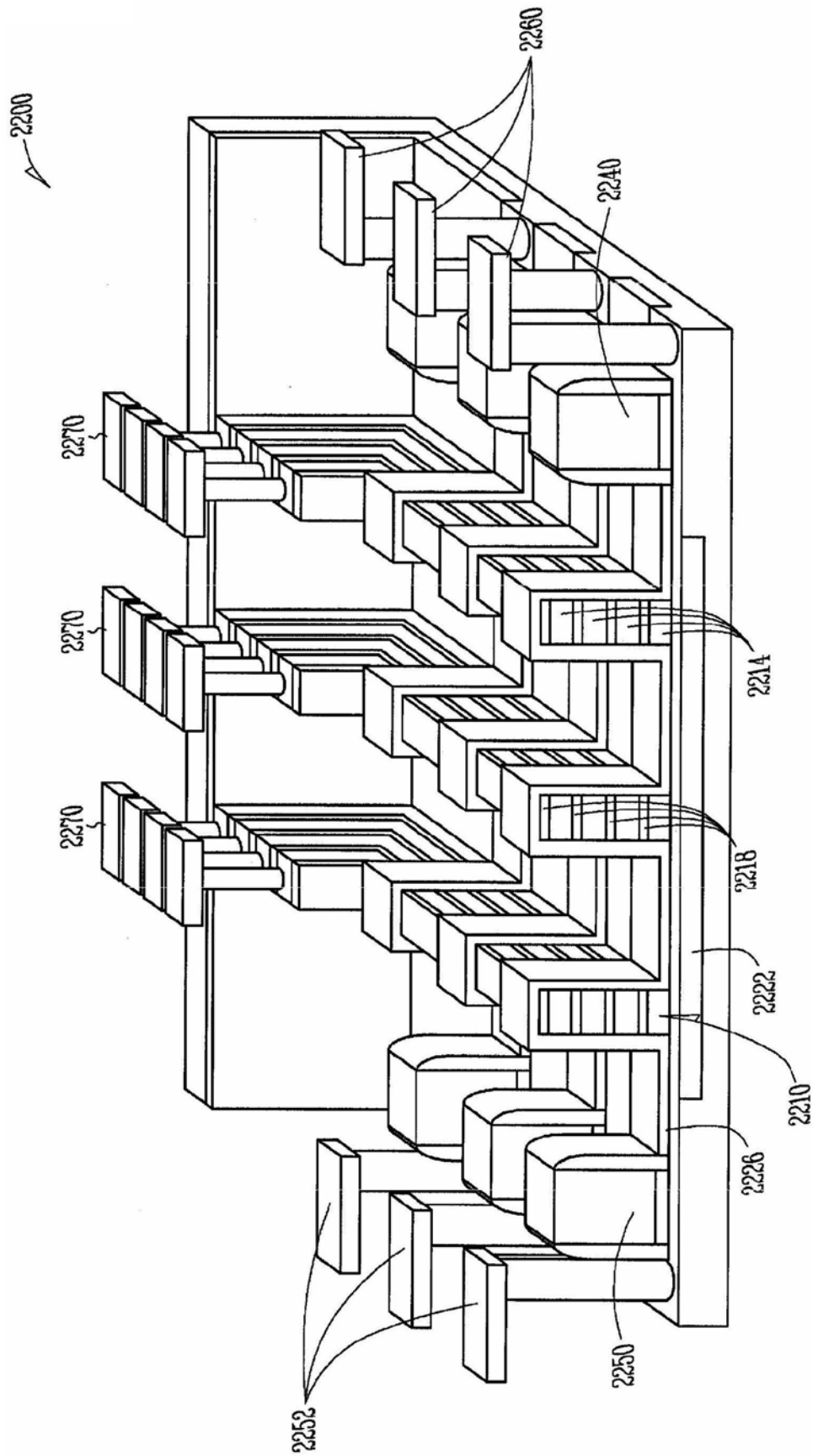


图22

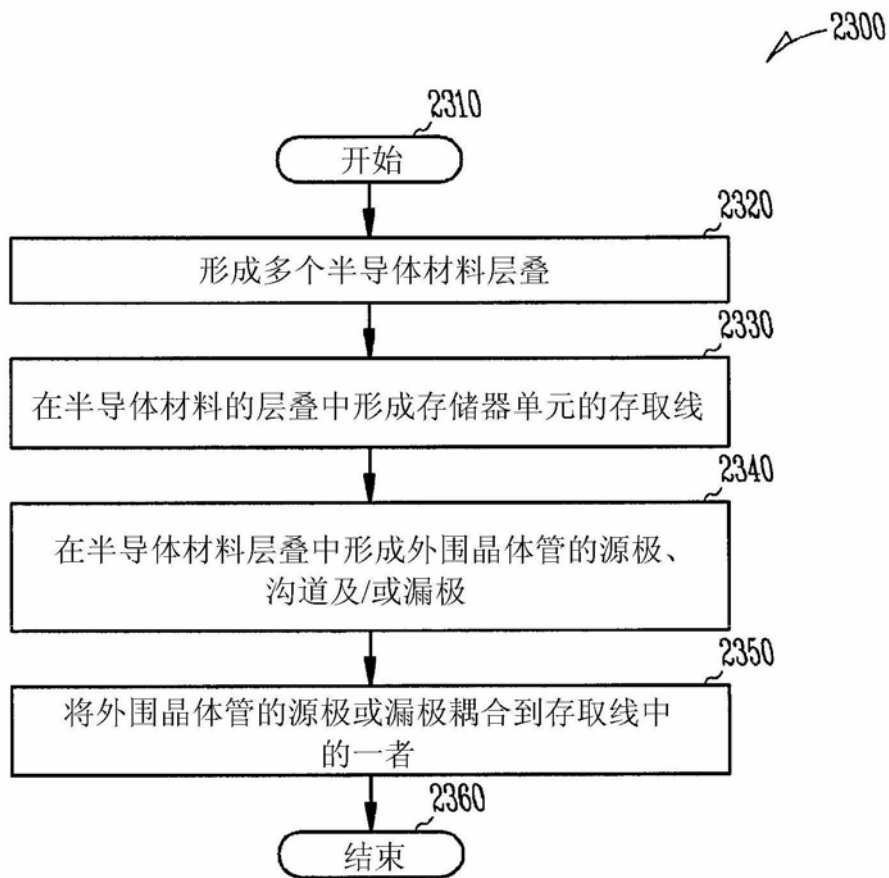


图23

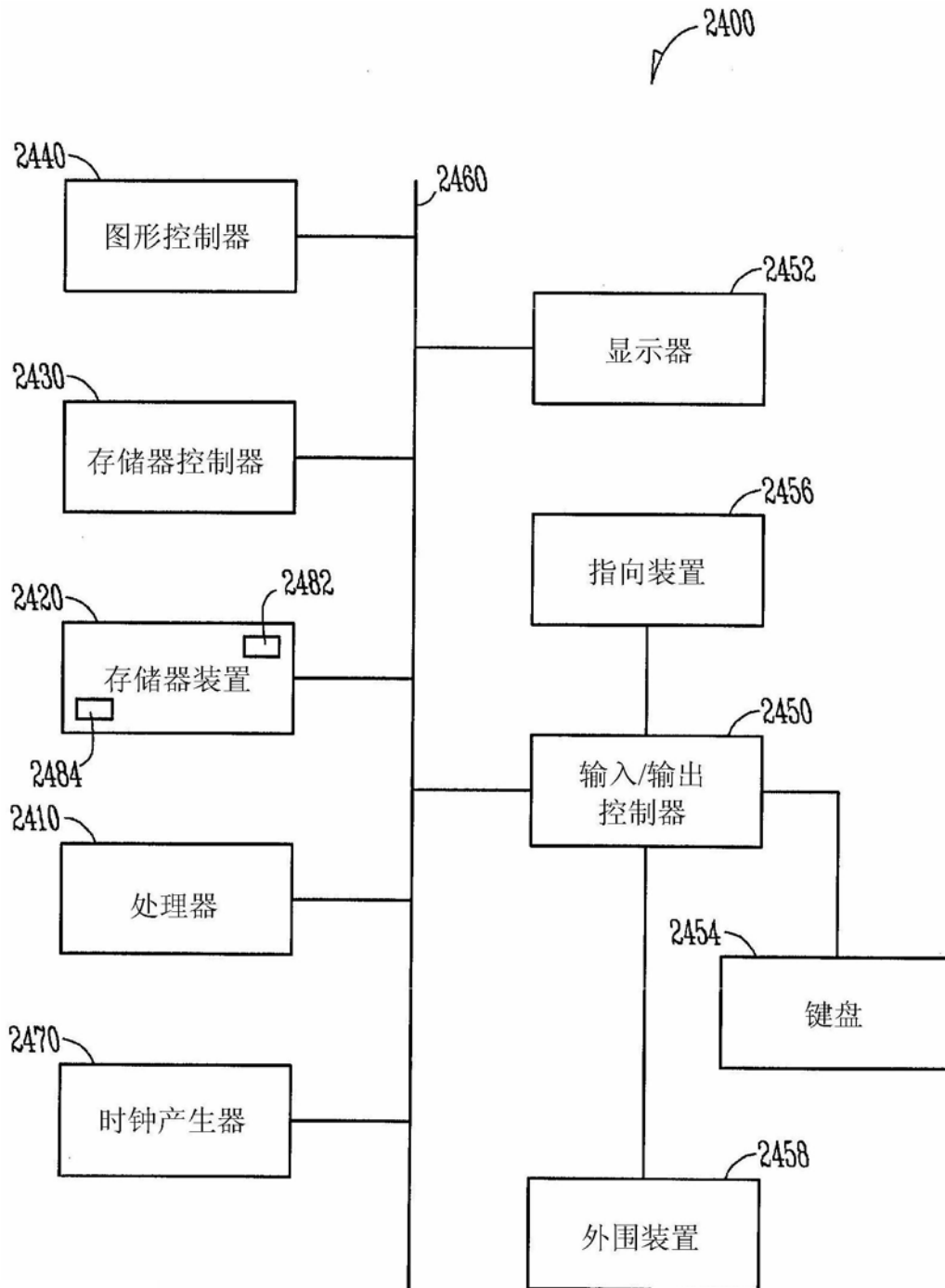


图24