



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0073643
(43) 공개일자 2020년06월24일

(51) 국제특허분류(Int. Cl.)
H01L 23/60 (2006.01) H01L 23/00 (2006.01)
H01L 23/31 (2006.01) H01L 25/065 (2006.01)
(52) CPC특허분류
H01L 23/60 (2013.01)
H01L 23/31 (2013.01)
(21) 출원번호 10-2018-0162037
(22) 출원일자 2018년12월14일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
유세진
충청남도 아산시 배방읍 연화로 11, 604동 603호
주홍섭
경기도 화성시 동탄문화센터로 38, 413동 1702호
한원길
충청북도 청주시 흥덕구 대농로 17, 102동 1402호
(74) 대리인
박영우

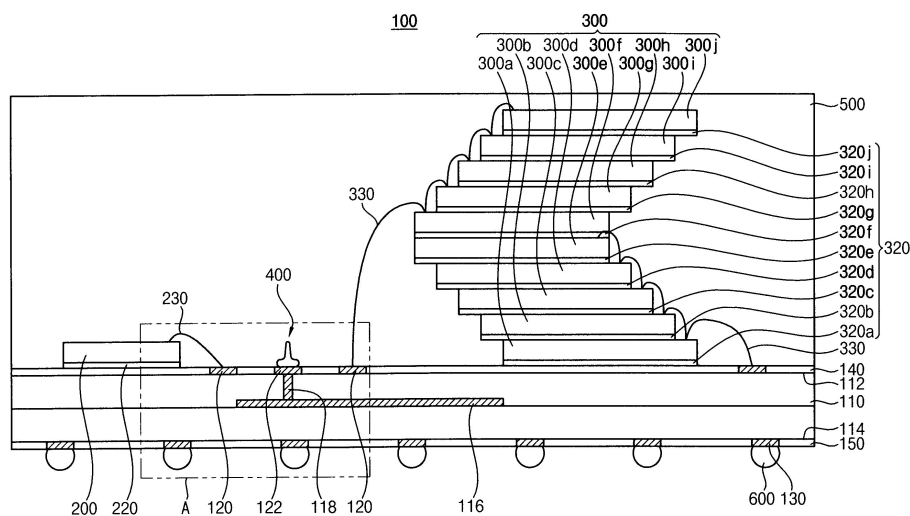
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 패키지 및 반도체 패키지의 제조 방법

(57) 요약

반도체 패키지의 제조 방법에 있어서, 패키지 기판 상에 제1 반도체 장치를 배치시킨다. 상기 패키지 기판의 상면에 노출된 적어도 하나의 접지용 기판 패드 상에 정전기 방전 구조물을 형성한다. 상기 패키지 기판 상에 상기 정전기 방전 구조물을 사이에 두고 상기 제1 반도체 장치로부터 이격되도록 복수 개의 제2 반도체 장치들을 적층시킨다. 상기 패키지 기판 상에 상기 제1 및 제2 반도체 장치들을 커버하는 몰딩 부재를 형성한다.

대표도



(52) CPC특허분류

H01L 24/06 (2013.01)

H01L 24/14 (2013.01)

H01L 24/46 (2013.01)

H01L 25/0657 (2013.01)

명세서

청구범위

청구항 1

패키지 기판 상에 제1 반도체 장치를 배치시키고;

상기 패키지 기판의 상면에 노출된 적어도 하나의 접지용 기판 패드 상에 정전기 방전 구조물을 형성하고;

상기 패키지 기판 상에 상기 정전기 방전 구조물을 사이에 두고 상기 제1 반도체 장치로부터 이격되도록 복수 개의 제2 반도체 장치들을 적층시키고; 그리고

상기 패키지 기판 상에 상기 제1 및 제2 반도체 장치들을 커버하는 몰딩 부재를 형성하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 2

제 1 항에 있어서, 상기 정전기 방전 구조물을 형성하는 단계는 상기 제1 반도체 장치와 상기 패키지 기판을 전기적으로 연결하는 와이어 본딩 공정 시에 수행되는 반도체 패키지의 제조 방법.

청구항 3

제 1 항에 있어서, 상기 정전기 방전 구조물을 형성하는 것은 상기 접지용 기판 패드 상에 상부에 팁부를 갖는 와이어 범프를 형성하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 4

제 3 항에 있어서, 상기 정전기 방전 구조물을 형성하는 것은

와이어 본딩 장치에 의해 와이어를 상기 접지용 기판 패드에 접합시키고; 그리고

기 설정된 높이로 인출되도록 상기 와이어를 절단시키는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 5

제 1 항에 있어서, 상기 정전기 방전 구조물을 형성하는 것은 상기 접지용 기판 패드 상에 아치 형태의 와이어 루프를 형성하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 6

제 1 항에 있어서, 상기 정전기 방전 구조물을 형성하는 단계는 복수 개의 상기 제2 반도체 장치들 중에서 적어도 하나의 상기 제2 반도체 장치를 상기 패키지 기판 상에 부착한 후에 수행되는 반도체 패키지의 제조 방법.

청구항 7

제 1 항에 있어서, 상기 패키지 기판 상에 복수 개의 상기 제2 반도체 장치들을 적층시키는 것은 접착 필름을 이용하여 상기 제2 반도체 장치들을 부착시키는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 8

제 7 항에 있어서,

와이어 본딩 공정을 수행하여 상기 제2 반도체 장치들을 상기 패키지 기판에 전기적으로 연결하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 9

제 1 항에 있어서, 상기 접지용 기판 패드는 상기 패키지 기판 내의 접지 플레이트를 통해 접지되는 반도체 패키지의 제조 방법.

청구항 10

제 1 항에 있어서,

상기 제1 반도체 장치의 상면에 노출된 적어도 하나의 접지용 칩 패드 상에 제2 정전기 방전 구조물을 형성하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 11

일면에 적어도 하나의 접지용 기판 패드가 구비된 패키지 기판을 제공하고;

상기 패키지 기판 상에 제1 반도체 장치를 배치시키고;

와이어 본딩 공정을 수행하여 상기 제1 반도체 장치를 상기 패키지 기판에 전기적으로 연결시키고;

상기 와이어 본딩 공정 중에 상기 접지용 기판 패드 상에 정전기 방전 구조물을 형성하고;

상기 패키지 기판 상에 상기 그라운드 플레이트를 사이에 두고 상기 제1 반도체 장치로부터 이격되도록 복수 개의 제2 반도체 장치들을 적층시키고; 그리고

상기 패키지 기판 상에 상기 제1 및 제2 반도체 장치들을 커버하는 몰딩 부재를 형성하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 12

제 11 항에 있어서, 상기 정전기 방전 구조물을 형성하는 것은 상기 접지용 기판 패드 상에 상부에 팁부를 갖는 와이어 범프를 형성하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 13

제 12 항에 있어서, 상기 정전기 방전 구조물을 형성하는 것은

와이어 본딩 장치에 의해 와이어를 상기 접지용 기판 패드에 접합시키고; 그리고

기 설정된 높이로 인출되도록 상기 와이어를 절단시키는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 14

제 11 항에 있어서, 상기 정전기 방전 구조물을 형성하는 것은 상기 접지용 기판 패드 상에 아치 형태의 와이어 루프를 형성하는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 15

제 11 항에 있어서, 상기 정전기 방전 구조물을 형성하는 단계는 복수 개의 상기 제2 반도체 장치들 중에서 적어도 하나의 상기 제2 반도체 장치를 상기 패키지 기판 상에 부착한 후에 수행되는 반도체 패키지의 제조 방법.

청구항 16

제 11 항에 있어서, 상기 패키지 기판 상에 복수 개의 상기 제2 반도체 장치들을 적층시키는 것은 접착 필름을 이용하여 상기 제2 반도체 장치들을 부착시키는 것을 포함하는 반도체 패키지의 제조 방법.

청구항 17

제 16 항에 있어서,

와이어 본딩 공정을 수행하여 상기 제2 반도체 장치들을 상기 패키지 기판에 전기적으로 연결하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 18

제 11 항에 있어서, 상기 접지용 기판 패드는 상기 패키지 기판 내의 접지 플레이트를 통해 접지되는 반도체 패키지의 제조 방법.

청구항 19

제 11 항에 있어서,

상기 제1 반도체 장치의 상면에 노출된 적어도 하나의 접지용 칩 패드 상에 제2 정전기 방전 구조물을 형성하는 것을 더 포함하는 반도체 패키지의 제조 방법.

청구항 20

제 11 항에 있어서, 상기 제1 반도체 장치는 로직 칩을 포함하고, 상기 제2 반도체 장치는 메모리 칩을 포함하는 반도체 패키지의 제조 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 반도체 패키지 및 반도체 패키지의 제조 방법에 관한 것이다. 보다 자세하게, 본 발명은 하나의 패키지 안에 복수 개의 칩들이 적층된 반도체 패키지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 패키지의 제조에 있어서, 복수 개의 반도체 칩들을 인쇄회로기판에 부착하는 다이 어태치 공정 시에 접착 필름의 박리 대전에 의해 높은 정전기가 대전되고, 이를 제거하기 위하여 이온나이저(ionizer)를 사용하였으나, 관리가 어렵고 제진 능력이 불충분하여 이로 인하여 로직 칩에 손상을 가해 불량률이 발생하는 문제점이 있다.

발명의 내용**해결하려는 과제**

[0003] 본 발명의 일 과제는 제품 수율을 향상시키고 생산성을 극대화할 수 있는 반도체 패키지의 제조 방법을 제공하는 데 있다.

[0004] 본 발명의 다른 과제는 상술한 반도체 패키지의 제조 방법에 의해 제조된 반도체 패키지를 제공하는 데 있다.

과제의 해결 수단

[0005] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지의 제조 방법에 있어서, 패키지 기판 상에 제1 반도체 장치를 배치시킨다. 상기 패키지 기판의 상면에 노출된 적어도 하나의 접지용 기판 패드 상에 정전기 방전 구조물을 형성한다. 상기 패키지 기판 상에 상기 정전기 방전 구조물을 사이에 두고 상기 제1 반도체 장치로부터 이격되도록 복수 개의 제2 반도체 장치들을 적층시킨다. 상기 패키지 기판 상에 상기 제1 및 제2 반도체 장치들을 커버하는 몰딩 부재를 형성한다.

[0006] 상기 본 발명의 일 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지의 제조 방법에 있어서, 상면에 적어도 하나의 접지용 기판 패드가 구비된 패키지 기판을 제공한다. 상기 패키지 기판 상에 제1 반도체 장치를 배치시킨다. 와이어 본딩 공정을 수행하여 상기 제1 반도체 장치를 상기 패키지 기판에 전기적으로 연결시킨다. 상기 와이어 본딩 공정 중에 상기 접지용 기판 패드 상에 정전기 방전 구조물을 형성한다. 상기 패키지 기판 상에 상기 그라운드 플레이트를 사이에 두고 상기 제1 반도체 장치로부터 이격되도록 복수 개의 제2 반도체 장치들을 적층시킨다. 상기 패키지 기판 상에 상기 제1 및 제2 반도체 장치들을 커버하는 몰딩 부재를 형성한다.

[0007] 상기 본 발명의 다른 과제를 달성하기 위한 예시적인 실시예들에 따른 반도체 패키지는 패키지 기판, 상기 패키지 기판 상에 배치되는 제1 반도체 장치, 상기 패키지 기판 상에 상기 제1 반도체 장치로부터 이격되도록 적층 배치되는 복수 개의 제2 반도체 장치들, 상기 제1 반도체 장치 및 상기 제2 반도체 장치들 사이에서 상기 패키지 기판의 상면에 노출된 적어도 하나의 접지용 기판 패드 상에 배치된 정전기 방전 구조물, 및 상기 패키지 기판 상에 상기 제1 및 제2 반도체 장치들을 커버하는 몰딩 부재를 포함한다.

발명의 효과

[0008] 예시적인 실시예들에 따르면, 반도체 패키지 및 반도체 패키지의 제조 방법에 있어서, 패키지 기판 상에 제1 반도체 장치를 부착한 후에, 와이어 본딩 공정을 수행하여 상기 패키지 기판의 접지용 기판 패드 상에 정전기 방전 구조물을 형성할 수 있다. 이어서, 다이 어태치 공정을 수행하여 상기 패키지 기판 상에 복수 개의 제2 반도체 장치들을 부착시킬 수 있다.

[0009] 상기 다이 어태치 공정에서 접착 필름이 하부의 베이스 필름으로부터 떨어질 때 높은 정전기가 대전될 수 있다. 상기 발생된 정전기는 상기 제1 반도체 장치에 인접하게 배치된 상기 정전기 방전 구조물을 통해 안전하게 방전되어, 상기 제1 반도체 장치가 상기 정전기에 의해 손상되는 것을 방지할 수 있다. 이에 따라, 반도체 패키지의 제품 수율을 향상시키고 생산성을 극대화시킬 수 있다.

[0010] 다만, 본 발명의 효과는 상기 언급한 효과에 한정되는 것이 아니며, 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위에서 다양하게 확장될 수 있을 것이다.

도면의 간단한 설명

[0011] 도 1은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.

도 2는 도 1의 반도체 패키지를 나타내는 평면도이다.

도 3는 도 1의 A 부분을 나타내는 확대 단면도이다.

도 4 내지 도 13은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.

도 14는 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.

도 15는 도 14의 B 부분을 나타내는 확대 단면도이다.

도 16 및 도 17은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.

도 18은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다.

도 19는 도 18의 C 부분을 나타내는 확대 단면도이다.

도 20 내지 도 22는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면들을 참조하여, 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.

[0013] 도 1은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 2는 도 1의 반도체 패키지를 나타내는 평면도이다. 도 3는 도 1의 A 부분을 나타내는 확대 단면도이다.

[0014] 도 1 내지 도 3을 참조하면, 반도체 패키지(100)는 패키지 기판(110), 제1 반도체 장치(200), 복수 개의 제2 반도체 장치들(300), 적어도 하나의 정전기 방전 구조물(400), 및 몰딩 부재(500)를 포함할 수 있다. 또한, 반도체 패키지(10)는 외부 접속 부재들(600)을 더 포함할 수 있다.

[0015] 예시적인 실시예들에 있어서, 패키지 기판(110)은 서로 마주보는 상부면(112)과 하부면(114)을 갖는 기판일 수 있다. 예를 들면, 패키지 기판(110)은 인쇄회로기판(PCB)일 수 있다. 상기 인쇄회로기판은 내부에 비아와 다양한 회로들을 갖는 다층 회로 보드일 수 있다. 패키지 기판(110)은 적어도 제1 및 제2 회로 층들(110a, 110b)을 포함할 수 있다. 패키지 기판(110)은 내부에 접지 플레이트(116)를 포함할 수 있다.

[0016] 패키지 기판(110)의 상부면(112) 상에는 기판 패드들(120)이 배치될 수 있다. 기판 패드들(120)은 복수 개의 배선들에 각각 연결될 수 있다. 상기 배선들은 패키지 기판(110)의 상부면(112) 또는 내부에서 연장할 수 있다. 예를 들면, 상기 배선의 적어도 일부분이 랜딩 패드로서 상기 기판 패드로 사용될 수 있다.

[0017] 패키지 기판(110)의 상부면(112) 상에는 적어도 하나의 접지용 기판 패드(122)가 배치될 수 있다. 접지용 기판 패드(122)는 접지 배선(118)에 의해 접지 플레이트(116)에 전기적으로 연결될 수 있다. 후술하는 바와 같이, 접지용 기판 패드(122), 접지 배선(118) 및 접지 플레이트(116)는 패키지 기판(110)의 상부면(112) 상에 발생된 정전기가 안전하게 방전될 수 있는 접지 통로의 역할을 수행할 수 있다.

[0018] 상기 도면들에는 몇 개의 기판 패드들만이 도시되어 있으나, 상기 기판 패드들의 개수 및 배치들은 예시적으로 제공된 것이며, 본 발명이 이에 제한되지 않음을 이해할 수 있을 것이다. 상기 기판 패드들을 비롯한 상기 배선

들은 본 발명이 속하는 기술 분야에서 널리 알려진 것이므로 도시 및 설명을 생략하기로 한다.

- [0019] 패키지 기판(110)의 상부면(112) 상에는 상기 배선들을 커버하며 기판 패드들(120) 및 접지용 기판 패드(122)를 노출시키는 제1 절연막(140)이 형성될 수 있다. 제1 절연막(140)은 기판 패드(120)를 제외한 패키지 기판(100)의 상부면(102) 전체를 커버할 수 있다. 예를 들면, 상기 제1 절연막은 솔더 레지스트를 포함할 수 있다.
- [0020] 예시적인 실시예들에 있어서, 제1 반도체 장치(200)은 패키지 기판(110) 상에 실장될 수 있다. 제1 반도체 장치(200)는 접착 부재(220)를 이용하여 패키지 기판(110)의 상부면(112) 상에 부착될 수 있다. 예를 들면, 상기 접착 부재는 DAF(direct adhesive film)과 같은 접착 필름을 포함할 수 있다. 제1 반도체 장치(200)는 집적 회로를 포함할 수 있다. 예를 들면, 제1 반도체 장치(200)는 로직 회로를 포함하는 로직 칩일 수 있다. 상기 로직 칩은 메모리 칩들을 제어하는 컨트롤러일 수 있다.
- [0021] 제1 반도체 칩(200)은 상면, 즉, 활성면(active surface) 상에 형성된 칩 패드들(210)을 가질 수 있다. 칩 패드들(210)은 전력 핀 기능을 수행하는 입출력 단자, 그라운드 핀 기능을 수행하는 입출력 단자 또는 데이터 핀 기능을 수행하는 입출력 단자를 포함할 수 있다.
- [0022] 제1 반도체 장치(200)는 제1 도전성 연결 부재들(230)에 의해 패키지 기판(110)에 전기적으로 연결될 수 있다. 구체적으로, 제1 도전성 연결 부재(230)는 제1 반도체 장치(200)의 칩 패드(210)를 패키지 기판(110)의 기판 패드(120)에 전기적으로 연결할 수 있다. 예를 들면, 제1 도전성 연결 부재(230)는 본딩 와이어를 포함할 수 있다. 따라서, 제1 반도체 장치(200)는 상기 접착 부재에 의해 패키지 기판(110) 상에 적층되고 복수 개의 제1 도전성 연결 부재들(230)에 패키지 기판(110)에 전기적으로 연결될 수 있다.
- [0023] 이와 다르게, 상기 제1 도전성 연결 부재는 솔더 범프, 관통 전극, 솔더 볼, 도전성 페이스트 등을 포함할 수 있다. 예를 들면, 상기 제1 반도체 장치는 플립 칩 본딩(flip chip bonding) 방식에 의해 패키지 기판(110) 상에 실장될 수 있다. 이 경우에 있어서, 상기 제1 반도체 장치는 상기 칩 패드들이 형성된 상기 활성면이 패키지 기판(110)을 향하도록 패키지 기판(110) 상에 실장될 수 있다. 상기 제1 반도체 장치의 상기 칩 패드들은 도전성 범프들, 예를 들면, 솔더 범프들에 의해 패키지 기판(110)의 상기 기판 패드들과 전기적으로 연결될 수 있다. 또한, 복수 개의 상기 제1 반도체 장치들이 패키지 기판(110) 상에 순차적으로 적층될 수 있다.
- [0024] 예시적인 실시예들에 있어서, 복수 개의 제2 반도체 장치들(300)은 패키지 기판(110) 상에 실장될 수 있다. 제2 반도체 장치들(300)은 패키지 기판(110) 상에 제1 반도체 장치(200)와 이격 배치될 수 있다. 제2 반도체 장치들(300)은 메모리 회로를 포함하는 메모리 칩을 포함할 수 있다. 예를 들면, 제2 반도체 장치들(300)은 디램(DRAM), 낸드 플래시 메모리(NAND flash memory)와 같은 비휘발성 메모리 장치를 포함할 수 있다.
- [0025] 복수 개의 제2 반도체 장치들(300a, 300b, 300c, 300d, 300e, 300f, 300g, 300h, 300i, 300j)은 접착 부재들(320a, 320b, 320c, 320d, 320e, 320f, 320g, 320h, 320i, 320j)을 이용하여 패키지 기판(110) 상에 순차적으로 부착될 수 있다. 예를 들면, 상기 접착 부재는 DAF(direct adhesive film)과 같은 접착 필름을 포함할 수 있다.
- [0026] 구체적으로, 상기 제2 반도체 장치들 중에서 제2 내지 제5 다이들(300b, 300c, 300d, 300e)은 제1 카스케이드(cascade) 구조로 적층될 수 있다. 제2 내지 제5 다이들(300b, 300c, 300d, 300e)은 패키지 기판(110) 상의 제1 반도체 장치(200)를 향하는 방향으로 순차적으로 오프셋 정렬될 수 있다.
- [0027] 상기 제2 반도체 장치들 중에서 제7 내지 제10 다이들(300g, 300h, 300i, 300j)은 제2 카스케이드(cascade) 구조로 적층될 수 있다. 제7 내지 제10 다이들(300g, 300h, 300i, 300j)은 패키지 기판(110) 상의 제1 반도체 장치(200)로부터 멀어지는 방향으로 순차적으로 오프셋 정렬될 수 있다.
- [0028] 제2 반도체 장치들(300)은 상면, 즉, 활성면(active surface) 상에 형성된 칩 패드들(310)을 가질 수 있다. 칩 패드들(310)은 전력 핀 기능을 수행하는 입출력 단자, 그라운드 핀 기능을 수행하는 입출력 단자 또는 데이터 핀 기능을 수행하는 복수 개의 입출력 단자들을 포함할 수 있다.
- [0029] 제2 반도체 장치들(300)은 제2 도전성 연결 부재들(330)에 의해 패키지 기판(110)에 전기적으로 연결될 수 있다. 구체적으로, 제2 도전성 연결 부재들(330)은 제2 반도체 장치들(300)의 칩 패드들(310)을 패키지 기판(110)의 기판 패드들(120)에 전기적으로 연결할 수 있다. 예를 들면, 제2 도전성 연결 부재(330)는 본딩 와이어를 포함할 수 있다. 따라서, 제2 반도체 장치들(300)은 상기 접착 부재에 의해 패키지 기판(110) 상에 적층되고 복수 개의 제2 도전성 연결 부재들(330)에 패키지 기판(110)에 전기적으로 연결될 수 있다.
- [0030] 상기 제2 반도체 장치들의 개수, 크기, 배치 등은 예시적으로 제공된 것이며, 본 발명이 이에 제한되지 않음을

이해할 수 있을 것이다.

- [0031] 예시적인 실시예들에 있어서, 정전기 방전 구조물(400)은 패키지 기판(110)의 상부면(112)에 노출된 적어도 하나의 접지용 기판 패드(122) 상에 배치될 수 있다. 정전기 방전 구조물(400)은 제1 반도체 장치(200)와 제2 반도체 장치들(300) 사이에 배치된 접지용 기판 패드(122) 상에 배치될 수 있다. 복수 개의 기판 패드들(122)은 제1 반도체 장치(200)의 일측부를 따라 일방향으로 배열되고, 복수 개의 정전기 방전 구조물들(400)이 기판 패드들(122) 상에 각각 배치될 수 있다.
- [0032] 예를 들면, 정전기 방전 구조물(400)은 금(Au), 구리(Cu), 알루미늄(Al) 등과 같은 금속 물질을 포함할 수 있다. 정전기 방전 구조물(400)은 와이어 본딩 장치로부터 인출된 와이어를 이용하여 형성될 수 있다. 상기 정전기 방전 구조물의 높이, 두께, 재질 등은 발생하는 정전기의 전압 크기, 제1 및 제2 반도체 장치들의 크기 등을 고려하여 결정될 수 있다.
- [0033] 도 3에 도시된 바와 같이, 정전기 방전 구조물(400)은 기판 패드(122)에 접합된 접합부(410) 및 접합부(410)로부터 상부로 기 설정된 높이만큼 연장한 팁부(420)를 포함할 수 있다. 팁부(420)는 날카로운 상단부를 가질 수 있다. 따라서, 상기 접착 필름을 이용하여 제2 반도체 장치들(300)을 패키지 기판(110) 상에 적층할 때 발생하는 정전기는 정전기 방전 구조물(400) 및 패키지 기판(110) 내의 상기 방전 통로를 통해 안전하게 방전시킬 수 있다.
- [0034] 예시적인 실시예들에 있어서, 밀봉 부재(500)는 패키지 기판(110) 상에 형성되어 제1 반도체 장치(200) 및 제2 반도체 장치들(300)을 외부로부터 보호할 수 있다. 상기 밀봉 부재는 에폭시 몰딩 콤파운드(epoxy mold compound, EMC)를 포함할 수 있다.
- [0035] 패키지 기판(110)의 하부면(114) 상에는 전기 신호를 제공하기 위한 외부 접속 패드들(130)이 형성될 수 있다. 외부 접속 패드들(130)은 제2 절연막(150)에 의해 노출될 수 있다. 상기 제2 절연막은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막을 포함할 수 있다. 패키지 기판(110)의 외부 접속 패드(130) 상에는 외부 장치와의 전기적 연결을 위하여 외부 연결 부재(600)가 배치될 수 있다. 예를 들면, 외부 연결 부재(600)는 솔더 볼일 수 있다. 반도체 패키지(100)는 상기 솔더 볼들을 매개로 하여 모듈 기판(도시되지 않음)에 실장되어 메모리 모듈을 구성할 수 있다.
- [0036] 상술한 바와 같이, 반도체 패키지는 패키지 기판(110) 상의 제1 반도체 장치(200)와 제2 반도체 장치들(300) 사이에서 접지용 기판 패드(122) 상에 배치되는 적어도 하나의 정전기 방전 구조물(400)을 포함할 수 있다. 정전기 방전 구조물(400)은 접지용 기판 패드(122)에 전기적으로 연결된 접지 플레이트(116)를 통해 접지될 수 있다.
- [0037] 따라서, 정전기 방전 구조물(400)은 제1 반도체 장치(200)에 인접하게 배치되어 제2 반도체 장치들(300)의 다이 어태치 공정에서 발생한 정전기에 의해 제1 반도체 장치(200)가 손상되는 것을 방지할 수 있다. 이에 따라, 상기 반도체 패키지의 제품 수율을 향상시키고 생산성을 극대화시킬 수 있다.
- [0038] 이하에서는, 도 1의 반도체 패키지를 제조하는 방법에 대하여 설명하기로 한다.
- [0039] 도 4 내지 도 13은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.
- [0040] 도 4를 참조하면, 상부면(112)에 적어도 하나의 접지용 기판 패드(122)가 구비된 패키지 기판(110)을 제공하고, 패키지 기판(110) 상에 제1 반도체 장치(200)를 배치시킬 수 있다.
- [0041] 예시적인 실시예들에 있어서, 패키지 기판(110)은 서로 마주보는 상부면(112)과 하부면(114)을 갖는 기판일 수 있다. 예를 들면, 패키지 기판(110)은 인쇄회로기판(PCB)일 수 있다. 상기 인쇄회로기판은 내부에 비아와 다양한 회로들을 갖는 다층 회로 보드일 수 있다. 패키지 기판(110)은 적어도 제1 및 제2 회로 층들(110a, 110b)을 포함할 수 있다. 패키지 기판(110)은 내부에 접지 플레이트(116)를 포함할 수 있다.
- [0042] 패키지 기판(110)의 상부면(112) 상에는 기판 패드들(120)이 배치될 수 있다. 기판 패드들(120)은 복수 개의 배선들에 각각 연결될 수 있다. 상기 배선들은 패키지 기판(110)의 상부면(112) 또는 내부에서 연장할 수 있다. 예를 들면, 상기 배선의 적어도 일부가 랜딩 패드로서 상기 기판 패드로 사용될 수 있다.
- [0043] 패키지 기판(110)의 상부면(112) 상에는 적어도 하나의 접지용 기판 패드(122)가 배치될 수 있다. 접지용 기판 패드(122)는 접지 배선(118)에 의해 접지 플레이트(116)에 전기적으로 연결될 수 있다. 접지용 기판 패드(122), 접지 배선(118) 및 접지 플레이트(116)는 패키지 기판(110)의 상부면(112) 상에 발생한 정전기가 안전하게 방전

될 수 있는 접지 통로의 역할을 수행할 수 있다.

- [0044] 패키지 기판(110)의 상부면(114) 상에 제1 반도체 장치(200)를 적층시킬 수 있다. 제1 반도체 장치(200)는 접착 부재(220)를 이용하여 패키지 기판(110)의 상부면(112) 상에 부착될 수 있다. 예를 들면, 상기 접착 부재는 DAF(direct adhesive film)과 같은 접착 필름을 포함할 수 있다. 예를 들면, 제1 반도체 장치(200)는 로직 회로를 포함하는 로직 칩일 수 있다. 상기 로직 칩은 메모리 칩들을 제어하는 컨트롤러일 수 있다.
- [0045] 도 5를 참조하면, 패키지 기판(110) 상에 복수 개의 제2 반도체 장치들 중에서 제1 그룹의 제2 반도체 장치(300a)를 배치시킬 수 있다. 예를 들면, 패키지 기판(110) 상에 적어도 하나의 제2 반도체 장치, 즉, 제1 다이(300a)를 배치시킬 수 있다. 제1 다이(300a)는 패키지 기판(110) 상에 제1 반도체 장치(200)와 이격 배치될 수 있다. 접지용 기판 패드(122)는 제1 반도체 장치(200)와 제1 다이(300a) 사이에 배치될 수 있다.
- [0046] 제1 다이(300a)는 접착 부재들(320a)를 이용하여 패키지 기판(110) 상에 부착될 수 있다. 예를 들면, 상기 접착 부재는 DAF(direct adhesive film)과 같은 접착 필름을 포함할 수 있다. 상기 제2 반도체 장치는 메모리 회로를 포함하는 메모리 칩을 포함할 수 있다. 예를 들면, 상기 제2 반도체 장치는 디램(DRAM), 낸드 플래시 메모리(NAND flash memory)와 같은 비휘발성 메모리 장치를 포함할 수 있다.
- [0047] 도 6 내지 도 8을 참조하면, 와이어 본딩 공정을 수행하여 제1 반도체 장치(200)를 패키지 기판(110)에 전기적으로 연결시키고, 상기 와이어 본딩 공정 중에 접지용 기판 패드(122) 상에 정전기 방전 구조물(400)을 형성할 수 있다.
- [0048] 먼저, 와이어 본딩 공정을 수행하여 제1 반도체 장치(200)의 칩 패드들(210)을 패키지 기판(110)의 상부면(112) 상의 기판 패드들(120)에 연결시킬 수 있다. 제1 반도체 장치(200)의 칩 패드들(210)은 제1 도전성 연결 부재들, 즉 본딩 와이어들(230)에 의해 기판 패드들(120)에 연결될 수 있다.
- [0049] 구체적으로, 와이어 본딩 장치(10)의 캐필러리(20)는 칩 패드(210) 상으로 이동한 후 칩 패드(210) 상에 본딩을 수행할 수 있다. 칩 패드(210) 상에는 방전 토치에 의해 형성된 볼이 압착되어 와이어(40)의 선단이 칩 패드(210)에 접합될 수 있다. 캐필러리(20)는 와이어(40)를 인출하면서, 칩 패드(210)로부터 기판 패드(120)로 이동한 후 기판 패드(120) 상에 본딩을 수행할 수 있다.
- [0050] 이어서, 접지용 기판 패드(122) 상에 정전기 방전 구조물(400)을 형성할 수 있다.
- [0051] 도 7 및 도 8에 도시된 바와 같이, 와이어 본딩 장치(10)의 캐필러리(20)는 접지용 기판 패드(122) 상으로 이동한 후 접지용 기판 패드(122) 상에 본딩을 수행할 수 있다. 접지용 기판 패드(122) 상에는 캐필러리(20)로부터 와이어(40)가 제공되고, 방전 토치에 의해 형성된 볼이 압착되어 와이어(40)의 선단이 접지용 기판 패드(122)에 접합될 수 있다. 캐필러리(20)는 상부로 이동하여 와이어(40)를 기 설정된 높이로 인출한 후 클램프(22)로 와이어(40)를 절단하여, 상부에 팁부(420)를 갖는 와이어 범프(400)를 형성할 수 있다.
- [0052] 상기 와이어 범프 형태의 정전기 방전 구조물(400)은 기판 패드(122)에 접합된 접합부(410) 및 접합부(410)로부터 상부로 기 설정된 높이만큼 연장한 팁부(420)를 포함할 수 있다. 팁부(420)는 날카로운 상단부를 가질 수 있다. 따라서, 이후의 다이 어태치 공정을 수행하여 복수 개의 제2 반도체 장치들(300)을 패키지 기판(110) 상에 적층할 때 발생하는 정전기는 정전기 방전 구조물(400) 및 패키지 기판(110) 내의 상기 방전 통로를 통해 안전하게 방전시킬 수 있다.
- [0053] 도 9 내지 도 12를 참조하면, 패키지 기판(110) 상에 복수 개의 제2 반도체 장치들 중에서 제2 그룹의 제2 반도체 장치들(300)을 적층하고, 와이어 본딩 공정을 수행하여 제2 반도체 장치들(300)을 패키지 기판(110)에 전기적으로 연결시킬 수 있다.
- [0054] 먼저, 도 9 및 도 10에 도시된 바와 같이, 다이 어태치 공정을 수행하여 복수 개의 반도체 장치들 중에서 제1 그룹의 제2 반도체 장치(320a)를 배치시킬 수 있다. 상기 제2 반도체 장치들 중에서 제2 내지 제5 다이들(300b, 300c, 300d, 300e)을 제1 다이(300a) 상에 적층시키고, 제1 내지 제5 다이들(300a, 300b, 300c, 300d, 300e)을 패키지 기판(110)에 전기적으로 연결시킬 수 있다.
- [0055] 제2 내지 제5 다이들(300b, 300c, 300d, 300e)은 제1 카스케이드(cascade) 구조로 적층될 수 있다. 제2 내지 제5 다이들(300b, 300c, 300d, 300e)은 패키지 기판(110) 상의 제1 반도체 장치(200)를 향하는 방향으로 순차적으로 오프셋 정렬될 수 있다. 제2 내지 제5 다이들(300b, 300c, 300d, 300e)은 DAF(direct adhesive film)과 같은 접착 필름을 이용하여 패키지 기판(110) 상에 부착될 수 있다.

- [0056] 상기 다이 어태치 공정에서 상기 접착 필름이 하부의 베이스 필름으로부터 떨어질 때 높은 정전기가 대전될 수 있다. 상기 제1 카스케이드 구조로 인해 상기 다이들이 적층됨에 따라 제1 반도체 장치(200)와 가까워지게 되고, 상기 발생된 정전기에 의해 손상되어 불량이 발생할 수 있다. 이 경우에 있어서, 상기 발생된 정전기는 제1 반도체 장치(200)에 인접하게 배치된 정전기 방전 구조물(400)을 통해 안전하게 방전되어, 제1 반도체 장치(200)가 상기 정전기에 의해 손상되는 것을 방지할 수 있다.
- [0057] 상기 와이어 본딩 공정을 수행하여 제2 내지 제5 다이들(300b, 300c, 300d, 300e)의 칩 패드들(310)을 패키지 기판(110)의 상부면(112) 상의 기판 패드들(120)에 연결시킬 수 있다. 제2 내지 제5 다이들(300b, 300c, 300d, 300e)의 칩 패드들(310)은 제2 도전성 연결 부재들, 즉 본딩 와이어들(330)에 의해 기판 패드들(120)에 연결될 수 있다.
- [0058] 도 11 및 도 12에 도시된 바와 같이, 다이 어태치 공정을 수행하여 상기 제2 반도체 장치들 중에서 제6 내지 제10 다이들(300f, 300g, 300h, 300i, 300j)을 제5 다이(300e) 상에 적층시키고, 제6 내지 제10 다이들(300f, 300g, 300h, 300i, 300j)을 패키지 기판(110)에 전기적으로 연결시킬 수 있다.
- [0059] 제7 내지 제10 다이들(300g, 300h, 300i, 300j)은 제2 카스케이드(cascade) 구조로 적층될 수 있다. 제7 내지 제10 다이들(300g, 300h, 300i, 300j)은 패키지 기판(110) 상의 제1 반도체 장치(200)로부터 멀어지는 방향으로 순차적으로 오프셋 정렬될 수 있다. 제6 내지 제10 다이들(300f, 300g, 300h, 300i, 300j)은 DAF(direct adhesive film)과 같은 접착 필름을 이용하여 패키지 기판(110) 상에 부착될 수 있다.
- [0060] 상기 와이어 본딩 공정을 수행하여 제6 내지 제10 다이들(300f, 300g, 300h, 300i, 300j)의 칩 패드들(310)을 패키지 기판(110)의 상부면(112) 상의 기판 패드들(120)에 연결시킬 수 있다. 제6 내지 제10 다이들(300f, 300g, 300h, 300i, 300j)의 칩 패드들(310)은 제2 도전성 연결 부재들, 즉 본딩 와이어들(330)에 의해 기판 패드들(120)에 연결될 수 있다.
- [0061] 도 13을 참조하면, 패키지 기판(110)의 상부면 상에 제1 및 제2 반도체 장치들(200, 300)을 커버하는 몰딩 부재(500)를 형성할 수 있다. 상기 밀봉 부재는 에폭시 몰딩 콤파운드(epoxy mold compound, EMC)를 포함할 수 있다.
- [0062] 이어서, 패키지 기판(110)의 하부면(114) 상의 외부 접속 패드들(130) 상에 외부 접속 부재들(600)을 형성하여 반도체 패키지(100)를 완성할 수 있다.
- [0063] 상술한 바와 같이, 상기 반도체 패키지의 제조 방법에 있어서, 패키지 기판(110) 상에 제1 반도체 장치(200)를 부착한 후에, 와이어 본딩 공정을 수행하여 패키지 기판(110)의 접지용 기판 패드(122) 상에 정전기 방전 구조물(400)을 형성할 수 있다. 이어서, 다이 어태치 공정을 수행하여 패키지 기판(110) 상에 복수 개의 제2 반도체 장치들(300)을 부착시킬 수 있다.
- [0064] 상기 다이 어태치 공정에서 접착 필름이 하부의 베이스 필름으로부터 떨어질 때 높은 정전기가 대전될 수 있다. 상기 발생된 정전기는 제1 반도체 장치(200)에 인접하게 배치된 정전기 방전 구조물(400)을 통해 안전하게 방전되어, 제1 반도체 장치(200)가 상기 정전기에 의해 손상되는 것을 방지할 수 있다.
- [0065] 도 14는 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 15는 도 14의 B 부분을 나타내는 확대 단면도이다. 상기 반도체 패키지는 정전기 방전 구조물을 제외하고는 도 1을 참조로 설명한 반도체 패키지와 실질적으로 동일하다. 이에 따라, 동일한 구성요소들에 대해서는 동일한 참조부호들로 나타내고, 또한 동일한 구성요소들에 대한 반복 설명은 생략한다.
- [0066] 도 14 및 도 15를 참조하면, 반도체 패키지(101)의 정전기 방전 구조물(402)은 기판 패드(122)에 접합된 제1 및 제2 접합부들(412) 및 제1 및 제2 접합부들(412)에 연결된 아치 형태의 연결부(422)를 포함할 수 있다. 연결부(422)는 날카로운 상단부를 가질 수 있다.
- [0067] 따라서, 접착 필름을 이용하여 제2 반도체 장치들(300)을 패키지 기판(110) 상에 적층할 때 발생하는 정전기는 정전기 방전 구조물(400)을 통해 패키지 기판(110) 내의 방전 통로를 통해 안전하게 방전시킬 수 있다.
- [0068] 이하에서는, 도 14의 반도체 패키지를 제조하는 방법에 대하여 설명하기로 한다.
- [0069] 도 16 및 도 17은 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.
- [0070] 도 16 및 도 17을 참조하면, 먼저, 도 4 및 도 5를 참조하여 설명한 공정들과 유사한 공정들을 수행하여, 패키지 기판(110) 상에 제1 반도체 장치(200) 및 적어도 하나의 제2 반도체 장치(320a)를 배치시킨 후, 와이어 본딩 공

정을 수행하여 제1 반도체 장치(200)를 패키지 기판(110)에 전기적으로 연결시키고, 상기 와이어 본딩 공정 중에 접지용 기판 패드(122) 상에 정전기 방전 구조물(402)을 형성할 수 있다.

- [0071] 구체적으로, 와이어 본딩 장치(10)의 캐필러리(20)는 접지용 기판 패드(122) 상의 일측부로 이동한 후 접지용 기판 패드(122) 상에 본딩을 수행할 수 있다. 접지용 기판 패드(122) 상의 일측부에는 캐필러리(20)로부터 와이어(40)가 제공되고, 방전 토치에 의해 형성된 불이 압착되어 와이어(40)의 선단이 접지용 기판 패드(122)에 접합될 수 있다. 캐필러리(20)는 접지용 기판 패드(122) 상의 타측부로 이동할 때 기 설정된 높이만큼 상방으로 이동한 후 하방으로 이동하여 접지용 기판 패드(122) 상의 타측부 상에 본딩을 수행할 수 있다.
- [0072] 상기 아치 형태의 정전기 방전 구조물(402)은 기판 패드(122)에 접합된 제1 및 제2 접합부들(412) 및 제1 및 제2 접합부들(412)에 연결된 아치 형태의 연결부(422)를 포함할 수 있다. 연결부(422)는 날카로운 상단부를 가질 수 있다.
- [0073] 따라서, 이후의 다이 어태치 공정을 수행하여 복수 개의 제2 반도체 장치들(300)을 패키지 기판(110) 상에 적층할 때 발생하는 정전기는 정전기 방전 구조물(400) 및 패키지 기판(110) 내의 상기 방전 통로를 통해 안전하게 방전시킬 수 있다.
- [0074] 이어서, 도 9 내지 도 12를 참조하여 설명한 공정들과 유사한 공정들을 수행하여, 패키지 기판(110) 상에 복수 개의 제2 반도체 장치들(300)을 적층하고, 와이어 본딩 공정을 수행하여 제2 반도체 장치들(300)을 패키지 기판(110)에 전기적으로 연결시킬 수 있다.
- [0075] 이 후, 도 13을 참조로 설명한 공정과 유사한 공정을 수행하여, 패키지 기판(110)의 상부면 상에 제1 및 제2 반도체 장치들(200, 300)을 커버하는 몰딩 부재(500)를 형성할 수 있다. 상기 몰딩 부재는 에폭시 몰딩 콤파운드(epoxy mold compound, EMC)를 포함할 수 있다.
- [0076] 이어서, 패키지 기판(110)의 하부면(114) 상의 외부 접속 패드들(130) 상에 외부 접속 부재들(600)을 형성하여 반도체 패키지(101)를 완성할 수 있다.
- [0077] 도 18은 예시적인 실시예들에 따른 반도체 패키지를 나타내는 단면도이다. 도 19는 도 18의 C 부분을 나타내는 확대 단면도이다. 상기 반도체 패키지는 정전기 방전 구조물이 추가되는 것을 제외하고는 도 1을 참조로 설명한 반도체 패키지와 실질적으로 동일하다. 이에 따라, 동일한 구성요소들에 대해서는 동일한 참조부호들로 나타내고, 또한 동일한 구성요소들에 대한 반복 설명은 생략한다.
- [0078] 도 18 및 도 19를 참조하면, 반도체 패키지(102)는 제2 정전기 방전 구조물(450)을 더 포함할 수 있다.
- [0079] 예시적인 실시예들에 있어서, 제2 정전기 방전 구조물(450)은 제1 반도체 장치(100)의 상면에 노출된 적어도 하나의 접지용 칩 패드(212) 상에 배치될 수 있다. 접지용 칩 패드(212)는 제1 반도체 장치(100)의 상면 상에 형성된 칩 패드들 중에서 그라운드 핀 기능을 수행하는 입출력 단자일 수 있다.
- [0080] 접지용 칩 패드(212)는 패키지 기판(110)에 전기적으로 연결될 수 있다. 접지용 칩 패드(212)는 제1 도전성 연결 부재(230)에 의해 패키지 기판(110)의 기판 패드, 예를 들면, 접지용 기판 패드(122)에 전기적으로 연결될 수 있다. 접지용 기판 패드(122)는 접지 배선(118)에 의해 접지 플레이트(116)에 전기적으로 연결될 수 있다. 따라서, 제2 정전기 방전 구조물(450)은 제1 도전성 연결 부재(230) 및 접지용 기판 패드(122)에 전기적으로 연결된 접지 플레이트(116)를 통해 접지될 수 있다.
- [0081] 이와 다르게, 반도체 패키지(102)는 제2 정전기 방전 구조물(450)만을 포함하고, 제1 정전기 방전 구조물(400)은 생략될 수 있다.
- [0082] 예시적인 실시예들에 있어서, 제1 반도체 장치(200)가 플립 칩 본딩 방식에 의해 패키지 기판(110) 상에 실장될 경우, 접지용 기판 패드(122)는 도전성 범프, 예를 들면, 솔더 범프를 통해 패키지 기판(110)의 접지 플레이트(116)에 전기적으로 연결될 수 있다.
- [0083] 이하에서는, 도 18의 반도체 패키지를 제조하는 방법에 대하여 설명하기로 한다.
- [0084] 도 20 내지 도 22는 예시적인 실시예들에 따른 반도체 패키지의 제조 방법을 나타내는 단면도들이다.
- [0085] 도 20 내지 도 22를 참조하면, 먼저, 도 4 및 도 5를 참조하여 설명한 공정들과 유사한 공정들을 수행하여, 패키지 기판(110) 상에 제1 반도체 장치(200) 및 적어도 하나의 제2 반도체 장치(320a)를 배치시킨 후, 와이어 본딩 공정을 수행하여 제1 반도체 장치(200)를 패키지 기판(110)에 전기적으로 연결시키고, 상기 와이어 본딩 공

정 중에 접지용 기판 패드(122) 상에 정전기 방전 구조물(400)을 형성하고 접지용 칩 패드(212) 상에 제2 정전기 방전 구조물(450)을 형성할 수 있다.

[0086] 제1 반도체 장치(100)의 상면에는 칩 패드들 및 적어도 하나의 접지용 칩 패드(212)가 배치될 수 있다. 접지용 칩 패드(212)는 제1 반도체 장치(100)의 상면 상에 형성된 상기 칩 패드들 중에서 그라운드 핀 기능을 수행하는 입출력 단자일 수 있다.

[0087] 먼저, 와이어 본딩 공정을 수행하여 제1 반도체 장치(200)의 상기 칩 패드들을 패키지 기판(110)의 상부면(112) 상의 기판 패드들에 연결시킬 수 있다. 제1 반도체 장치(200)의 상기 칩 패드들은 제1 도전성 연결 부재들, 즉 본딩 와이어들에 의해 상기 기판 패드들에 연결될 수 있다.

[0088] 이어서, 접지용 기판 패드(122) 상에 정전기 방전 구조물(400)을 형성한 후, 접지용 칩 패드(212) 상에 제2 정전기 방전 구조물(400)을 형성할 수 있다. 제2 정전기 방전 구조물(400)의 형성 방법은 정전기 방전 구조물(400)의 형성 방법과 유사할 수 있다.

[0089] 도 21 및 도 22에 도시된 바와 같이, 와이어 본딩 장치(10)의 캐필러리(20)는 접지용 칩 패드(212) 상으로 이동한 후 접지용 칩 패드(212) 상에 본딩을 수행할 수 있다. 접지용 칩 패드(212) 상에는 캐필러리(20)로부터 와이어(40)가 제공되고, 방전 토치에 의해 형성된 볼이 압착되어 와이어(40)의 선단이 접지용 칩 패드(212)에 접합될 수 있다. 캐필러리(20)는 상부로 이동하여 와이어(40)를 기 설정된 높이로 인출한 후 클램프(22)로 와이어(40)를 절단하여, 상부에 팁부를 갖는 와이어 범프(450)를 형성할 수 있다.

[0090] 상기 와이어 범프 형태의 제2 정전기 방전 구조물(450)은 접지용 칩 패드(212)에 접합된 접합부 및 상기 접합부로부터 상부로 기 설정된 높이만큼 연장한 팁부를 포함할 수 있다. 상기 팁부는 날카로운 상단부를 가질 수 있다.

[0091] 따라서, 이후의 다이 어태치 공정을 수행하여 복수 개의 제2 반도체 장치들을 패키지 기판(110) 상에 적층할 때 발생하는 정전기는 정전기 방전 구조물(400), 제2 정전기 방전 구조물(450), 및 패키지 기판(110) 내의 상기 방전 통로를 통해 안전하게 방전시킬 수 있다.

[0092] 이어서, 도 9 내지 도 12를 참조하여 설명한 공정들과 유사한 공정들을 수행하여, 패키지 기판(110) 상에 복수 개의 제2 반도체 장치들(300)을 적층하고, 와이어 본딩 공정을 수행하여 제2 반도체 장치들(300)을 패키지 기판(110)에 전기적으로 연결시킬 수 있다.

[0093] 이 후, 도 13을 참조로 설명한 공정과 유사한 공정을 수행하여, 패키지 기판(110)의 상부면 상에 제1 및 제2 반도체 장치들(200, 300)을 커버하는 몰딩 부재(500)를 형성할 수 있다. 상기 몰딩 부재는 에폭시 몰딩 콤파운드(epoxy mold compound, EMC)를 포함할 수 있다.

[0094] 이어서, 패키지 기판(110)의 하부면(114) 상의 외부 접속 패드들(130) 상에 외부 접속 부재들(600)을 형성하여 반도체 패키지(102)를 완성할 수 있다.

[0095] 예시적인 실시예들에 따른 반도체 패키지를 포함하는 전자 장치는, 예를 들어 중앙처리장치(CPU, MPU), 애플리케이션 프로세서(AP) 등과 같은 로직 소자, 예를 들어 에스램(SRAM) 장치, 디램(DRAM) 장치, 고대역폭 메모리(HBM) 장치 등과 같은 휘발성 메모리 장치, 및 예를 들어 플래시 메모리 장치, 피램(PRAM) 장치, 엠램(MRAM) 장치, 알램(RRAM) 장치 등과 같은 불휘발성 메모리 장치를 포함할 수 있다. 상기 전자 장치는 TV, 컴퓨터, 휴대용 컴퓨터, 랩톱 컴퓨터, 개인휴대단말기, 태블릿, 휴대폰, 디지털 음악 재생기 등에 적용될 수 있다.

[0096] 이상에서는 본 발명의 실시예들을 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0097] 10: 와이어 본딩 장치 20: 캐필러리

22: 클램프 40: 와이어

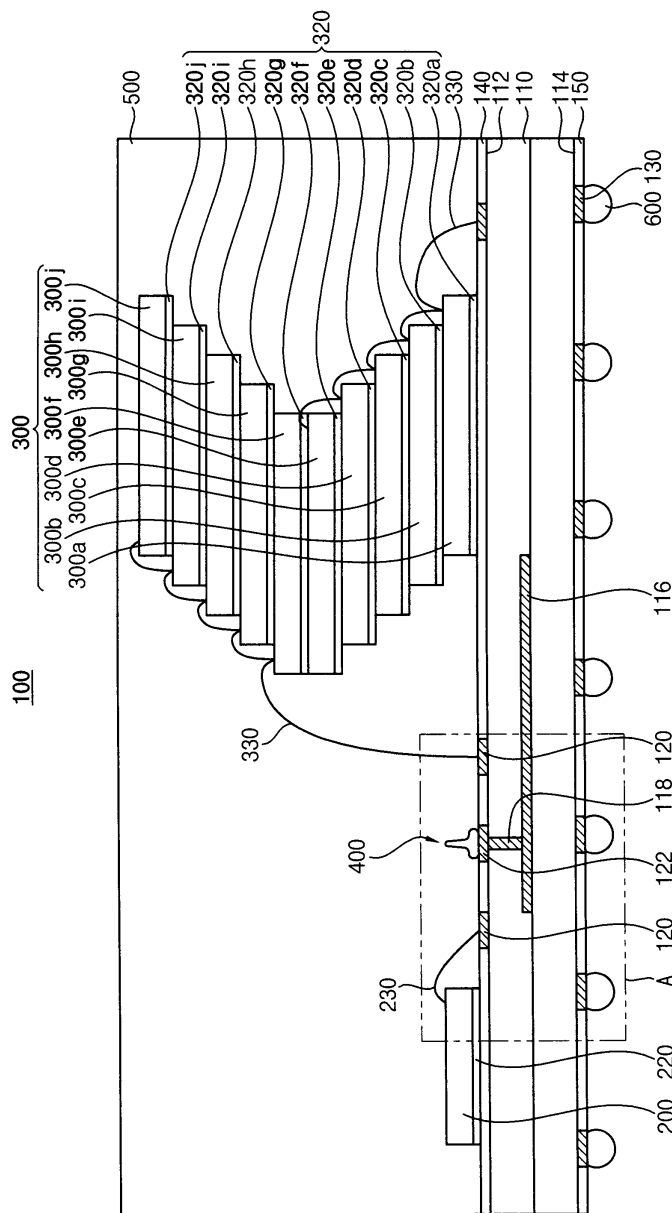
100, 101: 반도체 패키지 110: 패키지 기판

116: 접지 플레이트 118: 접지 배선

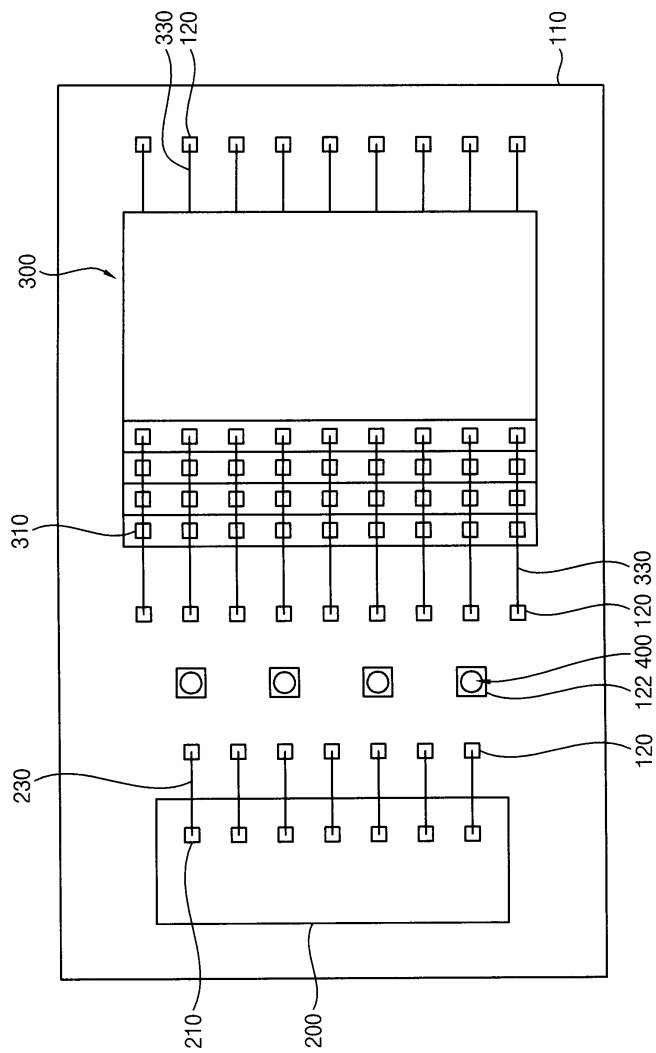
120: 기판 패드 122: 접지용 기판 패드
 200: 제1 반도체 장치 210, 310: 칩 패드
 220, 320: 접착 부재 230: 제1 도전성 연결 부재
 300: 제2 반도체 장치 330: 제2 도전성 연결 부재
 400, 402, 450: 방전 구조물 410, 412: 접합부
 420: 턱부 422: 연결부
 500: 몰딩 부재 600: 외부 접속 부재

도면

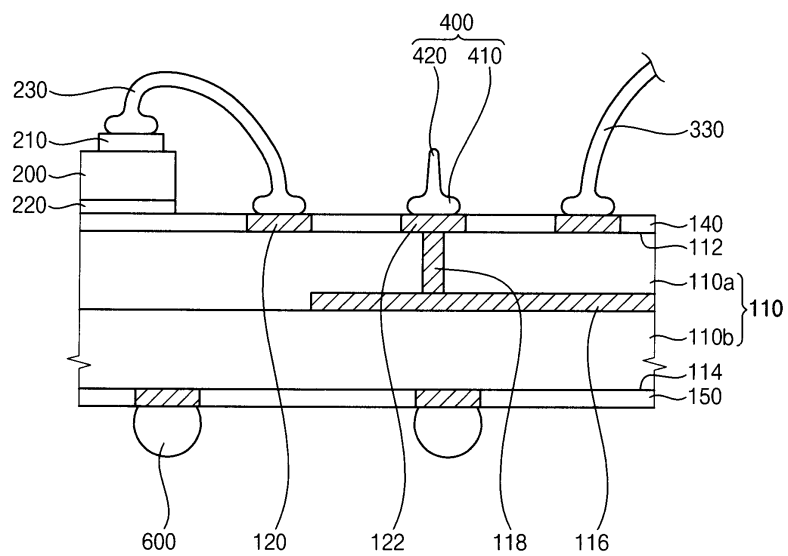
도면1



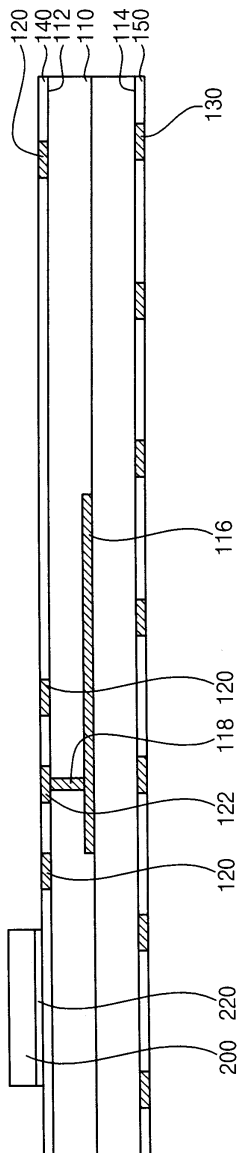
도면2



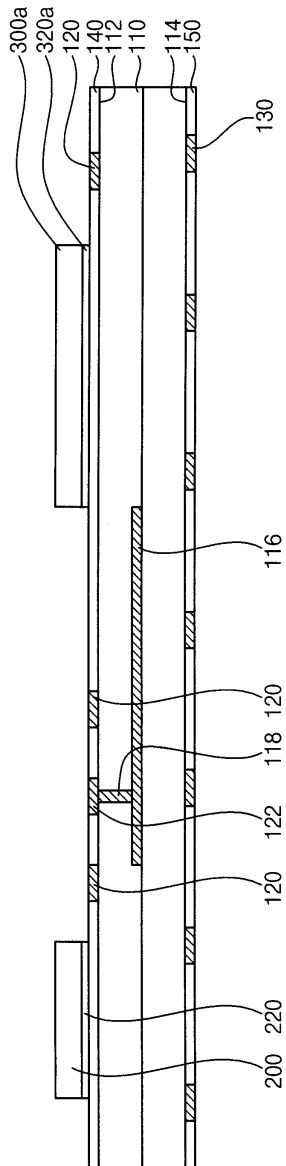
도면3



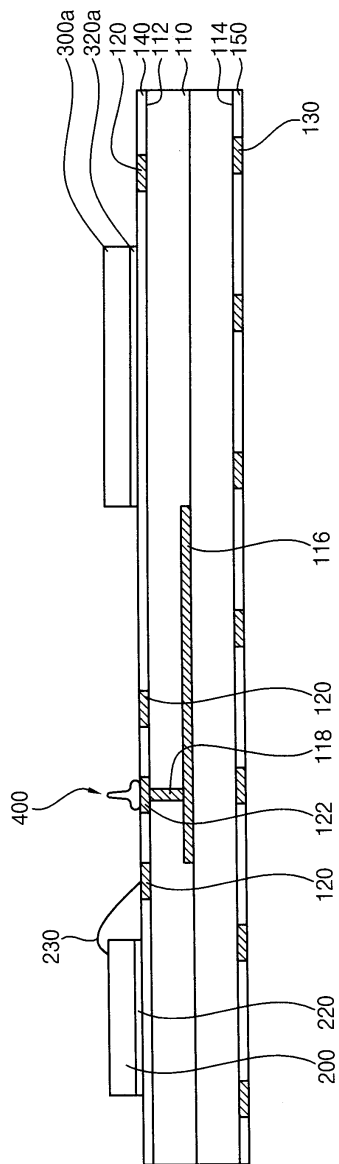
도면4



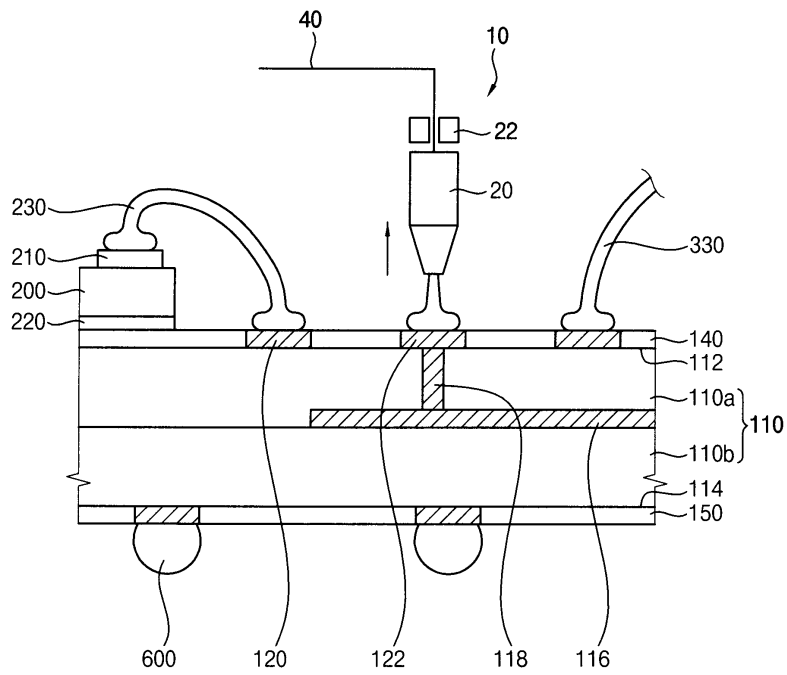
도면5



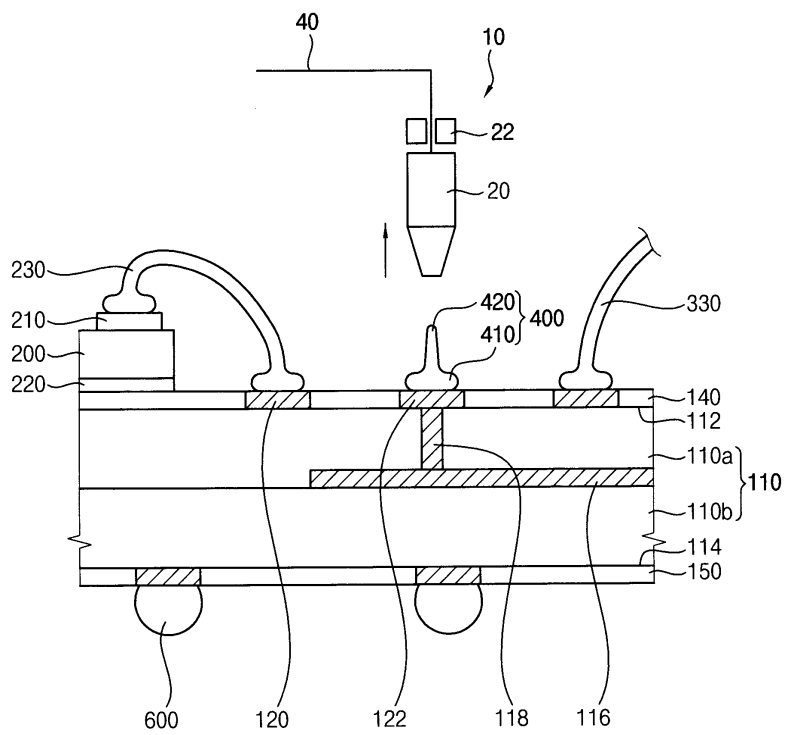
도면6



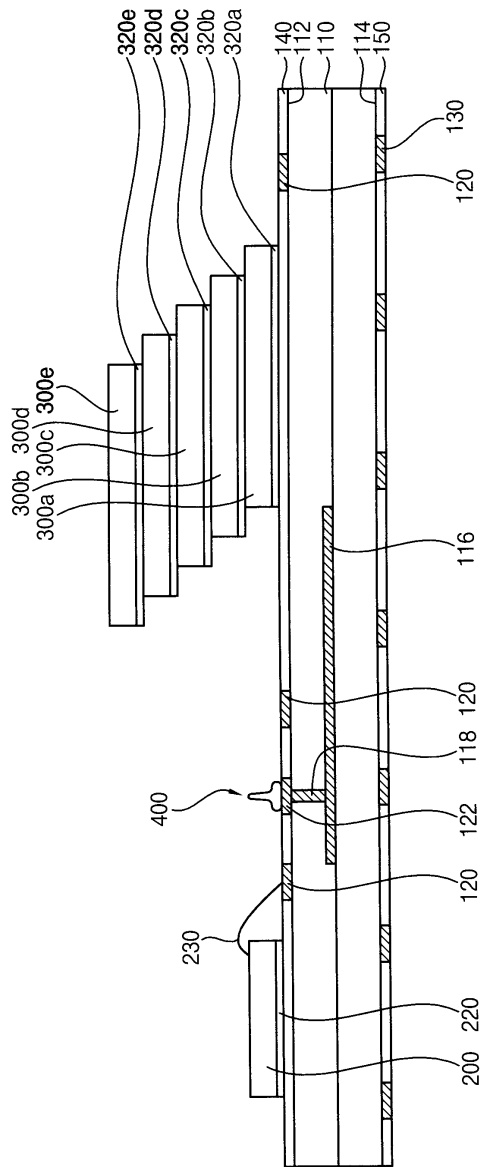
도면7



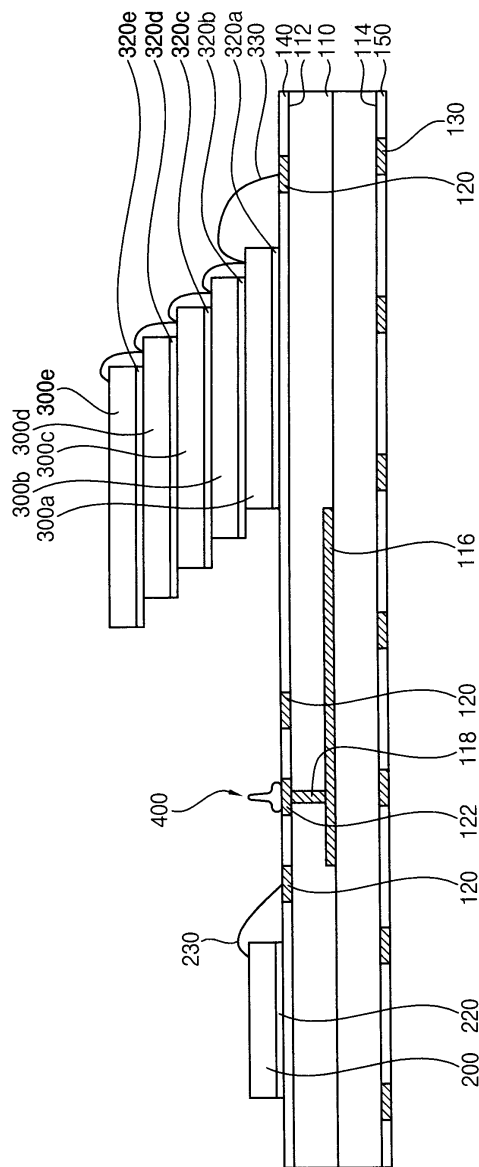
도면8



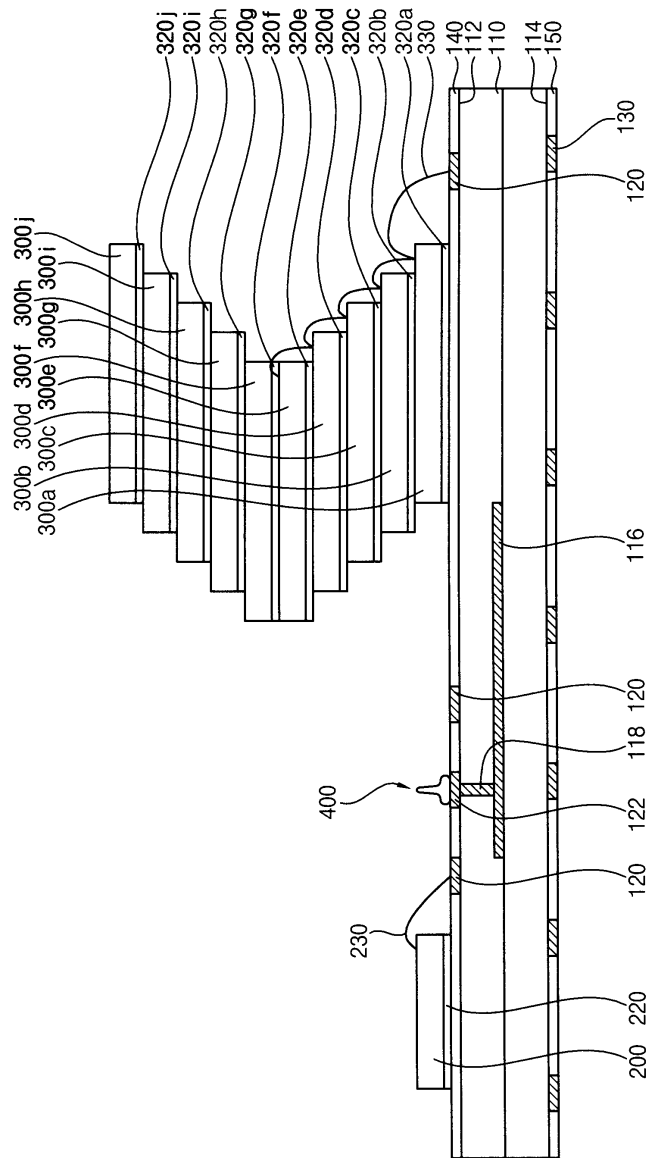
도면9



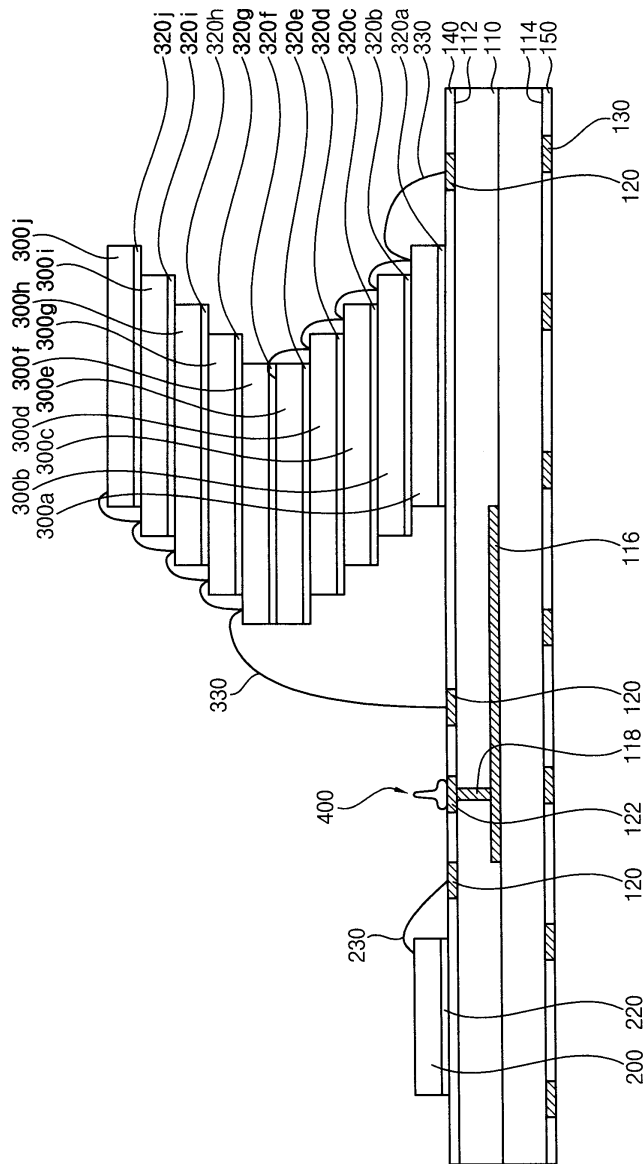
도면10



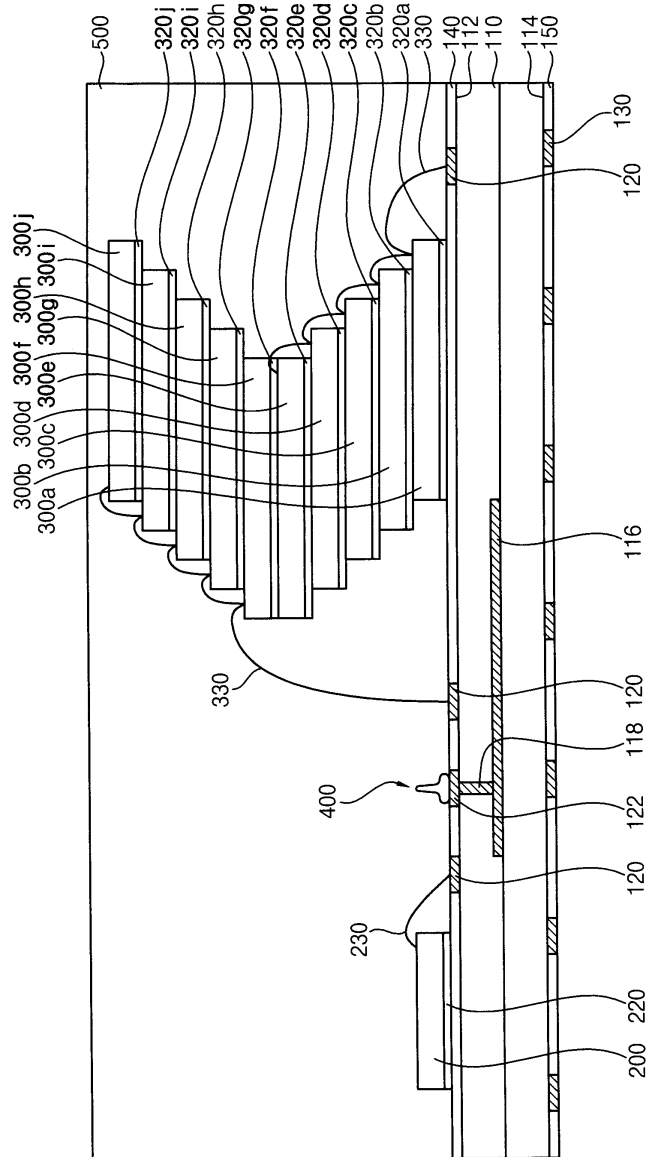
도면11



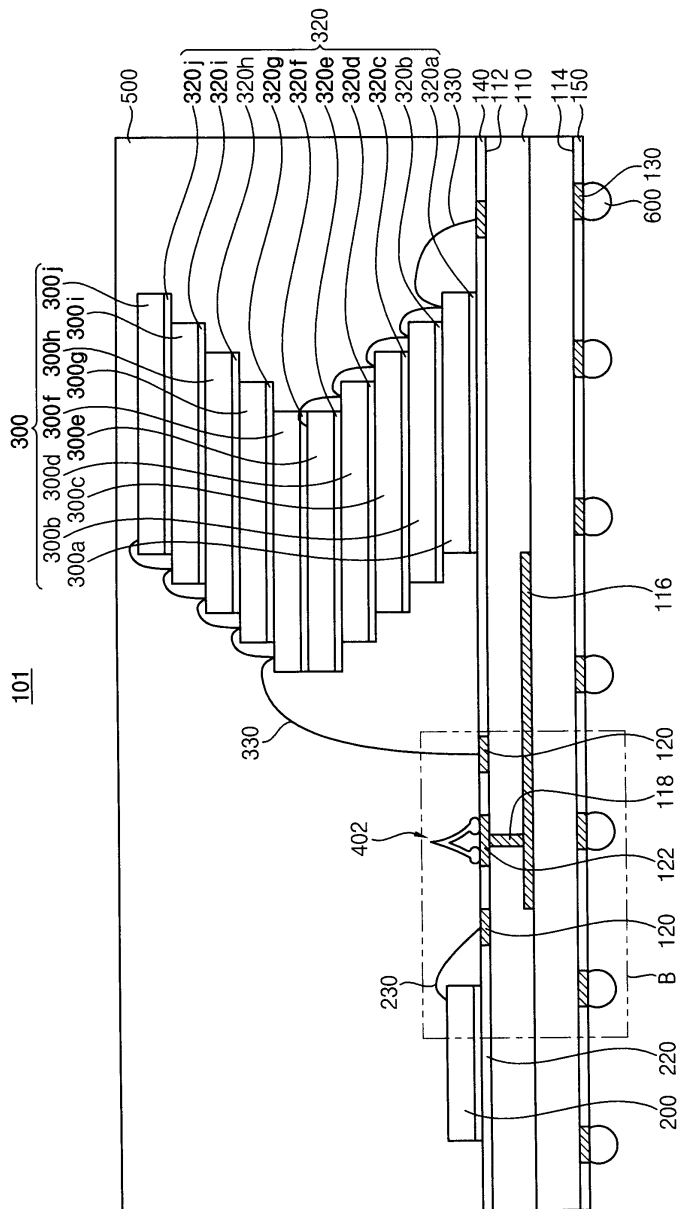
도면12



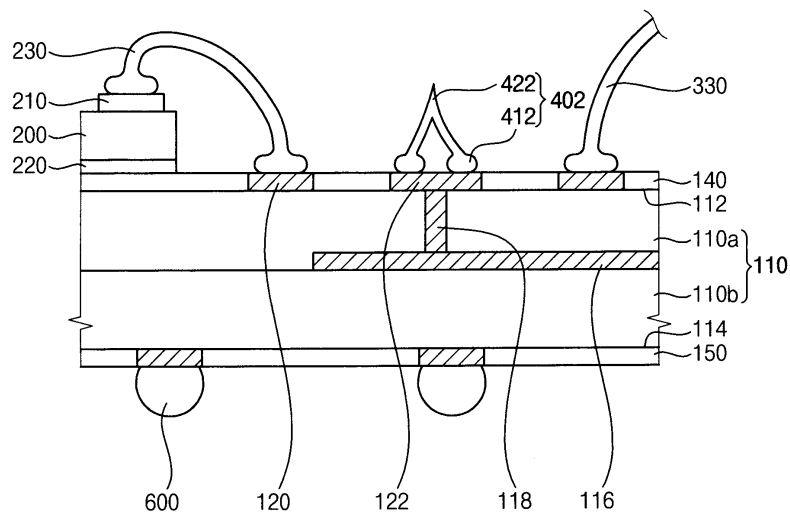
도면13



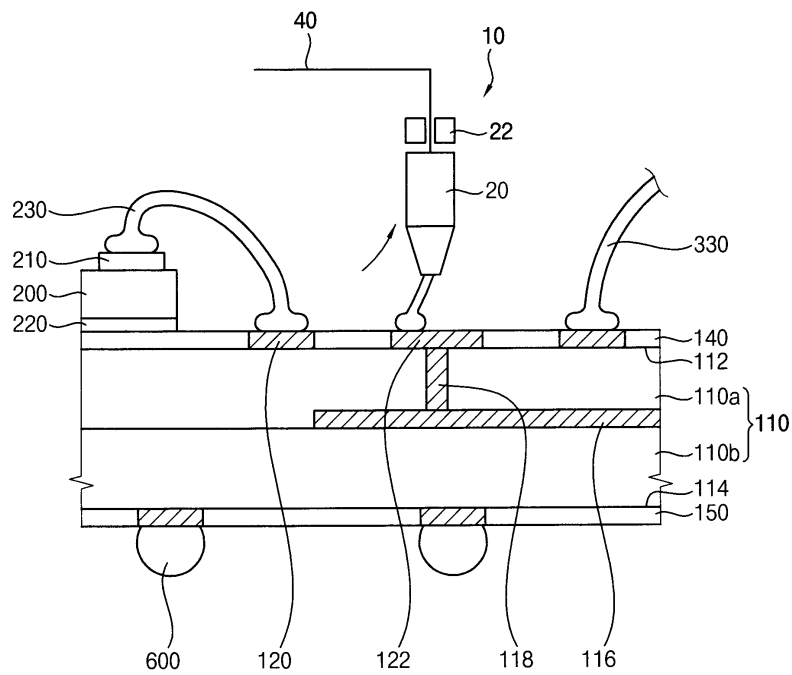
도면14



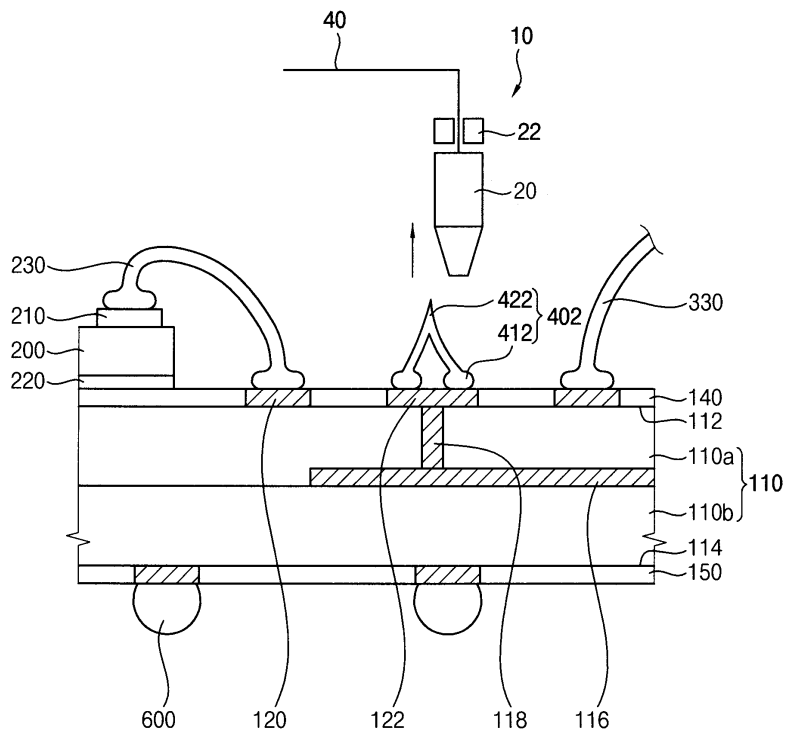
도면15



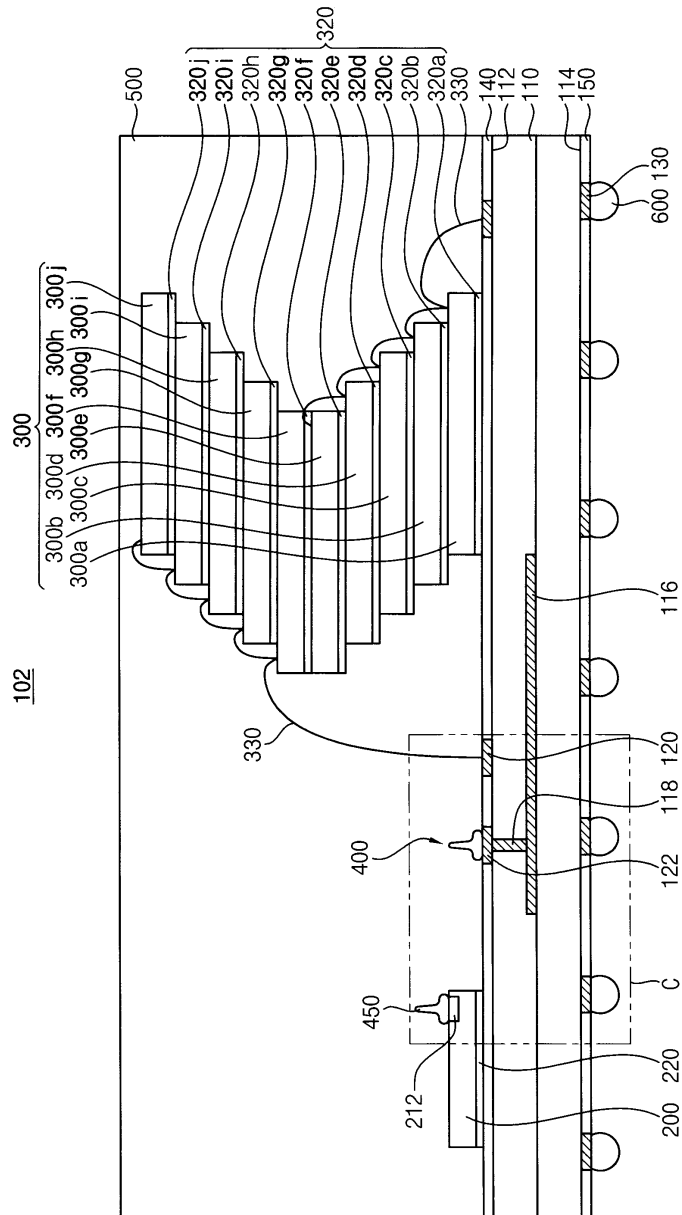
도면16



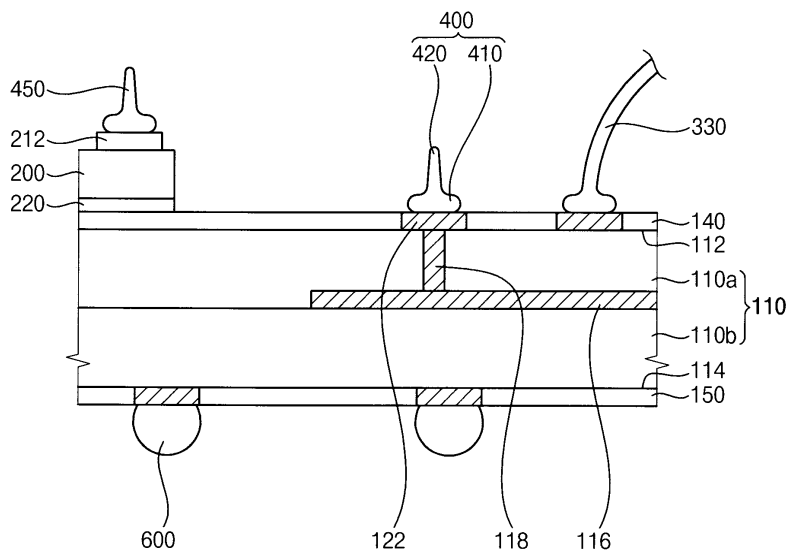
도면17



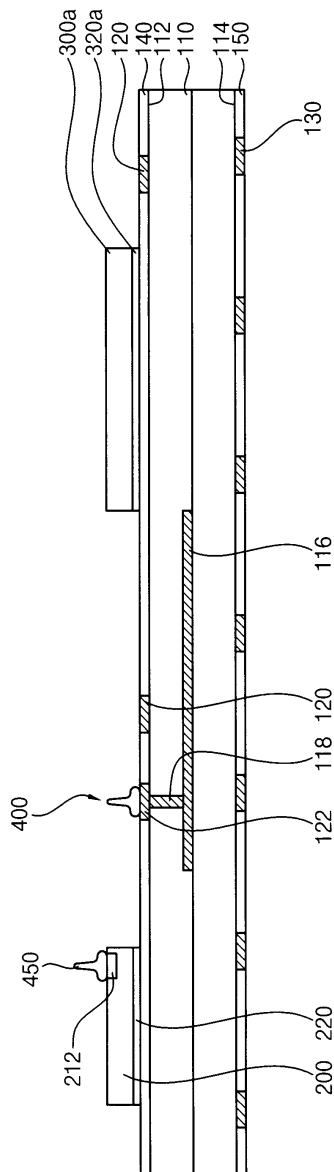
도면18



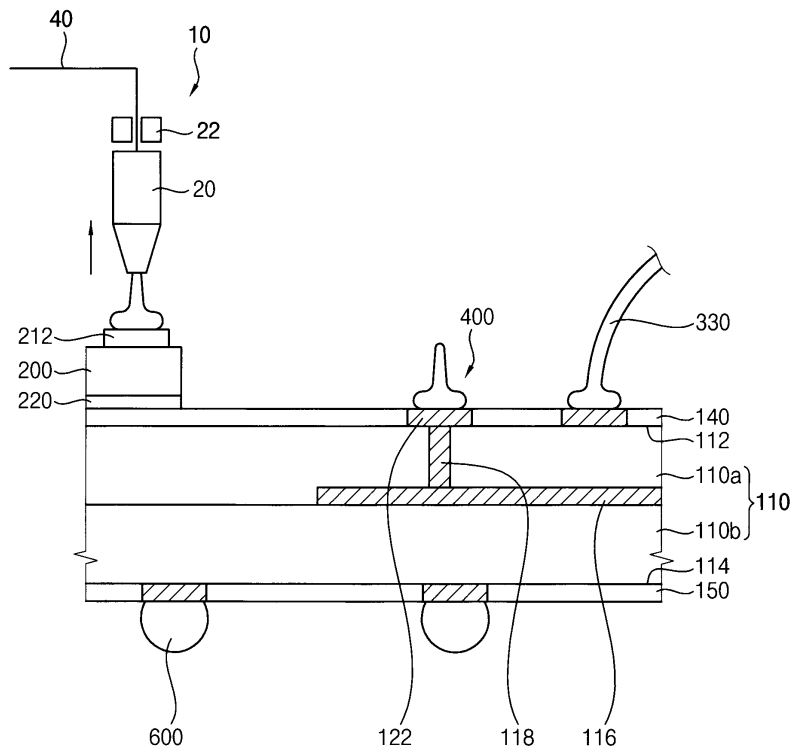
도면19



도면20



도면21



도면22

