(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 11 月 15 日 (15.11.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/205653 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2018/070743

(22) 国际申请日: 2018 年 1 月 4 日 (04.01.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710326260.1 2017年5月10日 (10.05.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。

(72) 发明人: 赵剑 (ZHAO, Jian); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 李环宇 (LI, Huanyu); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 陈沫 (CHEN, Mo); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 高吉磊 (GAO, Jilei); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 张杨 (ZHANG, Yang); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD.); 中国香港特别行政区湾仔港湾道23号鹰君中心22号楼, Hong Kong (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,

(54) **Title:** COMMON VOLTAGE COMPENSATION CIRCUIT UNIT, DISPLAY PANEL, DISPLAY APPARATUS, AND COMMON VOLTAGE COMPENSATION METHOD FOR DISPLAY PANEL

(54) 发明名称: 公共电压补偿电路单元、显示面板、显示装置和显示面板的公共电压补偿方法

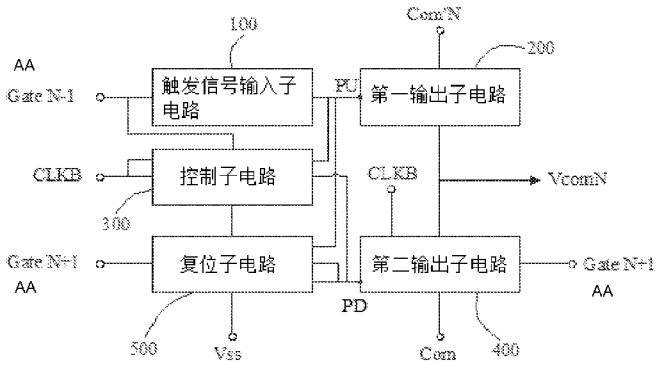


图 1

100 Trigger signal input sub-circuit
200 First output sub-circuit
300 Control sub-circuit
400 Second output sub-circuit
500 Reset sub-circuit
AA Gate

(57) **Abstract:** Provided are a common voltage compensation circuit unit, a display panel, a display apparatus, and a common voltage compensation method for a display panel, wherein the common voltage compensation circuit unit comprises a trigger signal terminal (Gate N-1), a common voltage output terminal (VcomN), a design common voltage signal terminal (Com), a power supply signal terminal (Vss), a compensation common voltage signal terminal (Com'N), a reset signal terminal (Gate N+1), a clock signal terminal (CLKB), a trigger signal input sub-circuit (100), a first output sub-circuit (200), a control sub-circuit (300), a second output sub-circuit (400) and a reset sub-circuit (500).

WO 2018/205653 A1

[见续页]

GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种公共电压补偿电路单元、显示面板、显示装置和显示面板的公共电压补偿方法，其中，公共电压补偿电路单元包括触发信号端（Gate N-1）、公共电压输出端（VcomN）、设计公共电压信号端（Com）、电源信号端（Vss）、补偿公共电压信号端（Com'N）、复位信号端（Gate N+1）、时钟信号端（CLKB）、触发信号输入子电路（100）、第一输出子电路（200）、控制子电路（300）、第二输出子电路（400）和复位子电路（500）。

公共电压补偿电路单元、显示面板、显示装置和显示面板的公共电压补偿方法

相关申请的交叉引用

本申请要求享有 2017 年 5 月 10 日提交的中国专利申请 No. 201710326260.1 的优先权，其全部公开内容通过引用并入本文。

技术领域

本公开涉及显示设备领域，具体地，涉及一种公共电压补偿电路单元、一种包括该公共电压补偿电路单元的显示面板、一种显示装置，以及一种使用该公共电压补偿电路单元的公共电压补偿方法。

背景技术

随着显示技术的发展，对液晶显示面板的画面质量要求越来越高。典型地，液晶显示面板中的每一个像素单元包括像素电极和公共电极。利用像素电极和公共电极之间形成的电场来控制像素单元中液晶分子的偏转。但是，液晶显示面板上的电压变化由于寄生电容或存储电容的存在，会产生电压残留，该电压残留将影响显示电压的正确性，从而会导致残像的出现，并影响画面质量。

因此，如何消除残像成为本领域亟待解决的技术问题。

发明内容

本公开的目的在于提供一种改进的公共电压补偿电路单元、一种包括该公共电压补偿电路单元的显示面板、一种显示装置，以及一种使用该公共电压补偿电路单元的公共电压补偿方法。

根据本公开的一个方面，提供一种公共电压补偿电路单元，包括触发信号端、公共电压输出端、设计公共电压信号端、电源信号端、补偿公共电压信号端、复位信号端、时钟信号端、触发信号输入子电路、第一输出子电路、控制子电路、第二输出子电路和复位子电路。

所述触发信号输入子电路的输入端与所述触发信号端电连接，并且所述触发信号输入子电路的输出端与第一节点电连接。所述触发信号输入子电路配置成响应于在所述触发信号输入子电路的输入端处接

收到第一电平信号，将所述触发信号输入子电路的输入端与所述触发信号输入子电路的输出端导通。

所述第一输出子电路的输入端与所述补偿公共电压信号端电连接，第一输出子电路的控制端与第一节点电连接，并且所述第一输出子电路的输出端与所述公共电压输出端电连接。所述第一输出子电路配置成响应于在所述第一输出子电路的控制端处接收到第三电平信号，将所述第一输出子电路的输入端与所述第一输出子电路的输出端导通，其中所述第三电平信号的绝对值大于或等于所述第一电平信号的绝对值，并且所述第三电平信号的极性与所述第一电平信号的极性相同。

所述控制子电路的第一控制端与所述时钟信号端电连接，所述控制子电路的第二控制端与所述复位子电路的第二输出端电连接，所述控制子电路的第一输入端与所述时钟信号端电连接，所述控制子电路的第二输入端与所述触发信号端电连接，所述控制子电路的第一输出端与所述第一节点电连接，并且所述控制子电路的第二输出端与第二节点电连接。所述控制子电路配置成响应于在所述控制子电路的第一控制端处接收到所述第一电平信号，将所述控制子电路的第二输入端与所述控制子电路的第一输出端导通，将所述控制子电路的第一输入端与所述控制子电路的第二输出端导通，并且响应于在所述控制子电路的第二控制端接收到第二电平信号，将所述控制子电路的第一输入端与所述控制子电路的第二输出端断开。

所述第二输出子电路的第一控制端与所述第二节点电连接，所述第二输出子电路的第二控制端与所述复位信号端电连接，所述第二输出子电路的第三控制端与所述时钟信号端电连接，所述第二输出子电路的输入端与所述设计公共电压信号端电连接，并且所述第二输出子电路的输出端与所述公共电压输出端电连接。所述第二输出子电路配置成响应于在所述第二输出子电路的第一控制端、所述第二输出子电路的第二控制端和所述第二输出子电路的第三控制端中的至少一者处接收到所述第一电平信号，将所述第二输出子电路的输入端与所述第二输出子电路的输出端导通。

所述复位子电路的第一控制端与所述复位信号端电连接，所述复位子电路的第二控制端与所述第二节点电连接，所述复位子电路的第三控制端与所述第一节点电连接，所述复位子电路的输入端与电源信

号端电连接，所述复位子电路的第一输出端与所述第一节点电连接，并且所述复位子电路的第三输出端与所述第二节点电连接。所述复位子电路配置成响应于在所述复位子电路的第一控制端和所述复位子电路的第二控制端中的至少一个处接收到所述第一电平信号，将所述复位子电路的输入端与所述复位子电路的第一输出端导通，并且响应于在所述复位子电路的第三控制端处接收到所述第一电平信号，将所述复位子电路的输入端与所述复位子电路的第二输出端和第三输出端导通。

根据一些实施例，所述触发信号输入子电路包括触发输入晶体管。所述触发输入晶体管的第一极和控制极与所述触发信号输入子电路的输入端电连接，并且所述触发输入晶体管的第二极与所述触发信号输入子电路的输出端电连接。

根据一些实施例，所述第一输出子电路包括显示输出晶体管和存储电容器。所述显示输出晶体管的控制极与所述第一输出子电路的控制端电连接，所述显示输出晶体管的第一极与所述补偿公共电压信号端电连接，所述显示输出晶体管的第二极与所述公共电压输出端电连接。所述存储电容器的第一端与所述第一节点电连接，并且所述存储电容器的第二端与第一输出子电路的输出端电连接。

根据一些实施例，所述控制子电路包括第一控制晶体管、第二控制晶体管和第三控制晶体管。所述第一控制晶体管的控制极与所述控制子电路的第一控制端电连接，所述第一控制晶体管的第一极与所述控制子电路的第二输入端电连接，并且所述第一控制晶体管的第二极与所述控制子电路的第一输出端电连接。所述第二控制晶体管的控制极和第一极与所述控制子电路的第一输入端电连接，并且所述第二控制晶体管的第二极与所述控制子电路的第二控制端电连接。所述第三控制晶体管的控制极与所述控制子电路的第二控制端电连接，所述第三控制晶体管的第一极与所述控制子电路的第一输入端电连接，并且所述第三控制晶体管的第二极与所述控制子电路的第二输出端电连接。

根据一些实施例，所述复位子电路包括第一复位晶体管、第二复位晶体管、第三复位晶体管和第四复位晶体管。所述第一复位晶体管的控制极与所述复位子电路的第二控制端电连接，所述第一复位晶体管的第一极与所述复位子电路的输入端电连接，并且所述第一复位晶

体管的第二极与所述复位子电路的第一输出端电连接。所述第二复位晶体管的控制极与所述复位子电路的第一控制端电连接，所述第二复位晶体管的第一极与所述复位子电路的输入端电连接，并且所述第二复位晶体管的第二极与所述复位子电路的第一输出端电连接。所述第三复位晶体管的控制极与所述复位子电路的第三控制端电连接，所述第三复位晶体管的第一极与所述复位子电路的输入端电连接，所述第三复位晶体管的第二极与所述复位子电路的第二输出端电连接。所述第四复位晶体管的控制极与所述复位子电路的第三控制端电连接，所述第四复位晶体管的第一极与所述复位子电路的输入端电连接，并且所述第四复位晶体管的第二极与所述复位子电路的第三输出端电连接。

根据一些实施例，所述第二输出子电路包括第一复位输出晶体管、第二复位输出晶体管和第三复位输出晶体管。所述第一复位输出晶体管的控制极与所述第二输出子电路的第二控制端电连接，所述第一复位输出晶体管的第一极与所述第二输出子电路的输入端电连接，并且所述第一复位输出晶体管的第二极与所述第二输出子电路的输出端电连接。所述第二复位输出晶体管的控制极与所述第二输出子电路的第三控制端电连接，所述第二复位输出晶体管的第一极与所述第二输出子电路的输入端电连接，并且所述第二复位输出晶体管的第二极与所述第二输出子电路的输出端电连接。所述第三复位输出晶体管的控制极与所述第二输出子电路的第一控制端电连接，所述第三复位输出晶体管的第一极与所述第二输出子电路的输入端电连接，并且所述第三复位输出晶体管的第二极与所述第二输出子电路的输出端电连接。

根据本公开的另一方面，提供了一种显示面板，包括级联的多个上述任一种公共电压补偿电路单元、多条栅线、多条公共电极线、第一时钟信号线、第二时钟信号线、电源信号线、设计公共电压信号线和补偿公共电压信号线。

每一个公共电压补偿电路单元的公共电压输出端与相应的公共电极线电连接，每一个公共电压补偿电路单元的触发信号端与相应的栅线电连接，每一个公共电压补偿电路单元的复位信号端与相应的另一栅线电连接，每一个公共电压补偿电路单元的电源信号端与电源信号线电连接，每一个公共电压补偿电路单元的设计公共电压信号端与设计公共电压信号线电连接，并且每一个公共电压补偿电路单元的补偿

公共电压信号端与补偿公共电压信号线电连接。

当公共电压补偿电路单元对应于奇数行的公共电极线时，所述公共电压补偿电路单元的时钟信号端与第一时钟信号线电连接；当公共电压补偿电路单元对应于偶数行的公共电极线时，所述公共电压补偿电路单元的时钟信号端与第二时钟信号线电连接。

补偿公共电压信号线与公共电压生成芯片电连接。所述公共电压生成芯片配置成，响应于与公共电压补偿电路单元的时钟信号端连接的第一时钟信号线或第二时钟信号线提供第一电平信号，向补偿公共电压信号线提供设计公共电压信号，响应于与公共电压补偿电路单元的时钟信号端连接的第一时钟信号线或第二时钟信号线提供第二电平信号，向补偿公共电压信号线提供补偿公共电压信号。

根据一些实施例，上述显示面板包括多行像素单元，每行像素单元包括多个像素单元，所述多行像素单元分别与多行公共电极一一对应。

所述公共电压生成芯片配置成根据公式（1）和公式（2）计算所述补偿公共电压信号：

$$ComN\text{-}Com'\ N=\Delta Vp \qquad (1)$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc} \qquad (2)$$

其中，ComN 是用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值；

Com’ N 是用于所述第 N 行像素单元的补偿公共电压信号的电压值；

Vgh 是第一电平信号的电压值；

Vgl 是第二电平信号的电压值；

Cgd 是所述第 N 行像素单元中的一个像素单元的薄膜晶体管的栅极与漏极之间的电容；

Cs 是所述像素单元的存储电容；

Clc 是所述像素单元的液晶电容。

根据一些实施例，所述公共电极线与所述公共电压补偿电路单元

一一对应。

根据本公开的又一方面，提供了一种显示装置，包括上述任一种显示面板。

根据本公开另外的方面，提供了一种显示面板的公共电压补偿方法，其使用上述任一种公共电压补偿电路单元。所述方法包括输入阶段、显示输出阶段和复位阶段。

在输入阶段，从触发信号端输入第一电平信号，从时钟信号端输入第二电平信号，从复位信号端输入第二电平信号，并且从补偿公共电压信号端输入设计公共电压信号。

在显示输出阶段，从触发信号端输入第二电平信号，从时钟信号端输入第二电平信号，并且从补偿公共电压信号端输入补偿公共电压信号。

在复位阶段，从时钟信号端输入第一电平信号，从触发信号端输入第二电平信号，从复位信号端输入第一电平信号，并且从设计公共电压信号端输入设计公共电压信号。

根据一些实施例，根据公式（1）和公式（2）计算所述补偿公共电压信号:

$$ComN\text{-}Com'\ N=\Delta Vp \qquad (1)$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc} \qquad (2)$$

其中，ComN 是用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值;

Com’ N 是用于所述第 N 行像素单元的补偿公共电压信号的电压值;

Vgh 是第一电平信号的电压值;

Vgl 是第二电平信号的电压值;

Cgd 是所述第 N 行像素单元中的一个像素单元的薄膜晶体管的栅极与漏极之间的电容;

Cs 是所述像素单元的存储电容;

Clc 是所述像素单元的液晶电容。

在本公开所提供的公共电压补偿电路单元、显示面板、显示装置以及公共电压补偿方法中，通过在显示输出阶段提供补偿公共电压来消除寄生电容对输入至公共电极线的公共电压的影响，从而精确地控制像素单元中液晶分子的偏转，消除残像，提高包括所述公共电压补偿电路单元的显示面板的显示效果。

附图说明

附图是用来提供对本公开的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本公开，但并不构成对本公开的限制。在附图中：

图 1 是本公开实施例所提供的公共电压补偿电路单元的结构示意图；

图 2 是本公开实施例所提供的公共电压补偿电路单元的工作信号时序图；

图 3 是本公开实施例所提供的公共电压补偿电路单元的具体结构示意图；

图 4 是本公开实施例所提供的显示面板的一部分的示意图；以及

图 5 是本公开实施例提供的公共电压补偿方法的流程图。

具体实施方式

以下结合附图对本公开的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本公开，并不用于限制本公开。

作为本公开的一个方面，提供一种公共电压补偿电路单元，如图 1 所示，包括触发信号端 Gate N-1、公共电压输出端 VcomN、设计公共电压信号端 Com、电源信号端 Vss、补偿公共电压信号端 Com'N、复位信号端 Gate N+1、时钟信号端 CLKB、触发信号输入子电路 100、第一输出子电路 200、控制子电路 300、第二输出子电路 400 和复位子电路 500。

触发信号输入子电路 100 的输入端与触发信号端 Gate N-1 电连接，触发信号输入子电路 100 的输出端与第一节点 PU 电连接。触发信号输入子电路 100 配置成响应于在触发信号输入子电路 100 的输入端处接

收到第一电平信号，将触发信号输入子电路 100 的输入端与触发信号输入子电路 100 的输出端导通。

第一输出子电路 200 的输入端与补偿公共电压信号端 Com’ N 电连接，第一输出子电路 200 的控制端与第一节点 PU 电连接，并且第一输出子电路 200 的输出端与公共电压输出端 Vcom N 电连接。第一输出子电路 200 配置成响应于在第一输出子电路 200 的控制端接收到第三电平信号，将第一输出子电路 200 的输入端与第一输出子电路 200 的输出端导通，其中第三电平信号的绝对值大于或等于第一电平信号的绝对值，并且第三电平信号的极性与第一电平信号的极性相同。

控制子电路 300 的第一控制端与时钟信号端 CLKB 电连接，控制子电路 300 的第二控制端与复位子电路 500 的第二输出端电连接，控制子电路 300 的第一输入端与时钟信号端 CLKB 电连接，控制子电路 300 的第二输入端与触发信号端 Gate N-1 电连接，控制子电路 300 的第一输出端与第一节点 PU 电连接，并且控制子电路 300 的第二输出端与第二节点 PD 电连接。控制子电路 300 配置成响应于在控制子电路 300 的第一控制端接收到第一电平信号，将控制子电路 300 的第二输入端与控制子电路 300 的第一输出端导通，将控制子电路 300 的第一输入端与控制子电路 300 的第二输出端导通，并且响应于在控制子电路 300 的第二控制端接收到第二电平信号，将控制子电路 300 的第一输入端与控制子电路 300 的第二输出端断开。

第二输出子电路 400 的第一控制端与第二节点 PD 电连接，第二输出子电路 400 的第二控制端与复位信号端 Gate N+1 电连接，第二输出子电路 400 的第三控制端与时钟信号端 CLKB 电连接，第二输出子电路 400 的输入端与设计公共电压信号端 Com 电连接，并且第二输出子电路 400 的输出端与公共电压输出端 Vcom N 电连接。第二输出子电路 400 配置成响应于在第二输出子电路 400 的第一控制端、第二输出子电路 400 的第二控制端和第二输出子电路 400 的第三控制端中的至少一者处接收到第一电平信号，将第二输出子电路 400 的输入端与第二输出子电路 400 的输出端导通。

复位子电路 500 的第一控制端与复位信号端 Gate N+1 电连接，复位子电路 500 的第二控制端与第二节点 PD 电连接，复位子电路 500 的输入端与电源信号端 Vss 电连接，复位子电路 500 的第一输出端与第

一节点 PU 电连接，复位子电路 500 的第三控制端与第一节点 PU 电连接，并且复位子电路 500 的第三输出端与第二节点 PD 电连接。复位子电路 500 配置成响应于在复位子电路 500 的第一控制端和复位子电路 500 的第二控制端中的至少一个处接收到第一电平信号，将复位子电路 500 的输入端与复位子电路 500 的第一输出端导通，并且响应于在第三控制端处接收到第一电平信号，将复位子电路 500 的输入端与复位子电路 500 的第二输出端和第三输出端导通。

如本领域技术人员所知的，显示面板包括横纵交叉的多条栅线 Gate n-2，Gate n，Gate n-1……和多条数据线，并且栅线和数据线的每一个交叉对应于一个像素单元。栅线用于向每一行像素单元提供驱动信号，并且数据线用于向每一列像素单元提供数据信号。显示面板还包括控制极驱动电路，并且控制极驱动电路包括与栅线一一对应的移位寄存器单元，其中移位寄存器单元用于逐级向相应的栅线提供驱动信号。具体地，第 N 级移位寄存器单元的输出端与第 N 条栅线电连接。

当使用在显示面板中时，上述公共电压补偿电路单元对应于显示面板中的第 N 行像素单元，并且公共电压补偿电路单元的公共电压输出端 VcomN 通过第 N 条公共电极线而与第 N 行像素单元的公共电极电连接，以便向第 N 行像素单元的公共电极提供公共电压信号。公共电压补偿电路单元的触发信号端 Gate N-1 与第 N-1 条栅线 Gate n-1 电连接，并且公共电压补偿电路单元的复位信号端 Gate N+1 与第 N+1 条栅线 Gate n+1 电连接。

如本文所使用的，术语“第一电平信号”和“第二电平信号”中的一者指示高电平信号，并且另一者指示低电平信号。例如，当公共电压补偿电路单元中所使用的晶体管为 N 型晶体管时，第一电平信号指示高电平信号，并且第二电平信号指示低电平信号。相反，当公共电压补偿电路单元中所使用的晶体管为 P 型晶体管时，第一电平信号指示低电平信号，并且第二电平信号指示高电平信号。。

以下结合图 2 来描述如图 2 所示的公共电压补偿电路单元的工作过程。如图 2 所示，公共电压补偿电路单元的每个工作周期包括三个工作阶段：输入阶段 t1、显示输出阶段 t2 和复位阶段 t3。需要指出的是，在图 2 中，以公共电压补偿电路单元中所使用的晶体管为 N 型晶体管为例来说明公共电压补偿电路单元的工作过程。但是，本公开不

限于此。假定补偿公共电压信号端 Com’ N 提供的信号为方波，并且在不同的阶段提供设计公共电压信号或补偿公共电压信号。

在输入阶段 t1，从触发信号端 Gate N-1 输入第一电平信号，从时钟信号端 CLKB 输入第二电平信号，从复位信号端 Gate N+1 输入第二电平信号，并且从补偿公共电压信号端 ComN 输入设计公共电压信号。此时，触发信号输入子电路 100 响应于在其输入端处接收到第一电平信号，将触发信号输入子电路 100 的输入端与触发信号输入子电路 100 的输出端导通，并且因而将通过触发信号端 Gate N-1 提供的第一电平信号存储在第一节点 PU 处。由于第一输出子电路 200 的控制端与第一节点 PU 电连接，因此，在第一输出子电路 200 的控制端处接收到第一电平信号。同时，复位子电路 500 的第三控制端接收到第一电平信号，使得复位子电路 500 的输入端与复位子电路 500 的第二输出端导通，因而在控制子电路 300 的第二控制端处接收到第二电平信号。并且，复位子电路 500 的第三控制端接收到第一电平信号，使得复位子电路 500 的输入端与复位子电路 500 的第三输出端导通。因此，在第二输出子电路 400 的第一控制端处接收到第二电平信号。由于第一输出子电路 200 的控制端接收到第一电平信号，因此，第一输出子电路 200 的输入端与输出端导通。由于此时从补偿公共电压信号端 Com’ N 输入的信号为设计公共电压信号，因此，公共电压输出端 VcomN 输出的信号为设计公共电压信号。

在显示输出阶段 t2，从触发信号端 Gate N-1 输入第二电平信号，从时钟信号端 CLKB 输入第二电平信号，并且从补偿公共电压信号端 Com’ N 输入补偿公共电压信号。由于在触发信号输入子电路 100 的输入端处接收到第二电平信号，因此，触发信号输入子电路 100 的输入端与输出端断开。在触发信号输入子电路 100 的输入端与输出端断开的情况下，第一输出子电路 200 的控制端处的信号将跳变至第三电平信号，使得第一输出子电路 200 的输入端与输出端导通，进而使得公共电压输出端 VcomN 输出补偿公共电压信号。与此同时，由于第一输出子电路 200 的控制端与复位子电路 500 的第三控制端电连接，因此，复位子电路 500 的输入端与复位子电路 500 的第三输出端导通，使得在第二节点 PD 处接收到第二电平信号。由于第二输出子电路 400 的第一控制端与第二节点 PD 电连接，第二输出子电路 400 的第二控制端与

复位信号端 Gate N+1 电连接，因此，第二输出子电路 400 的输入端与输出端之间断开，确保公共电压输出端此时输出的信号为补偿公共电压信号。

在复位阶段 t3，从时钟信号端 CLKB 输入第一电平信号，从触发信号端 Gate N-1 输入第二电平信号，并且从复位信号端 Gate N+1 输入第一电平信号。因此，触发信号输入子电路 100 的输入端与输出端断开，复位子电路 500 的输入端与第一输出端导通，使得在第一节点 PU 处接收到第二电平信号，从而对第一输出子电路 200 的控制端进行复位。与此同时，由于第二输出子电路 400 的第三控制端接收到从时钟信号端 CLKB 输入的第一电平信号，因此，第二输出子电路 400 的输入端与输出端导通，使得公共电压信号输出端输出的信号为从设计公共电压信号端 Com 输入的设计公共电压信号。

通过上述描述可知，公共电压补偿电路单元在工作时，在输入阶段 t1 以及复位阶段 t2 向相应的公共电极线提供设计公共电压信号，并且在显示输出阶段 t2 向相应的公共电极线提供补偿公共电压信号。

需要指出的是，从补偿公共电压信号端 Com’ N 输入的补偿公共电压的值是经过补偿后计算获得的。在这样的计算中，需要综合考虑寄生电容在显示阶段对液晶分子偏转的影响。例如，可以按照以下的公式（1）和公式（2）来计算补偿公共电压：

$$ComN\text{-}Com'\ N = \Delta Vp \qquad (1)$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc} \qquad (2)$$

其中，ComN 是用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值；

Com’ N 是用于所述第 N 行像素单元的补偿公共电压信号的电压值；

Vgh 是第一电平信号的电压值；

Vgl 是第二电平信号的电压值；

Cgd 是所述第 N 行像素单元中的一个像素单元的薄膜晶体管的栅极与漏极之间的电容；

Cs 是所述像素单元的存储电容；并且

Clc 是所述像素单元的液晶电容。

通过该补偿公共电压，可以在显示输出阶段消除寄生电容对输入至公共电极线的公共电压的影响，从而精确地控制像素单元中的液晶分子的偏转，消除残像，提高显示面板的显示效果。

此外，在除显示输出阶段之外的其他阶段，公共电压补偿电路单元仍旧向相应的公共电极线输出设计公共电压，因此不会影响其他不参与显示输出的像素单元中的液晶分子的偏转状态。

进一步地，由于公共电压补偿电路单元分别利用前一级和后一级移位寄存单元的输出信号作为触发信号以及复位信号，因此能够与相应的移位寄存器单元同步，使得能够通过相应的公共电极线在精确的时刻控制显示面板的相应公共电极上的电压，从而可以实现更好的驱动和显示效果。

在本公开中，对各个子电路的具体结构并没有特殊的限制，只要能够在显示周期的各个阶段实现上文中所述的功能即可。

图 3 示出根据本公开的一个实施例的公共电压补偿电路单元的电路图。

具体地，触发信号输入子电路 100 包括触发输入晶体管 M1，该触发输入晶体管 M1 的第一极和控制极与该触发信号输入子电路 100 的输入端电连接（即，触发输入晶体管 M1 的控制极和第一极与触发信号端 Gate N-1 电连接），触发输入晶体管 M1 的第二极与触发信号输入子电路 100 的输出端电连接。

当从触发信号端 Gate N-1 输入第一电平信号时，触发输入晶体管 M1 导通，从而将从触发信号端 Gate N-1 输入的第一电平信号传输至第一输出子电路 200 的控制端。当从触发信号端 Gate N-1 输入第二电平信号时，触发输入晶体管 M1 截止。

根据示例实施例，第一输出子电路 200 包括显示输出晶体管 M3 和存储电容器 C1。如图 3 中所示，显示输出晶体管 M3 的控制极与第一输出子电路 200 的控制端电连接，显示输出晶体管 M3 的第一极与补偿公共电压信号端 Com’ N 电连接，并且显示输出晶体管 M3 的第二极与公共电压输出端 Vcom N 电连接。存储电容器 C1 的第一端与第一节点 PU 电连接，并且存储电容器 C1 的第二端与第一输出子电路 200

的输出端电连接。

当显示输出晶体管 M3 的控制极接收到第一电平信号时，显示输出晶体管 M3 导通，从而将补偿公共电压信号端 Com’ N 与公共电压输出端 Vcom N 导通。

根据示例实施例，控制子电路 300 包括第一控制晶体管 M13、第二控制晶体管 M9 和第三控制晶体管 M5。

如图 3 中所示，第一控制晶体管 M13 的控制极与控制子电路 300 的第一控制端电连接（即，与时钟信号端 CLKB 电连接），第一控制晶体管 M13 的第一极与控制子电路 300 的第二输入端电连接（即，与触发信号端 Gate N-1 电连接），并且第一控制晶体管 M13 的第二极与控制子电路 300 的第一输出端电连接（即，与第一节点 PU 电连接）。

第二控制晶体管 M9 的控制极和第一极与控制子电路 300 的第一输入端电连接（即，与时钟信号端 CLKB 电连接），并且第二控制晶体管 M9 的第二极与控制子电路 300 的第二控制端电连接。

第三控制晶体管 M5 的控制极与控制子电路 300 的第二控制端电连接（即，与第二控制晶体管 M9 的第二极电连接），第三控制晶体管 M5 的第一极与控制子电路 300 的第一输入端电连接（即，与时钟信号端 CLKB 电连接），并且第三控制晶体管 M5 的第二极与控制子电路的第二输出端电连接（即，与第二节点 PD 电连接）。

当从时钟信号端 CLKB 输入第一电平信号时，在控制子电路 300 的第一控制端接收到第一电平信号，使得第一控制晶体管 M13 和第二控制晶体管 M9 均导通。如图 2 中所示，当从时钟信号端 CLKB 输入第一电平信号时，从触发信号端 Gate N-1 输入第二电平信号，因此，通过控制子电路 300 向第一输出子电路 200 的控制端输出第二电平信号，确保第一输出子电路 200 的输入端与输出端之间是断开的。与此同时，第二控制晶体管 M9 的导通可以将通过时钟信号端 CLKB 输入的第一电平信号传输至第三控制晶体管 M5 的控制极，使得第三控制晶体管 M5 导通，并最终将通过时钟信号端 CLKB 输入的第一电平信号传输至第二节点 PD。

当从第一时钟信号端 CLKB 输入第二电平信号时，第一控制晶体管 M13 和第二控制晶体管 M9 均截止。

设置复位子电路 500 的主要目的是在显示输出阶段结束后对第一

输出子电路 200 的控制端进行复位，确保公共电压补偿电路单元在除显示输出阶段外的其余阶段均输出设计公共电压信号端 Com 提供的设计公共电压。

在本公开中，对复位子电路 500 的具体结构并不做特殊的限制。例如，在图 3 中所示的示例中，复位子电路 500 可以包括第一复位晶体管 M10、第二复位晶体管 M2、第三复位晶体管 M8 和第四复位晶体管 M6。

如图 3 中所示，第一复位晶体管 M10 的控制极与复位子电路 500 的第二控制端电连接（即，与第二节点 PD 电连接），第一复位晶体管 M10 的第一极与复位子电路 500 的输入电连接（即，与电源信号端 Vss 电连接），并且第一复位晶体管 M10 的第二极与该复位子电路 500 的第一输出端电连接（即，与第一节点 PU 电连接）。

第二复位晶体管 M2 的控制极与复位子电路 500 的第一控制端电连接，第二复位晶体管 M2 的第一极与复位子电路 500 的输入电连接（即，与电源信号端 Vss 电连接），并且第二复位晶体管 M2 的第二极与复位子电路 500 的第一输出端电连接（即，与第一节点 PU 电连接）。

第三复位晶体管 M8 的控制极与复位子电路 500 的第三控制端电连接（即，与第一节点 PU 电连接），第三复位晶体管 M8 的第一极与复位子电路 500 的输入端电连接（即，与电源信号端 Vss 电连接），并且第三复位晶体管 M8 的第二极与复位子电路 500 的第二输出端电连接（即，与第二节点 PD 电连接）。

第四复位晶体管 M6 的控制极与复位子电路 500 的第三控制端电连接（即，与第一节点 PU 电连接），第四复位晶体管 M6 的第一极与复位子电路 500 的输入端电连接（即，与电源信号端 Vss 电连接），并且第四复位晶体管 M6 的第二极与复位子电路 500 的第三输出端电连接（即，与第二节点 PD 电连接）。

由于复位子电路 500 包括三个控制端，因此，通过三种控制信号来控制复位子电路 500 的各个输出端（包括第一输出端、第二输出端和第三输出端）的输出信号。下文中将结合图 2 来详细描述复位子电路 500 的输出情况，这里先不赘述。

在本公开中，第二输出子电路 400 的主要作用在于确保公共电压补偿电路单元在复位阶段 t3 能够输出设计公共电压信号。对第二输出

子电路 400 的具体结构也不做特殊的限定。例如，如图 3 中所示，第二输出子电路 400 可以包括第一复位输出晶体管 M11、第二复位输出晶体管 M12 和第三复位输出晶体管 M4。

第一复位输出晶体管 M11 的控制极与第二输出子电路 400 的第二控制端电连接（即，与复位信号端 Gate N+1 电连接），第一复位输出晶体管 M11 的第一极与第二输出子电路 400 的输入端电连接（即，与设计公共电压信号端 Com 电连接），并且第一复位输出晶体管 M11 的第二极与第二输出子电路 400 的输出端电连接（即，与公共电压输出端 Vcom N 电连接）。

第二复位输出晶体管 M12 的控制极与第二输出子电路 400 的第三控制端电连接，第二复位输出晶体管 M12 的第一极与第二输出子电路 400 的输入端电连接（即，与设计公共电压信号端 Com 电连接），并且第二复位输出晶体管 M12 的第二极与第二输出子电路 400 的输出端电连接（即，与公共电压输出端 Vcom N 电连接）。

第三复位输出晶体管 M4 的控制极与第二输出子电路 400 的第一控制端电连接（即，与第二节点 PD 电连接），第三复位输出晶体管 M4 的第一极与第二输出子电路 400 的输入端电连接（即，与设计公共电压信号端 Com 电连接），并且第三复位输出晶体管 M4 的第二极与第二输出子电路 400 的输出端电连接（即，与公共电压输出端 Vcom N 电连接）。

当在第一复位输出晶体管 M11、第二复位输出晶体管 M12 和第三复位输出晶体管 M4 中的任意一者的控制极接收到第一电平信号时，第二输出子电路 400 的输入端和输出端导通，使得公共电压输出端 Vcom N 输出设计公共电压信号。

如本领域技术人员所知的，晶体管一般为三端元件。在本文中，将控制晶体管导通和截止的端称为其“控制极”，将另外的两个端分别称为“第一极”和“第二极”。例如，在场效应晶体管的情况下，其控制极为栅极，其第一极可以为漏极，并且其第二极可以为源极。

下面结合图 2 和图 3 详细介绍本公开的实施例所提供的公共电压补偿电路单元的具体工作过程。

在图 3 中所示的公共电压补偿电路单元中，假定所有的晶体管均为 N 型晶体管，相应地，第一电平信号为高电平信号，并且第二电平

信号为低电平信号。补偿公共电压信号端 Com' N 提供的信号为方波，并且在不同的阶段提供设计公共电压信号或补偿公共电压信号。

如图 2 所示，如图 3 所示的公共电压补偿电路单元的一个工作周期包括输入阶段 t1、显示输出阶段 t2 和复位阶段 t3。

在输入阶段 t1，从触发信号端 Gate N-1 接收到第一电平信号，从时钟信号端 CLKB 接收到第二电平信号，并且从复位信号端 Gate N+1 接收到第二电平信号。因此，触发输入晶体管 M1 的第一极和第二极导通，从而将从触发信号端 Gate N-1 输入的第一电平信号传输至第一输出子电路 200 的控制端，并对存储电容器 C1 进行充电。在输入阶段 t1，通过触发信号端 Gate N-1 输入的第一电平信号存储在存储电容器 C1 中，并且使得在显示输出晶体管 M3 的控制极接收到第一电平信号，因此，显示输出晶体管 M3 导通。此时，补偿公共电压信号端 Com' N 提供的信号为设计公共电压信号，因此，从公共电压输出端 Vcom 输出设计公共电压信号。同时，由于从时钟信号端 CLKB 输入的信号为第二电平信号，因此，第一控制晶体管 M13、第二控制晶体管 M9、第二复位输出晶体管 M12 均截止，第四复位晶体管 M6 和第三复位晶体管 M8 导通，因而将从电源信号端 Vss 输入的第二电平信号传输至第三控制晶体管 M5 的控制极，使得第三控制晶体管 M5 也截止。

在显示输出阶段 t2，从触发信号端 Gate N-1 输入第二电平信号，从复位信号端 Gate N+1 输入第二电平信号，并且从时钟信号端 CLKB 输入第二电平信号。因此，触发输入晶体管 M1 截止，第一控制晶体管 M13 截止。此时，第一节点 PU 处于浮置状态。由于在前一阶段 t1，显示输出晶体管 M3 导通，因此在显示输出阶段 t2，显示输出晶体管 M3 仍旧导通，从而将从补偿公共电压信号端 ComN 输入的补偿公共电压信号传输至存储电容器 C1 的第二端。此时，由于存储电容器 C1 的自举作用，与存储电容器 C1 的第一端电连接的第一节点 PU 的电位将被上拉至第三电平信号，使得显示输出晶体管 M3 保持导通。此时，从公共电压输出端 Vcom N 输出的信号为补偿公共电压信号端 Com' N 提供的补偿公共电压信号。在该阶段，复位子电路 500 和第二输出子电路 400 的输入端以及输出端之间均断开，因此不会影响到公共电压补偿电路单元的输出。

在复位阶段 t3，从时钟信号端 CLKB 输入第一电平信号，因此，

第一控制晶体管 M13 和第二控制晶体管 M9 导通，从而将从触发信号端 Gate N-1 输入的第二电平信号传输至第一节点 PU。由于第二控制晶体管 M9 导通，因此使得第三控制晶体管 M5 也导通，以将从时钟信号端 CLKB 输入的第一电平信号传输至第二节点 PD，因而使得第三复位输出晶体管 M4 导通，从而将从设计公共电压信号端 Com 输入的设计公共电压传输至公共电压输出端 Vcom N。

通过上述描述可知，如图 3 所示的公共电压补偿电路单元在工作时，在显示输出阶段输出补偿公共电压信号，而在其余阶段输出设计公共电压信号。

可以按照如下公式来计算补偿公共电压：

$$ComN\text{-}Com'\ N = \Delta Vp$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc}$$

其中，ComN 为用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值；

Com’ N 为用于所述第 N 行像素单元的补偿公共电压信号的电压值。

Vgh 为第一电平信号的电压值；

Vgl 为第二电平信号的电压值；

Cgd 为所述第 N 行像素单元中的一个像素单元中的薄膜晶体管的栅极与漏极之间的寄生电容；

Cs 为所述像素单元的存储电容；并且

Clc 为所述像素单元的液晶电容。

对于特定像素单元而言，薄膜晶体管的尺寸、像素电极的尺寸、公共电极的尺寸都是已知的，并且设计公共电压的大小、第一电平信号的电压值、第二电平信号的电压值均是已知的，因此，栅极与漏极之间的寄生电容是容易通过计算获得的。因此，利用上述公式可以计算获得所述补偿公共电压信号的电压值。

作为本公开的另一个方面，提供一种显示面板，包括级联的多个上述公共电压补偿电路单元。如图 4 所示，该显示面板包括级联的多

个公共电压补偿电路单元 100、多条栅线 Gate n-2、Gate n-1、Gate n 等、多条公共电极线 Vcom n-1, Vcom n, Vcom n+1 等、第一时钟信号线 CLKa、第二时钟信号线 CLKb、电源信号线 vss、设计公共电压信号线 com 和补偿公共电压信号线 com'。。

每一个公共电压补偿电路单元 100 的公共电压输出端 VcomN 与相应的公共电极线 Vcom n 电连接，每一个公共电压补偿电路单元 100 的触发信号端 Gate N-1 与相应的栅线 Gate n-1 电连接，每一个公共电压补偿电路单元 100 的复位信号端 Gate N+1 与相应的另一栅线 Gate n+1 电连接，每一个公共电压补偿电路单元 100 的电源信号端 Vss 与电源信号线 vss 电连接，每一个公共电压补偿电路单元 100 的设计公共电压信号端 Com 与设计公共电压信号线 com 电连接，并且每一个公共电压补偿电路单元 100 的补偿公共电压信号端 Com'N 与补偿公共电压信号线 com'电连接。

当公共电压补偿电路单元 100 对应于奇数行的公共电极线时，该公共电压补偿电路单元 100 的时钟信号端 CLKB 与第一时钟信号线 CLKa 电连接；当公共电压补偿电路单元 100 对应于偶数行的公共电极线时，该公共电压补偿电路单元 100 的时钟信号端 CLKB 与第二时钟信号线 CLKb 电连接。

补偿公共电压信号线 com'与公共电压生成芯片 200 电连接。当与公共电压补偿电路单元 100 的时钟信号端 CLKB 连接的第一时钟信号线 CLKa 或第二时钟信号线 CLKb 提供第一电平信号时，公共电压生成芯片 200 向补偿公共电压信号线 com'提供设计公共电压信号；当与公共电压补偿电路单元 100 的时钟信号端 CLKB 连接的第一时钟信号线 CLKa 或第二时钟信号线 CLKb 提供第二电平信号时，公共电压生成芯片 200 向补偿公共电压信号线 com'提供补偿公共电压信号。

将理解到，图 4 仅仅示出了显示面板的一部分，而省略了其它对于显示面板而言必要的部件，以免使本公开的理解模糊。需要指出的是，在图 4 中，N 与 n 的值相同，其作用仅仅是区分公共电压补偿电路单元中的各个端口与栅线、公共电极线。为了便于描述，以下假设 N、n 均为偶数。

如图 4 中所示，第 n-1 行公共电极线 Vcom n-1 与相应的第 N-1 级公共电压补偿电路单元 100 的公共电压输出端 Vcom N-1 电连接。该第

N-1 级公共电压补偿电路单元 100 的触发信号端 Gate N-2 与第 n-2 行栅线 Gate n-2 电连接。第 N-1 级公共电压补偿电路单元 100 的时钟信号端 CLKB 与第一时钟信号线 CLKa 电连接。第 N-1 级公共电压补偿电路单元 100 的补偿公共电压信号端 Com’ N-1 与补偿公共电压信号线 com’ 电连接。第 N-1 级公共电压补偿电路单元 100 的设计公共电压端 Com 与设计公共电压信号线 com 电连接。第 N-1 级公共电压补偿电路单元 100 的电源信号端 Vss 与电源信号线 vss 电连接。

第 n 行公共电极线 Vcom n 与相应的第 N 级公共电压补偿电路单元 100 的公共电压输出端 Vcom N 电连接。第 N 级公共电压补偿电路单元 100 的触发信号端 Gate N-1 与第 n-1 行栅线 Gate n-1 电连接。第 N 级公共电压补偿电路单元 100 的时钟信号端 CLKB 与第二时钟信号线 CLKb 电连接。第 N 级公共电压补偿电路单元 100 的补偿公共电压信号端 Com’ N 与补偿公共电压信号线 com’ 电连接。第 N 级公共电压补偿电路单元 100 的设计公共电压信号端 Com 与设计公共电压信号线 com 电连接。第 N 级公共电压补偿电路单元 100 的电源信号端 Vss 与电源信号线 vss 电连接。

第 n+1 行公共电极线 Vcom n+1 与相应的第 N+1 级公共电压补偿电路单元 100 的公共电压输出端 Vcom N+1 电连接。该第 N+1 级公共电压补偿电路单元 100 的触发信号端 Gate N 与第 n 行栅线 Gate n 电连接。第 N+1 级公共电压补偿电路单元 100 的时钟信号端 CLKB 与第一时钟信号线 CLKa 电连接。第 N+1 级公共电压补偿电路单元 100 的补偿公共电压信号端 Com’ N+1 与补偿公共电压信号线 com’ 电连接。第 N+1 级公共电压补偿电路单元 100 的设计公共电压信号端 Com 与设计公共电压信号线 com 电连接。第 N+1 级公共电压补偿电路单元 100 的电源信号端 Vss 与电源信号线 vss 电连接。

第 n+2 行公共电极线 Vcom n+2 与相应的第 N+2 级公共电压补偿电路单元 100 的公共电压输出端 Vcom N+2 电连接。第 N+2 级公共电压补偿电路单元 100 的触发信号端 Gate N+1 与第 n+1 行栅线 Gate n 电连接。第 N+2 级公共电压补偿电路单元 100 的时钟信号端 CLKB 与第二时钟信号线 CLKb 电连接。第 N+2 级公共电压补偿电路单元 100 的补偿公共电压信号端 Com’ N+2 与补偿公共电压信号线 com’ 电连接。第 N+2 级公共电压补偿电路单元 100 的设计公共电压信号端 Com 与设

计公共电压信号线 com 电连接。第 N+2 级公共电压补偿电路单元 100 的电源信号端 Vss 与电源信号线 vss 电连接。

上述连接方式可以确保公共电压补偿电路单元与相应的栅线同步动作，从而对各行像素单元进行精确的公共电压补偿。

如上文中所述，显示面板包括多行像素单元，每行像素单元包括多个像素单元，并且所述多行像素单元分别与多行公共电极一一对应。

所述公共电压生成芯片可以根据以下的公式（1）和公式（2）计算所述补偿公共电压信号:

$$ComN\text{-}Com'\ N = \Delta Vp \qquad (1)$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc} \qquad (2)$$

其中，ComN 是用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值;

Com’ N 是用于所述第 N 行像素单元的补偿公共电压信号的电压值;

Vgh 是第一电平信号的电压值;

Vgl 是第二电平信号的电压值;

Cgd 是所述第 N 行像素单元中的一个像素单元的薄膜晶体管的栅极与漏极之间的电容;

Cs 是所述像素单元的存储电容;

Clc 是所述像素单元的液晶电容。

在示例实施例中，为了使得各个像素单元均能够准确地显示图像，每条公共电极线均对应有公共电压补偿电路单元。

作为本公开的又一方面，提供一种显示装置，包括上述显示面板。

作为本公开另外的方面，提供一种公共电压补偿方法，其使用上述任一种公共电压补偿电路单元。如图 5 所示，所述公共电压补偿方法 500 包括输入阶段 502、显示输出阶段 504 和复位阶段 506。

在输入阶段 502 中，从触发信号端输入第一电平信号，从时钟信号端输入第二电平信号，从复位信号端输入第二电平信号，并且从补偿公共电压信号端输入设计公共电压信号。

在显示输出阶段 504 中，从触发信号端输入第二电平信号，从时钟信号端输入第二电平信号，并且从补偿公共电压信号端输入补偿公共电压信号。

在复位阶段 506 中，从时钟信号端输入第一电平信号，从触发信号端输入第二电平信号，从复位信号端输入第一电平信号，并且从设计公共电压信号端输入设计公共电压信号。

在本公开所提供的公共电压补偿电路单元、显示面板、显示装置以及公共电压补偿方法中，通过提供补偿公共电压，可以在显示输出阶段消除寄生电容对输入至公共电极线的公共电压的影响，从而精确地控制像素单元中的液晶分子的偏转，消除残像，提高显示面板的显示效果。

此外，在除显示输出阶段之外的其他阶段，公共电压补偿电路单元仍旧向相应的公共电极线输出设计公共电压，因此不会影响其他不参与显示输出的像素单元中的液晶分子的偏转状态。

进一步地，由于公共电压补偿电路单元分别利用前一级和后一级移位寄存单元的输出信号作为触发信号以及复位信号，因此能够与相应的移位寄存器单元同步，使得能够通过相应的公共电极线在精确的时刻控制显示面板的相应公共电极上的电压，从而可以实现更好的驱动和显示效果。

可以理解的是，以上实施方式仅仅是为了说明本公开的原理而采用的示例性实施方式，然而本公开并不局限于此。对于本领域内的普通技术人员而言，在不脱离本公开的精神和实质的情况下，可以做出各种变型和改进，这些变型和改进也视为本公开的保护范围。

权 利 要 求

1. 一种公共电压补偿电路单元，包括触发信号端、公共电压输出端、设计公共电压信号端、电源信号端、补偿公共电压信号端、复位信号端、时钟信号端、触发信号输入子电路、第一输出子电路、控制子电路、第二输出子电路和复位子电路，其中

所述触发信号输入子电路的输入端与所述触发信号端电连接，所述触发信号输入子电路的输出端与第一节点电连接，并且所述触发信号输入子电路配置成响应于在所述触发信号输入子电路的输入端处接收到第一电平信号，将所述触发信号输入子电路的输入端与所述触发信号输入子电路的输出端导通；

所述第一输出子电路的输入端与所述补偿公共电压信号端电连接，第一输出子电路的控制端与第一节点电连接，所述第一输出子电路的输出端与所述公共电压输出端电连接，并且所述第一输出子电路配置成响应于在所述第一输出子电路的控制端处接收到第三电平信号，将所述第一输出子电路的输入端与所述第一输出子电路的输出端导通，其中所述第三电平信号的绝对值大于或等于所述第一电平信号的绝对值，并且所述第三电平信号的极性与所述第一电平信号的极性相同；

所述控制子电路的第一控制端与所述时钟信号端电连接，所述控制子电路的第二控制端与所述复位子电路的第二输出端电连接，所述控制子电路的第一输入端与所述时钟信号端电连接，所述控制子电路的第二输入端与所述触发信号端电连接，所述控制子电路的第一输出端与所述第一节点电连接，所述控制子电路的第二输出端与第二节点电连接，并且所述控制子电路配置成响应于在所述控制子电路的第一控制端处接收到所述第一电平信号，将所述控制子电路的第二输入端与所述控制子电路的第一输出端导通，将所述控制子电路的第一输入端与所述控制子电路的第二输出端导通，并且响应于在所述控制子电路的第二控制端接收到第二电平信号，将所述控制子电路的第一输入端与所述控制子电路的第二输出端断开；

所述第二输出子电路的第一控制端与所述第二节点电连接，所述第二输出子电路的第二控制端与所述复位信号端电连接，所述第二输出子电路的第三控制端与所述时钟信号端电连接，所述第二输出子电

路的输入端与所述设计公共电压信号端电连接，所述第二输出子电路的输出端与所述公共电压输出端电连接，并且所述第二输出子电路配置成响应于在所述第二输出子电路的第一控制端、所述第二输出子电路的第二控制端和所述第二输出子电路的第三控制端中的至少一者处接收到所述第一电平信号，将所述第二输出子电路的输入端与所述第二输出子电路的输出端导通；

所述复位子电路的第一控制端与所述复位信号端电连接，所述复位子电路的第二控制端与所述第二节点电连接，所述复位子电路的第三控制端与所述第一节点电连接，所述复位子电路的输入端与电源信号端电连接，所述复位子电路的第一输出端与所述第一节点电连接，所述复位子电路的第三输出端与所述第二节点电连接，并且所述复位子电路配置成响应于在所述复位子电路的第一控制端和所述复位子电路的第二控制端中的至少一个处接收到所述第一电平信号，将所述复位子电路的输入端与所述复位子电路的第一输出端导通，并且响应于在所述复位子电路的第三控制端处接收到所述第一电平信号，将所述复位子电路的输入端与所述复位子电路的第二输出端和第三输出端导通。

2. 根据权利要求 1 所述的公共电压补偿电路单元，其中，所述触发信号输入子电路包括触发输入晶体管，所述触发输入晶体管的第一极和控制极与所述触发信号输入子电路的输入端电连接，并且所述触发输入晶体管的第二极与所述触发信号输入子电路的输出端电连接。

3. 根据权利要求 1 所述的公共电压补偿电路单元，其中，所述第一输出子电路包括显示输出晶体管和存储电容器，所述显示输出晶体管的控制极与所述第一输出子电路的控制端电连接，所述显示输出晶体管的第一极与所述补偿公共电压信号端电连接，所述显示输出晶体管的第二极与所述公共电压输出端电连接，所述存储电容器的第一端与所述第一节点电连接，并且所述存储电容器的第二端与第一输出子电路的输出端电连接。

4. 根据权利要求 1 所述的公共电压补偿电路单元，其中，所述控制子电路包括第一控制晶体管、第二控制晶体管和第三控制晶体管，

所述第一控制晶体管的控制极与所述控制子电路的第一控制端电连接，所述第一控制晶体管的第一极与所述控制子电路的第二输入端

电连接，并且所述第一控制晶体管的第二极与所述控制子电路的第一输出端电连接；

所述第二控制晶体管的控制极和第一极与所述控制子电路的第一输入端电连接，并且所述第二控制晶体管的第二极与所述控制子电路的第二控制端电连接；

所述第三控制晶体管的控制极与所述控制子电路的第二控制端电连接，所述第三控制晶体管的第一极与所述控制子电路的第一输入端电连接，并且所述第三控制晶体管的第二极与所述控制子电路的第二输出端电连接。

5. 根据权利要求 1 所述的公共电压补偿电路单元，其中，所述复位子电路包括第一复位晶体管、第二复位晶体管、第三复位晶体管和第四复位晶体管，

所述第一复位晶体管的控制极与所述复位子电路的第二控制端电连接，所述第一复位晶体管的第一极与所述复位子电路的输入端电连接，并且所述第一复位晶体管的第二极与所述复位子电路的第一输出端电连接；

所述第二复位晶体管的控制极与所述复位子电路的第一控制端电连接，所述第二复位晶体管的第一极与所述复位子电路的输入端电连接，并且所述第二复位晶体管的第二极与所述复位子电路的第一输出端电连接；

所述第三复位晶体管的控制极与所述复位子电路的第三控制端电连接，所述第三复位晶体管的第一极与所述复位子电路的输入端电连接，所述第三复位晶体管的第二极与所述复位子电路的第二输出端电连接；

所述第四复位晶体管的控制极与所述复位子电路的第三控制端电连接，所述第四复位晶体管的第一极与所述复位子电路的输入端电连接，所述第四复位晶体管的第二极与所述复位子电路的第三输出端电连接。

6. 根据权利要求 1 所述的公共电压补偿电路单元，其中，所述第二输出子电路包括第一复位输出晶体管、第二复位输出晶体管和第三复位输出晶体管，

所述第一复位输出晶体管的控制极与所述第二输出子电路的第二

控制端电连接，所述第一复位输出晶体管的第一极与所述第二输出子电路的输入端电连接，并且所述第一复位输出晶体管的第二极与所述第二输出子电路的输出端电连接；

所述第二复位输出晶体管的控制极与所述第二输出子电路的第三控制端电连接，所述第二复位输出晶体管的第一极与所述第二输出子电路的输入端电连接，并且所述第二复位输出晶体管的第二极与所述第二输出子电路的输出端电连接；

所述第三复位输出晶体管的控制极与所述第二输出子电路的第一控制端电连接，所述第三复位输出晶体管的第一极与所述第二输出子电路的输入端电连接，并且所述第三复位输出晶体管的第二极与所述第二输出子电路的输出端电连接。

7. 一种显示面板，包括级联的多个根据权利要求 1 至 6 中任意一项所述的公共电压补偿电路单元、多条栅线、多条公共电极线、第一时钟信号线、第二时钟信号线、电源信号线、设计公共电压信号线和补偿公共电压信号线，其中

每一个公共电压补偿电路单元的公共电压输出端与相应的公共电极线电连接，每一个公共电压补偿电路单元的触发信号端与相应的栅线电连接，每一个公共电压补偿电路单元的复位信号端与相应的另一栅线电连接，每一个公共电压补偿电路单元的电源信号端与电源信号线电连接，每一个公共电压补偿电路单元的设计公共电压信号端与设计公共电压信号线电连接，并且每一个公共电压补偿电路单元的补偿公共电压信号端与补偿公共电压信号线电连接；

当公共电压补偿电路单元对应于奇数行的公共电极线时，所述公共电压补偿电路单元的时钟信号端与第一时钟信号线电连接；当公共电压补偿电路单元对应于偶数行的公共电极线时，所述公共电压补偿电路单元的时钟信号端与第二时钟信号线电连接；

补偿公共电压信号线与公共电压生成芯片电连接，所述公共电压生成芯片配置成，响应于与公共电压补偿电路单元的时钟信号端连接的第一时钟信号线或第二时钟信号线提供第一电平信号，向补偿公共电压信号线提供设计公共电压信号，响应于与公共电压补偿电路单元的时钟信号端连接的第一时钟信号线或第二时钟信号线提供第二电平信号，向补偿公共电压信号线提供补偿公共电压信号。

8. 根据权利要求 7 所述的显示面板，包括多行像素单元，每行像素单元包括多个像素单元，所述多行像素单元分别与多行公共电极一一对应，并且

所述公共电压生成芯片配置成根据公式（1）和公式（2）计算所述补偿公共电压信号：

$$ComN\text{-}Com'\ N=\Delta Vp \qquad (1)$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc} \qquad (2)$$

其中，ComN 是用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值；

Com’ N 是用于所述第 N 行像素单元的补偿公共电压信号的电压值；

Vgh 是第一电平信号的电压值；

Vgl 是第二电平信号的电压值；

Cgd 是所述第 N 行像素单元中的一个像素单元的薄膜晶体管的栅极与漏极之间的电容；

Cs 是所述像素单元的存储电容；

Clc 是所述像素单元的液晶电容。

9. 根据权利要求 7 或 8 所述的显示面板，其中，所述公共电极线与所述公共电压补偿电路单元一一对应。

10. 一种显示装置，包括根据权利要求 7 至 9 中任意一项所述的显示面板。

11. 一种显示面板的公共电压补偿方法，使用根据权利要求 1 至 6 中任意一项所述的公共电压补偿电路单元，包括输入阶段、显示输出阶段和复位阶段，其中

在输入阶段，从触发信号端输入第一电平信号，从时钟信号端输入第二电平信号，从复位信号端输入第二电平信号，并且从补偿公共电压信号端输入设计公共电压信号；

在显示输出阶段，从触发信号端输入第二电平信号，从时钟信号端输入第二电平信号，并且从补偿公共电压信号端输入补偿公共电压

信号；

在复位阶段，从时钟信号端输入第一电平信号，从触发信号端输入第二电平信号，从复位信号端输入第一电平信号，并且从设计公共电压信号端输入设计公共电压信号。

12. 根据权利要求 11 所述的方法，其中，根据公式（1）和公式（2）计算所述补偿公共电压信号：

$$ComN\text{-}Com'\ N=\Delta Vp \qquad (1)$$

$$\Delta Vp = \frac{(Vgh - Vgl) * Cgd}{Cgd + Cs + Clc} \qquad (2)$$

其中，ComN 是用于与公共电压补偿电路单元对应的第 N 行像素单元的设计公共电压信号的电压值；

Com’ N 是用于所述第 N 行像素单元的补偿公共电压信号的电压值；

Vgh 是第一电平信号的电压值；

Vgl 是第二电平信号的电压值；

Cgd 是所述第 N 行像素单元中的一个像素单元的薄膜晶体管的栅极与漏极之间的电容；

Cs 是所述像素单元的存储电容；

Clc 是所述像素单元的液晶电容。

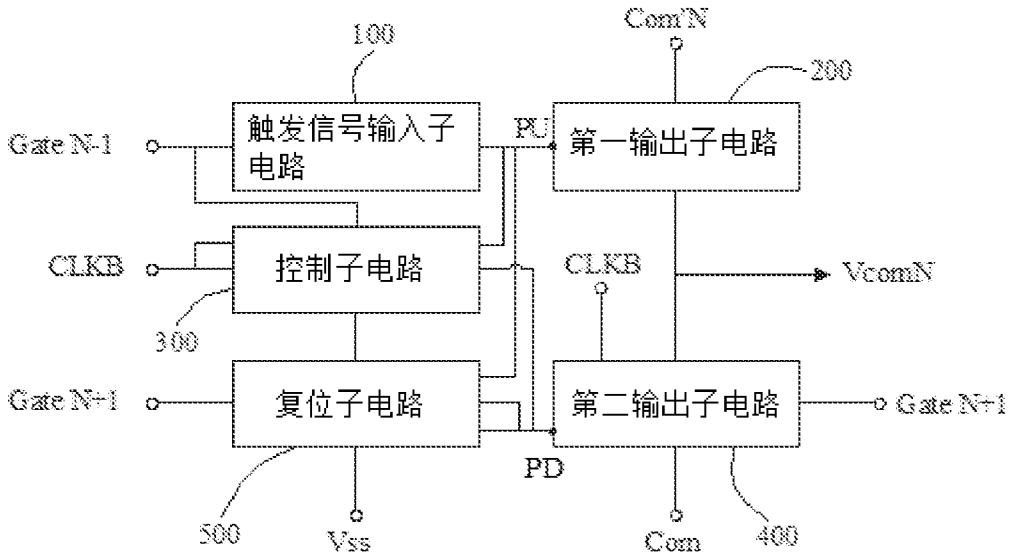

100
ComN
200
Gate N-1
触发信号输入子电路
PU
第一输出子电路
CLKB
控制子电路
CLKB
VcomN
300
Gate N+1
复位子电路
第二输出子电路
Gate N+1
PD
500
Vss
Com
400

图 1

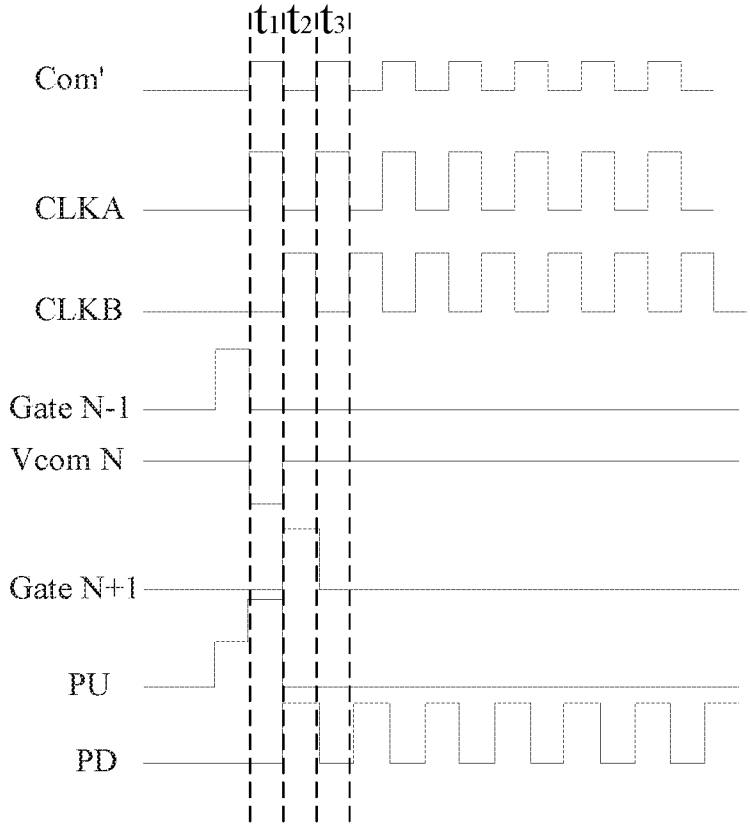

t1
t2
t3
Com'
CLKA
CLKB
Gate N-1
Vcom N
Gate N+1
PU
PD

图 2

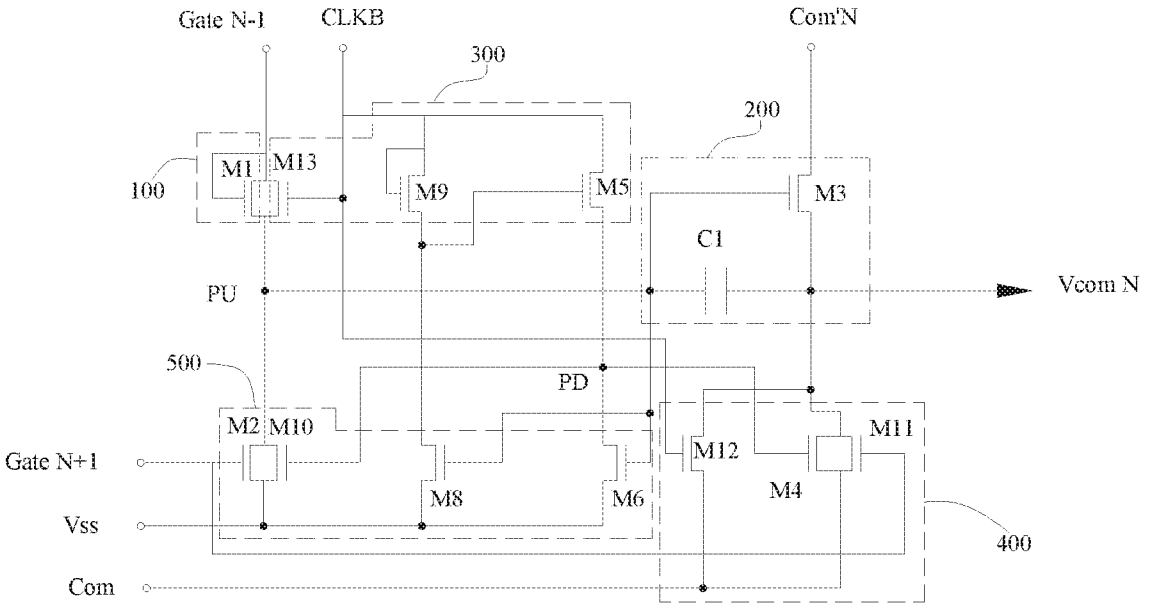

Gate N-1
CLKB
Com'N
300
200
100
M1
M13
M9
M5
M3
C1
PU
Vcom N
500
PD
M2
M10
M12
M11
Gate N+1
M8
M6
M4
Vss
400
Com

图 3

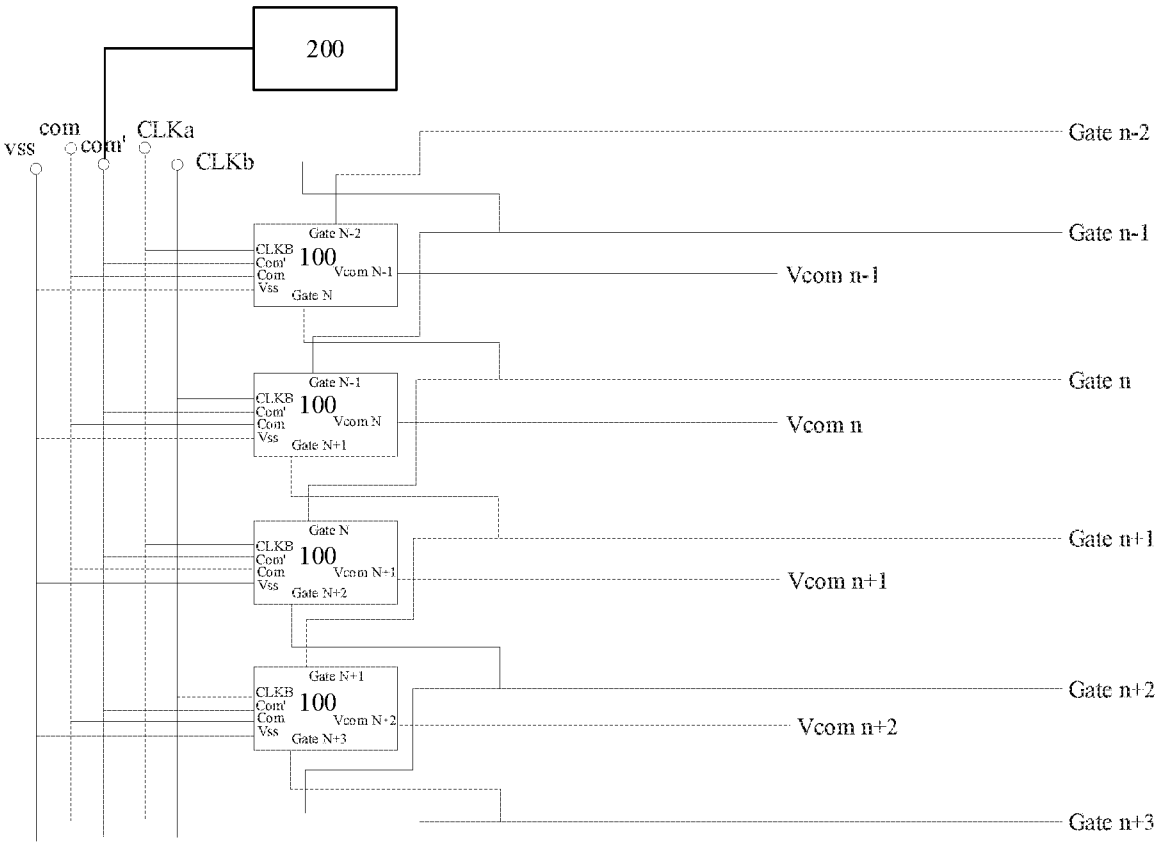

200
com
vss
com'
CLKa
CLKb
Gate n-2
Gate n-1
Vcom n-1
Gate n
Vcom n
Gate n+1
Vcom n+1
Gate n+2
Vcom n+2
Gate n+3
Gate N-2
CLKB
Com'
Com
Vss
100
Vcom N-1
Gate N
Gate N-1
Vcom N
Gate N+1
Gate N
Vcom N+1
Gate N+2
Gate N+1
Vcom N+2
Gate N+3

图 4

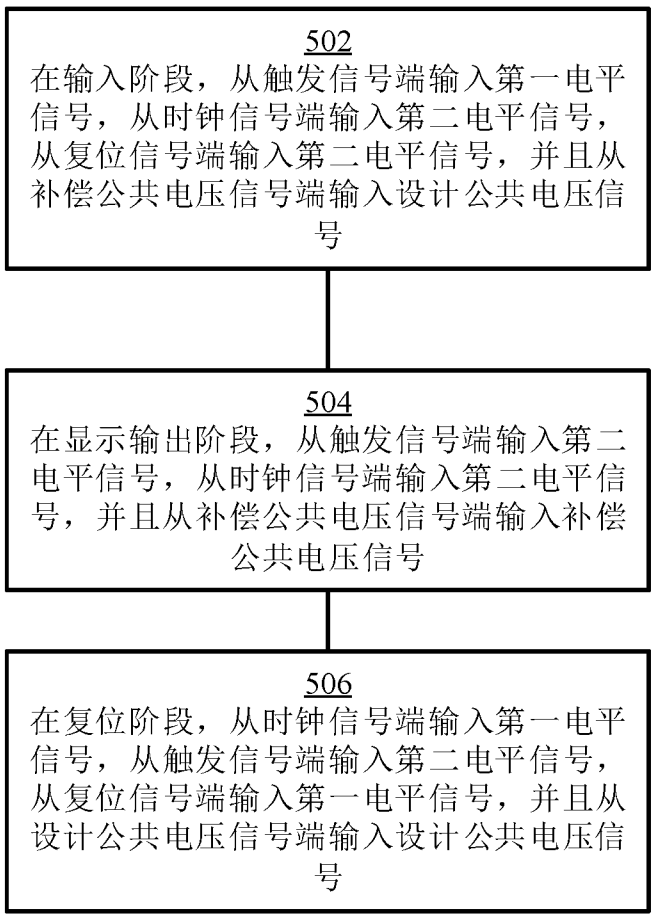

500
502
在输入阶段，从触发信号端输入第一电平信号，从时钟信号端输入第二电平信号，从复位信号端输入第二电平信号，并且从补偿公共电压信号端输入设计公共电压信号
504
在显示输出阶段，从触发信号端输入第二电平信号，从时钟信号端输入第二电平信号，并且从补偿公共电压信号端输入补偿公共电压信号
506
在复位阶段，从时钟信号端输入第一电平信号，从触发信号端输入第二电平信号，从复位信号端输入第一电平信号，并且从设计公共电压信号端输入设计公共电压信号

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2018/070743

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 京东方, 赵剑, 李环宇, 陈沫, 高吉磊, 张杨, "+1", "-1", ?com+, "com (n+1)", "com (i+1)", 公共?? 电压, 下拉, 上拉, 拉低, PD, PU, 节点, 结点, 寄存器, 寄存单元, 反冲, 馈穿, 穿通, 馈通, 闪烁, 吸合, 回扫, 回踢, 踢回, 跳变, 栅极引入, △Vp, △VD, CGD, SR+vcom, shift w register, kickback, kick w back, feedthrough, feed w through

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107039011 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 11 August 2017 (11.08.2017), claims 1-10, description, paragraphs [0049]-[0144], and figures 1-4	1-12
A	CN 102956214 A (BOE TECHNOLOGY GROUP CO., LTD.), 06 March 2013 (06.03.2013), description, paragraphs [0022]-[0058], and figures 1-6	1-12
A	CN 102610205 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 July 2012 (25.07.2012), entire document	1-12
A	CN 102682699 A (BOE TECHNOLOGY GROUP CO., LTD.), 19 September 2012 (19.09.2012), entire document	1-12
A	US 2015287379 A1 (SAMSUNG DISPLAY CO., LTD.), 08 October 2015 (08.10.2015), entire document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 March 2018	28 March 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Xiaolan Telephone No. (86-10) 53962509

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2018/070743

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 107039011 A	11 August 2017	None	
CN 102956214 A	06 March 2013	None	
CN 102610205 A	25 July 2012	WO 2013143195 A1	03 October 2013
		US 2013257838 A1	03 October 2013
CN 102682699 A	19 September 2012	WO 2013155851 A1	24 October 2013
		CN 102682699 B	17 December 2014
US 2015287379 A1	08 October 2015	US 9489910 B2	08 November 2016
		KR 20150116068 A	15 October 2015

国际检索报告

国际申请号
PCT/CN2018/070743

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, WPI, EPODOC: 京东方, 赵剑, 李环宇, 陈沫, 高吉磊, 张杨, "+1", "-1", ?com+, "com(n+1)", "com(i+1)", 公共??电压, 下拉, 上拉, 拉低, PD, PU, 节点, 结点, 寄存器, 寄存单元, 反冲, 馈穿, 穿通, 馈通, 闪烁, 吸合, 回扫, 回踢, 踢回, 跳变, 栅极引入, ΔVp, ΔVD, CGD, SR+vcom, shift w register, kickback, kick w back, feedthrough, feed w through

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 107039011 A (京东方科技集团股份有限公司 等) 2017年 8月 11日 (2017-08-11) 权利要求1-10，说明书第[0049]-[0144]段，附图1-4	1-12
A	CN 102956214 A (京东方科技集团股份有限公司) 2013年 3月 6日 (2013-03-06) 说明书第[0022]-[0058]段，附图1-6	1-12
A	CN 102610205 A (深圳市华星光电技术有限公司) 2012年 7月 25日 (2012-07-25) 全文	1-12
A	CN 102682699 A (京东方科技集团股份有限公司) 2012年 9月 19日 (2012-09-19) 全文	1-12
A	US 2015287379 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 10月 8日 (2015-10-08) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2018年 3月 6日	2018年 3月 28日

ISA/CN的名称和邮寄地址	受权官员
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	李小兰
传真号 (86-10)62019451	电话号码 (86-10)53962509

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2018/070743

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	107039011	A	2017年 8月 11日	无			
CN	102956214	A	2013年 3月 6日	无			
CN	102610205	A	2012年 7月 25日	WO	2013143195	A1	2013年 10月 3日
				US	2013257838	A1	2013年 10月 3日
CN	102682699	A	2012年 9月 19日	WO	2013155851	A1	2013年 10月 24日
				CN	102682699	B	2014年 12月 17日
US	2015287379	A1	2015年 10月 8日	US	9489910	B2	2016年 11月 8日
				KR	20150116068	A	2015年 10月 15日