(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201214627 A1
(43)公開日： 中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100130942 (22)申請日： 中華民國 100 (2011) 年 08 月 29 日
(51)Int. Cl.： *H01L21/768 (2006.01)* *H01L21/60 (2006.01)*
(30)優先權：2010/09/23 法國 FR 1057676
2010/09/11 美國 US12/879,637
(71)申請人：S O I 科技矽公司 (法國) S.O.I. TEC SILICON ON INSULATOR TECHNOLOGIES (FR)
法國
(72)發明人：沙達卡 瑪麗姆 SADAKA, MARIAM (US)
(74)代理人：陳慧玲
申請實體審查：有 申請專利範圍項數：20 項 圖式數：20 共 50 頁

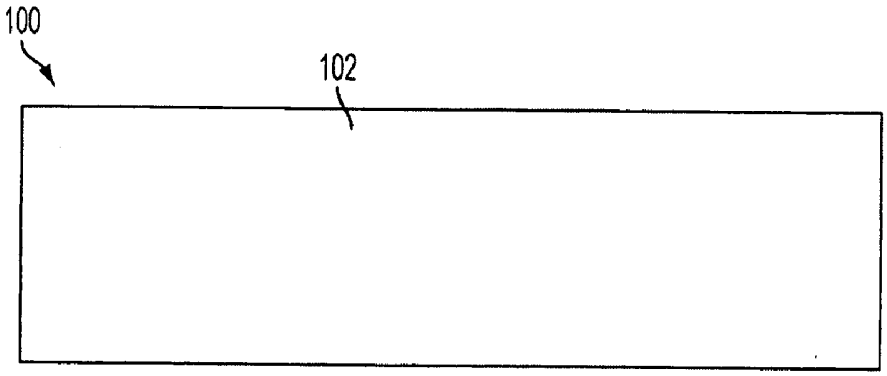
(54)名稱

利用犧牲材料在半導體構造中形成晶圓間透通連結之方法與應用此等方法所形成之半導體構造
METHODS OF FORMING THROUGH WAFER INTERCONECTS IN SEMICONDUCTOR STUCTURES USING SACRIFICIAL MATERIAL AND SEMICONDUCTOR STRUCTURES FORMES BY SUCH METHODS

(57)摘要

製作半導體構造之方法，其包含在一通孔凹槽內提供一犧牲材料，形成該半導體構造中一晶圓間透通連結之第一部分，以及以導電材料替換該犧牲材料，以形成該晶圓間透通連結之第二部分。應用此等方法所形成之半導體構造。例如，一半導體構造可以包含一通孔凹槽內之一犧牲材料，以及與該通孔凹槽對準之一晶圓間透通連結之第一部分。半導體構造包括晶圓間透通連結，該些晶圓間透通連結包含兩個或多個部分，各部分之間具有一邊界。

100：第一半導體構造
102：材料



(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201214627 A1
(43)公開日： 中華民國 101 (2012) 年 04 月 01 日

(21)申請案號：100130942 (22)申請日： 中華民國 100 (2011) 年 08 月 29 日
(51)Int. Cl.： *H01L21/768 (2006.01)* *H01L21/60 (2006.01)*
(30)優先權：2010/09/23 法國 FR 1057676
2010/09/11 美國 US12/879,637
(71)申請人：S O I 科技矽公司 (法國) S.O.I. TEC SILICON ON INSULATOR TECHNOLOGIES (FR)
法國
(72)發明人：沙達卡 瑪麗姆 SADAKA, MARIAM (US)
(74)代理人：陳慧玲
申請實體審查：有 申請專利範圍項數：20 項 圖式數：20 共 50 頁

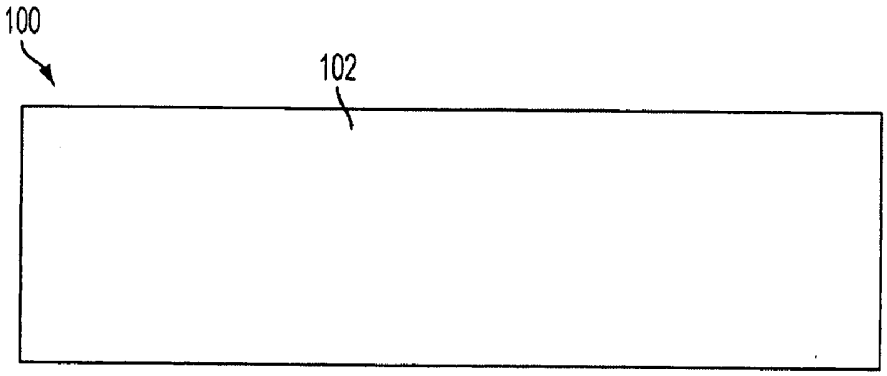
(54)名稱

利用犧牲材料在半導體構造中形成晶圓間透通連結之方法與應用此等方法所形成之半導體構造
METHODS OF FORMING THROUGH WAFER INTERCONECTS IN SEMICONDUCTOR STUCTURES USING SACRIFICIAL MATERIAL AND SEMICONDUCTOR STRUCTURES FORMES BY SUCH METHODS

(57)摘要

製作半導體構造之方法，其包含在一通孔凹槽內提供一犧牲材料，形成該半導體構造中一晶圓間透通連結之第一部分，以及以導電材料替換該犧牲材料，以形成該晶圓間透通連結之第二部分。應用此等方法所形成之半導體構造。例如，一半導體構造可以包含一通孔凹槽內之一犧牲材料，以及與該通孔凹槽對準之一晶圓間透通連結之第一部分。半導體構造包括晶圓間透通連結，該些晶圓間透通連結包含兩個或多個部分，各部分之間具有一邊界。

100：第一半導體構造
102：材料



六、發明說明：

【發明所屬之技術領域】

一般而言，本發明係關於形成包含晶圓間透通連結之半導體構造之方法，以及應用此等方法所形成之半導體構造。

【先前技術】

半導體構造包括採用半導體材料之裝置（亦即半導體裝置）且係在製作半導體裝置期間形成，該些半導體材料諸如電子信號處理器、記憶裝置、光電裝置（例如發光二極體（LED）、雷射二極體、太陽能電池等等）、微機電裝置及奈米機電裝置等等。在此等半導體構造中，經常有必要或最好將一半導體構造在電性上及/或結構上耦合至另一裝置或構造（例如另一半導體構造）。此等將半導體構造與另一裝置或構造耦合的製程常被稱為三度空間集積（3D integration）製程。

兩個或多個半導體構造之三度空間集積可以替微電子應用帶來許多好處。舉例而言，微電子元件之三度空間集積可以改進電效能及電力消耗，同時減少裝置之底面積。參見，例如，P. Garrou 等人所編之《The Handbook of 3D Integration》（Wiley-VCH 出版，2008 年）。

半導體構造之三度空間集積之施行可以經由以下方式，或該些方式之組合：將一半導體晶粒附著至一個或多個額外的半導體晶粒（亦即晶粒對晶粒（D2D）），將一半導體晶粒附著至一個或多個半導體晶圓（亦即晶粒對晶圓（D2W）），以及將一半導體晶圓附著至一個或多個額外的半導體晶圓（亦即晶圓對晶圓（W2W））。

通常，個別的半導體晶粒或晶圓可能相對較薄，而且較難以處理晶粒或晶圓的設備加以處理。因此，可以將所謂的「載體」晶粒或晶圓附著至實際晶粒或晶圓上，該些實際晶粒或晶圓中包含操作中的半導體裝置之主動及被動元件。該些載體晶粒或晶圓通常不包含所要形成之半導體裝置之任何主動或被動元件。此等載體晶粒或晶圓在本文中稱為「載體底材」。該些載體底材增加了該些晶粒或晶圓之整體厚度，並有助於處理設備處理該些晶粒或晶圓，其包含所要製作在半導體裝置上之主動及被動元件，而處理設備係用於處理附著在該些晶粒或晶圓中之主動及/或被動元件。

目前已知，採用在本文中所稱之「晶圓間透通連結」或「TWI」，可在一半導體構造中之主動元件與該半導體構造所附著之另一裝置或構造的導電性特徵之間建立電性連接。晶圓間透通連結為穿過一半導體構造至少一部分之導電通孔。

【發明內容】

在一些實施例中，本發明包含製作一半導體構造之方法。一犧牲材料可以提供於局部穿過一半導體構造之至少一個通孔凹槽內。至少一個晶圓間透通連結之第一部分可以在該半導體構造中形成。該至少一個晶圓間透通連結之第一部分可以與該至少一個通孔凹槽對準。該至少一個通孔凹槽內的犧牲材料可以替換為導電材料，以形成該至少一個晶圓間透通連結之第二部分，其與該至少一個晶圓間透通連結之第一部分有電性接觸。

本發明亦包含製作半導體構造方法之額外實施例。依照此等方法，一犧牲材料提供於至少一個通孔凹槽內，該至少一個通孔凹槽伸進一半導體構造之一表面。一半導體材料層可以提供於該半導體構造之該表面上，且至少

一個裝置構造可以利用該半導體材料層來製作。至少一個晶圓間透通連結之第一部分被形成，並穿過該半導體材料層。該半導體構造可從與該半導體材料層相反之一側予以薄化。該犧牲材料可以從該半導體構造中該至少一個通孔凹槽內移除，且該至少一個晶圓間透通連結之第一部分可以曝露於該通孔凹槽內；導電材料可以提供於該通孔凹槽內，以形成該至少一個晶圓間透通連結之第二部分。

在其他實施例中，本發明包含應用本文所揭露之方法而形成之半導體構造。舉例而言，在一些實施例中，一半導體構造包含至少一個通孔凹槽內之一犧牲材料，該至少一個通孔凹槽從該半導體構造之一表面局部穿過該半導體構造；配置於該半導體構造之該表面上之一半導體材料；以及至少一個裝置構造，其包括配置於該半導體構造之該表面上之半導體材料的至少一部分。至少一個晶圓間透通連結之第一部分穿過配置於該半導體構造之該表面上之半導體材料，且該至少一個晶圓間透通連結之第一部分與該至少一個通孔凹槽對準。

在額外的實施例中，本發明包含半導體構造，該些半導體構造包括一主動表面，一背表面，至少一個電晶體，其位於該主動表面與該背表面之間的半導體構造內，以及至少一個晶圓間透通連結，其從該主動表面及該背表面至少其中之一至少局部穿過該半導體構造。該至少一個晶圓間透通連結包含一第一部分，一第二部分，以及一可識別之邊界，其介於該第一部分之一微構造與該第二部分之一微構造之間。

【實施方式】

以下敘述提供具體細節，像是材料種類及處理條件，以便為本發明之實施例及其執行提供詳盡描述。然而，在本發明所屬技術領域中具備通常

知識者均了解，不採用該些具體細節或僅結合傳統製作技術，亦可以實施本發明之實施例。此外，本文提供之敘述不構成製造一半導體裝置或系統之完整流程。只有對理解本發明實施例有必要之製程行為及構造會在本文詳述。本文所述之材料可以應用任何適當之技術而形成(例如沉積或生長)，任何適當之技術包括但不限於旋轉塗佈（spin-coating)、覆蓋塗佈（blanket coating)、布氏法（Bridgeman processes）及契氏法（Czochralski processes)、化學氣相沉積（“CVD”)、電漿增強化學氣相沉積（“PECVD”)、原子層沉積（“ALD”)、 電漿增強原子層沉積（PEALD）或物理氣相沉積（“PVD”)。雖然本文所述及與所呈現之材料係形成層狀，但該些材料並不限於層狀，而可以形成為其他三度空間組構。

在本文中，「水平」及「垂直」等用語係界定組件或構造相對於一半導體構造（例如晶圓、晶粒、底材等等）之一主要平面或表面之相對位置，不論該半導體構造之方位為何，且該些用語為就所述及構造之方位而言之直交向度（orthogonal dimensions)。在本文中，「垂直」一詞係指並包括實質上垂直於一半導體構造之主要表面之一向度，而「水平」一詞係指實質上平行於該半導體構造之主要表面之一向度。

在本文中，「半導體構造」一詞係指並包括用於形成一半導體裝置之任何構造。半導體構造包括，舉例而言，晶粒和晶圓（例如載體底材及裝置底材），以及含有以三度空間集積方式彼此結合之兩個或多個晶粒及/或晶圓之組合或複合構造。半導體構造亦包括完全製作的半導體裝置，以及製作半導體裝置期間所形成之中間構造。半導體構造可以包括導電材料、半導電材料及/或不導電材料。

在本文中，「已處理半導體構造」一詞係指並包括含有一個或多個至少已局部形成之裝置構造之任何半導體構造。已處理半導體構造為半導體構造之一子集，且所有的已處理半導體構造均為半導體構造。

在本文中，「已鍵結半導體構造」一詞係指並包括含有兩個或多個附著在一起之半導體構造之任何構造。已鍵結半導體構造為半導體構造之一子集，且所有的已鍵結半導體構造均為半導體構造。此外，已鍵結半導體構造包含一個或多個已處理半導體構造者，亦屬於已處理半導體構造。

在本文中，「裝置構造」一詞係指並包括一已處理半導體構造之任何部分，其為、包含、或界定出一主動或被動元件之至少一部分，該主動或被動元件屬於所要形成於該半導體構造之上或之中的一半導體裝置 舉例而言，裝置構造包含積體電路的主動及被動元件，例如電晶體、換能器、電容、電阻、導電線、導電通孔及導電接觸墊。

在本文中，「晶圓間透通連結」或「TWI」一詞係指並包括穿過一第一半導體構造至少一部分之任何導電通孔，該導電通孔係用於跨越該第一半導體構造與一第二半導體構造間之一界面，在該第一半導體構造與該第二半導體構造之間提供一構造性及/或電性之互連。在本領域之技術中，晶圓間透通連結亦稱為，像是「矽導通孔（through silicon vias）」或「底材導通孔（through substrate vias）」（TSV），以及「晶圓導通孔（through wafer vias）」或「TWV」。TWI通常會在大致垂直於一半導體構造中該些大致平坦之主要表面之一方向上（亦即平行於「Z」軸之一方向上）穿過該半導體構造。

在本文中，「主動表面」一詞用在和一已處理半導體構造有關的情況時，係指並包括該已處理半導體構造之一曝露主要表面，其已被處理或將被

處理，以使一個或多個裝置構造可在該已處理半導體構造之曝露主要表面之中及/或之上形成。

在本文中，「背表面」一詞用在和一已處理半導體構造有關的情況時，係指並包括該已處理半導體構造之一曝露主要表面，其為該已處理半導體構造一主動表面之相反面。

在本文中，「三五族半導體材料」一詞係指並包括，主要包含元素週期表中一種或多種 IIIA 族元素（B、Al、Ga、In 及 Ti）與一種或多種 VA 族元素（N、P、As、Sb 及 Bi）之任何材料。

在本文中，「熱膨脹係數」一詞用在與一材料或構造有關的情況時，係指在室溫下該材料或構造熱膨脹之平均線性係數。

如下文進一步詳細討論，在一些實施例中，本發明包括形成半導體構造之方法，該些半導體構造中含有一個或多個晶圓間透通連結。該些晶圓間透通連結可以包含在各別製程中形成的兩個或多個部分。

圖 1 為一第一半導體構造 100 一部分之一簡化側視剖面圖。該第一半導體構造 100 可以包括材料 102 之一層或底材。舉例而言，該材料 102 可以包括一陶瓷，像是氧化物（例如二氧化矽（SiO_2）或氧化鋁（Al_2O_3））或氮化物（例如氮化矽（Si_3N_4）或氮化硼（BN））。作為另一範例，該第一半導體材料 100 可以包括一半導體材料，像是矽（Si）、鍺（Ge）、一三五族半導體材料等等。此外，該材料 102 可以包括半導體材料之一單晶或半導體材料之一磊晶層。作為一非限制性質範例，該第一半導體構造 100 之材料 102 可以包括主體矽材料之一單晶。

圖 2 呈現另一半導體構造 110，其可以經由在圖 1 的半導體構造 100 中提供通孔凹槽 112 而形成。該些通孔凹槽 112 可以用於形成晶圓間透通連結之部分，如下文進一步詳細討論。如圖 2 所示，該些通孔凹槽 112 可以從半導體構造 110 之一第一主要表面 104 伸入並至少局部穿過半導體構造 110 之材料 102。在一些實施例中，該些通孔凹槽 112 可以包括盲通孔凹槽（blind via recesses），該些盲通孔凹槽僅局部穿過半導體構造 110 之材料 102。

該些通孔凹槽 112 可以具有一大致為圓柱形之截面，或任何其他形狀之截面。該些通孔凹槽 112 可以具有一平均截面尺寸（例如一平均直徑），其大約為一微米（1 μm）或更小，或大約為十微米（10 μm）或更小，或甚至為五十微米（50 μm）或更小。此外，該些通孔凹槽 112 可以具有一平均寬高比（亦即平均高度與平均截面尺寸之比例），其範圍從大約 0.5 至大約 10.0。

圖 3 呈現另一半導體構造 120，其可以經由在該些通孔凹槽 112 內的材料 102 表面上提供一介電材料 122 而形成。作為非限制性質之範例，該介電材料 122 可以包括一陶瓷，像是氧化物（例如二氧化矽（SiO_2）或氧化鋁（Al_2O_3））、氮化物（例如氮化矽（Si_3N_4）或氮化硼（BN））或氮氧化物（例如氮氧化矽）。該介電材料 122 可以原地形成於該些通孔凹槽 112 內的材料 102 的曝露表面之上或之中。在額外的實施例中，該介電材料 122 可以沉積於該些通孔凹槽 112 內的材料 102 的曝露表面上方。作為一特定的非限制性質範例，該材料 102 可以包括主體矽材料，該介電材料 122 可以包括氧化矽，且該介電材料 122 可以經由對該些通孔凹槽 112 內的材料 102 的曝露

表面進行氧化而形成。在一些實施例中，該介電材料 122 亦可以沉積於半導體構造 110 之第一主要表面 104（圖 2）上，如圖 3 所示。

參照圖 4，該些通孔凹槽 112（圖 3）可以用一犧牲材料 132 充滿。該犧牲材料 132 包括最終會被移除並由另一材料替代之一材料，如下文所討論。犧牲材料 132 可以包括，舉例而言，多晶體矽材料。換言之，犧牲材料 132 可以包括具有一微構造之矽，該微構造包含複數個互相鍵結的矽顆粒隨機分佈於該微構造內。在本領域之技術中，此等矽材料通常稱為「多晶矽」材料。在額外的實施例中，相對於材料 102（及，可選擇者，介電材料 122），犧牲材料 132 可以包括可被選擇性蝕刻之任何其他材料，像是一陶瓷、一半導體材料（例如多晶體 SiGe）、一聚合物材料、一金屬等等。在一些實施例中，該犧牲材料 132 可以包括一種或多種額外的介電材料，諸如氧化物、氮化物或氮氧化物（例如二氧化矽）。犧牲材料 132 可以具有一被選定之組成，如此一來，當一半導體構造以高於大約 400°C 的溫度處理時，亦即製作電晶體或其他裝置構造期間，半導體構造可能必須承受的溫度，犧牲材料 132 的原子便不會以任何顯著方式擴散至該半導體構造的周圍區域，如下文進一步詳細討論，或者，萬一有任何顯著數量的原子在此等高溫下的製程期間擴散至周圍的構造，該些原子也不至於對該半導體構造產生不利影響。在一些實施例中，犧牲材料 132 可以顯現一熱膨脹係數，其大約在材料 102 所顯現之熱膨脹係數之百分之四十（40%）以內，大約在材料 102 所顯現之熱膨脹係數之百分之二十（20%）以內，或甚至大約在材料 102 所顯現之熱膨脹係數之百分之五（5%）以內。此外，在一些實施例中，犧牲材料 132 可以包括具

有一熱膨脹係數之一材料，該熱膨脹係數大約為 $5.0 \times 10^{-6}\,°C^{-1}$ 或更小，或大約為 $3.0 \times 10^{-6}\,°C^{-1}$ 或更小，或甚至大約為 $1.0 \times 10^{-6}\,°C^{-1}$ 或更小。

在該些通孔凹槽 112（圖 3）內提供犧牲材料 132 之後，半導體構造 130 的表面 134 可予以平坦化，以便使犧牲材料 132 之曝露表面至少實質上與材料 102 之曝露表面在半導體構造 130 之表面 134 處為同平面且同等範圍。更詳細而言，可以利用，舉例而言，CVD 方法，將犧牲材料 132 一致地形成於第一主要表面 104（及，可選擇者，介電材料 122）之上。形成之犧牲材料 132 可以達一厚度，以便使該些通孔凹槽 112 至少在實質上完全充滿犧牲材料 132。然後，任何多餘的犧牲材料 132（及，可選擇者，介電材料 132）可予以移除，使半導體構造 130 之表面 134 平坦化。舉例而言，半導體構造 130 之表面 134 可以利用一化學製程（例如一濕式或乾式化學蝕刻製程），一機械製程（例如一研磨或舐磨製程），或經由一化學機械研磨（CMP）製程，予以平坦化。

如上所述，在該些通孔凹槽 112（圖 3）內提供犧牲材料 132 之後，一半導體材料薄層可以提供於半導體構造 130 之表面 134 上。作為一非限定性質範例，一半導體材料薄層可以依下文有關圖 5 及 6 所述方式提供於半導體構造 130 之表面 134 上。

圖 5 呈現一已鍵結半導體構造，其可以經由將包括一底材 142 之另一半導體構造鍵結至圖 4 之半導體構造 130 之表面 134 而形成。底材 142 可以包括一半導體材料，像是矽（Si）、鍺（Ge）、一三五族半導體材料等等。此外，底材 142 之材料可以包括半導體材料之一單晶或半導體材料之一磊晶層。作為一非限制性質範例，底材 142 之材料可以包括主體矽材料之一單晶。

底材 142 可以利用一直接鍵結製程鍵結至表面 134，在該鍵結製程中，經由沿著一鍵結界面，其介於半導體構造 130 之一鍵結表面與底材 142 之一鍵結表面間，提供直接的原子或分子鍵結，底材 142 被直接鍵結至半導體構造 130（圖 4）。換言之，底材 142 可以直接鍵結至半導體構造 130，不需在底材 142 與半導體構造 130 之間使用黏劑或任何其他中介的鍵結材料。底材 142 與半導體構造 130 間的原子或分子鍵結之性質取決於底材 142 及半導體構造 130 各別的材料組成。因此，依照一些實施例，直接的原子或分子鍵結可在，舉例而言，以下兩者之間提供：氧化矽及氧化鍺至少其中之一，以及矽、鍺、氧化矽、氧化鍺至少其中之一。

作為非限定性質之範例，底材 142 之鍵結表面可以包括一氧化材料（例如二氧化矽（SiO_2）），且半導體構造 130 之鍵結表面可以至少實質上包括同樣的氧化材料（例如二氧化矽（SiO_2））。在此等實施例中，可以利用氧化矽對氧化矽表面直接鍵結之一製程，將底材 142 之鍵結表面鍵結至半導體構造 130 之一鍵結表面。在此等實施例中，如圖 5 所示，一鍵結材料 148（例如一層諸如二氧化矽之氧化物）可以配置在介於底材 142 與半導體構造 130（圖 4）間之一鍵結界面上。該鍵結材料 148 可以具有一大約為，舉例而言，1,000 埃之平均厚度。

在額外的實施例中，底材 142 之鍵結表面可以包括一半導體材料（例如矽）且半導體構造 130 之鍵結表面可以至少實質上包括同樣的半導體材料（例如矽）。在此等實施例中，可以利用矽對矽表面直接鍵結之一製程，將底材 142 之鍵結表面鍵結至半導體構造 130 之一鍵結表面。

在一些實施例中，底材 142 之鍵結表面與半導體構造 130 之鍵結表面間的直接鍵結可以經由以下方式建立：形成底材 142 之鍵結表面與半導體構造 130 之鍵結表面，使之均具有相對平滑的表面，接著，將該些鍵結表面緊靠在一起，並在一回火製程期間保持該些鍵結表面間的接觸。

舉例而言，底材 142 之鍵結表面與半導體構造 130 之鍵結表面可予以形成，使之分別具有一均方根表面粗度（R_{RMS}），該均方根表面粗度大約為二奈米（2.0 nm）或更小，或大約為一奈米（1.0 nm）或更小，或甚至大約為四分之一奈米（0.25 nm）或更小。在一些實施例中，底材 142 之鍵結表面與半導體構造 130 之鍵結表面可予以形成，使之分別具有一均方根表面粗度（R_{RMS}），該均方根表面粗度介於大約四分之一奈米（0.25 nm）與大約二奈米（2.0 nm）之間，或甚至介於大約二分之一奈米（0.5 nm）與大約一奈米（1.0 nm）之間。

該回火製程可以包括，在介於大約攝氏 100 度（100°C）及大約攝氏 400 度（400°C）間之一溫度下，並在介於大約 2 分鐘（2 mins.）及大約 15 小時（15 hrs.）間之一段時間內，於一爐具內加熱底材 142 及半導體構造 130。

底材 142 之鍵結表面與半導體構造 130 之鍵結表面均可利用一機械研磨製程及一化學蝕刻製程至少其中之一予以形成，使之如上文所述及相對平滑。舉例而言，可以利用一化學機械研磨（CMP）製程，使底材 142 之鍵結表面與半導體構造 130 之鍵結表面平坦化及/或減少其表面粗度。

底材 142 之一第一部分 144 可從圖 5 之半導體構造 140 予以移除，留下底材 142 之一第二部分 146 在表面 134 上方，從而形成圖 6 之已鍵結半導體構造 150。換言之，底材 142 之第一部分 144 可以與底材 142 之第二部分

146 分離。圖 6 之半導體構造 150 包含在表面 134 上方之一半導體材料薄層 152。半導體材料薄層 152 係由底材 142 之第二部分 144（圖 5）所提供。

再參照圖 5，作為非限定性質之範例，業界所熟知的 SMART-CUT®製程可以用於將底材 142 之第一部分 144 與底材 142 之第二部分 146 分離。此等製程詳述於，舉例而言，美國專利 RE 39,484 號（2007 年 2 月 6 日核發予 Bruel），美國專利 6,303,468 號（2001 年 10 月 16 日核發予 Aspar 等人），美國專利 6,335,258 號（2002 年 1 月 1 日核發予 Aspar 等人），美國專利 6,756,286 號（2004 年 6 月 29 日核發予 Moriceau 等人），美國專利 6,809,044 號（2004 年 10 月 26 日核發予 Aspar 等人），以及美國專利 6,946,365 號（2005 年 9 月 20 日核發予 Aspar 等人），各專利之完整揭露茲以此述及方式納入本文。

複數個離子（例如氫離子、氦離子或惰性氣體離子）可以植入底材 142。該些離子可以在底材 142 以如上所述方式附著至圖 4 之半導體 130 之前或之後，植入底材 142。例如，離子可以從定置於底材 142 之一側之一離子來源（未顯示）植入底材 142。離子可以沿著實質上垂直於底材 142 之該些主要表面之一方向植入底材 142。如本領域之技術中為人所熟知，離子植入底材之深度至少部分為離子植入底材時所帶能量之一函數。一般而言，以較低能量植入之離子，其植入深度相對較淺，以較高能量植入之離子，其植入深度相對較深。

離子可以以一預定能量植入底材 142，該預定能量係為了將該些離子植入底材 142 內一理想深度而選定。作為一特定的非限制性質範例，該些離子可以配置於底材 142 內一選定深度，以使底材 142 之第二部分 146 的平均厚

度 T 為大約 300 奈米（300 nm）或更薄，或甚至為大約 100 奈米（100 nm）或更薄。如本領域之技術中為人熟知，至少一些離子可能無法避免地會被植入非所需之深度，且作為從底材 142 之一表面至底材 142 內之深度之函數，離子濃度之圖表可能會顯示大致為鐘形（對稱或不對稱）之一曲線，該曲線在理想之植入深度具有一最大值。

一旦植入底材 142 後，該些離子便可以在底材 142 內界定出一破裂平面 143（在圖 5 中以虛線呈現）。破裂平面 143 可以包括底材 142 內之一層或一區域，該層或區域與底材 142 內具有最高離子濃度之平面對準（例如以其為中心圍繞）。破裂平面 143 可以界定出底材 142 內一弱化區域，而底材 142 可以在一後續製程中沿著該弱化區域剝離或裂開。經由加熱底材 142，向底材 142 施加一機械力，或以其他方式向底材 142 施加能量，底材 142 可以沿著破裂平面 143 剝離或裂開。

在額外的實施例中，經由鍵結一相對較厚層之材料（例如平均厚度大於約 300 微米之一層）例如底材 142，然後從與表面 134 相反之側 149 薄化該相對較厚之底材 142，便可以在圖 4 之半導體構造 130 之表面 134 上方提供底材 142 之第二部分 146。舉例而言，底材 142 可以利用一化學製程（例如一濕式或乾式化學蝕刻製程）、一機械製程（例如一研磨或舐磨製程），或經由一化學機械研磨（CMP）製程，予以薄化。

在其他實施例中，一相對較薄之半導體材料層（其組成及組構可以至少實質上類似於底材 142 之第二部分 146）可以原地形成於圖 4 之半導體構造 130 之表面 134 上（例如其上方）。舉例而言，一相對較薄之矽材料層可

以經由在圖 4 之半導體構造 130 之表面 134 上沉積材料，例如矽，至一理想厚度而形成。

在圖 3 之半導體構造 130 之表面 134 上提供一半導體材料薄層 152 後，一個或多個裝置構造便可以形成於該半導體材料薄層 152 之上及/或之中。換言之，一個或多個裝置構造可以利用半導體材料薄層 152 而形成。作為非限定性質之範例，複數個電晶體可以利用半導體材料薄層 152 而製作。

圖 7 呈現圖 6 之已鍵結半導體裝置 150 中以虛線 158 圍繞之一部分，其係在處理半導體構造 150 使之形成圖 7 中已鍵結已處理半導體構造 160 後。半導體構造 160 包含一個或多個電晶體 162。為清楚起見，圖 7 只顯示一個電晶體 162。如圖 7 所示，每一電晶體 162 可以包含一源極、一汲極及一閘極構造 165，其中該源極包含一源極區 163A 及一源極接觸 163B，該汲極包含一汲極區 164A 及一汲極接觸 164B。源極區 163A 及汲極區 164A 均可以包含半導體材料薄層 152 之區域，該些區域已摻雜了一種或多種摻雜劑以使該些區域能夠導電 源極區 163A 與汲極區 164A 可以由一通道區域 166 分隔，該通道區域可以包括半導體材料薄層 152 之一未摻雜區域。閘極構造 165 可以橫向地配置在通道區域 166 上方，介於電晶體 162 之源極與汲極之間。源極接觸 163B、汲極接觸 164B 及閘極構造 165 均可以包含一導電材料，像是一種或多種金屬，或一摻雜質多晶矽材料。閘極構造 165 之導電材料可以經由一種或多種介電材料（例如氧化物、氮化物、氮氧化物等等）而與半導體材料薄層 152 在電性上隔絕。

如圖 7 所示，一個或多個淺溝渠隔絕構造 168 可以形成於鄰近電晶體 162 的半導體材料薄層 152 中，並穿過半導體材料薄層 152。該些淺溝渠隔絕

構造 168 可以包括一介電材料，且可以用於使每一電晶體 162 在電性上與半導體構造 160 之其他電晶體或其他裝置構造隔絕。作為非限定性質之範例，該些淺溝渠隔絕構造 168 可以包括一介電材料，像是氧化物，氮化物，氮氧化物等等。該些淺溝渠隔絕構造 168 可以垂直對準（亦即沿著垂直於半導體構造 160 該些主要表面，諸如表面 134，之一方向而對準）該些通孔凹槽 112 及其中所包含之犧牲材料 132。換言之，該些通孔凹槽 112 及犧牲材料 132 之位置可以彼此相關，如此一來，當劃出一條直線時，該直線至少實質上垂直於半導體構造 160 之該些主要表面，諸如表面 134，且穿過一淺溝渠隔絕構造 168 及該些通孔凹槽 112 其中之一所包含一份量之犧牲材料 132。

參照圖 8， 一已鍵結已處理之半導體構造 170 可以經由在圖 7 之半導體構造 160 之一曝露表面 169 上方（一個或多個電晶體 162 及該些淺溝渠隔絕構造 168 已形成於該半導體構造之中及/或之上)提供一介電材料層 172(例如一層間介電材料），並在其中形成該些晶圓間透通連結之第一部分 174 而形成。

介電材料層 172 可以形成於或沉積於表面 169 上，且可以具有一平均厚度足以覆蓋電晶體 162 之閘極構造 165，如圖 8 所示。介電材料層 172 可以包括一介電材料，像是氧化物、氮化物、氮氧化物等等。

繼續參照圖 8， 該些晶圓間透通連結之該些第一部分 174 可以形成於半導體構造 170 中。該些晶圓間透通連結之該些第一部分 174 可以包括一導電材料，像是一種或多種金屬、摻雜質多晶矽等等。該些晶圓間透通連結之該些第一部分 174 可以經由下述方式形成：形成通孔凹槽 176，使該些通孔凹槽穿過介電材料層 172、淺溝渠隔絕構造 168、及任何鍵結材料 148，到達

材料 102 中通孔凹槽 112 內的犧牲材料 132。在一些實施例中，該些淺溝渠隔絕構造 168 可以不必完全穿過半導體材料薄層 152，且該些通孔凹槽 176 亦可以穿過半導體材料薄層 152 的至少一部分。該些通孔凹槽 176 可以，舉例而言，利用遮罩及蝕刻製程而形成。一罩幕層可以提供於介電材料層 172 之曝露主要表面 178 上。該罩幕層可被賦予圖案，以便在所要形成該些通孔凹槽 176 之處形成穿過該罩幕層之洞孔或開口。該罩幕層中的該些開口可以具有一截面尺寸及形狀，其對應於所要形成之該些通孔凹槽 176 之理想截面尺寸及形狀。半導體構造 170 接著可以曝露於一種或多種蝕刻劑下，該蝕刻劑會蝕刻該些通孔凹槽 176 所要穿過的各種材料，但不會（在任何顯著程度上）蝕刻該罩幕層。舉例而言，可以利用一濕式化學蝕刻製程或一乾式反應性離子蝕刻製程穿過介電材料層 172、該些淺溝渠隔絕構造 168、及任何鍵結材料 148，到達犧牲材料 132，以形成該些通孔凹槽 176。

在一些實施例中，該些通孔凹槽 176 可以具有一平均寬高比（亦即平均高度與平均截面尺寸之比例），其範圍從大約 0.5 至大約 10.0。

形成該些通孔凹槽 176 後，導電材料可以提供於該些通孔凹槽 176 內。例如，可以利用一無電電鍍製程及/或一電解電鍍製程，將一種或多種金屬材料沉積在該些通孔凹槽 176 內。

該些晶圓間透通連結之該些第一部分 174 如同其穿過之該些淺溝渠隔絕構造 168，可以垂直對準（亦即沿著垂直於半導體構造 170 該些主要表面，諸如表面 134，之一方向而對準）該些通孔凹槽 112 及其中所包含之犧牲材料 132。換言之，該些晶圓間透通連結之該些第一部分 174 及犧牲材料 132 之位置可以彼此相關，如此一來，當劃出一條直線時，該直線至少實質上垂

直於半導體構造 170 之該些主要表面，諸如表面 134，且穿過一晶圓間透通連結之一第一部分 174，以及該些通孔凹槽 112 其中之一所包含一份量之犧牲材料 132。

形成該些晶圓間透通連結之該些第一部分 174 後，可以進行額外的處理以便在介電材料層 172 之曝露主要表面 178 上形成額外的裝置構造，像是導電通孔、導電線、導電線路及導電墊。此等處理可以包含本領域之技術中被稱為「後段製程（BEOL）」之程序。

舉例而言，圖 9 呈現一已鍵結已處理半導體構造 180，其可以經由在圍繞之一種或多種介電材料 184 內製作複數個裝置構造 182 而形成。該些裝置構造 182 可以包括導電通孔、導電線、導電線路，及導電墊中之一個或多個，該些導電通孔、導電線、導電線路及導電墊包含一導電材料，像是一種或多種金屬，或摻雜質多晶矽。該圍繞之一種或多種介電材料 184 可以包括氧化物、氮化物、氮氧化物等等。該些各種裝置構造 182 及周圍介電材料 184 可以利用本領域之技術中為人熟知的製程，以微影方式（亦即逐層）形成於介電材料層 172 之主要表面 178 上。

如上文關於圖 9 所討論者，在介電材料層 172 上方形成該些裝置構造 182 後，材料 102 的一部分便可以從半導體構造 180 移除，以便曝露出穿過材料 102 之犧牲材料 132，如圖 10 之已鍵結已處理半導體構造 190 所示。材料 102 之該部分可以從半導體構造 180 中材料 102 之曝露主要表面 103(圖 9) 該側，亦即與主動表面 186 相反之側，予以移除。作為非限定性質之範例，材料 102 之該部分可以利用，舉例而言，一化學蝕刻製程、一機械研磨製程或一化學機械研磨（CMP）製程的其中之一個或多個予以移除。如果一介電

材料 122 被配置在犧牲材料 132 及材料 102 之間，如圖 9 所示，則該介電材料 122 之一部分亦可移除，以便使犧牲材料 132 曝露於半導體構造 190 之外部，如圖 10 所示。

或者，移除材料 102 曝露犧牲材料 132，以便在移除材料 102 時處理該半導體構造前，可以將圖 9 之半導體構造 180 之主動表面 186 鍵結至一載體底材 192，如圖 10 所示。

犧牲材料 132 如圖 10 所示曝露於半導體構造 190 之外部後，便可以從該些通孔凹槽 112 內移除，以形成圖 11 所示之已鍵結已處理半導體構造 200。作為非限定性質之範例，可以利用一濕式化學蝕刻製程將犧牲材料 132 從該些通孔凹槽 112 內移除。一蝕刻劑，若其從半導體構造 200 中蝕刻（亦即移除）犧牲材料 132 之速度，大於移除介電材料 122 及任何鍵結材料 148 之速度，則可以用於移除犧牲材料 132。換言之，對犧牲材料 132（及，可選擇者，相對於介電材料 122）及任何鍵結材料 148 具有選擇性之一蝕刻劑可以用於移除犧牲材料 132。在犧牲材料包括多晶矽材料之實施例中，該蝕刻劑可以包括一硝酸、氟酸及水之混合物。在犧牲材料 132 包括一其他介電材料，例如二氧化矽，之實施例中，可以採用包括氟酸之一蝕刻溶液或一電漿蝕刻製程（例如利用六氟化硫 SF_6 蝕刻化學）對犧牲材料 132 進行選擇性蝕刻。

如圖 12 所示，導電材料可以提供於該些通孔凹槽 112 內（移除犧牲材料 132 後所空出的空間）以形成該些晶圓間透通連結 214 之第二部分 212。該些晶圓間透通連結 214 包含該些第一部分 174 及該些第二部分 212。直接的物理性及電性接觸可以在該些晶圓間透通連結 214 之該些第一部分 174 及該些第二部分 212 間建立。

該些晶圓間透通連結 214 之該些第二部分 212 之導電材料可以包括一導電材料，像是一種或多種金屬，摻雜質多晶矽等等。在一些實施例中，該些晶圓間透通連結 214 之該些第二部分 212 之導電材料可以至少實質上與該些晶圓間透通連結 214 之該些第一部分 174 之導電材料相同。導電材料可以提供於該些通孔凹槽 112， 176 內。舉例而言，可以利用一無電電鍍製程及/或一電解電鍍製程將一種或多種金屬材料沉積於該些通孔凹槽 176 內。

該些晶圓間透通連結 214 包含其該些第一部分 174 及該些第二部分 212。由於該些第一部分 174 及該些第二部分 212 是在製作半導體構造 210 期間，於不同時間順序之各別製程中所形成，因此在本發明之一些實施例中，一不連續、可識別之邊界 216 可能會出現在介於該些晶圓間透通連結 214 之該些第一部分 174 及該些第二部分 212 間之微構造中。該可識別邊界 216 之位置可以鄰近半導體材料薄層 152 之一主要表面。例如，該可識別邊界 216 可以與配置在半導體材料薄層 152 之一主要表面之鍵結材料 148 同平面。此外，半導體構造 210 可予以定向，使之平行於主動表面 186，如圖 12 所示。

在一些實施例中，該些晶圓間透通連結 214 可以具有一平均寬高比（亦即平均高度與平均截面尺寸之比例），其範圍從大約 0.5 至大約 10.0。

依上述方式形成該些晶圓間透通連結 214 之後，載體底材 192 便可以從圖 12 之已鍵結已處理半導體構造 210 移除，以形成圖 13 之已鍵結已處理半導體構造 220。如圖 13 所示，導電凸塊 222 可以在構造上及電性上與該些晶圓間透通連結 214 之該些第二部分 212 耦合於半導體構造 220 中與主動表

面 186 相反之背表面 224 處。該些導電凸塊 222 可以包括一導電材料，例如一導電焊接合金。

如有需要，圖 13 所示之半導體構造 220 可選擇性地予以進一步處理及封裝。接著可以利用該些導電凸塊 222，將半導體構造 220 在構造上及電性上耦合至另一構造，像是一印刷電路板、另一半導體構造（例如另一晶粒或晶圓）等等。在額外的實施例中，可以利用本領域之技術中為人熟知的其他裝置及技術，例如導電引線、異方性導電膜等等，將半導體構造 220 在構造上及電性上耦合至另一構造。

再參照圖 10，在本發明之一些實施例中，要選擇性地蝕刻該些通孔凹槽 112 內的犧牲材料 132，而不蝕刻到半導體構造 190 的其他材料，可能相對較困難。在此等實施例中，先保護半導體構造 190 的其他材料，再以上文所述方式蝕刻犧牲材料 132，會較為恰當。

舉例而言，圖 14 呈現一半導體構造 230，其可以經由在圖 10 之半導體構造 190 之表面上沉積一罩幕層 232，使其可能除了載體底材 192 的某些表面外，至少實質上覆蓋半導體構造 230 所有的曝露表面，而形成。該罩幕層 232 可以包括一陶瓷材料，像是氧化物（例如二氧化矽（SiO_2）或氧化鋁（Al_2O_3））、氮化物（例如氮化矽（Si_3N_4）或氮化硼（BN））或氮氧化物。

如圖 15 所示，罩幕層 232 可被賦予圖案，以形成穿過罩幕層 232 之開口 242，並產生圖 15 之已鍵結已處理半導體構造 240。一微影遮罩及蝕刻製程，諸如本領域之技術中為人熟知者，可以用於形成穿過罩幕層 232 之該些開口 242。該些開口 242 之尺寸，形狀，及位置，均是為了使該些通孔凹槽 112 內的犧牲材料 132 經由該些開口 242 曝露出來。接著可以利用一蝕刻劑

對半導體構造 240 施行一濕式或乾式蝕刻製程，相對於罩幕層 232 之材料而言，該蝕刻劑對犧牲材料 132 有選擇性。此種蝕刻製程將使犧牲材料 132 自該些通孔凹槽 112 內移除，產生圖 16 之半導體構造 250。然後，罩幕層 232 可以從圖 16 之半導體構造 250 移除，以形成與圖 11 之半導體構造 200 至少實質上相同之一半導體構造。

在額外的方法中，一旦以先前圖 9 及 10 討論之方式薄化材料 102 後，便可使材料 102 相對於犧牲材料 132 及/或，可選擇者，介電材料 122 而凹陷，以形成圖 17 之半導體構造 260。作為非限定性質之範例，可以使材料 102 相對於犧牲材料 132 及/或，可選擇者，介電材料 122 凹陷約 2,000 埃。形成圖 17 之半導體構造 260 後，一罩幕層 272 可以沉積在半導體構造 260 上，以形成圖 18 之半導體構造 270。該罩幕層 272 可以包括一陶瓷材料，像是氧化物（例如二氧化矽（SiO_2）或氧化鋁（Al_2O_3））、氮化物（例如氮化矽（Si_3N_4）或氮化硼（BN））或氮氧化物。如圖 18 所示，半導體構造 270 可以在與載體底材 192 相反之一側包含一主要表面 274。

圖 18 之半導體構造 270 之主要表面 274 可以進行一平坦化製程，像是一化學機械研磨（CMP）製程，以移除罩幕層 272（及任何介電材料 122）位於該些通孔凹槽 112 內的犧牲材料 132 上方之該些部分，以形成圖 19 之已鍵結已處理半導體構造 280。如圖 19 所示，將主要表面 274 平坦化後（圖 18），犧牲材料 132 便可以穿過罩幕層 272 而曝露出來。曝露犧牲材料 132 後，接著可以利用一蝕刻劑對半導體構造 280 施行一濕式或乾式蝕刻製程，相對於罩幕層 272 之材料而言，該蝕刻劑對犧牲材料 132 有選擇性。此種蝕刻製程將使犧牲材料 132 自該些通孔凹槽 112 內移除，產生圖 20 之已鍵結已處理半

導體構造290。然後，罩幕層272可以從圖20之半導體構造290移除，以形成與圖11之半導體構造200至少實質上相同之一半導體構造，然後該半導體構造可以如上所述加以進一步處理。

在一個多步驟之製程中（例如兩步驟之製程）形成晶圓間透通連結，如上文有關該些晶圓間透通連結214所述者，可以在製造期間提高正常運作之半導體構造之產出，因為相對於整體晶圓間透通連結之寬高比，該些晶圓間透通連結不同部分之寬高比較小，因此，該些通孔凹槽的蝕刻會更為容易（該些晶圓間透通連結之不同部分形成於其中），絕緣之介電材料在該些通孔凹槽內曝露表面之覆蓋率會提高，且導電材料在該些通孔凹槽內之電鍍(以形成該些晶圓間透通連結之不同部分）也會改善。此外，電晶體，如本文所述之該些電晶體162，的製作可能會使半導體構造承受高於約400°C之溫度。如果在處理半導體構造期間，一導電金屬在此等高溫下被配置於通孔凹槽內，該些金屬原子可能會擴散至該半導體構造的其他區域，而該擴散可能對半導體構造之運作有不利影響。此外，此種金屬材料之熱膨脹係數與周圍介電材料及半導體材料之熱膨脹係數不匹配，可能對半導體構造造成結構性破壞。因此，製作電晶體前先在半導體構造中的通孔凹槽內提供一犧牲材料，製作電晶體後再以另一導電材料替換該犧牲材料，可以避免此等結構性破壞或降低此等結構性破壞發生之可能性。

本發明額外之非限制性質實施例敘述如下：

實施例1：一種製作一半導體構造之方法，其包括：在局部穿過一半導體構造之至少一個通孔凹槽內提供一犧牲材料；在該半導體構造中形成至少一個晶圓間透通連結之一第一部分，並使該至少一個晶圓間透通連結

之第一部分對準該至少一個通孔凹槽；以及以導電材料替換該至少一個通孔凹槽內之犧牲材料，並形成該至少一個晶圓間透通連結之一第二部分，使之與該至少一個晶圓間透通連結之第一部分有電性接觸。

實施例2：如實施例1之方法，其中在該半導體構造中形成至少一個晶圓間透通連結之一第一部分更包括使該至少一個晶圓間透通連結之第一部分穿過一介電材料。

實施例3：如實施例1之方法，其中在該至少一個局部穿過半導體構造之通孔凹槽內提供犧牲材料包括：形成至少一個盲通孔凹槽，其從該半導體構造之一表面局部穿過該半導體構造；以及在該至少一個盲通孔凹槽內提供一種多晶矽材料、一種三五族半導體材料、及一種介電材料至少其中之一。

實施例4：如實施例3之方法，其中在該至少一個盲通孔凹槽內提供一種多晶矽材料、一種三五族半導體材料、及一種介電材料至少其中之一，包括在該至少一個盲通孔凹槽內提供多晶矽材料。

實施例5：如實施例3之方法，其更包括穿過主體矽材料形成該至少一個通孔凹槽。

實施例6：如實施例4之方法，其更包括在該主體矽材料與該至少一個盲通孔凹槽內之多晶矽材料間提供一介電材料。

實施例7：如實施例3之方法，其更包括在該至少一個盲通孔凹槽內提供該多晶矽材料後，於該半導體構造之一表面上提供一半導體材料薄層。

實施例8：如實施例7之方法，其中於該半導體構造之表面上提供半導體材料薄層包括：在包含半導體材料之一底材內植入離子，以便於該底

材內形成一破裂平面；將該底材鍵結至該半導體構造之表面；以及沿著該破裂平面裂開該底材，並使該半導體材料薄層與該底材之一餘留部分分離，該半導體材料薄層保持鍵結至該半導體構造之表面。

實施例 9：如實施例 8 之方法，其中將該底材鍵結至該半導體構造之表面包括將該底材直接鍵結至該半導體構造之表面。

實施例 10：如實施例 7 之方法，其更包括利用該半導體材料薄層形成一裝置構造之至少一部分。

實施例 11：如實施例 10 之方法，其中利用該半導體材料薄層形成裝置構造之至少一部分包括利用該半導體材料薄層形成一電晶體之至少一部分。

實施例 12：如實施例 7 之方法，其中在該半導體構造之表面上提供半導體材料薄層包括形成該薄層，使之具有大約為 300 奈米（300 nm）或更薄之一平均厚度。

實施例 13：如實施例 12 之方法，其中在該半導體構造之表面上提供半導體材料薄層包括形成該薄層，使之具有大約為 100 奈米（100 nm）或更薄之一平均厚度。

實施例 14：如實施例 1 至 13 中任何一項之方法，其更包括在形成該至少一個晶圓間透通連結之後，以及在以導電材料替換犧牲材料並形成該至少一個晶圓間透通連結之第二部分之前，薄化該半導體構造。

實施例 15：如實施例 14 之方法，其中薄化該半導體構造包括將該犧牲材料曝露於該半導體構造之一外部。

實施例 16：如實施例 14 之方法，其更包括：在薄化該半導體構造前，

將該半導體構造附著至一載體底材；以及在薄化該半導體構造後，將該載體底材從該半導體構造移除。

實施例 17：一種製作一半導體構造之方法，其包括：在伸入一半導體構造之一表面之至少一個通孔凹槽內提供一犧牲材料；在該半導體構造之表面提供一半導體材料層；利用該半導體材料層製作至少一個裝置構造；形成穿過該半導體材料層之至少一個晶圓間透通連結之一第一部分；從與該半導體材料層相反之一側薄化該半導體構造；從該半導體構造中至少一個通孔凹槽內移除該犧牲材料，並曝露該通孔凹槽內該至少一個晶圓間透通連結之第一部分；以及在該通孔凹槽內提供導電材料，並形成該至少一個晶圓間透通連結之一第二部分。

實施例 18：如實施例 17 之方法，其中在該至少一個通孔凹槽內提供犧牲材料包括在該至少一個通孔凹槽內提供多晶矽材料。

實施例 19：如實施例 17 或實施例 18 之方法，其更包括在該至少一個通孔凹槽內之犧牲材料與半導體構造間提供一介電材料。

實施例 20：如實施例 17 至 19 中任何一項之方法，其中在該半導體構造之表面提供半導體材料層包括將該半導體材料層從一底材移轉至該半導體構造。

實施例 21：如實施例 20 之方法，其中將該半導體材料層從一底材移轉至該半導體構造包括：在該底材內植入離子；將該底材鍵結至該半導體構造；以及使該底材沿著植入其中之離子所界定之一平面裂開，並使該半導體材料層與該底材之一餘留部分分離。

實施例 22：如實施例 17 至 21 中任何一項之方法，其中在該半導體

構造之表面提供半導體材料層包括選定該半導體材料層，使之具有大約為100奈米（100 nm）或更薄之一平均厚度。

實施例23：如實施例17至22中任何一項之方法，其更包括：在薄化該半導體構造前，將該半導體構造附著至一載體底材；以及在薄化該半導體構造後，將該載體底材從該半導體構造移除。

實施例24：如實施例17至23中任何一項之方法，其更包括在該至少一個晶圓間透通連結上形成一導電凸塊。

實施例25：一半導體構造，其包括：至少一個通孔凹槽內之一犧牲材料，該至少一個通孔凹槽從一半導體構造之一表面局部穿過該半導體構造；配置在該半導體構造之該表面上之一半導體材料；至少一個裝置構造，其包括配置在該半導體構造之該表面上之半導體材料之至少一部分；至少一個晶圓間透通連結之一第一部分，該至少一個晶圓間透通連結穿過配置在該半導體構造之該表面上之半導體材料，該至少一個晶圓間透通連結之第一部分對準該至少一個通孔凹槽。

實施例26：如實施例25之半導體構造，其更包括一份量之介電材料，其至少局部被配置在該半導體構造之該表面上之半導體材料所圍繞，該至少一個晶圓間透通連結之第一部分穿過並直接接觸該份量之介電材料。

實施例27：如實施例26之半導體構造，其中該份量之介電材料包括一淺溝渠隔絕構造。

實施例28：如實施例25至27中任一項之半導體構造，其中該犧牲材料包括多晶矽材料。

實施例29：如實施例25至28中任一項之半導體構造，其中該至少

一個裝置構造包括至少一個電晶體。

實施例 30：如實施例 25 至 29 中任一項之半導體構造，其中該犧牲材料被曝露在該半導體構造之一外部，該外部位於與配置在該半導體構造之該表面之半導體材料相反之一側。

實施例 31：如實施例 25 至 30 中任一項之半導體構造，其更包括附著於該半導體構造之一載體底材。

實施例 32：如實施例 25 至 31 中任一項之半導體構造，其中配置在該半導體構造之該表面之半導體材料包括一半導體材料層，該半導體材料層具有大約為 300 奈米（300 nm）或更薄之一平均厚度。

實施例 33：如實施例 32 之半導體構造，其中該半導體材料層具有大約為 100 奈米（100 nm）或更薄之一平均厚度。

實施例 34：一半導體構造，其包括：一主動表面；一背表面；至少一個電晶體，其位於該主動表面與該背表面間之半導體構造內；至少一個晶圓間透通連結，其從該主動表面與該背表面至少其中之一至少局部穿過半導體構造，該至少一個晶圓間透通連結包括：一第一部分；一第二部分；以及一可識別之邊界，其介於該第一部分之一微構造與該第二部分之一微構造之間。

實施例 35：如實施例 34 之半導體構造，其中該至少一個電晶體包括一半導體材料薄層之至少一部分。

實施例 36：如實施例 35 之半導體構造，其中該半導體材料薄層具有大約為 100 奈米（100 nm）或更薄之一平均厚度。

實施例 37：如實施例 35 或實施例 36 之半導體構造，其中該可識別之邊界鄰近該半導體材料薄層之一主要表面。

實施例 38：如實施例 34 至 37 中任一項之半導體構造，其中該可識別之邊界平行於該主動表面與該背表面至少其中之一。

雖然本發明之實施例已使用某些範例敘述於本文中，但熟悉本領域之技術者將承認並理解，本發明並非僅限於該些示範性實施例之事項。反之，該些示範性實施例可進行各種增減及修改，而不會偏離以下所主張之本發明範圍。舉例而言，一實施例之特點可以與其他實施例之特點結合，但仍屬於本案發明人所提出之本發明範圍內。

【圖式簡單說明】

雖然本說明書以申請專利範圍作結，其具體指出並明確主張被視為本發明之實施例者，但配合所附圖式理解本發明實施例某些範例之敘述時，本發明實施例之優點更易於從中彰顯，在該些圖式中：

圖 1 為一半導體構造一部分之一簡化側視剖面圖；

圖 2 為另一半導體構造一部分之一簡化側視剖面圖，該另一半導體構造可以經由提供通孔凹槽局部穿過圖 1 之半導體構造而形成；

圖 3 為另一半導體構造一部分之一簡化側視剖面圖，該另一半導體構造可以經由在圖 2 之半導體構造之該些通孔凹槽內之曝露表面上提供一介電材料而形成；

圖 4 為另一半導體構造一部分之一簡化側視剖面圖，該另一半導體構造可以經由在圖 3 之半導體構造之該些通孔凹槽內提供一材料，例如多晶矽，而形成；

圖 5 為一已鍵結半導體構造一部分之一簡化側視剖面圖，該半導體構造可以經由將另一半導體構造鍵結至圖 4 之半導體構造而形成；

圖 6 為另一半導體構造一部分之一簡化側視剖面圖，該另一半導體構造可以經由薄化圖 5 之已鍵結半導體構造中的另一半導體構造而形成；

圖 7 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由在圖 6 之已鍵結半導體構造之中及/或之上製作電晶體及淺溝渠隔絕構造而形成；

圖 8 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由在圖 7 之半導體構造上方提供一介電材料層，以及穿過該半導體構造提供晶圓間透通連結之部分而形成；

圖 9 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由在圖 8 之半導體構造之一表面上製作包含導電構造之一層或多層而形成；

圖 10 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由將圖 9 之半導體構造鍵結至一載體底材而形成；

圖 11 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由將多晶矽材料從圖 10 之半導體構造之該些通孔凹槽內移除而形成；

圖 12 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由在圖 11 之半導體構造之該些通孔凹槽內提供導電材料，以便在該半導體構造中形成該些晶圓間透通連結之額外部分而形成；

圖 13 為另一半導體構造一部分之一放大圖，該另一半導體構造可以經由從圖 12 之半導體構造移除載體底材，並在該些晶圓間透通連結之曝露端上提供導電凸塊而形成；

圖 14 至 16 呈現額外的方法，其可以用於將如圖 10 所示之一半導體處理為如圖 11 所示之一半導體構造；以及

圖 17 至 20 呈現更多其他方法，其可以用於將如圖 10 所示之一半導體處理為如圖 11 所示之一半導體構造。

【主要元件符號說明】

100 第一半導體構造

102 材料

104、134、149、169、178、186、274 表面

110、120、130、140、150、160、170、180、190、200、210、220、230、240、250、260、270、280、290 半導體構造

112、176 通孔凹槽

122 介電材料

132 犧牲材料

142、144、146、192 底材

143 破裂平面

148 鍵結材料

152 半導體材料薄層

158 虛線

162 電晶體

163A、164A 汲極區

163B、164B 汲極接觸

165 閘極構造

166 通道區域

168 淺溝渠隔絕構造

172 介電材料層

174 第一部分

182 裝置構造

184 介電材料

212 第二部分

214 透通連結

216 邊界

222 導電凸塊

224 背表面

232、272 罩幕層

242 開口

201214627

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：100130942

※ 申請日： 年 月 日 ※IPC 分類：

H01L 21/768 (2006.01)

H01L 21/60 (2006.01)

一、發明名稱：（中文/英文）

利用犧牲材料在半導體構造中形成晶圓間透通連結之方法與應用此等方法所形成之半導體構造/METHODS OF FORMING THROUGH WAFER INTERCONECTS IN SEMICONDUCTOR STUCTURES USING SACRIFICIAL MATERIAL AND SEMICONDUCTOR STRUCTURES FORMES BY SUCH METHODS

二、中文發明摘要：

製作半導體構造之方法，其包含在一通孔凹槽內提供一犧牲材料，形成該半導體構造中一晶圓間透通連結之第一部分，以及以導電材料替換該犧牲材料，以形成該晶圓間透通連結之第二部分。應用此等方法所形成之半導體構造。例如，一半導體構造可以包含一通孔凹槽內之一犧牲材料，以及與該通孔凹槽對準之一晶圓間透通連結之第一部分。半導體構造包括晶圓間透通連結，該些晶圓間透通連結包含兩個或多個部分，各部分之間具有一邊界。

三、英文發明摘要：

Methods of fabricating semiconductor structures include providing a sacrificial material within a via recess, forming a first portion of a through wafer interconnect in the semiconductor structure, and replacing the sacrificial material with conductive material to form a second portion of the through wafer interconnect. Semiconductor structures are formed by such methods. For example, a semiconductor structure may include a sacrificial material within a via recess, and a first portion of a through wafer interconnect that is aligned with the via recess. Semiconductor

structures include through wafer interconnects comprising two or more portions having a boundary therebetween.

四、指定代表圖：

(一)本案指定代表圖為：第（圖 1）圖。

(二)本代表圖之元件符號簡單說明：

100 第一半導體構造

102 材料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

七、申請專利範圍：

1.一種製作一半導體構造之方法，該方法包括：

在局部穿過一半導體構造之至少一個通孔凹槽內提供一犧牲材料；

在該半導體構造中形成至少一個晶圓間透通連結之一第一部分，並使該至少一個晶圓間透通連結之第一部分對準該至少一個通孔凹槽；以及

以導電材料替換該至少一個通孔凹槽內之犧牲材料，並形成該至少一個晶圓間透通連結之一第二部分，使之與該至少一個晶圓間透通連結之第一部分有電性接觸。

2.如申請專利範圍第1項之方法，其中在該半導體構造中形成至少一個晶圓間透通連結之一第一部分更包括使該至少一個晶圓間透通連結之第一部分穿過一介電材料。

3.如申請專利範圍第1項之方法，其中在該至少一個局部穿過半導體構造之通孔凹槽內提供犧牲材料包括：

形成至少一個盲通孔凹槽，使之從該半導體構造之一表面局部穿過該半導體構造；以及

在該至少一個盲通孔凹槽內提供一多晶矽材料、一三五族半導體材料及一介電材料至少其中之一。

4.如申請專利範圍第3項之方法，其更包括穿過主體矽材料形成該至少一個通孔凹槽。

5.如申請專利範圍第4項之方法，其更包括在該主體矽材料與該至少一個盲通孔凹槽內之多晶矽材料間提供一介電材料。

6.如申請專利範圍第 3 項之方法，其更包括在該至少一個盲通孔凹槽內提供該多晶矽材料後，於該半導體構造之一表面上提供一半導體材料薄層。

7.如申請專利範圍第 6 項之方法，其中於該半導體構造之表面上提供半導體材料薄層包括：

在包含半導體材料之一底材內植入離子，以便於該底材內形成一破裂平面；

將該底材鍵結至該半導體構造之表面；以及

沿著該破裂平面裂開該底材，並使該半導體材料薄層與該底材之一餘留部分分離，該半導體材料薄層保持鍵結至該半導體構造之表面。

8.如申請專利範圍第 6 項之方法，其更包括利用該半導體材料薄層形成一裝置構造之至少一部分。

9.如申請專利範圍第 8 項之方法，其中利用該半導體材料薄層形成裝置構造之至少一部分包括利用該半導體材料薄層形成一電晶體之至少一部分。

10.如申請專利範圍第 1 項之方法，其更包括在形成該至少一個晶圓間透通連結之後，以及在以導電材料替換犧牲材料並形成該至少一個晶圓間透通連結之第二部分之前，薄化該半導體構造。

11.一半導體構造，其包括：

至少一個通孔凹槽內之一犧牲材料，該至少一個通孔凹槽從一半導體構造之一表面局部穿過該半導體構造；以及

配置在該半導體構造之該表面上之一半導體材料；

12.如申請專利範圍第 11 項之半導體構造，其更包括：

至少一個裝置構造，其包括配置在該半導體構造之該表面上之半導體材料之至少一部分；以及

至少一個晶圓間透通連結之一第一部分，該至少一個晶圓間透通連結穿過配置在該半導體構造之該表面上之半導體材料，該至少一個晶圓間透通連結之第一部分對準該至少一個通孔凹槽。

13.如申請專利範圍第 12 項之半導體構造，其更包括一份量之介電材料，其至少局部被配置在該半導體構造之該表面上之半導體材料所圍繞，該至少一個晶圓間透通連結之第一部分穿過並直接接觸該份量之介電材料。

14.如申請專利範圍第 13 項之半導體構造，其中該份量之介電材料包括一淺溝渠隔絕構造。

15.如申請專利範圍第 11 項之半導體構造，其中該犧牲材料包括多晶矽材料。

16.如申請專利範圍第 12 項之半導體構造，其中該至少一個裝置構造包括至少一個電晶體。

17.如申請專利範圍第 11 項之半導體構造，其中該犧牲材料被曝露在該半導體構造之一外部，該外部位於與配置在該半導體構造之該表面之半導體材料相反之一側。

18.如申請專利範圍第 17 項之半導體構造，其更包括附著於該半導體構造之一載體底材。

19.如申請專利範圍第 11 項之半導體構造，其中配置在該半導體構造之該表面之半導體材料包括一半導體材料層，該半導體材料層具有大約為 300 奈米（300 nm）或更薄之一平均厚度。

20.如申請專利範圍第 19 項之半導體構造，其中該半導體材料層具有大約為 100 奈米（100 nm）或更薄之一平均厚度。

八、圖式：

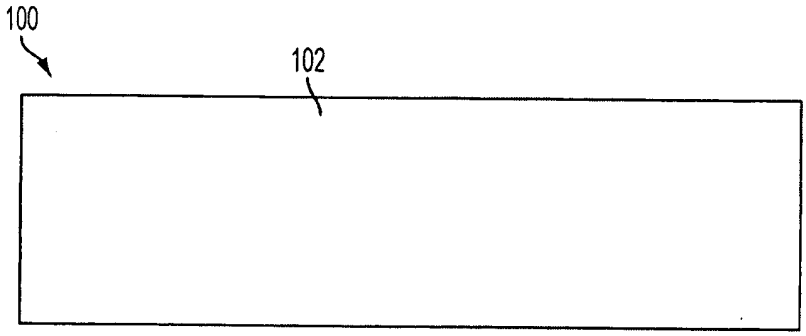

100
102

圖 1

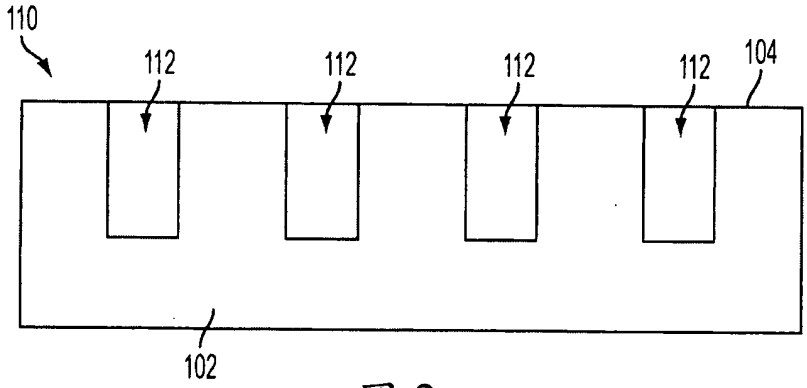

110
112
112
112
112
104
102

圖 2

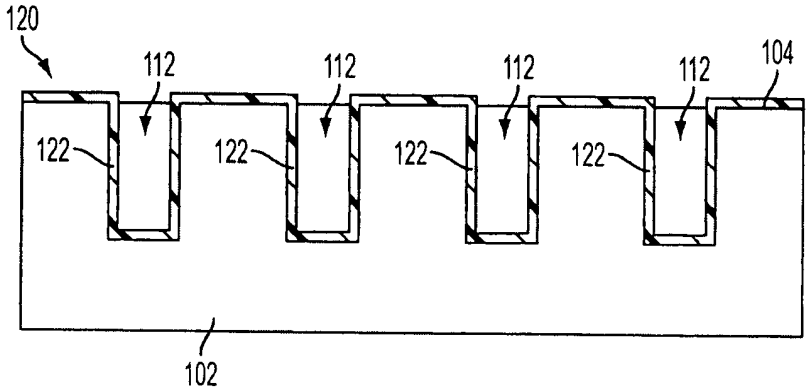

120
112
112
112
112
104
122
122
122
122
102

圖 3

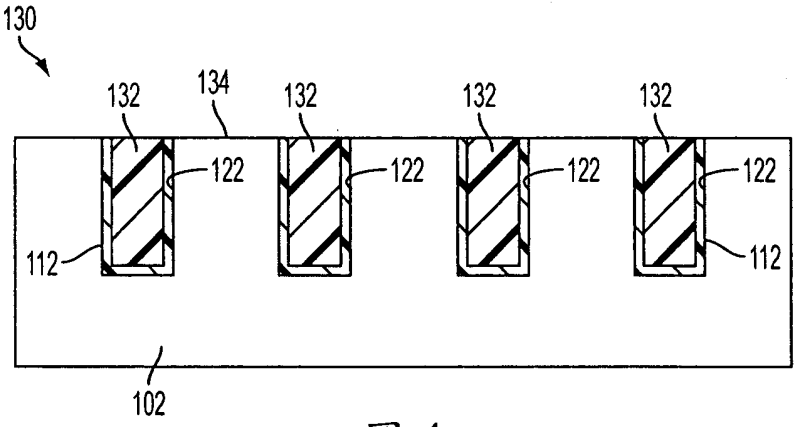

130
132
134
132
132
132
122
122
122
122
112
112
102

圖 4

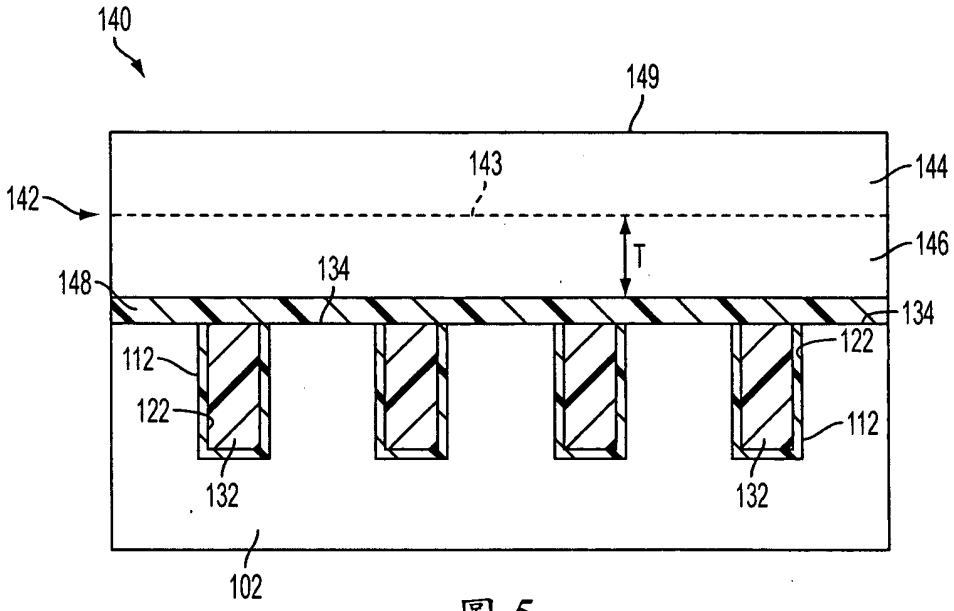

140
149
143
144
142
T
146
148
134
134
122
112
122
112
132
132
102

圖 5

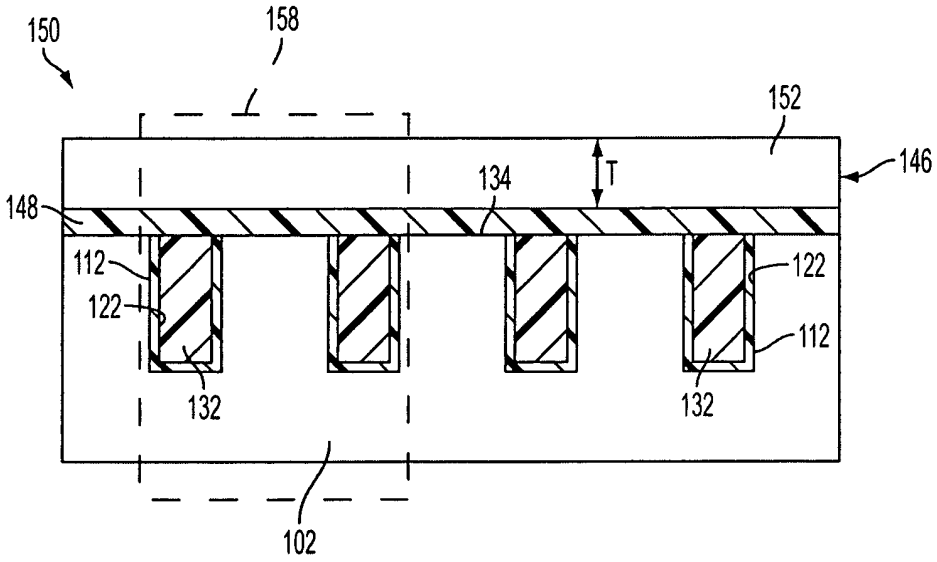

150
158
152
146
T
134
148
112
122
122
112
132
132
102

圖 6

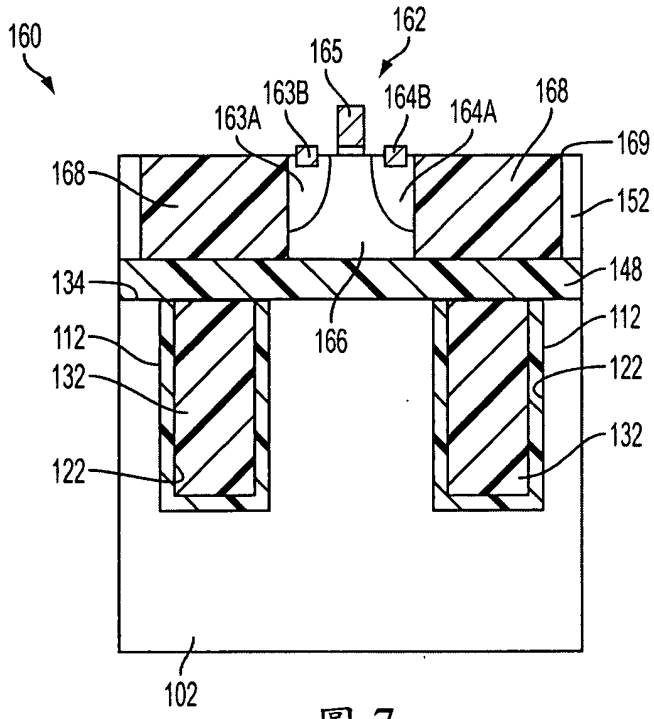

160
162
165
163B
164B
164A
168
163A
169
168
152
134
148
166
112
112
132
122
122
132
102

圖 7

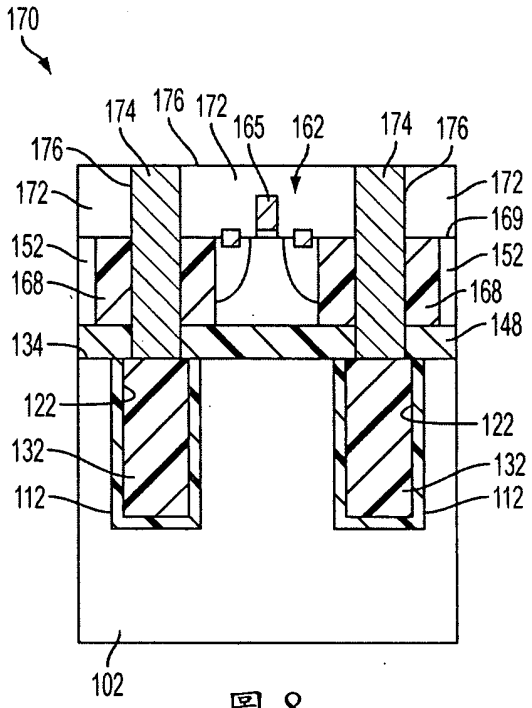

170
174
176
172
165
162
174
176
176
172
172
169
152
152
168
168
148
134
122
122
132
132
112
112
102

圖 8

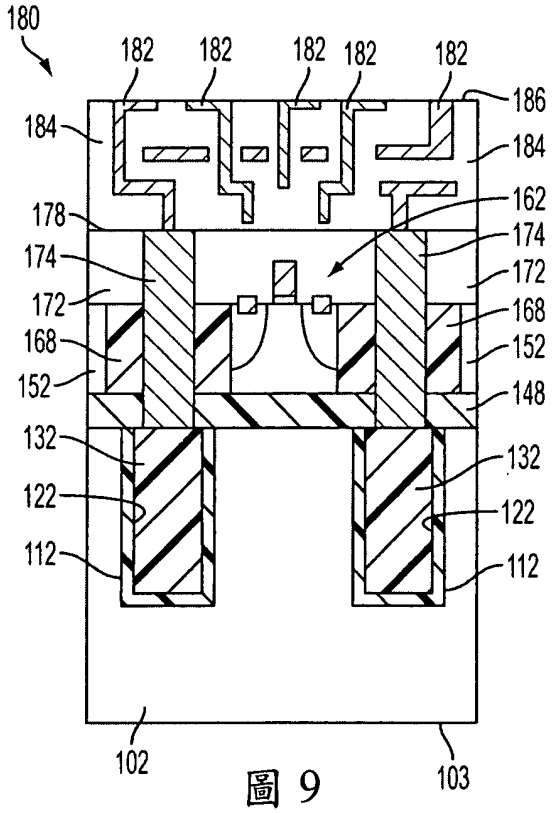

180
182
182
182
182
182
186
184
184
162
178
174
174
172
172
168
168
152
152
148
132
132
122
122
112
112
102
103

圖 9

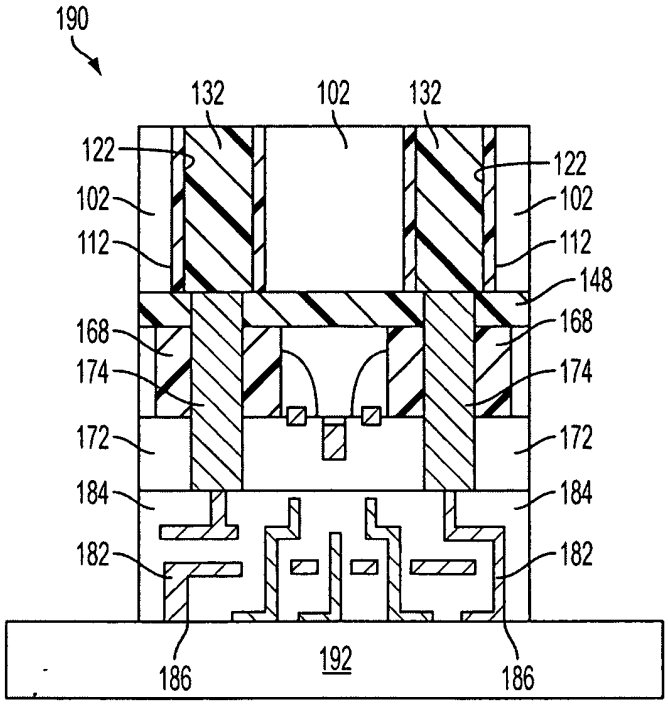

190
132
102
132
122
122
102
102
112
112
148
168
168
174
174
172
172
184
184
182
182
186
192
186

圖 10

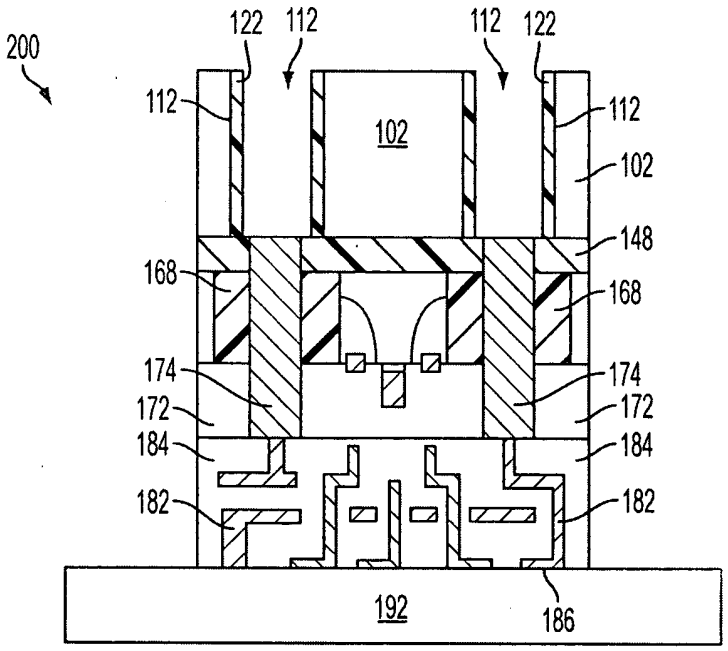

200
122
112
112
122
112
102
112
102
148
168
168
174
174
172
172
184
184
182
182
192
186

圖 11

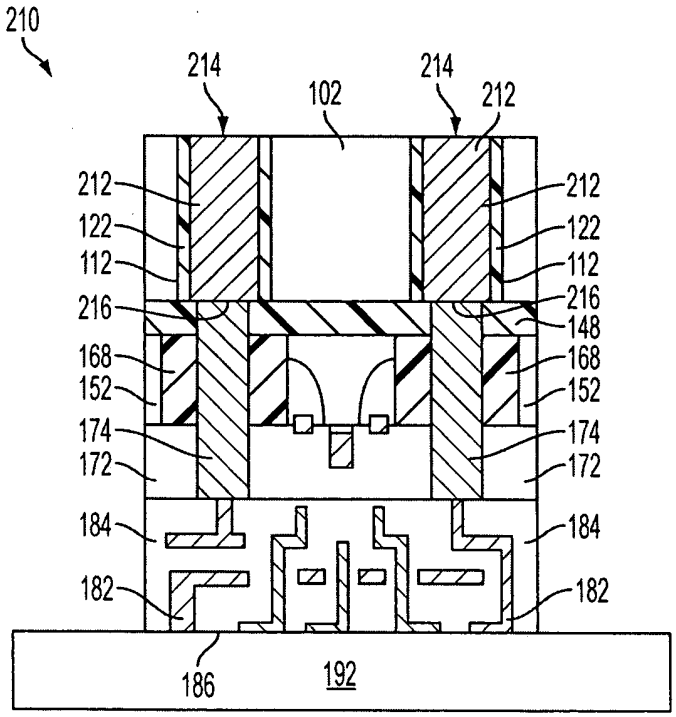

210
214
102
214
212
212
122
112
216
148
168
152
174
172
184
182
186
192

圖 12

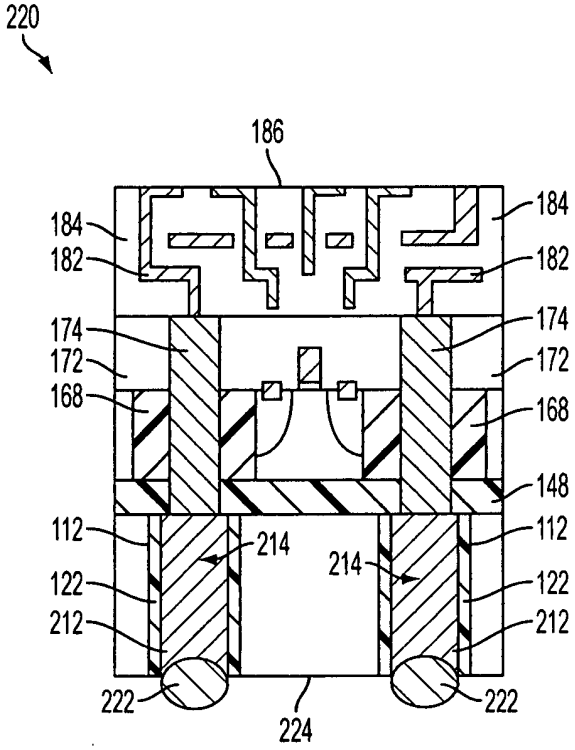


圖 13

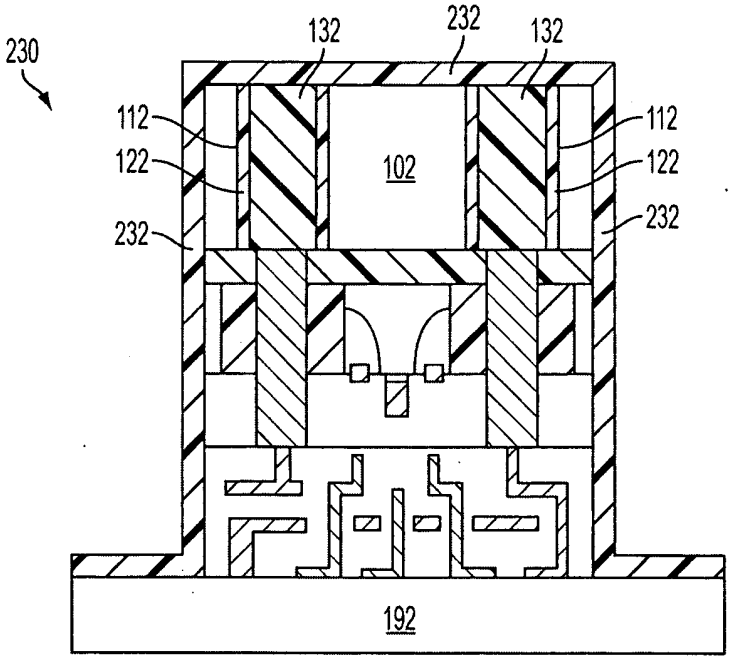

230
132
232
132
112
122
232
102
112
122
232
192

圖 14

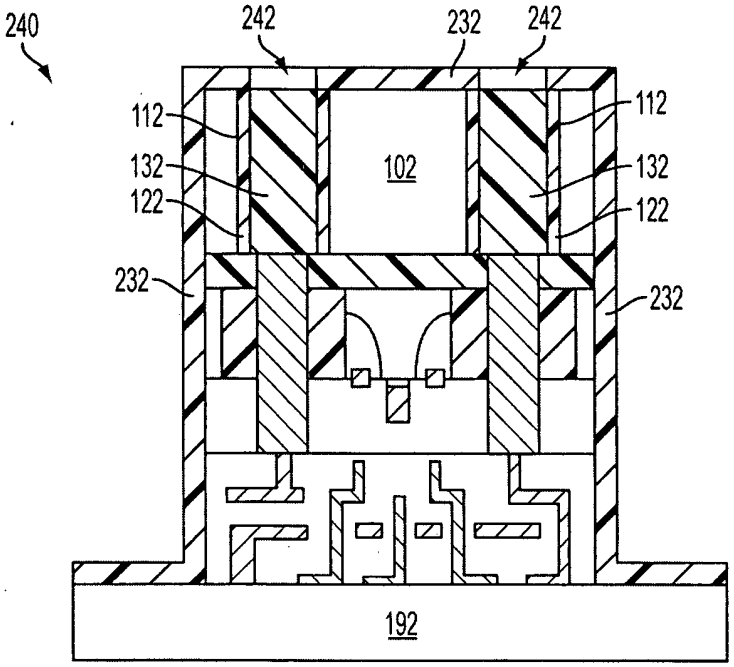

240
242
232
242
112
132
122
232
102
112
132
122
232
192

圖 15

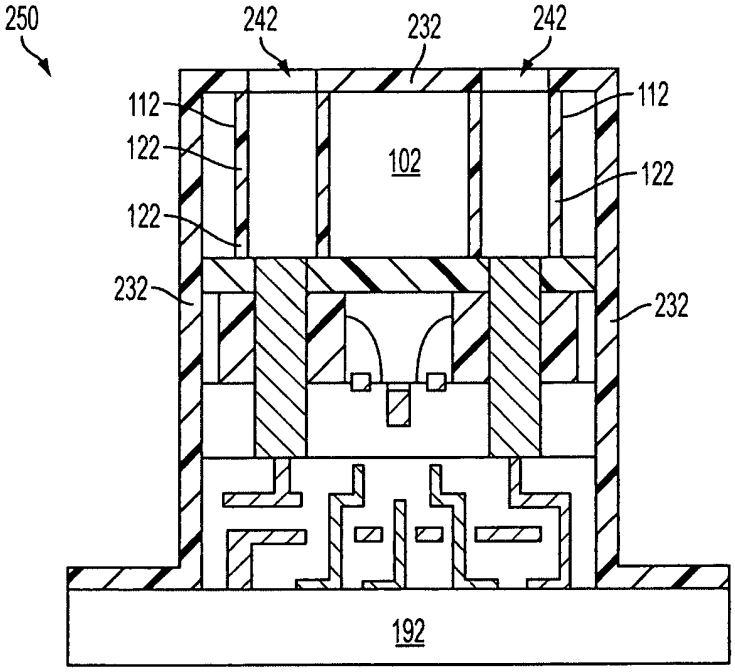

250
242
232
242
112
112
122
102
122
122
232
232
192

圖 16

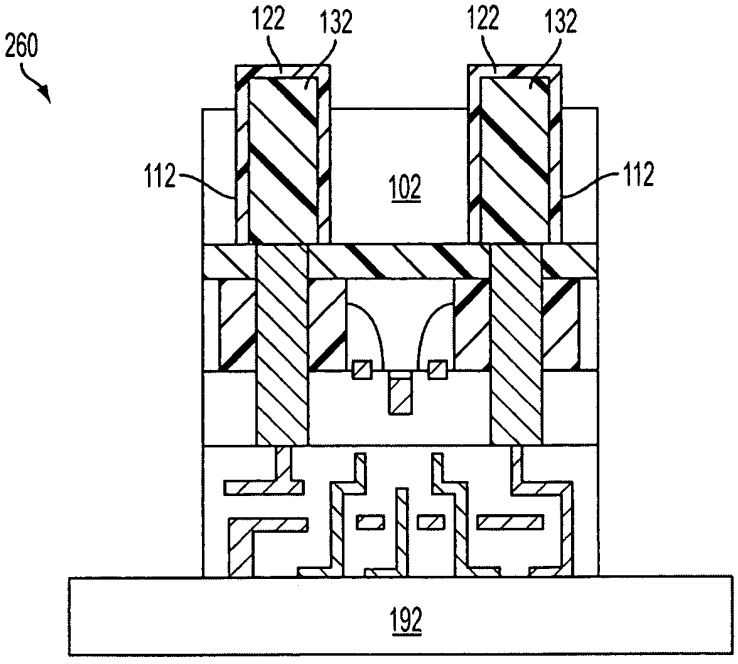

260
122
132
122
132
112
102
112
192

圖 17

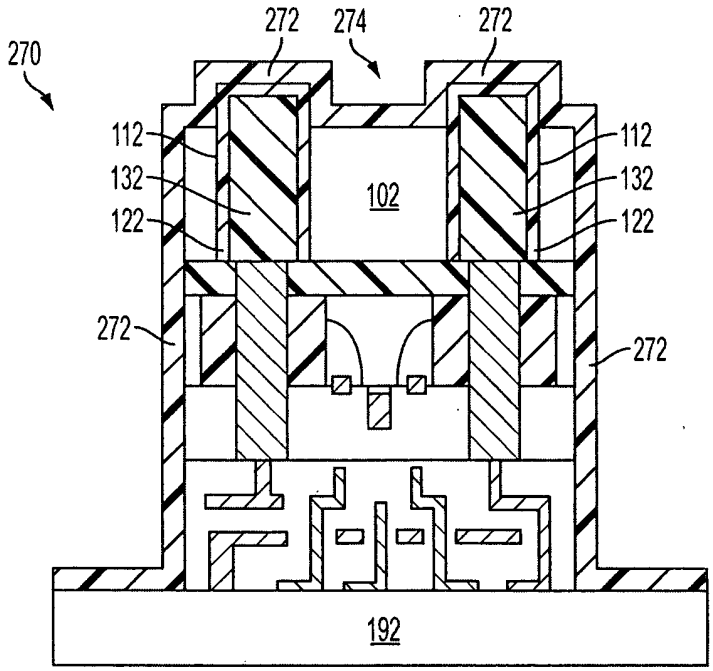

270
272
274
272
112
132
122
102
112
132
122
272
272
192

圖 18

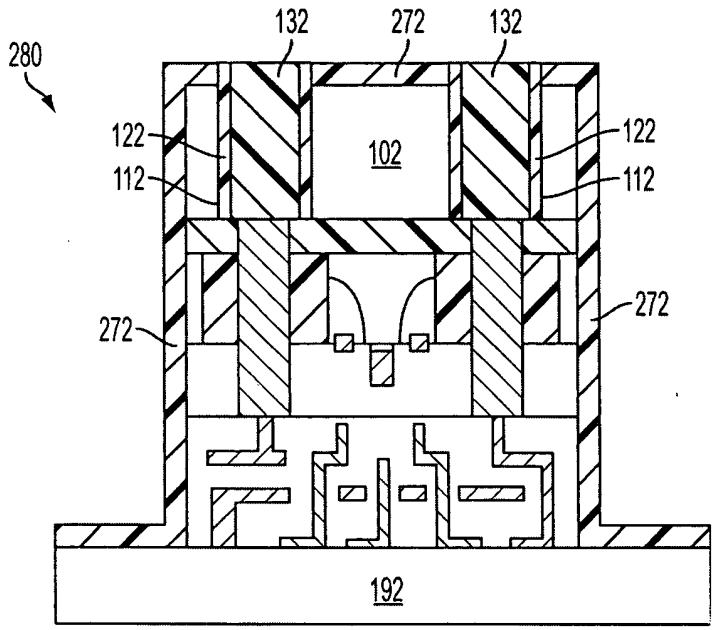

280
132
272
132
122
112
102
122
112
272
272
192

圖 19

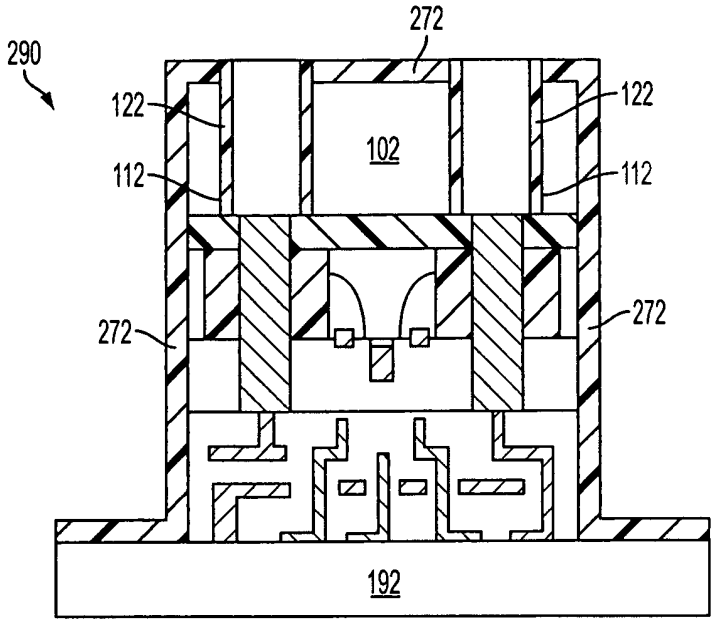


圖 20

structures include through wafer interconnects comprising two or more portions having a boundary therebetween.

四、指定代表圖：

(一)本案指定代表圖為：第（圖 1）圖。

(二)本代表圖之元件符號簡單說明：

100 第一半導體構造

102 材料

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：