

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-141933
(P2010-141933A)

(43) 公開日 平成22年6月24日 (2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 L 7/085 (2006.01)	H O 3 L 7/08 A	5 J 0 3 9
H O 3 K 5/26 (2006.01)	H O 3 K 5/26 Z	5 J 1 0 6

審査請求 有 請求項の数 22 O L (全 15 頁)

(21) 出願番号	特願2010-57327 (P2010-57327)	(71) 出願人	505108638 テラダイン インク
(22) 出願日	平成22年3月15日 (2010. 3. 15)		アメリカ合衆国 エム エー O 2 1 1 8
(62) 分割の表示	特願2005-86535 (P2005-86535) の分割		、ボストン、ハリソン アベニュー 3 2 1
原出願日	平成17年3月24日 (2005. 3. 24)	(74) 代理人	100093997 弁理士 田中 秀佳
(31) 優先権主張番号	10/817780	(74) 代理人	100107423 弁理士 城村 邦彦
(32) 優先日	平成16年4月2日 (2004. 4. 2)	(74) 代理人	100120949 弁理士 熊野 剛
(33) 優先権主張国	米国 (US)	(72) 発明者	ジュ ファン アメリカ合衆国 エム エー O 2 4 6 6
			、ニュートン、オリス ストリート 1 7
		F ターム (参考)	5J039 JJ08 KK28 KK33
			最終頁に続く

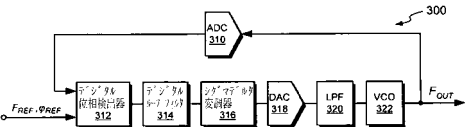
(54) 【発明の名称】 高性能信号発生

(57) 【要約】

【課題】高性能位相検出器は、プログラムで制御できる周波数および位相を有するデジタル基準信号を生成する局部デジタルオシレータを含む。

【解決手段】位相検出器は、デジタル基準信号とサンプリングされた入力信号の間の位相差を蓄積し、位相誤差の指標を作る。位相検出器は、周波数合成器において用いられ、低位相ノイズおよび正確な位相制御で信号を発生することができる利点がある。さらに、この種類のセンセサイズは、低ジッタのクロックおよび波形を生成する A T E システムおよび他の電子システムにおいて、ビルディングブロックのように用いられる。

【選択図】 図 3



【特許請求の範囲】

【請求項 1】

周波数および位相を有するサンプル信号を受け取る入力と、

所定周波数および位相を示す値に対応する基準信号を生成するデジタルオシレータと、
前記入力および前記デジタルオシレータと結合され、前記サンプル信号の前記周波数と
前記基準信号の前記周波数の間の差を示す周波数、および前記サンプル信号の前記位相と
前記基準信号の前記位相の間の差を示す位相を有する直角位相差信号を生成するダウンコ
ンバータと、

前記直角位相差信号を受け取るために前記ダウンコンバータと結合された第 1 およびの
第 2 の入力、および前記直角位相差信号の累積位相を示す値を生成する出力を有する位相
エクストラクタと、を備えることを特徴とする位相検出器。

10

【請求項 2】

請求項 1 に記載の位相検出器であって、前記基準信号が、 $\cos(2\pi F_{osc}t + j_{osc})$
の形を概ね有する第 1 の構成部分、および $\sin(2\pi F_{osc}t + j_{osc})$ の形を概ね有す
る第 2 の構成部分を含む直角位相基準信号であることを特徴とする位相検出器。

【請求項 3】

請求項 2 に記載の位相検出器であって、前記サンプル信号が $\cos(2\pi F_{in}t + j_{in})$
の形を概ね有し、前記ダウンコンバータが、
前記位相検出器の前記入力と結合された入力、および $\sin(2\pi F_{in}t + j_{in})$ の形を
概ね有する、前記サンプル信号の位相をシフトしたバージョンを発生する出力を有するヒ
ルベルトフィルタと、

20

前記位相検出器の前記入力と結合された第 1 の入力、前記ヒルベルトフィルタの前記出力
と結合された第 2 の入力、前記直角位相基準信号の前記第 1 および第 2 の構成部分と個々
に結合された第 3 および第 4 の入力、および前記直角位相差信号を供給する第 1 および第
2 の出力を有する復調器と、を備えることを特徴とする位相検出器。

【請求項 4】

請求項 2 に記載の位相検出器であって、前記直角位相差信号が第 1 の構成部分および第 2
の構成部分を備え、前記ダウンコンバータが、

前記サンプル信号と前記直角位相基準信号の前記第 1 の構成部分との積を生成する第 1
のマルチプライヤと、

30

前記サンプル信号と前記直角位相基準信号の前記第 2 の構成部分との積を生成する第 2
のマルチプライヤと、

前記直角位相差信号の前記第 1 の構成部分を生成するために、前記第 1 のマルチプライ
ヤの前記積をフィルターにかける第 1 のデジタルフィルタと、

前記直角位相差信号の前記第 2 の構成部分を生成するために、前記第 2 のマルチプライ
ヤの前記積をフィルターにかける第 2 のデジタルフィルタと、を備えることを特徴とする
位相検出器。

【請求項 5】

請求項 1 に記載の位相検出器であって、前記位相エクストラクタが ATAN2 関数を実行
することを特徴とする位相検出器。

40

【請求項 6】

請求項 1 に記載の位相検出器において、さらに、前記位相エクストラクタの前記出力に調
整可能な位相値を付加するために、前記位相エクストラクタの前記出力と結合された加算
器を備えることを特徴とする位相検出器。

【請求項 7】

請求項 1 に記載の位相検出器において、さらに、

前記所定周波数および位相を示す前記値を、一次的な構成部分および二次的な構成部分に
分割する計算ユニットと、

前記二次的な構成部分を受け取るために前記計算ユニットと結合された入力、および前記
二次的な構成部分によって示された位相値を蓄積する出力を有するアキュムレータと、前

50

記位相エクストラクタの前記出力と結合された第 1 の入力、前記アキュムレータの前記出力と結合された第 2 の入力、および前記位相エクストラクタの前記出力と前記アキュムレータの前記出力の間の差を発生する出力を有する加算器と、を備え、前記デジタルオシレータが、前記一次的な構成部分を受け取るために前記計算ユニットと結合されることを特徴とする位相検出器。

【請求項 8】

請求項 7 に記載の位相検出器であって、

前記デジタルオシレータが F_s のクロックレートで動作し、

K および L を両方とも整数とした時、 F_s が L サイクルを完了するのと同じ時間の間に、前記一次的な構成部分によって規定されるデジタル波形が K サイクルを完了することを特徴とする位相検出器。

10

【請求項 9】

請求項 8 に記載の位相検出器であって、前記デジタルオシレータが、前記直角位相基準信号の値と F_s の連続したサイクルとを関連づける索引テーブルを備えることを特徴とする位相検出器。

【請求項 10】

請求項 1 に記載の位相検出器であって、前記デジタルオシレータの前記周波数が可調整であることを特徴とする位相検出器。

【請求項 11】

請求項 10 に記載の位相検出器であって、前記デジタルオシレータの前記位相が可調整であることを特徴とする位相検出器。

20

【請求項 12】

請求項 1 に記載の位相検出器であって、前記デジタルオシレータの前記周波数および位相がプログラマブルであることを特徴とする位相検出器。

【請求項 13】

周波数を有するサンプル信号を受け取る入力と、

所定周波数を有する基準信号を生成するデジタルオシレータと、

前記入力および前記デジタルオシレータと結合され、前記サンプル信号の前記周波数と前記基準信号の前記周波数の間の差を示す周波数を有する差信号を生成する手段と、

前記差信号を生成する前記手段と結合され、前記差信号の累積位相を示す値を生成する手段と、を備えることを特徴とする位相検出器。

30

【請求項 14】

所望の信号の周波数を示す値を受け取る第 1 の入力、フィードバック信号を受け取る第 2 の入力、および前記所望の信号と前記フィードバック信号の間の累積的な位相差を示すデジタル信号を供給する出力を有するデジタル位相検出器と、

前記デジタル位相検出器の前記出力と結合された入力、およびアナログ出力信号を供給する出力を有する DAC (DA 変換器) と、

前記 DAC の前記出力と結合された入力、および周期的な出力信号を生成する出力を有する VCO (電圧制御発振器) と、

前記 VCO の前記出力と結合された入力、および前記デジタル位相検出器の前記第 2 の入力と結合され、前記フィードバック信号を供給する出力を有する ADC (AD 変換器) と、を備えることを特徴とする周波数合成器。

40

【請求項 15】

請求項 14 に記載の周波数合成器において、さらに、前記デジタル位相検出器と前記 DAC の間に直列に結合されたデジタルループフィルタを備えることを特徴とする周波数合成器。

【請求項 16】

請求項 15 に記載の周波数合成器であって、前記デジタルループフィルタが、偽物の周波数成分を排除するために構成され、配置されることを特徴とする周波数合成器。

【請求項 17】

50

請求項 15 に記載の周波数合成器において、さらに、前記デジタルループフィルタと前記 D A C の間に直列に結合されたシグマデルタ変調器を備えることを特徴とする周波数合成器。

【請求項 18】

請求項 14 に記載の周波数合成器において、さらに、前記 D A C の前記出力を平滑化するために、前記 D A C と前記 V C O の間に直列に結合されたアナログフィルタを備えることを特徴とする周波数合成器。

【請求項 19】

請求項 14 に記載の周波数合成器において、周期的な波形を生成するために自動試験装置と共に用いられることを特徴とする周波数合成器。

10

【請求項 20】

周期的なサンプル信号とデジタル基準信号の間の位相誤差を決定する方法であって、
所定周波数において前記デジタル基準信号を生成すること、
前記周期的なサンプル信号と前記デジタル基準信号の間の累積位相差を示すデジタル位相誤差を生成すること
を含むことを特徴とする方法。

【請求項 21】

請求項 20 に記載の方法であって、前記デジタル位相誤差を生成するステップが、
前記サンプリングされた周期信号の前記周波数と前記デジタル基準信号の前記周波数の間の差を示す周波数を有するデジタル差信号を生成すること、
前記デジタル差信号から累積位相信号を引き出すこと
を含むことを特徴とする方法。

20

【請求項 22】

既知の周波数を有するデジタル基準信号を生成すること、
前記デジタル基準信号の前記周波数とデジタルフィードバック信号の周波数の間の差を示す周波数を有するデジタル差信号を生成すること、
前記デジタル差信号から累積位相信号を引き出すこと、
前記累積位相信号を周期的なアナログ信号に変換すること、
前記デジタルフィードバック信号を発生するために、前記アナログ周期信号をデジタル化することを含むことを特徴とする周期信号を生成する方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、信号発生に関する。より詳しくは、高い信号完全性を有する周期信号の合成に関する。

【背景技術】

【0002】

自動試験装置（（A T E）および他の高性能電子システムは、正確な周期信号を生成する能力に基づいて動作する。A T E は、コンピュータチップや、テレコミュニケーションチップや、電子組立て部品などの最先端の電子装置の試験用にこれらの信号を必要とする。これらのデバイスおよびアセンブリが、より高度になるにつれて、A T E は、高い試験規格を維持するために等しく進歩しなければならない。

40

【0003】

図 1 は、正確な周期信号を合成するために多くの A T E システムによって用いられる従来のアーキテクチャ 100 を示す。前記アーキテクチャ 100 は、D D S（デジタル信号合成器）などの周波数発生器 110 を備える。前記周波数発生器 110 は、プログラミング値 F_{REF} を受け取り、 F_{REF} に比例した周波数 F_{IN} を有するアナログ信号を生成する。そして、周波数 F_{IN} を有する信号が、1 つ以上の位相固定ループ 112 - 118 に供給される。個々の位相固定ループ 112 - 118 は、 F_{IN} に比例した周波数 F_{OUT} を有する個々の出力信号を発生させる。このように、前記アーキテクチャ 100 は、種々の周波数を有す

50

る多数の信号を生成する方法を提供する。しかし、それらの信号は、すべて、共通の周波数 F_{IN} から派生したものである。

【0004】

図2は、図1の前記アーキテクチャ100において用いることができるような、従来の位相固定ループ200を示す。前記位相固定ループ200は、周波数 F_{IN} を有する入力信号を受け取り、周波数 F_{OUT} を有する出力信号を生成する。前記位相固定ループ200は、フォワードパスおよびフィードバックパスを有するフィードバック回路である。前記フォワードパスは、位相検出器210、高利得ループフィルタ212、および電圧制御発振器(VCO)214を備える。一般に、前記フィードバックパスは第1の周波数デバイダ218を備える。前記フィードバックパスのこのデバイダには、前記出力周波数を増加させる効果がある。前記出力周波数を分割するために、第2の周波数デバイダ216を、前記フィードバックループの外に任意に設置できる。

10

【0005】

前記位相検出器210は2つの入力信号を受け取る：周波数 F_{IN} の入力信号、および周波数 F_{OUT}/M のフィードバック信号である。公知のように、前記位相検出器210は、その入力信号の位相を比較し、入力信号の間の位相差に比例した出力信号を発生させるための回路を備える。適切に安定化された場合、前記フィードバックループの動作がこの位相差をゼロにする。前記ループフィルタ212は、前記位相検出器210の出力を平滑化し、一般に、安定性を有するループゲインに収れんする。前記VCO214は、 F_{OUT} を発生させるために前記ループフィルタの出力を正弦波に変換する。前記第1のデバイダ218（一般にカウンタ）は、前記フィードバック信号を発生させるために F_{OUT} を M で分割する。前記第2のデバイダ216は、それが設置されている場合、 F_{OUT} を N で分割する。したがって、前記位相固定ループ200の全体的な閉ループ周波数ゲインは M/N である。

20

【0006】

我々は周期信号を生成する前記従来のアーキテクチャ100が、ある欠陥を有することを認めた。例えば、前記位相固定ループ200はノイズを誘発し、合成された出力信号のタイミングジッタとして現れる。前記ノイズはいくつかの発生源に由来する。例えば、前記高利得ループフィルタ212はノイズを誘発する。また、それは、内部および他の発生源から生成されたノイズを増幅する。前記位相固定ループ200の中の位相検出器210、VCO214、第1のデバイダ218、および第2のデバイダ216も大量のノイズを付加する。

30

【0007】

前記従来のアーキテクチャ100の別の問題となる側面は、前記位相固定ループ200の前記デバイダ218が、前記位相固定ループの開ループ利得を直接的に減じることである。前記デバイダ比 M が大きいことは、一般に、出力周波数全体にわたって良い制御を提供するために望ましいことである。しかしながら、 M の値が大きければ大きいほど、開ループゲインが減少する。開ループゲインが減少するのに従って、前記位相固定ループ200の精度とスピードは低下する。

【0008】

これらの欠陥を取り除くことが望ましい。

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

本発明に従って、位相検出器は、デジタル的に合成された基準信号とサンプリングされた周期信号の間の位相差に対応するデジタル位相誤差を生成する。

【課題を解決するための手段】

【0010】

本発明の実施例によると、前記位相検出器は、周波数合成器を構築するためのビルディングブロックのように用いられ、前記デジタル的に合成された基準信号は可変であり、さま

50

ざまな出力周波数を提供する。

【発明の効果】

【0011】

前記位相検出器を備える周波数合成器は、周期的な波形を生成するために、ATEなどの電子システムにおいて用いることができる。

【図面の簡単な説明】

【0012】

【図1】位相固定ループを用いて種々の周波数の信号を生成する従来技術による回路のブロック図である。

【図2】図1で示される回路で用いることができる先行技術による位相固定ループのブロック図である。

【図3】本発明の説明に役立つ実施例に基づく周波数合成器のブロック図である。

【図4】図3で示された周波数合成器において用いることができる、本発明の説明に役立つ実施例に基づくデジタル位相検出器のブロック図である。

【図5】本発明の説明に役立つ別の実施例に基づくデジタル位相検出器のブロック図である。

【図6】図4および図5のデジタル位相検出器において用いることができるダウンコンバータの実施例のブロック図である。

【図7】図4および図5のデジタル位相検出器において用いることができるダウンコンバータの別の実施例のブロック図である。

【図8】デジタル化された入力信号と基準周波数の間の累積位相誤差を生成する、本発明の実施例によるプロセスを示すフローチャートである。

【図9】デジタル化された入力信号と基準周波数の間の累積位相誤差を生成する、本発明の別の実施例によるプロセスを示すフローチャートである。

【図10】本発明の実施例による自動検査システムの簡略化されたブロック図であり、この中で、図3で示されるような周波数合成器を、信号の完全性を改良するために使うことができる。

【発明を実施するための形態】

【0013】

図3は本発明による周波数合成器300の説明に役立つ実施例を示す。シンセサイザ300は、周波数および位相(F_{REF} 、 j_{REF})を示す入力データを受け取る入力部を有する。シンセサイザ300は、出力信号 F_{OUT} を生成する出力部を有する。 F_{OUT} の周波数および位相は、前記入力データによって決定される。

【0014】

図3の説明に役立つ実施例において、シンセサイザ300は、フォワードパスおよびフィードバックパスを有するフィードバック回路である。フォワードパスは、デジタル位相検出器312、デジタルループフィルタ314、シグマデルタ変調器316、DAC(DA変換器)318、アナログフィルタ320、およびVCO(電圧制御発振器)322を備える。フィードバックパスはAD変換器(AD変換器)310を備える。

【0015】

デジタル位相検出器312は、入力データ(F_{REF} 、 j_{REF})を受け取る第1の入力、およびデジタルフィードバック信号を受け取る第2の入力を有する。望ましくは、デジタル位相検出器312は、周波数 F_{REF} および位相 j_{REF} を有する基準周波数を生成する。デジタル位相検出器は、基準信号とフィードバック信号の間の累積位相差を示すデジタル出力信号を生成するために、基準信号とフィードバック信号を比較する。これは、従来の位相検出器が入力信号の間の位相差に比例する位相誤差を発生させる方法と似ている。

【0016】

望ましくは、デジタルループフィルタ314は、デジタル位相検出器からのデジタル出力信号を増幅する。望ましくは、デジタルループフィルタ314は、また、フィルタリングを行ない、フィードバックループの帯域幅を制限して、ノイズを低下させる。

【 0 0 1 7 】

シグマデルタ変調器 3 1 6 は従来タイプのものである。それは、入力信号より少ないビット数を有する出力信号を生成するが、効果的に失われた分解能を取り戻すために、高いサンプリングレートで出力信号に体系的に成分を付加する。

【 0 0 1 8 】

D A C 3 1 8 は、シグマデルタ変調器 3 1 6 の出力の信号を離散的なアナログ信号に変換し、フィルタ 3 2 0 は、D A C 3 1 8 の出力を平滑化する。これは、シグマデルタ変調器 3 1 6 によって付加された高周波成分の平均化を含む。望ましくは、フィルタ 3 2 0 はローパスフィルタである。望ましくは、フィルタは、前記フィードバックループの帯域幅よりはるかに高い帯域幅を有する。それによって、フィルタがフィードバックループの安定性に影響しないようになる。フィルタ 3 2 0 の出力は、 F_{OUT} を生成するV C O 3 2 2 の入力に供給される。

【 0 0 1 9 】

フィードバックループを閉じるために、A D 変換器 3 1 0 は F_{OUT} をデジタル化し、デジタル化された信号（すなわち、フィードバック信号）をデジタル位相検出器 3 1 2 の第 2 の入力に戻す。

【 0 0 2 0 】

周波数合成器 3 0 0 は多数の利点を提供する。シンセサイザ 3 0 0 は、周波数デバイダ（デバイダ 2 1 8 などの）、アナログ高利得ループフィルタ（2 1 2 など）、またはアナログ位相検出器（2 1 0 など）を必要としないので、これらの発生源からのノイズは回避される。さらに、シンセサイザ 3 0 0 は信号をデジタル方式でD A C 3 1 8 の入力まで管理する。

【 0 0 2 1 】

D A C 3 1 8 およびA D C 3 1 0 は、シンセサイザ 3 0 0 にノイズを付加する。しかしながら、正確なコンバータの使用を通して、およびフィードバックループのフィルタリング作用によって、これらの要素が付加するノイズの量を低く保つことができる。

【 0 0 2 2 】

望ましくは、デジタルループフィルタ 3 1 4 は雑音成分を選択的に減衰させるようにプログラムで制御できる。例えば、A D 変換器が 5 0 0 k H z においてノイズ刺激（s p u r）を生成することが知られている場合、デジタルループフィルタ 3 1 4 は、5 0 0 k H z においてゼロ、またはほぼゼロのゲインを有するように設計され、このようにして、5 0 0 k H z のノイズ刺激（s p u r）がシンセサイザの出力に現れるのを防ぐことが可能である。デジタルフィルタ、特にF I R（有限インパルス応答）フィルタの設計が柔軟に行えるという理由から、任意の発生源からの任意の数の雑音周波数に対して必要とされる時に、周波数「ゼロ」をデジタルループフィルタ 3 1 4 の伝達関数に付加できる。望ましくは、デジタルループフィルタ 3 1 4 の伝達関数は、どんな対象用途の特定のノイズ特性にも対応するためにフィールドプログラマブルである。

【 0 0 2 3 】

望ましくは、シンセサイザ 3 0 0 は、デジタルおよびアナログの構成部品の組み合わせからなるプリント基板アセンブリ上で実行される。好ましい実施例では、デジタル位相検出器 3 1 2、デジタルループフィルタ 3 1 4、およびシグマデルタ変調器 3 1 6 は、F P G A（フィールドプログラマブルゲートアレイ）またはA S I C（特定用途向け集積回路）などの単一のデジタル構成部品で一緒に提供される。しかしながら、これは要求されていない。あるいはまた、別々に、または分散ロジックの形でそれらを提供できる。いくつかの構成部品を、個別のF P G A、A S I C、または離散的なロジックで提供し、他のものを一緒に提供できる。また、デジタル位相検出器 3 1 2、デジタルループフィルタ 3 1 4、およびシグマデルタ変調器 3 1 6 を、コンピュータプロセッサで動くソフトウェアで実行できる。

【 0 0 2 4 】

望ましくは、A D C 3 1 0 は少なくとも 1 4 ビットの分解能および 1 0 0 M S a / s のサ

10

20

30

40

50

ンプリングレートを有する。しかしながら、これは要求されてはいない。コンバータの種類（例えば、シグマデルタ、逐次近似など）は、本発明にとって重要ではない。ほんの狭い周波数範囲で動作することが要求されるシンセサイザに対して、ADC310は、帯域通過シグマデルタ変換器として実行される。望ましくは、DAC318は高分解能（例えば、16 - 24ビット）を有する。繰り返すが、コンバータの種類は、本発明にとって重要ではない。

【0025】

図4は、本発明の実施例のシンセサイザ300に適したデジタル位相検出器を示す。図4で示されるように、デジタル位相検出器の第1の入力はデジタルオシレータ414と結合され、デジタル位相検出器の第2の入力はダウンコンバータ410と結合される。入力データ（ F_{REF} 、 j_{REF} ）に基づいて、デジタルオシレータ414は、周波数 F_{OSC} および位相 j_{OSC} を有するデジタル基準信号を合成する。望ましくは、 F_{OSC} は F_{REF} と等しく、望ましくは、 j_{OSC} は j_{REF} と等しい。

10

【0026】

望ましくは、デジタル基準信号は直角位相基準信号であり、すなわち、90度の位相差によって分離された2つの正弦波を表す2つの構成部分からなる。慣習上、直角位相基準信号の第1の構成部分はコサインとして示され、第2の構成部分はサインとして示される。したがって、直角位相基準信号の第1の構成部分は $\cos(2\pi F_{OSC}t + j_{OSC})$ の形を有し、第2の構成部分は $\sin(2\pi F_{OSC}t + j_{OSC})$ の形を有する。

20

【0027】

直角位相基準信号はダウンコンバータ510に供給され、そこでフィードバック信号と混ぜられる。シンセサイザ300の構成からデジタル位相検出器を取り出して考えると、より一般には、フィードバック信号は、 $\cos(2\pi F_{IN}t + j_{IN})$ の形を有するサンプリングされた周期信号と見なすことができる。

【0028】

ダウンコンバータ410は、サンプリングされた周期信号および直角位相基準信号に対応する差の信号を作り出す。望ましくは、差の信号は2つの構成部分を有する直角位相信号であり、一方の構成部分は、ほぼ $\cos[2\pi(F_{IN} - F_{OSC})t + j_{IN} - j_{OSC}]$ の形を有し、もう一方の構成部分は、ほぼ $\sin[2\pi(F_{IN} - F_{OSC})t + j_{IN} - j_{OSC}]$ の形を有する。したがって、直角位相差信号の周波数は、入力周波数とオシレータ周波数の差 $F_{IN} - F_{OSC}$ に等しく、直角位相差信号の位相は、入力位相とオシレータ位相の差 $j_{IN} - j_{OSC}$ に等しい。

30

【0029】

簡潔に図6および図7について説明する。図6および図7では、2つの実施例がダウンコンバータ410について示される。図6において、ヒルベルトフィルタ612は、サンプリングされた周期信号の位相を90度シフトさせたバージョンを生成する。遅延ユニット610によって、ヒルベルトフィルタ612における任意の定値伝搬遅延がなされる。遅延ユニット610の出力およびヒルベルトフィルタ612の出力は、一緒になってサンプリングされた周期信号の直角位相バージョンを形成する。復調器614は、サンプリングされた周期信号の直角位相バージョンを直角位相基準信号で復調し、直角位相差信号を生成する。

40

【0030】

図7は、もっと簡単なアプローチを示す。サンプリングされた周期信号は、それぞれ第1および第2のマルチプライヤ710および712に供給される。第1のマルチプライヤ710は、直角位相基準信号の第1の構成部分にサンプリングされた周期信号を乗じ、第2のマルチプライヤ712は、直角位相基準信号の第2の構成部分にサンプリングされた周期信号を乗じる。個々の乗算は和および差の成分を生成する。第1および第2のデジタルローパスフィルタ714および716は、それぞれ第1および第2のマルチプライヤ710および712の出力をフィルターにかけ、和の成分を除去し、差の成分を通過させる。これらの差の成分は直角位相差信号を形成する。

50

【0031】

図4に戻る。図4では、直角位相差信号が位相エクストラクタ416に供給される。位相エクストラクタ416は、直角位相差信号によって表された累積位相差を生成する。好ましい実施例では、位相エクストラクタ416はATAN2関数を実行する。公知のように、ATAN2は、2つの入力に関する商の4つの象限の逆タンジェントを生成する。ATAN2への2つの入力と同じ角度 q のサインおよびコサインである場合、ATAN2 $[\sin(q), \cos(q)]$ は単に角度 q である。したがって、直角位相差信号の2つの構成部分のATAN2は、 $[2p(F_{IN} - F_{OSC})t + j_{IN} - j_{OSC}]$ に対する評価を与える。この値は、デジタルオシレータ514の出力とサンプリングされた周期信号の間の累積位相差に対応する。 F_{IN} 、 F_{OSC} 、 j_{IN} 、および j_{OSC} が一定である場合、累積位相差によって表現される値は、時間の経過と共に直線の形となる。

10

【0032】

シンセサイザ300の構成において、位相エクストラクタ416によって作り出された累積位相差はデジタル位相誤差を提供する。これは、従来技術のアナログ位相検出器210によって生成されるアナログ位相誤差と似ている。随意に、加算器420によって、位相 j_{ADJ} を、累積位相差に加算または累積位相差から引き算し、シンセサイザ300の他の構成部品に渡される位相誤差を調整することができる。加算器420による位相の加算または引き算は、シンセサイザの出力信号(F_{OUT})の位相をシフトするという効果を有する。

【0033】

20

図4のデジタル位相検出器が適切に働くために、デジタルオシレータ414が、精度を有する直角位相基準信号を生成できるべきである。例えば、 F_{OSC} は、 F_{REF} によって規定された周波数とほぼ等しいはずであり(名目上は、 F_{OSC} と F_{REF} は等しい)、 j_{OSC} は、 j_{REF} によって規定された位相とほぼ等しくなければならない(名目上は、 j_{OSC} と j_{REF} は等しい)。この要件はデジタルオシレータ414について重要な要求を行なう。すなわち、急ぎの際、および必要なサンプリングレートにおいて、直角位相基準信号の正確な値を作り出すことを要求する。

【0034】

$K/F_{OSC} = L/F_S$ (ここで、 K および L は両方とも整数である)などのように、 F_{OSC} および F_S が関連している場合、比較的容易にこの要件を達成することができる、この場合、デジタルオシレータ414は直角位相基準信号を生成するために索引テーブルを使うことができる。索引テーブルは、サンプルクロックの連続したサイクルで、直角位相基準信号のあらかじめ保存された値を関連づける。このようにして、索引テーブルに保存された値を通して繰り返し循環することによって、デジタルオシレータは簡単に直角位相基準信号を生成できる。

30

【0035】

しかしながら、 K/F_{OSC} が L/F_S と等しくない場合、状況は、より複雑になる。この状況の下では、索引テーブルを通しての1回の繰り返しに対して妥当な値が、他の繰り返しに対しては妥当ではなくなるために、簡単な索引テーブルを用いることができない。異なる解決法が要求されている。1つの解決法は、直角位相基準信号の値を大急ぎで計算するコンピューティングエンジンを有するデジタルオシレータ414を搭載することである。しかしながら、この解決法は複雑である。

40

【0036】

他の解決法は図5において示される。図5は、デジタル位相検出器312の代替の実施例を示している。図5のダウンコンバータ510、位相エクストラクタ516、および加算器520は、図4のダウンコンバータ410、位相エクストラクタ416、および加算器420とほぼ同じである。しかしながら、図5は、計算ユニット512、アキュムレータ518、および第2の加算器522を備える。

【0037】

計算ユニット512は、入力データ(F_{REF} 、 j_{REF})を2つの構成部分、すなわち一次的

50

な構成部分、および二次的な構成部分に分割する。一次的な構成部分 (F_{OSC} 、 j_{OSC}) は、デジタルオシレータ 514 が、索引テーブルを用いるなどの方法によって容易に生成することができる基準信号 (F_{REF} 、 j_{REF}) の近似値を表す。二次的な構成部分 (j_{RES}) は、残留位相値、すなわち、上の近似値における誤差を表す。望ましくは、一次的な構成部分は条件、 $K / F_{OSC} = L / F_S$ 、を満たす。 F_{OSC} が F_{REF} に等しくない場合、慣習的に、 K および L は、 F_{OSC} が F_{REF} よりわずかに大きくなるように選択されることが望ましい。したがって、二次的な構成部分 j_{RES} は、 F_S の個々のサイクルで生じる F_{OSC} と F_{REF} の間の位相差を表す。

【0038】

アキュムレータ 518 は、 F_S の個々のサイクルの j_{RES} の値を蓄積する（すなわち、それ自身の成分に付加する）。その結果、アキュムレータ 518 によって保持される値は、時間の経過と共に直線の形となる。

10

【0039】

位相エクストラクタ 516 の出力は、入力データの二次的な構成部分を含まない。加算器 522 は、位相エクストラクタ 516 の出力からアキュムレータ 518 の出力を引き算することによって、この出力を修正する。このようにして、加算器 522 の出力は、入力データの一次構成部分および二次構成部分の両方を含み、サンプリングされた周期信号と基準値（すなわち、 F_{REF} 、 j_{REF} ）の間の位相誤差の正確な表現を作り出す。

【0040】

図 4 および図 5 のデジタル位相検出器の一般的な実施について、図 3 と関連して上で説明した。ATAN2 関数およびアキュムレータ 518 などの特定の要素は、市販の論理定義を有する。これらの定義を購入し、ダウンロードして、最初に少し設計作業を行うだけで、FPGA または ASIC で具体化できる。

20

【0041】

望ましくは、基準データ (F_{REF} 、 j_{REF}) は可変である。図 4 または図 5 のデジタル位相検出器がシンセサイザにおいて用いられる時、異なった出力周波数を得るために、基準データはプログラマブルであることが望ましい。望ましくは、基準データの新しい値がプログラムされるたびに整数 K および L の値を更新する。望ましくは、残余のサイズを最小にするために、 K を実用的な範囲の大きさにする。 K および L を、所望の出力周波数およびサンプリングレートに基づいて手で計算してもよく、またはソフトウェア、ファームウェア、またはハードウェアで生成してもよい。

30

【0042】

図 4 および図 5 のデジタル位相検出器は多くの利益をもたらす。例えば、位相誤差はサンプルクロックの 1 サイクルに一度などの高い頻度で更新される。さらに、位相誤差はきわめて高い分解能で提供される。位相残余 j_{RES} が、基準周波数の一次的な構成部分から切り離して管理されるので、数値精度の多くのビットを j_{RES} に当てることができる。また、デジタルオシレータ 514 を実行するのに用いられる索引テーブルに保存される F_{OSC} （すなわち、 K の値）の繰り返し数を増加させることによって、全体的な位相誤差への j_{RES} の寄与をきわめて小さくすることができる。

【0043】

図 8 は、周期的なサンプル信号と振動性のデジタル基準信号の間の累積位相差を測定するための本発明の実施例のプロセスを示す。一例として、このプロセスを行うために、図 4 のデジタル位相検出器および図 5 のデジタル位相検出器の両方を搭載できる。

40

【0044】

図 9 は、周期的なサンプル信号と振動性のデジタル基準信号の間の累積位相差を測定するための本発明の別の実施例のプロセスを示す。一例として、このプロセスを行うために、図 5 のデジタル位相検出器を搭載できる。

【0045】

図 10 は、図 3 で示された種類の周波数合成器の応用例を示している。自動検査システム 1012 は、DUT（供試のデバイス）1040 をテストするために、ホストコンピュー

50

タ 1 0 1 0 によって制御される。自動検査システム 1 0 1 2 は、アナログ計器 1 0 2 0、デジタイザ 1 0 2 2、および任意波形発生器 (A W G) 1 0 2 4 などの計器を備える。また、自動検査システム 1 0 1 2 は、一般にデジタルピン 1 0 2 6、1 0 2 8、および 1 0 3 0 で示される複数のデジタル電子チャンネルを備えることができる。デジタル電子チャンネルは、デジタル信号を出力し、および検出するために配置される。

【 0 0 4 6 】

特に、自動検査システム 1 0 1 2 は、複数の周波数合成器 1 0 1 6 a - g を備える。これらのシンセサイザは、図 3 で示されたものと同じ一般型のシンセサイザである。シンセサイザ 1 0 1 6 a - g 各々は、システムクロック 1 0 1 4 からクロック信号 F_s を受け取る。また、それらは各々、所望出力周波数および位相について規定する各々の入力データ (F_{REF} 、 j_{REF}) を受け取る。周波数合成器 1 0 1 6 a - g 各々は、それらのクロックと各々の入力データに対応して、各々の周期的な出力信号を生成する。これらの出力信号は、計器 1 0 2 0、1 0 2 2、および 1 0 2 4 に供給される。それらの計器は、その正常動作のために周波数標準またはクロックを必要とする場合がある。また、前記出力信号を、デジタルピン 1 0 2 6、1 0 2 8、および 1 0 3 0 を制御するクロックとして用いることができる。周波数合成器を、パターン発生器 1 0 1 8 への入力として用いることができる。パターン発生器 1 0 1 8 は、正確に制御された瞬間に、特定の形式を有するデジタル信号をデジタルピンに出力させ、または / および検出させるために、周波数合成器と協働することができる。

10

【 0 0 4 7 】

本明細書に開示された実施例は、本発明の範囲の中で変形できる。例えば、図 4 および図 5 で示されたデジタル位相検出器は、図 3 で示されたような周波数合成器と共に使用するために示され、説明された。しかしながら、その代わりに、入力信号と基準値の間の位相差を測定するためのどのような応用においても、これらのデジタル位相検出器を用いることができる。

20

【 0 0 4 8 】

説明されたように、図 3 のシンセサイザはデジタルループフィルタ 3 1 4 を含んでいる。代わりに、フィルタ 2 1 2 と同様のアナログループフィルタを、D A C 3 1 8 の出力に挿入し、デジタルループフィルタ 3 1 4 を省略してもよい。

【 0 0 4 9 】

説明されたように、シンセサイザ 3 0 0 はシグマデルタ変調器 3 1 6 を含んでいる。しかしながら、その代わりに、シグマデルタ変調器を省略してもよい。

30

【 0 0 5 0 】

本明細書で用いられる「含む」、「有する」、「包含する」などの言葉、およびこれらの単語の文法的な変形は、封鎖グループの要素を示唆するものではなく、むしろ付加的な要素を含むことができる制限のないグループを示唆するものである。さらに、「結合する」という言葉およびその文法的な変形は、要素間の直接的な接続を要求せず、直接的または間接的な接続を示す。したがって、要素は、一緒に「結合される」要素と要素の間で接続できる。

【 0 0 5 1 】

本明細書に開示された実施例は、数学の関数を実行するデジタルエレクトロニクスの使用を含む。数学の持つ柔軟性のために、等価的な方法で、本明細書で達成されたものと実質的に同じ結果を達成する目的で、異なった数学的演算または組み合わせを使用することができる。これらの変形は本発明の範囲の中にある。

40

【 0 0 5 2 】

したがって、本明細書に開示された実施例を制限として理解するべきではない。

【 符号の説明 】

【 0 0 5 3 】

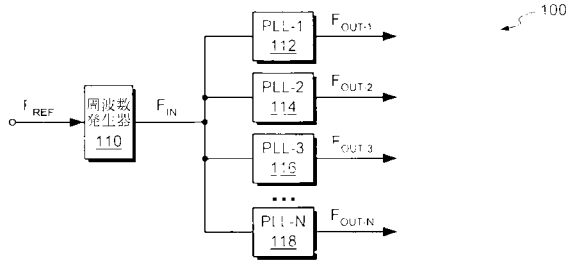
1 0 0 アーキテクチャ

1 1 0 周波数発生器

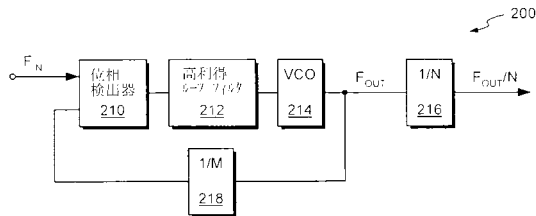
50

1 1 2	位相固定ループ	
2 0 0	位相固定ループ	
2 1 0	アナログ位相検出器	
2 1 2	高利得ループフィルタ	
2 1 6	周波数デバイダ	
2 1 8	周波数デバイダ	
3 0 0	周波数合成器	
3 1 0	変換器	
3 1 2	デジタル位相検出器	
3 1 4	デジタルループフィルタ	10
3 1 6	シグマデルタ変調器	
3 2 0	アナログフィルタ	
4 1 0	ダウンコンバータ	
4 1 4	デジタルオシレータ	
4 1 6	位相エクストラクタ	
4 2 0	加算器	
5 1 0	ダウンコンバータ	
5 1 2	計算ユニット	
5 1 4	デジタルオシレータ	
5 1 6	位相エクストラクタ	20
5 1 8	アキュムレータ	
5 2 0	加算器	
5 2 2	加算器	
6 1 0	遅延ユニット	
6 1 2	ヒルベルトフィルタ	
6 1 4	復調器	
7 1 0	マルチプライヤ	
7 1 2	マルチプライヤ	
7 1 4	デジタルローパスフィルタ	
1 0 1 0	ホストコンピュータ	30
1 0 1 2	自動検査システム	
1 0 1 4	システムクロック	
1 0 1 6 a	周波数合成器	
1 0 1 8	パターン発生器	
1 0 2 0	アナログ計器	
1 0 2 2	デジタイザ	
1 0 2 6、1 0 2 8、1 0 3 0	デジタルピン	

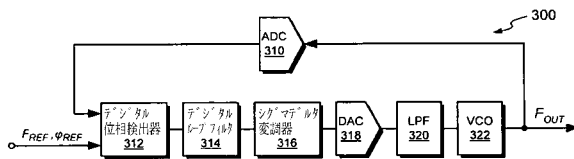
【図 1】



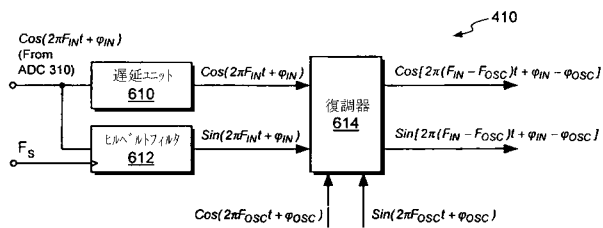
【図 2】



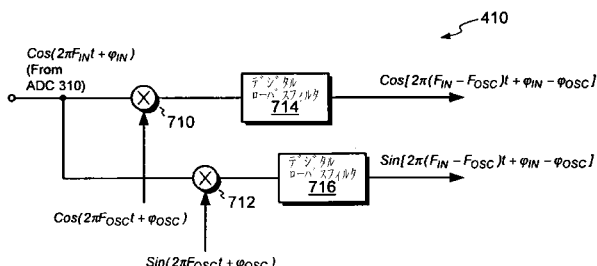
【図 3】



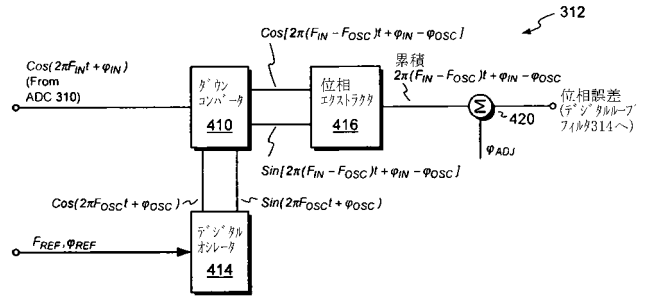
【図 6】



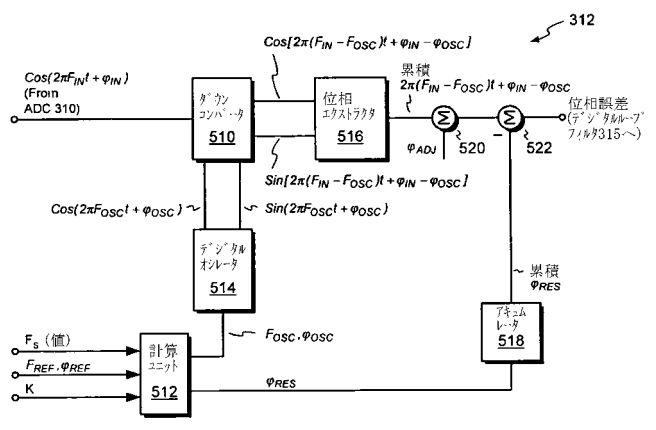
【図 7】



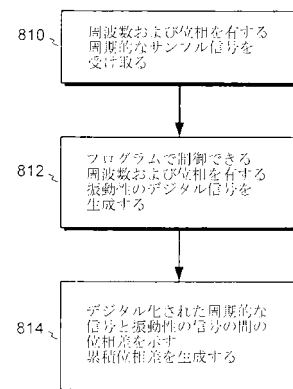
【図 4】



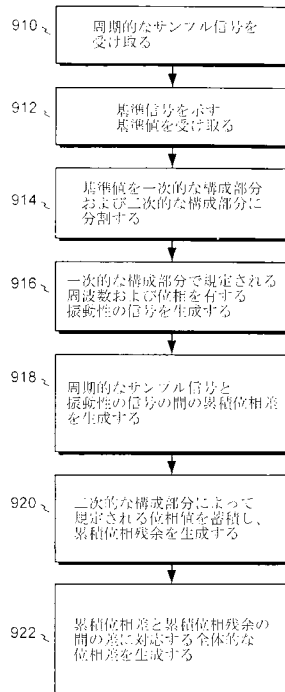
【図 5】



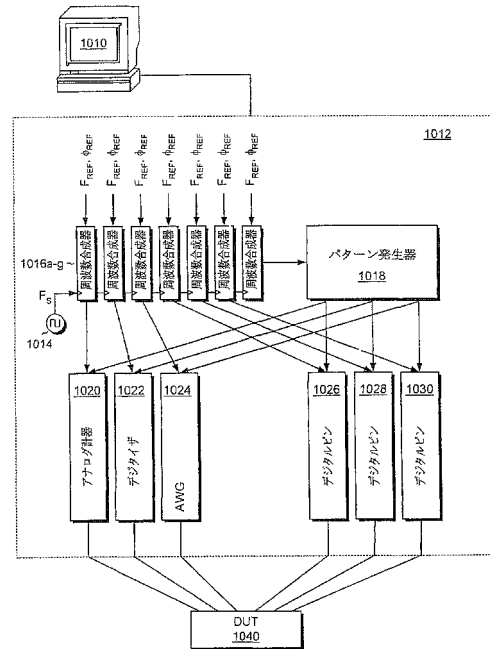
【図 8】



【図 9】



【図 10】



フロントページの続き

Fターム(参考) 5J106 AA04 CC01 CC21 CC41 CC47 CC52 HH02 JJ02 KK22